



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0077325
(43) 공개일자 2010년07월08일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0135241

(22) 출원일자 2008년12월29일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

서기원

서울특별시 강동구 길2동 339-4호 정산빌라트 301호

김도윤

경기도 화성시 병점동 신미주아파트 201-2 신미주아파트 105동 1203호

(뒷면에 계속)

(74) 대리인

박영우

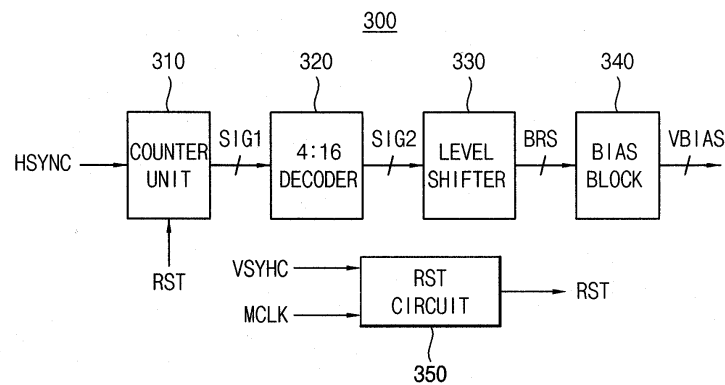
전체 청구항 수 : 총 10 항

(54) 바이어스 제어 회로, 소스 드라이버 및 액정 디스플레이 장치

(57) 요약

바이어스 제어 회로는 카운터부, 디코더, 레벨 쉬프터 및 바이어스 블록을 포함한다. 카운터부는 하나의 프레임 을 구성하는 주사선들의 개수와 주사선들이 동일한 수로 분할되는 복수의 그룹들의 개수에 기초하여 그룹들에 대 한 정보를 나타내는 복수비트의 제1 신호를 제공한다. 디코더는 상기 제1 신호를 디코딩하여 복수 비트의 제2 신 호로 제공한다. 레벨 쉬프터는 제2 신호의 전압 레벨을 상승시켜 제2 신호의 비트 값에 기초하여 활성화되는 바 이어스 저항 선택 신호를 제공한다. 바이어스 블록은 바이어스 저항 선택 신호에 응답하여 그룹별로 서로 다른 바이어스 저항이 연결되어 그룹별로 서로 다른 바이어스 전압을 제공한다.

대표도 - 도3



(72) 발명자

권재욱

경기도 용인시 기흥구 농서동 산 7-1 마로니에동
1202호

최승필

경기도 용인시 기흥구 중동 성산마을서해그랑블아
파트 3102동 403호

특허청구의 범위

청구항 1

하나의 프레임을 구성하는 주사선들의 개수와 상기 주사선들이 동일한 수로 분할되는 복수의 그룹들의 개수에 기초하여 상기 그룹들에 대한 정보를 나타내는 복수비트의 제1 신호를 제공하는 카운터부;

상기 제1 신호를 디코딩하여 복수 비트의 제2 신호로 제공하는 디코더;

상기 제2 신호의 전압 레벨을 상승시켜 상기 제2 신호의 비트 값에 기초하여 활성화되는 바이어스 저항 선택 신호를 제공하는 레벨 쉬프터; 및

상기 바이어스 저항 선택 신호에 응답하여 상기 그룹별로 서로 다른 바이어스 저항이 연결되어 상기 그룹별로 서로 다른 바이어스 전압을 제공하는 바이어스 블록을 포함하는 바이어스 제어 회로.

청구항 2

제1항에 있어서, 상기 카운터부는

상기 각 그룹에 포함되는 상기 주사선들이 동기되는 수평 동기 신호의 펄스의 개수를 카운팅하는 제1 카운터;

상기 제1 카운터가 상기 각 그룹에 포함되는 주사선들의 카운팅을 완료하는 경우 활성화되는 그룹 카운팅 신호를 제공하는 로직 회로; 및

상기 그룹 카운팅 신호를 카운팅하여 상기 제1 신호를 제공하는 제2 카운터를 포함하는 것을 특징으로 하는 바이어스 제어 회로.

청구항 3

제2항에 있어서, 상기 제1 카운터는 상기 각 그룹에 포함되는 주사선들의 개수에 대한 카운팅을 완료하는 경우에 리셋되고, 상기 제1 카운터와 상기 제2 카운터는 상기 하나의 프레임을 동기시키는 수직 동기 신호에 응답하여 리셋되는 것을 특징으로 하는 바이어스 제어 회로.

청구항 4

제1항에 있어서, 상기 바이어스 저항 선택 신호는 상기 각 그룹에 속하는 주사선들의 개수를 카운팅하는 동안 각 그룹별로 서로 다른 구간에서 활성화되는 것을 특징으로 바이어스 제어 회로.

청구항 5

제1항에 있어서, 상기 바이어스 블록은,

상기 바이어스 저항 선택 신호에 인가되는 복수의 스위치들; 및

상기 복수의 스위치들과 연결되고 상기 바이어스 저항 선택 신호에 의하여 복수의 스위치들 중 온 되는 하나의 스위치에 의하여 서로 다른 저항값을 제공하는 복수의 저항들을 포함하는 것을 특징으로 하는 바이어스 제어 회로.

청구항 6

제1항에 있어서, 메인 클럭 신호와 상기 수직 동기 신호에 응답하여 상기 제1 카운터와 상기 제2 카운터를 동시에 리셋시키는 리셋 신호를 생성하는 리셋 회로를 더 포함하는 것을 특징으로 하는 바이어스 제어 회로.

청구항 7

클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장하는 입력부;

상기 저장된 디지털 데이터 신호를 제공받아 아날로그 데이터로 변환하는 디지털-아날로그 변환기;

하나의 프레임을 구성하는 복수의 주사선들이 동일하게 분할되는 복수의 그룹별로 제공되는 바이어스 전압에 기초하고, 상기 그룹별로 제공되는 바이어스 전압에 따라 서로 다른 슬루율(slew rate)을 갖으며, 상기 변환된 아날로그 데이터를 패널에 출력하는 출력 버퍼부; 및

상기 주사선들의 개수와 상기 그룹의 수에 기초하여 상기 바이어스 전압을 제공하는 바이어스 제어 회로를 포함하는 소스 드라이버.

청구항 8

제6항에 있어서, 상기 바이어스 제어 회로는,

상기 주사선들이 동기되는 수평 동기 신호의 펄스를 카운팅하고, 상기 그룹의 개수를 카운팅하여 상기 그룹별로 서로 다른 상기 바이어스 전압을 제공하는 것을 특징으로 하는 소스 드라이버.

청구항 9

복수의 게이트 라인들과 복수의 데이터 라인들을 구비하는 액정 디스플레이 패널;

상기 게이트 라인들을 구동하기 위한 게이트 드라이버; 및

상기 데이터 라인들을 구동하기 위한 소스 드라이버를 포함하고,

상기 소스 드라이버는,

클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장하는 입력부;

상기 저장된 디지털 데이터 신호를 제공받아 아날로그 데이터로 변환하는 디지털-아날로그 변환기;

하나의 프레임을 구성하는, 상기 게이트 라인들에 해당하는 복수의 주사선들이 속하는 복수의 그룹별로 제공되는 바이어스 전압에 기초하고, 상기 그룹별로 서로 다른 슬루율(slew rate)을 갖으며, 상기 변환된 아날로그 데이터를 패널에 출력하는 출력 버퍼부; 및

상기 주사선들의 개수와 상기 그룹의 수에 기초하여 상기 바이어스 전압을 제공하는 바이어스 조절 회로를 포함하는 액정 표시 장치.

청구항 10

제9항에 있어서, 상기 복수의 그룹별로 제공되는 상기 바이어스 전압은 상기 액정 디스플레이 패널의 상단에 속하는 그룹으로부터 상기 패널의 하단에 속하는 그룹으로 갈수록 증가하는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 액정 표시 장치와 이에 포함되는 소스 드라이버 및 바이어스 제어 회로에 관한 것이다.

배경 기술

[0002] 평판 표시 장치의 하나인 액정 표시 장치는 경박단소 및 저전력 소모의 장점을 가져, 최근 노트북 컴퓨터, TV 및 휴대폰 등에 널리 사용되고 있다.

[0003] 일반적으로 액정 표시 장치는 영상을 표시하는 액정 표시 패널, 액정 표시 패널을 구동하기 위한 소스 드라이버 및 게이트 드라이버를 포함한다. 액정 표시 패널에는 소스 드라이버로부터 데이터 전압을 입력받는 복수의 데이터 라인과 게이트 드라이버로부터 게이트 전압을 입력받는 복수의 게이트 라인이 구비된다. 액정 표시 패널에는 복수의 게이트 라인과 복수의 게이트 라인에 의해서 복수의 화소 영역이 정의되고, 각 화소 영역에는 박막 트랜지스터 및 화소 전극을 포함하는 화소가 구비된다. 소스 드라이버 및 게이트 드라이버는 각각 다수의 칩으로 이루어져 액정 표시 패널 또는 별도의 필름 상에 실장된다.

[0004] 소스 드라이버는 데이터 라인들에 일대일 대응하여 연결되고, D/A 컨버터로부터 제공된 데이터 전압을 버퍼링하여 데이터 라인들로 제공하는 복수의 출력 버퍼를 구비한다. 상술한 바와 같이 액정 표시 패널의 각 화소를 구동하는 데이터 전압이 출력 버퍼들을 통해 출력되므로, 출력 버퍼들의 특성은 액정 표시 장치의 화질에 많은 영향을 미치게 된다.

[0005] 또한 액정 표시 패널이 대형화됨에 따라 소스 드라이버에서 구동해야할 패널 로드가 증가하고, 이에 따라 전체 소비 전류가 증가하게 된다. 소비 전류가 증가되면, 패널의 온도를 증가시켜 발열 특성을 열화시키고, 출력 버퍼들의 순간 트랜지션 피크 전류가 증가하여 EMI가 증가하게 된다.

발명의 내용

해결 하고자하는 과제

[0006] 이에 따라, 본 발명의 목적은 출력 버퍼의 슬루 레이트를 단계적으로 조절할 수 있는 바이어스 제어 회로를 제공하는 데 있다.

[0007] 본 발명의 일 목적은 상기 바이어스 제어 회로를 구비하는 소스 드라이버를 제공하는 데 있다.

[0008] 본 발명의 일 목적은 상기 소스 드라이버를 구비하는 액정 표시 장치를 제공하는 데 있다.

과제 해결수단

[0009] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 바이어스 제어 회로는 카운터부, 디코더, 레벨 쉬프터 및 바이어스 블록을 포함한다. 상기 카운터부는 하나의 프레임을 구성하는 주사선들의 개수와 상기 주사선들이 동일한 수로 분할되는 복수의 그룹들의 개수에 기초하여 상기 그룹들에 대한 정보를 나타내는 복수비트의 제1 신호를 제공한다. 상기 디코더는 상기 제1 신호를 디코딩하여 복수 비트의 제2 신호로 제공한다. 상기 레벨 쉬프터는 상기 제2 신호의 전압 레벨을 상승시켜 상기 제2 신호의 비트 값에 기초하여 활성화되는 바이어스 저항 선택 신호를 제공한다. 상기 바이어스 블록은 상기 바이어스 저항 선택 신호에 응답하여 상기 그룹별로 서로 다른 바이어스 저항이 연결되어 상기 그룹별로 서로 다른 바이어스 전압을 제공한다.

[0010] 실시예에 있어서, 상기 카운터부는 제1 카운터, 로직 회로 및 제2 카운터를 포함할 수 있다. 상기 제1 카운터는 상기 각 그룹에 포함되는 상기 주사선들이 동기되는 수평 동기 신호의 펄스의 개수를 카운팅한다. 상기 로직 회로는 상기 제1 카운터가 상기 각 그룹에 포함되는 주사선들의 카운팅을 완료하는 경우 활성화되는 그룹 카운팅 신호를 제공한다. 상기 제2 카운터는 상기 그룹 카운팅 신호를 카운팅하여 상기 제1 신호를 제공하는 제2 카운터를 포함한다.

[0011] 상기 제1 카운터는 상기 각 그룹에 포함되는 주사선들의 개수에 대한 카운팅을 완료하는 경우에 리셋되고, 상기 제1 카운터와 상기 제2 카운터는 상기 하나의 프레임을 동기시키는 수직 동기 신호에 응답하여 리셋될 수 있다,

[0012] 실시예에 있어서, 상기 바이어스 저항 선택 신호는 상기 각 그룹에 속하는 주사선들의 개수를 카운팅하는 동안 각 그룹별로 서로 다른 구간에서 활성화될 수 있다.

[0013] 실시예에 있어서, 상기 바이어스 블록은 상기 바이어스 저항 선택 신호에 인가되는 복수의 스위치들 및 상기 복수의 스위치들과 연결되고 상기 바이어스 저항 선택 신호에 의하여 복수의 스위치들 중 온 되는 하나의 스위치에 의하여 서로 다른 저항값을 제공하는 복수의 저항들을 포함할 수 있다.

[0014] 실시예에 있어서, 상기 바이어스 제어 회로는 메인 클럭 신호와 상기 수직 동기 신호에 응답하여 상기 제1 카운터와 상기 제2 카운터를 동시에 리셋시키는 리셋 신호를 생성하는 리셋 회로를 더 포함할 수 있다.

[0015] 본 발명의 일 실시예에 따른 소스 드라이버는 입력부, 디지털-아날로그 변환기, 출력 버퍼부 및 바이어스 제어 회로를 포함한다. 상기 입력부는 클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장한다. 상기 디지털-아날로그 변환기는 상기 저장된 디지털 데이터 신호를 제공받아 아날로그 데이터로 변환한다. 상기 출력 버퍼부는 하나의 프레임을 구성하는 복수의 주사선들이 동일하게 분할되는 복수의 그룹별로 제공되는 바이어스 전압에 기초하고, 상기 그룹별로 제공되는 바이어스 전압에 따라 서로 다른 슬루율(slew rate)을 갖으며, 상기 변환된 아날로그 데이터를 패널에 출력한다. 상기 바이어스 제어 회로는 상기 주사선들의 개수와 상기 그룹의 수에 기초하여 상기 바이어스 전압을 제공한다.

[0016] 실시예에 있어서, 상기 바이어스 제어 회로는 상기 주사선들이 동기되는 수평 동기 신호의 펄스를 카운팅하고, 상기 그룹의 개수를 카운팅하여 상기 그룹별로 서로 다른 상기 바이어스 전압을 제공할 수 있다.

[0017] 본 발명의 일 실시예에 따른 액정 표시 장치는 액정 디스플레이 패널, 게이트 드라이버 및 소스 드라이버를 포함한다. 상기 액정 디스플레이 패널은 복수의 게이트 라인들과 복수의 데이터 라인들을 구비한다. 상기 게이트 드라이버는 상기 게이트 라인들을 구동시킨다. 상기 소스 드라이버는 데이터 라인들을 구동시킨다. 상기 소스

드라이버는 클럭 신호에 기초하여 디지털 데이터 신호를 입력받아 순차적으로 저장하는 입력부, 상기 저장된 디지털 데이터 신호를 제공받아 아날로그 데이터로 변환하는 디지털-아날로그 변환기, 하나의 프레임을 구성하는, 상기 게이트 라인들에 해당하는 복수의 주사선들이 속하는 복수의 그룹별로 제공되는 바이어스 전압에 기초하고, 상기 그룹별로 서로 다른 슬루율(slew rate)을 갖으며, 상기 변환된 아날로그 데이터를 패널에 출력하는 출력 버퍼부 및 상기 주사선들의 개수와 상기 그룹의 수에 기초하여 상기 바이어스 전압을 제공하는 바이어스 조절 회로를 포함한다.

[0018] 실시예에 있어서, 상기 복수의 그룹별로 제공되는 상기 바이어스 전압은 상기 액정 디스플레이 패널의 상단에 속하는 그룹으로부터 상기 패널의 하단에 속하는 그룹으로 갈수록 증가할 수 있다.

효 과

[0019] 본 발명에 따르면, 패널의 수직 방향의 위치에 따라 바이어스 전압을 단계적으로 증가시켜 슬루 레이트를 매칭시키고, 소비 전류를 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0020] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

[0022] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0026] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치(Liquid crystal display apparatus)를 나타내는 블록도이다.

[0028] 도 1을 참조하면, 액정 표시 장치(100)는 타이밍 컨트롤러(110), 소스 드라이버(200), 게이트 드라이버(120),

패널(130) 및 전원 공급부(140)를 포함한다.

- [0029] 타이밍 컨트롤러(110)는 그래픽 컨트롤러(미도시됨)로부터 프레임에 대한 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC), 데이터 인에이블 신호(DE), 클럭 신호(CLK) 및 RGB (Red, Green, Blue) 신호를 입력받아 소스 드라이버(200) 및 게이트 드라이버(120)에 RGB 데이터 및 소스 드라이버 제어 신호 및 게이트 드라이버 제어 신호를 각각 전송한다.
- [0030] 소스 드라이버(220)는 타이밍 컨트롤러(110)로부터 출력된 RGB 데이터 및 소스 드라이버 제어 신호를 입력받아 수평 동기 신호(HSYNC)에 응답하여 라인 단위로 데이터를 패널(130)에 출력한다.
- [0031] 게이트 드라이버(120)는 복수의 게이트 라인들을 포함하며, 타이밍 컨트롤러(110)로부터 출력된 게이트 드라이버 제어 신호를 입력받는다. 게이트 드라이버(120)는 소스 드라이버(200)로부터 출력된 데이터를 패널(130)에 순차적으로 출력하기 위하여 상기 게이트 라인들을 제어한다.
- [0032] 전원 공급부(140)는 타이밍 컨트롤러(110), 소스 드라이버(200), 게이트 드라이버(120) 및 패널(130)에 전원을 공급한다.
- [0033] 이하 도 1에 나타난 액정 표시 장치의 동작을 설명하기로 한다.
- [0034] 우선, 타이밍 컨트롤러(110)는 그래픽 컨트롤러(미도시됨)로부터 영상을 나타내는 RGB 데이터 및 수직 및 수평 동기 신호(VSYNC, HSYNC)와 같은 제어신호를 입력받는다.
- [0035] 게이트 드라이버(120)는 수직 동기 신호(VSYNC)와 같은 게이트 라인 제어 신호를 입력받고, 상기 입력된 수직 동기 신호(VSYNC)를 순차적으로 쉬프팅하여 복수의 게이트 라인을 순차적으로 제어한다.
- [0036] 소스 드라이버(200)는 타이밍 컨트롤러(110)로부터 RGB 데이터 및 소스 드라이버 제어 신호를 입력받고, 게이트 드라이버(120)가 게이트 라인을 제어할 때 한 라인에 해당하는 영상 신호를 패널(240)에 출력한다.
- [0037] 도 2는 도 1의 소스 드라이버의 일 실시예를 나타내는 블록도이다.
- [0038] 도 2를 참조하면, 소스 드라이버(200)는 입력부(210), 디지털-아날로그 변환기(220), 출력 버퍼부(230) 및 바이어스 제어 회로(300)를 포함한다. 또한 입력부(210)는 직렬-병렬 변환기(211), 쉬프트 레지스터부(213), 데이터 래치부(215)를 포함하여 구성될 수 있다.
- [0039] 직렬-병렬 변환기(211)는 도 1의 타이밍 컨트롤러(110)로부터 클럭 신호(CLKP, CLKN)와 RGB 데이터(LVOP, LVON, ..., LV5N)를 직렬화된 저전압 차동 신호(Low Voltage Differential signaling)방식으로 입력받아 데이터를 병렬로 변환하여 병렬로 변환된 RGB 데이터를 데이터 래치부(215)에 제공하고, 클럭 신호는 쉬프트 레지스터부(213)에 제공한다. 상기 클럭 신호(CLK)는 쉬프트 레지스터부(213)의 출력을 동기화하는데 사용될 수 있다.
- [0040] 쉬프트 레지스터부(213)는 직렬-병렬 변환기(211)로부터 클럭 신호를 입력받고, 상기 입력된 신호에 대하여 순차적으로 쉬프팅 연산을 수행한다. 쉬프트 레지스터부(213)는 상기 쉬프팅 된 클럭 신호를 순차적으로 상기 데이터 래치부(215)에 출력한다.
- [0041] 데이터 래치부(215)는 복수의 래치 회로들로 구성되며, 쉬프트 레지스터부(213)로부터 출력된 쉬프팅된 클럭 신호 및 직렬-병렬 변환기(211)로부터 출력된 병렬화된 RGB 데이터를 입력받는다. 데이터 래치부(215)는 쉬프팅된 클럭 신호를 기초로 래치 회로들의 한 끝에서 다른 한 끝까지 순차적으로 RGB 데이터를 저장한다.
- [0042] 디지털-아날로그 변환기(220)는 데이터 래치부(215)로부터 저장된 영상의 한 라인에 상응하는 디지털 데이터를 입력받고, 감마 기준 전압(VG1~VGm)을 이용하여 상기 디지털 데이터를 아날로그 데이터로 변환한다.
- [0043] 출력 버퍼부(230)는 패널(130)의 게이트 라인들(즉 주사선들)이 속하는 그룹별로 제공되는 바이어스 전압에 기초하여 상기 디지털-아날로그 변환기(220)에서 변환된 아날로그 데이터를 패널(130)에 출력한다.
- [0044] 바이어스 제어 회로(300)는 수평 동기 신호(HSYNC)와 수직 동기 신호(VSYNC)를 수신하고, 하나의 프레임을 이루는 주사선들(즉 게이트 라인들)의 수와 상기 그룹의 수에 기초하여 상기 그룹별로 서로 다른 바이어스 전압을 상기 출력 버퍼부(230)에 제공한다.
- [0045] 이하 소스 드라이버(200)의 쉬프트 레지스터부(213) 및 데이터 래치부(215)의 동작을 설명한다.
- [0046] 쉬프트 레지스터부(213)는 직렬-병렬 변환기(211)로부터 클럭 신호를 입력받는다. 쉬프트 레지스터부(213)는 상기 입력된 클럭 신호에 대하여 쉬프팅 연산을 수행하고, 상기 쉬프팅된 클럭 신호를 기초로 상기 데이터 래치부

(215)에 래치 제어 신호를 출력한다.

- [0047] 데이터 래치부(215)는 상기 쉬프팅된 클럭 신호를 기초로 직렬-병렬 변환기로부터 제공되는 병렬화된 RGB 데이터를 데이터 래치부(215)를 구성하는 래치회로의 한 끝부터 다른 한 끝까지 순차적으로 저장한다.
- [0048] 예를 들어, 쉬프트 레지스터부(213)는 복수의 쉬프트 레지스터들로 구성될 수 있으며, 상기 쉬프트 레지스터 회로는 래치 회로의 한 끝부터 다른 한 끝까지 순차적으로 저장하기 위하여 데이터 래치부(215)를 구성하는 래치 회로에 각각 대응할 수 있다.
- [0049] 이하에서는 도 1의 패널(130)이 1024개의 게이트 라인들을 구비하는 경우를 설명한다.
- [0050] 도 3은 본 발명의 일 실시예에 따른 도 2의 바이어스 제어 회로의 구성을 나타내는 블록도이다.
- [0051] 도 3을 참조하면, 바이어스 제어 회로(300)는 카운터부(310), 디코더(320), 레벨 쉬프터(330), 바이어스 블록(340) 및 리셋 회로(350)를 포함한다.
- [0052] 카운터부(310)는 하나의 프레임을 구성하는 주사선들의 개수와 상기 주사선들이 동일한 수로 분할되는 복수의 그룹들의 개수에 기초하여 제1 신호(SIG1)를 제공한다. 상기 제1 신호(SIG1)는 복수의 비트이며, 상기 그룹들에 대한 정보를 나타낸다. 즉 카운터부(310)는 도 1의 패널(130)이 1024개의 게이트 라인들을 포함하는 경우, 즉 한 프레임이 1024개의 주사선들로 이루어지는 경우에 이 주사선들의 개수와 1024개의 주사선들이 동일한 수로 분할되는 그룹들, 예를 들어 한 그룹이 64개의 주사선을 포함하는 경우, 16개의 그룹의 수(도 9참조)에 기초하여 제1 신호(SIG1)를 제공한다.
- [0053] 디코더(320)는 제1 신호(SIG1)를 디코딩하여 제2 신호(SIG2)로 제공한다. 제2 신호(SIG2)도 복수의 비트일 수 있다.
- [0054] 레벨 쉬프터(330)는 제2 신호(SIG2)의 전압 레벨을 상승시켜 바이어스 저항 선택 신호(bias resistor selection; BSR)를 제공한다. 바이어스 저항 선택 신호(BSR)는 제2 신호(SIG2)와 동일하게 복수의 비트로 구성되며, 제2 신호(SIG2)의 비트값에 따라 활성화된다. 바이어스 저항 선택 신호(BSR)의 각 비트는 바이어스 블록(도 6 참조)의 해당 스위치에 인가되어 각 비트값에 따라 해당 스위치를 온/오프 시킨다.
- [0055] 바이어스 블록(340)은 레벨 쉬프터(330)로부터 바이어스 저항 선택 신호(BRS)를 수신하고, 수신된 바이어스 저항 선택 신호(BRS)의 비트 값에 따라 상기 그룹별로 서로 다른 저항이 연결되어 상기 그룹별로 서로 다른 바이어스 전압을 제공한다.
- [0056] 리셋 회로(350)는 수직 동기 신호(VSNC)와 메인 클럭 신호(MCLK)에 기초하여 카운터부(310)를 리셋시키는 리셋 신호(RST)를 생성한다.
- [0057] 도 3의 바이어스 제어 회로(300)의 구성과 동작은 도 4 내지 도 9를 참조하여 상세히 설명된다.
- [0058] 도 4는 도 3의 바이어스 제어 회로의 카운터부의 구성을 나타내는 블록도이다.
- [0059] 도 4를 참조하면, 카운터부(310)는 제1 카운터(360), 로직 회로(370), 제2 카운터(380)를 포함한다. 카운터부(310)는 로직 게이트(377)를 더 포함하여 구성될 수 있다.
- [0060] 제1 카운터(310)는 1024개의 주사선들의 개수에 해당하는 수평동기 신호(HSYNC)의 펄스를 카운팅한다. 제1 카운터(310)는 수평동기 신호(HSYNC)의 펄스를 카운팅하여 그 결과를 6비트 신호로 로직 회로(370)로 제공한다. 로직 회로(370)는 제1 내지 제3 AND 게이트들(371, 373, 375)를 포함하여 구성된다. 로직 회로(370)는 제1 카운터(310)의 출력 신호의 6비트가 모두 로직 하이인 경우 로직 하이가 되는 그룹 카운팅 신호(group counting; GC)를 제공한다. 제2 카운터(380)는 그룹 카운팅 신호(GC)를 카운팅하여 제1 신호(SIG1)를 출력한다. 따라서 제1 신호(SIG1)는 각 그룹에 대한 정보를 포함하고 있다. 로직 게이트(377)는 그룹 카운팅 신호(GC)와 리셋 신호(RST)를 수신하고 논리합 연산하여 제1 카운터(360)를 리셋시킨다. 즉, 제1 카운터(360)는 리셋 신호(RST)나 그룹 카운팅 신호(GC) 중 하나가 하이 레벨일 때 리셋된다.
- [0061] 하나의 프레임을 구성하는 1024개의 주사선들이 각각 64개씩 모두 16개의 그룹으로 분할되는 경우(도 9 참조) 제1 카운터(360)는 수평 동기 신호(HSYNC)의 펄스를 카운팅하여 각 그룹에 포함되는 주사선들의 개수를 1에서 64까지 카운팅하고 그 결과를 6비트 신호로 출력한다. 로직 회로(370)는 제1 카운터(360)의 출력 신호의 6비트가 모두 1인 경우, 즉 제1 카운터(370)가 각 그룹의 64번째 주사선을 카운팅하는 경우에 하이 레벨이 되는 그룹 카운팅 신호(GC)를 출력한다. 제2 카운터(380)는 그룹 카운팅 신호(GC)를 카운팅하여 4비트의 제1 신호(SIG1)를

출력한다. 제1 신호(SIG1)에는 제1 카운터(360)에서 카운팅하는 주사선들이 포함되는 그룹들에 대한 정보가 포함되어 있다.

[0062] 예를 들어, 제1 신호(SIG1)가 0010인 경우 이는 제4 그룹(GR4)에 해당함을 알 수 있다. 아래의 <표 1>은 제1 신호(SIG1)의 각 비트와 도 9의 해당 그룹의 관계를 나타낸다.

[0063] <표 1>

SIG1	해당 그룹	SIG1	해당 그룹	SIG1	해당 그룹
0000	GR1	0110	GR7	1100	GR13
0001	GR2	0111	GR8	1101	GR14
0010	GR3	1000	GR9	1110	GR15
0011	GR4	1001	GR10	1111	GR16
0100	GR5	1010	GR11		
0101	GR6	1011	GR12		

[0064]

[0065] 도 5는 본 발명의 다른 실시예에 따른 카운터부(315)의 구성을 나타내는 블록도이다.

[0066] 도 5의 카운터부(315)는 도 4의 카운터부(310)와 로직 회로(390)의 구성에 있어서 차이가 있다. 도 5의 카운터부(315)는 로직 회로(390)가 AND 게이트들(371, 373, 375) 및 OR 게이트(379)를 포함한다. OR 게이트(379)에는 AND 게이트(375)의 출력과 바이어스 저항 선택 신호(BRS<16>)이 입력되어 제2 카운터(380)의 동작과 제1 카운터(360)의 리셋을 확실하게 한다.

[0067] 다시 도 3을 참조하면, 카운터부(310)에서 출력되는 4 비트의 제1 신호(SIG1)는 디코더(320)에서 디코딩되어 16 비트의 제2 신호(SIG2)로 출력된다. 16 비트의 제2 신호(SIG2)는 레벨 쉬프터(330)에서 전압 레벨이 쉬프팅되고, 바이어스 저항 선택 신호(BRS)로 제공된다. 바이어스 저항 선택 신호(BRS)도 16 비트의 신호이다. 바이어스 저항 선택 신호(BRS)의 16 비트 중 하이 레벨을 갖는 비트에 따라 바이어스 블록(340)에서 바이어스 저항이 선택되고 그에 따라서 바이어스 전압(VBIAS)이 제공된다.

[0068] 또한 바이어스 저항 선택 신호(BRS)는 <표 1>에서 해당 그룹의 주사선들을 카운팅하는 경우에 활성화된다. 즉 도 6을 참조하면, 바이어스 저항 선택 신호(BSR)는 각 비트값에 따라서 해당 스위치를 연결시킨다. 이에 대하여는 도 8a 및 도 8b를 참조하여 후술한다.

[0069] 도 6은 도 3의 바이어스 블록(340)의 구성을 나타내는 블록도이다.

[0070] 도 6을 참조하면, 바이어스 블록(340)은 저항부(341)와 전원전압(VDD)에 연결되는 전류 미러(343)를 포함하여 구성된다. 저항부(341)는 서로 직렬 연결된 저항들(R1, R2, ..., R16)과 저항들(R1, R2, ..., R16) 각각에 연결된 스위치들(S1, S2, ..., S16)을 포함하여 구성된다. 전류 미러(343)는 엔모스 트랜지스터들(NT1, NT2)을 포함하여 구성된다. 저항들(R1, R2, ..., R16)의 저항값은 모두 동일할 수 있다. 저항들(R1, R2, ..., R16)의 저항값은 모두 R일 수 있다.

[0071] 바이어스 저항 선택 신호(BRS)의 각 비트값에 따라 스위치들(S1, S2, ..., S16) 중 하나가 연결되고, 연결된 스위치에 따라 노드(N)에서 서로 다른 바이어스 전압(VBIAS)이 제공된다. 예를 들어 바이어스 저항 선택 신호(BRS)의 최상위 비트 값이 1인 경우 이는 패널의 최상위인 제1 그룹(GR1)에 해당하며, 스위치(S1)가 연결되고, 노드(N)에서는 VDD/16R의 바이어스 전압(VBIAS)이 제공된다. 예를 들어 바이어스 저항 선택 신호(BRS)의 최하위 비트 값이 1인 경우, 이는 패널의 최하위인 제16그룹(GR16)에 해당하며, 스위치(S16)가 연결되고, 노드(N)에서는 VDD/R의 바이어스 전압(VBIAS)이 제공된다. 즉 바이어스 저항 선택 신호(BRS)가 16비트인 경우 각 비트에 따라 각각 스위치들(S1, S2, ..., S16)이 온/오프된다. 다시 말하면, 바이어스 저항 선택 신호(BRS)의 각 비트는 스위치들(S1, S2, ..., S16) 각각에 인가되는 제1 내지 제16 바이어스 저항 선택 신호(BRS1~BRS16)라고 할 수 있다. 제1 내지 제16 바이어스 저항 선택 신호(BRS1~BRS16)는 스위치들(S1, S2, ..., S16) 각각에 인가되어 제1 내지 제16 바이어스 저항 선택 신호(BRS1~BRS16) 중 하이 레벨인 신호에 의하여 해당 스위치를 연결시킨다. 스위치들(S1, S2, ..., S16) 각각에 인가되는 제1 내지 제16 바이어스 저항 선택 신호(BRS1~BRS16)는 각각 제1 그룹 내지 제16 그룹(도 9참조)중 해당 그룹의 주사선을 카운팅하는 동안에 하이 레벨이 되어 해당 스위치를 연결

시킨다. 아래의 <표2>는 저항들(R1, R2,...,R16)의 저항값은 모두 R이고 엔모스 트랜지스터들(NT1, NT2)에서의 전압 강하를 고려하지 않은 경우에 제1 신호(SIG1)와 바이어스 저항 선택 신호(BRS)의 비트 값, 연결되는 스위치 및 바이어스 전압(VBIAS)의 관계를 나타내는 표이다.

<표 2>

SIG1	BRS	스위치	VBIAS
0000	1000000000000000	S1	VDD/16R
0001	0100000000000000	S2	VDD/15R
0010	0010000000000000	S3	VDD/14R
0011	0001000000000000	S4	VDD/13R
0100	0000100000000000	S5	VDD/12R
0101	0000010000000000	S6	VDD/11R
0110	0000001000000000	S7	VDD/10R
0111	0000000100000000	S8	VDD/9R
1000	0000000010000000	S9	VDD/8R
1001	0000000001000000	S10	VDD/7R
1010	0000000000100000	S11	VDD/6R
1011	0000000000010000	S12	VDD/5R
1100	0000000000001000	S13	VDD/4R
1101	0000000000000100	S14	VDD/3R
1110	0000000000000010	S15	VDD/2R
1111	0000000000000001	S16	VDD/1R

바이어스 저항 선택 신호(BRS)의 비트값들은 디코더(320)의 출력인 제2 신호(SIG2)의 비트값들과 동일하다. 즉 디코더(320)가 4 비트 신호인 제1 신호(SIG1)의 비트값에 따라서 제1 신호(SIG1)를 상기의 <표 2>의 바이어스 저항 선택 신호(BRS)로 디코딩한다.

도 7은 도 3의 리셋 회로(350)의 구성을 나타내는 블록도이다.

도 7을 참조하면, 리셋 회로(350)는 플립플롭(351)과 인버터(353) 및 AND 게이트(355)를 포함하여 구성된다. 플립플롭(351)은 메인 클럭 신호(MCLK)에 동기되어 수직 동기 신호(VSYNC)를 출력단자(Q)로 출력한다. 인버터(353)는 플립플롭(351)의 출력을 반전시키고, AND 게이트(355)는 수직 동기 신호(VSYNC)와 인버터(353)의 출력을 논리 곱 연산하여 리셋 신호(RST)로 출력한다. 리셋 신호(RST)는 카운터부(310)에 제공되어 한 프레임이 끝나면 제1 카운터(360) 및 제2 카운터(380)를 리셋시킨다.

도 8a는 카운터부(300)의 여러 신호들의 타이밍도이고, 도 8b는 도 8a에서 참조번호(410)의 확대된 타이밍도이다.

도 8a에서는 편의상 메인 클럭 신호(MCLK)가 도시되지 않았다.

도 9는 패널(130)과 주사선들(또는 게이트 라인들)을 나타낸다.

도 9에서 주사선들은 1024(G1~G1024)개이고 64개씩 하나의 그룹으로 16개의 그룹(GR1~GR16)이 있다.

도 10은 바이어스 제어 회로(300)와 출력 버퍼부(230)를 나타낸다. 도 10에서 출력 버퍼부(230)는 복수의 출력 버퍼들(231)을 포함한다.

이하 도 3 내지 도 9를 참조하여, 도 3의 바이어스 제어 회로(300)의 동작을 설명한다.

도 8a 및 도 8b를 참조하면, 수평 동기 신호(HSYBC)는 한 프레임을 구성하는 주사선들을 동기시킨다. 여기서, #1은 패널의 첫 번째 주사선(또는 게이트 라인)을 나타내고, #64는 패널 상단으로부터 64번째 주사선을 나타내

고, #128은 패널 상단으로부터 128번째 주사선을 나타낸다. 하나의 프레임은 수직 동기 신호(VSYNC)에 동기되어 시작되고, 이 때 리셋 신호(RST)도 활성화되어 제1 카운터(360) 및 제2 카운터(380)를 리셋시킨다.

[0084] 제1 카운터(360)가 제1 그룹(GR1)에 속하는 첫 번째 주사선부터 64번째 주사선을 카운팅하는 동안 <표2>에서와 같이 바이어스 저항 선택 신호(BRS)는 1000000000000000이 되고(즉 제1 저항 선택 신호(BRS1)가 활성화됨), 제1 스위치(S1)가 연결되어 VDD/16R의 바이어스 전압(VBIAS)이 출력 버퍼부(230)로 제공된다. 이 때, 제2 카운터(380)의 출력인 제1 신호(SIG1)는 0000이 된다. 제1 카운터(360)가 제1 그룹(G1)에 속하는 64번째 주사선을 카운팅을 완료하면, 그룹 카운팅 신호(GC)는 하이 레벨이 되고, 그룹 카운팅 신호(GC)를 제1 카운터(360)를 리셋시킨다.

[0085] 제1 카운터(360)가 제2 그룹(GR2)에 속하는 65번째 주사선부터 128번째 주사선을 카운팅하는 동안 <표2>에서와 같이 바이어스 저항 선택 신호(BRS)는 0100000000000000이 되고(즉 제2 저항 선택 신호(BRS2)가 활성화됨), 제2 스위치(S2)가 연결되어 VDD/15R의 바이어스 전압(VBIAS)이 출력 버퍼부(230)로 제공된다. 이 때, 제2 카운터(380)의 출력인 제1 신호(SIG1)는 0001이 된다. 제1 카운터(360)가 제2 그룹(G2)에 속하는 128번째 주사선을 카운팅을 완료하면, 그룹 카운팅 신호(GC)는 하이 레벨이 되고, 그룹 카운팅 신호(GC)를 제1 카운터(360)를 리셋시킨다.

[0086] 이와 같이 바이어스 조절 회로(300)는 각 그룹에 속하는 주사선들의 개수, 즉 수평 동기 신호(HSYBC)의 펄스의 개수를 카운팅하여 각 그룹별로 증가하는 바이어스 전압을 출력 버퍼부(230)의 각 출력 버퍼(231)에 제공한다. 즉 본 발명의 실시예에서는 한 프레임을 구성하는 주사선들을 구동하는 출력버퍼(231)에 동일한 바이어스 전압을 제공하지 않고, 패널의 상단으로부터 하단까지의 슬루 레이트를 고려하여, 패널 상단의 그룹으로부터 하단의 그룹으로 갈수록 점진적으로 증가하는 바이어스 전압을 제공한다. 따라서 소비 전류를 감소시키고, 패널 상단과 하단에서의 슬루 레이트의 편차를 줄일 수 있다.

[0087] 도 11은 도 9에서 패널 상단으로부터의 주사선들의 개수에 따른 상승 시간(rising time)을 나타내는 시뮬레이션도이다.

[0088] 도 11에서 참조번호(420)는 도 10의 그룹에 모두 동일한 바이어스 전압, 즉 그룹(GR16)에 인가되는 바이어스 전압이 인가되는 경우의 시뮬레이션도이고, 참조번호(430)는 본 발명의 실시예에서와 같이 그룹별(GR1~GR16)로 점진적으로 증가하는 바이어스 전압이 인가되는 경우의 시뮬레이션도이다. 도 11에서 알 수 있듯이, 본 발명의 실시예에서는 각 그룹별(GR1~GR16)로 상승 시간이 거의 고르게 나타남을 알 수 있다.

[0089] 도 12a 및 도 12b는 도 9에서 각 그룹별로 슬루 레이트를 나타내는 시뮬레이션도이다.

[0090] 도 12a는 도 9의 그룹에 모두 동일한 바이어스 전압, 즉 그룹(GR16)에 인가되는 바이어스 전압이 인가되는 경우의 시뮬레이션도이고, 도 12b는 본 발명의 실시예에서와 같이 그룹별(GR1~GR16)로 점진적으로 증가하는 바이어스 전압이 인가되는 경우의 시뮬레이션도이다.

[0091] 도 12a 및 도 12b를 참조하면, 도 12a에서는 패널의 상단에 속하는 그룹(예를 들어 G1)과 패널의 하단에 속하는 그룹(예를 들어 G16) 사이에 슬루 레이트의 차이가 상당하지만, 도 12b에서는 참조번호(440)에서 알 수 있듯이 모든 그룹에서 슬루 레이트가 거의 일정함을 알 수 있다.

[0092] 도 13은 도 10의 출력 버퍼부에 본 발명의 실시예에 따른 바이어스 전압이 인가되는 경우와 동일한 바이어스 전압이 인가되는 경우의 피크 전류의 차이를 나타내는 시뮬레이션도이다.

[0093] 도 13을 참조하면, 패널 상단의 제1 그룹(GR1)을 기준으로 하였을 때, 참조번호들(450, 460)을 고려하면, 피크 전류가 최대 1/2 이상 감소함을 볼 수 있다.

[0094] 아래의 <표 3>은 10의 출력 버퍼부에 본 발명의 실시예에 따른 바이어스 전압이 인가되는 경우와 동일한 바이어스 전압이 인가되는 경우의 입력 데이터 패턴에 따른 소비 전류를 나타낸다.

[0095] <표 3>은 패널 상단의 제1 그룹(GR1)을 기준으로 하였을 때의 소비 전류를 나타낸다.

[0096] <표 3>

입력 데이터	기존 소비 전류	본 발명 적용후 소비 전류
Black Pattern	9.867mA	8.105mA
White Pattern	5.761mA	3.144mA
1 Dot Pattern	11.39mA	9.304mA

[0097]

[0098] <표 3>을 참조하면, 입력 데이터가 Black Pattern인 경우에는 소비 전류가 약 17.8% 감소하였고, 입력 데이터가 White Pattern인 경우에는 소비 전류가 약 45.4% 감소하였고, 입력 데이터가 One dot Pattern인 경우에는 소비 전류가 약 18.3% 감소하였음을 알 수 있다.

[0099] 따라서 본 발명과 같이 하나의 프레임을 구성하는 주사선들을 여러 그룹으로 나누어 패널 상단의 그룹으로부터 하단의 그룹까지 출력 버퍼부에 인가되는 바이어스 전압을 단계적으로 증가시키면 슬루 레이트가 패널의 수직 방향 전 영역에서 거의 일정하게 매칭되고, 소비 전류를 감소시킬 수 있으며, 피크 전류의 감소로 인한 EMI 개선 효과도 볼 수 있다.

산업이용 가능성

[0100] 본 발명에 따르면, 슬루 레이트가 일정하게 매칭되고, 소비 전류를 감소시킬 수 있고, 또한 EMI를 감소시킬 수 있으므로 대형 TV 등에 적용하여 소비 전류를 감소시키고, 발열량을 감소시킬 수 있다.

[0101] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0102] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치(Liquid crystal display apparatus)를 나타내는 블록도이다.

[0103] 도 2는 도 1의 소스 드라이버의 일 실시예를 나타내는 블록도이다.

[0104] 도 3은 본 발명의 일 실시예에 따른 도 2의 바이어스 제어 회로의 구성을 나타내는 블록도이다.

[0105] 도 4는 도 3의 바이어스 제어 회로의 카운터부의 구성을 나타내는 블록도이다.

[0106] 도 5는 본 발명의 다른 실시예에 따른 카운터부의 구성을 나타내는 블록도이다.

[0107] 도 6은 도 3의 바이어스 블록의 구성을 나타내는 블록도이다.

[0108] 도 7은 도 3의 리셋 회로의 구성을 나타내는 블록도이다.

[0109] 도 8a는 카운터부의 여러 신호들의 타이밍도이고, 도 8b는 도 8a에서 참조번호(410)의 확대된 타이밍도이다.

[0110] 도 9는 패널과 주사선들(또는 게이트 라인들)을 나타낸다.

[0111] 도 10은 바이어스 제어 회로와 출력 버퍼부를 나타낸다.

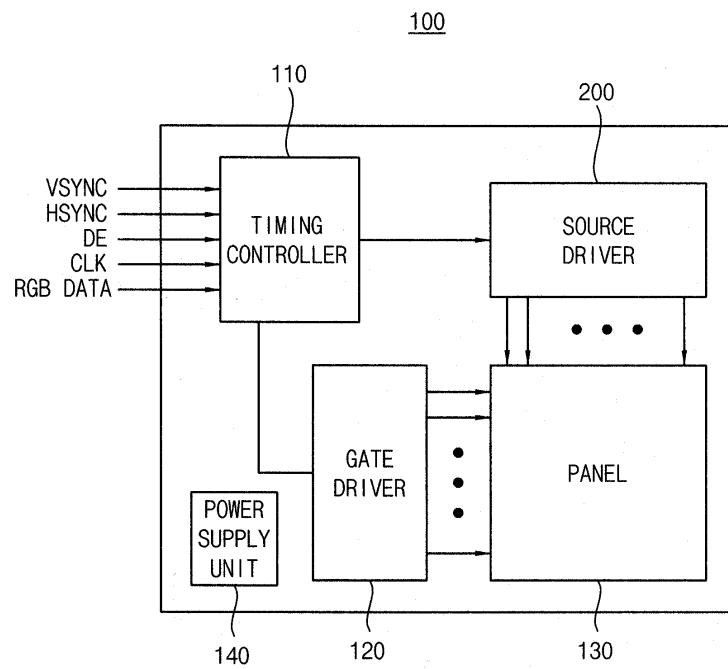
[0112] 도 11은 도 9에서 패널 상단으로부터의 주사선들의 개수에 따른 상승 시간(rising time)을 나타내는 시뮬레이션도이다.

[0113] 도 12a 및 도 12b는 도 9에서 각 그룹별로 슬루 레이트를 나타내는 시뮬레이션도이다.

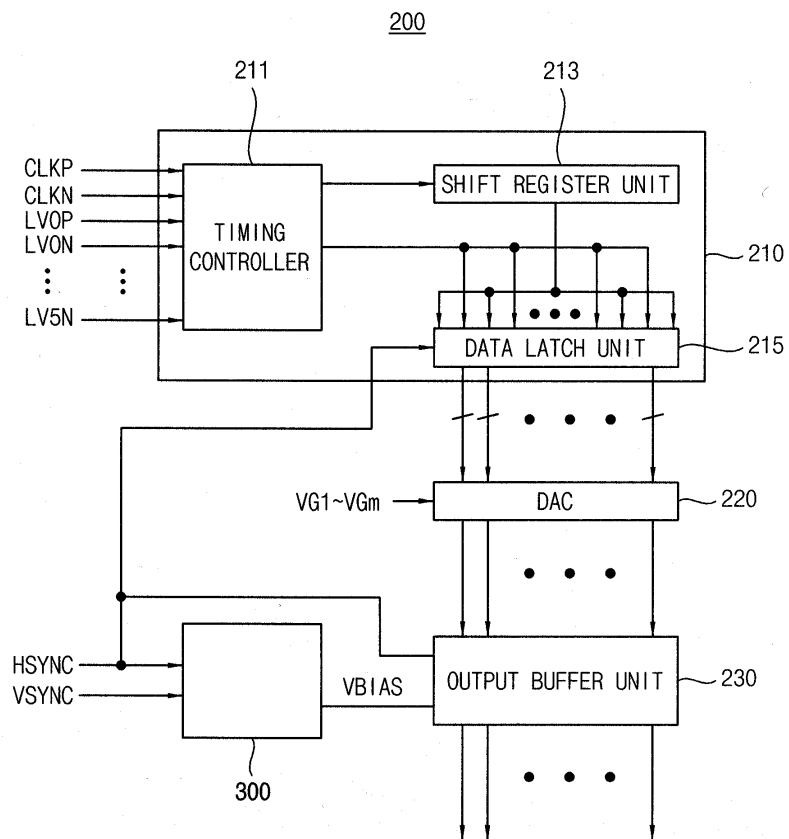
[0114] 도 13은 도 10의 출력 버퍼단에 본 발명의 실시예에 따른 바이어스 전압이 인가되는 경우와 동일한 바이어스 전압이 인가되는 경우의 피크 전류의 차이를 나타내는 시뮬레이션도이다.

도면

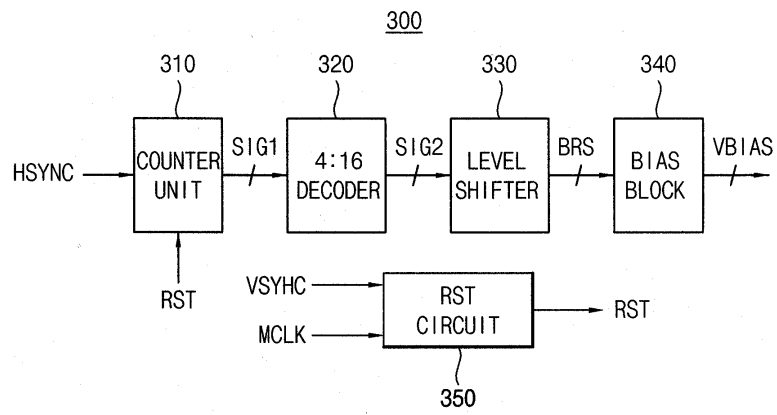
도면1



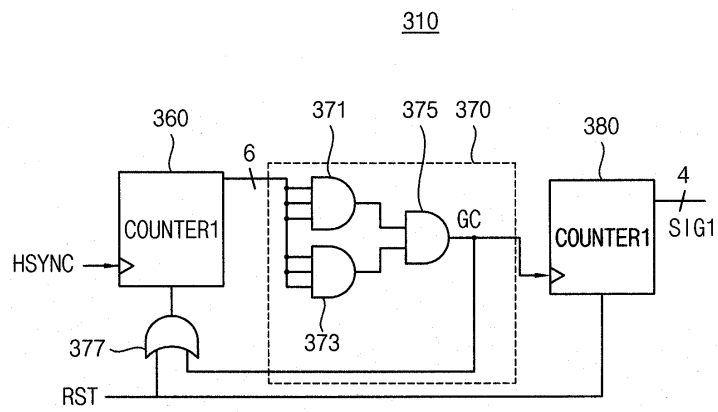
도면2



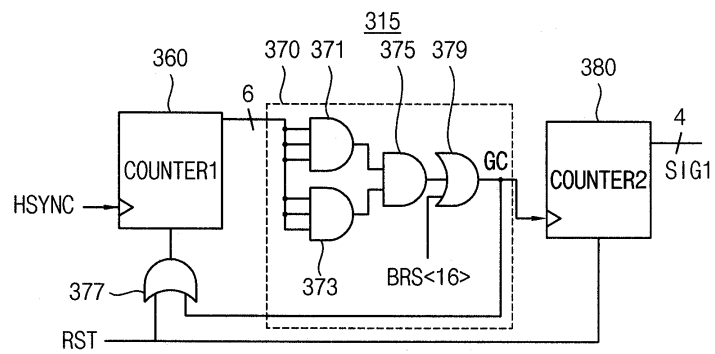
도면3



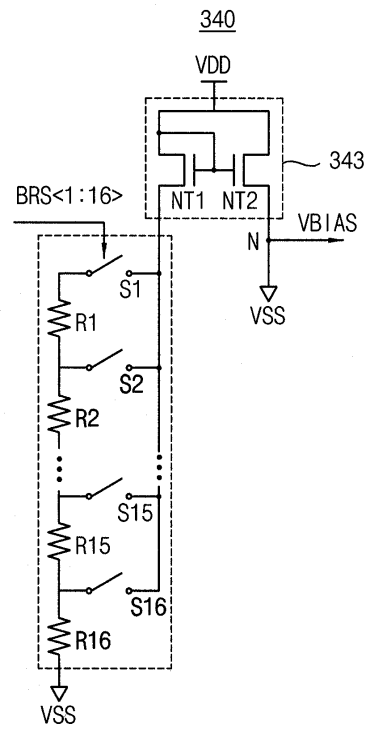
도면4



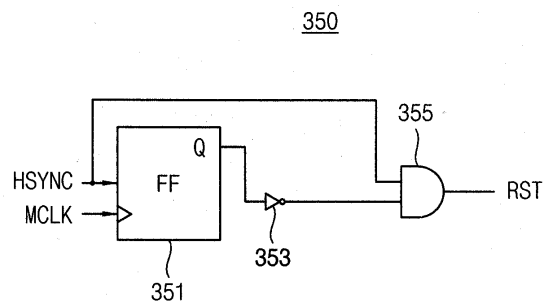
도면5



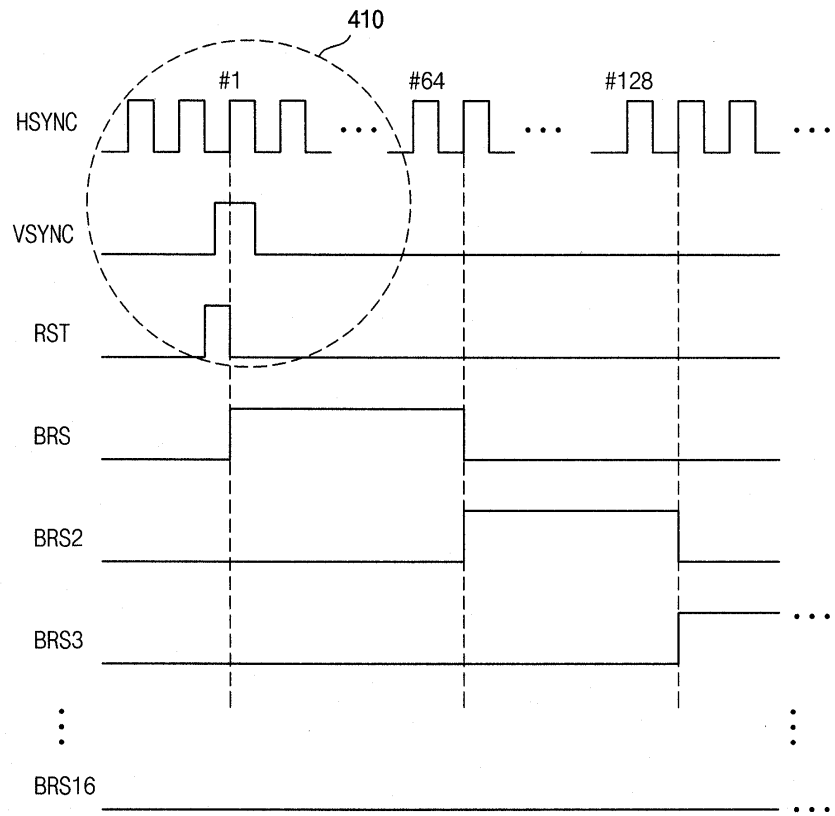
도면6



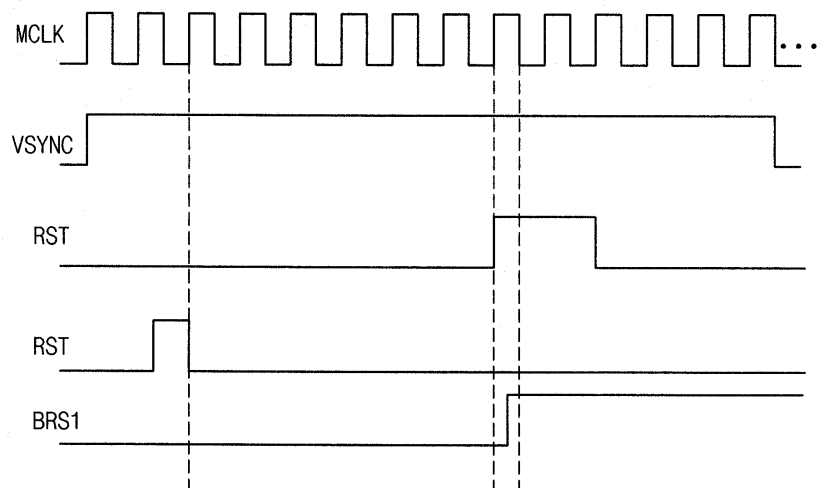
도면7



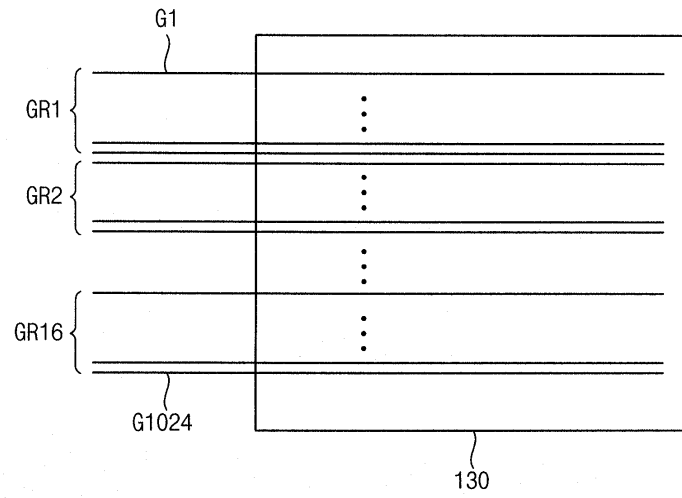
도면8a



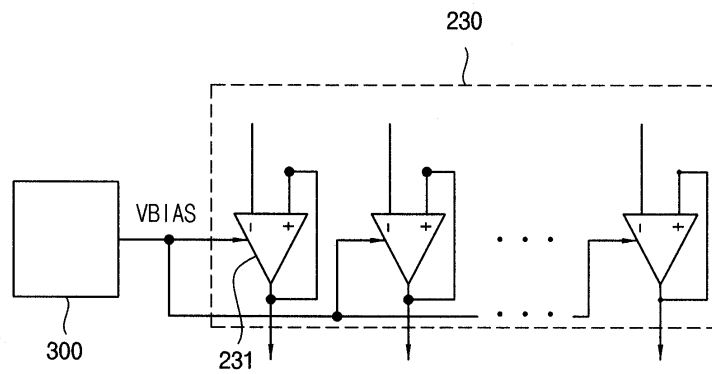
도면8b



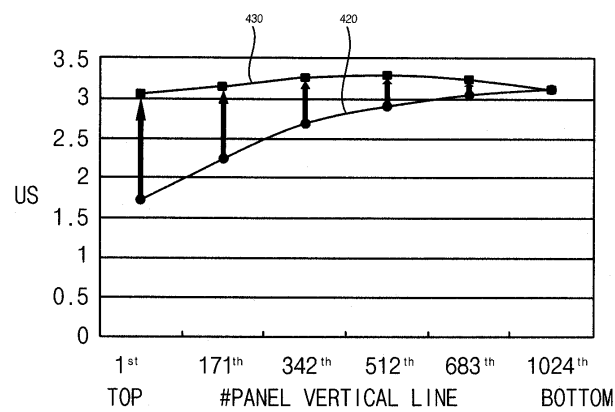
도면9



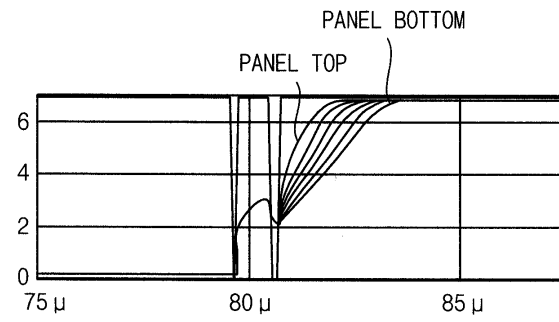
도면10



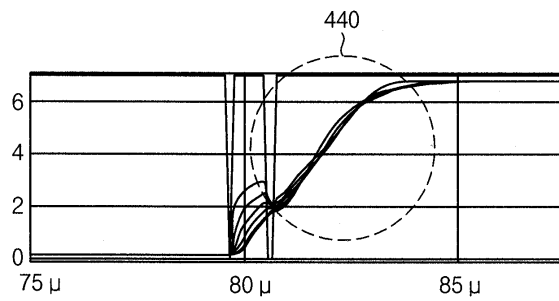
도면11



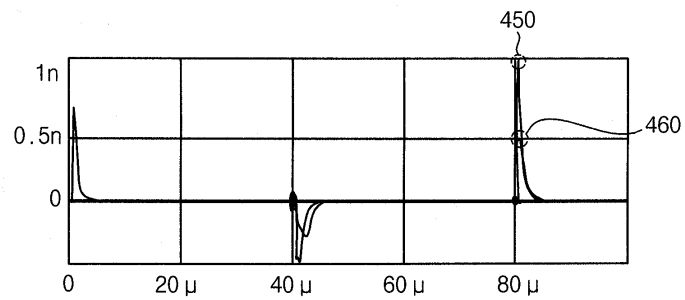
도면12a



도면12b



도면13



专利名称(译)	偏置控制电路，源极驱动器和液晶显示器件		
公开(公告)号	KR1020100077325A	公开(公告)日	2010-07-08
申请号	KR1020080135241	申请日	2008-12-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SEO KI WON 서기원 KIM DO YOON 김도윤 KWON JAE WOOK 권재욱 CHOI SUNG PIL 최승필		
发明人	서기원 김도윤 권재욱 최승필		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2330/025 G09G2330/06 G09G2330/021 G09G2310/0291 G09G3/3696 G09G2310/08 G09G3/3688 G09G3/3666		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

偏置控制电路包括计数器部分，解码器和电平shifter，以及偏置块。多比特的第一信号表示基于多个组的数量的组的信息，其中计数器部分是一帧，其被划分为包括的扫描线的数量和扫描线相同的数量。解码器对第一信号进行解码，并将其提供给多位的第二信号。电平shifter增加第二信号的电压电平，并且基于第二信号的比特值提供激活的偏置电阻选择信号。不同的偏置电阻通过组连接，并且偏置块响应于偏置电阻选择信号逐组地提供不同的偏置电压。

