



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0088529
(43) 공개일자 2009년08월20일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0013858

(22) 출원일자 2008년02월15일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이재열

경기 용인시 기흥구 영덕동 대명레이크빌아파트
103동 1402호

임정필

경기 과천시 문원동 206번지

(뒷면에 계속)

(74) 대리인

윤재석, 권영규, 한지희

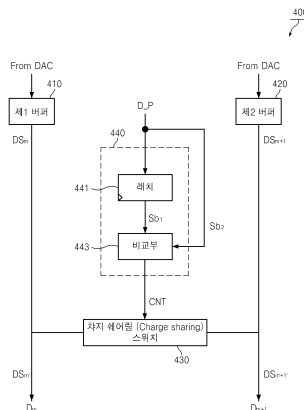
전체 청구항 수 : 총 6 항

(54) 데이터 구동부 및 이를 포함하는 액정 표시 장치

(57) 요약

데이터 구동부 및 이를 포함하는 액정 표시 장치가 제공된다. 데이터 구동부는, 제1 버퍼와, 제2 버퍼와, 제1 버퍼의 출력단과 제2 버퍼의 출력단 사이에 접속된 차지 셰어링 스위치와, 이전 라인타임 데이터 패턴과 현재 라인타임 데이터 패턴을 비교하고, 비교 결과에 따라 차지 셰어링 스위치의 스위칭 동작을 제어하기 위한 제어 신호를 출력하는 제어부를 포함한다.

대표도 - 도3



(72) 발명자

김중선

경기 성남시 분당구 분당동 장안타운건영아파트
121-1604

남장진

경기 용인시 기흥구 상하동 수원동마을쌍용아파트
204-1702

특허청구의 범위

청구항 1

제1 버퍼;

제2 버퍼;

제1 버퍼의 출력단과 제2 버퍼의 출력단 사이에 접속된 차지 웨어링 스위치; 및

이전 라인타임 데이터 패턴과 현재 라인타임 데이터 패턴을 비교하고, 비교 결과에 따라 상기 차지 웨어링 스위치의 스위칭 동작을 제어하기 위한 제어 신호를 출력하는 제어부를 포함하는 데이터 구동부.

청구항 2

제1 항에 있어서,

상기 차지 웨어링 스위치는 상기 제어 신호에 응답하여 상기 현재 라인타임 데이터 패턴에 상응하는 상기 제1 버퍼의 출력 신호와 상기 제2 버퍼의 출력 신호를 프리 차지(pre-charge) 또는 프리 디스 차지(pre-discharge)하는 데이터 구동부.

청구항 3

제1 항에 있어서, 상기 제어부는,

상기 이전 라인타임 데이터 패턴의 적어도 하나의 상위 비트(bit)를 저장하는 래치; 및

상기 현재 라인타임 데이터 패턴의 적어도 하나의 상위 비트와 상기 래치에 저장된 상기 이전 라인타임 데이터 패턴의 적어도 하나의 상위 비트를 비교하고, 비교 결과에 따라 상기 제어 신호를 출력하는 비교부를 포함하는 데이터 구동부.

청구항 4

제3 항에 있어서,

상기 비교부는, 상기 이전 라인타임 데이터 패턴의 적어도 하나의 상위 비트의 데이터와, 상기 현재 라인타임 데이터 패턴의 적어도 하나의 상위 비트의 데이터가 서로 다를 때,

제1 레벨을 갖는 제어 신호를 출력하고, 상기 차지 웨어링 스위치는 상기 제1 레벨을 갖는 상기 제어 신호에 응답하여 상기 제1 버퍼의 출력단과 상기 제2 버퍼의 출력단을 서로 접속하는 데이터 구동부.

청구항 5

제1 항에 있어서,

상기 차지 웨어링 스위치는 PMOS 또는 NMOS인 데이터 구동부.

청구항 6

제1 버퍼와, 제2 버퍼와, 제1 버퍼의 출력단과 제2 버퍼의 출력단 사이에 접속된 차지 웨어링 스위치와, 이전 라인타임 데이터 패턴과 현재 라인타임 데이터 패턴을 비교하고, 비교 결과에 따라 상기 차지 웨어링 스위치의 스위칭 동작을 제어하기 위한 제어 신호를 출력하는 제어부를 포함하는 데이터 구동부;

게이트 온/오프 전압을 출력하는 게이트 구동부; 및

영상을 디스플레이하는 액정 패널로서, 상기 액정 패널은 각각이 상기 게이트 온/오프 전압을 수신하는 다수의 게이트 라인들과, 각각이 상기 제1 버퍼의 출력단 및 상기 제2 버퍼의 출력단에 접속된 다수의 데이터 라인들과, 각각이 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들 각각에 접속된 다수의 화소들을 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 데이터 구동부 및 이를 포함하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 발열량을 감소시킬 수 있는 데이터 구동부 및 이를 포함하는 액정 표시 장치에 관한 것이다.

배경 기술

<2> 최근 대형 사이즈의 디스플레이 장치, 예컨대 액정 표시 장치가 개발되고 있다. 이러한 대형 사이즈의 액정 표시 장치는 고해상도, 고화질을 특징으로 한다. 예컨대 HD급의 액정 표시 장치는 WXGA(Wide XGA)(1366×768)의 해상도, Full-HD급의 액정 표시 장치는 WUXGA(Widescreen Ultra XGA)(1920×1080)의 해상도를 가질 수 있다.

<3> 이렇게 액정 표시 장치의 해상도가 높아지면서 하나의 컬러당 10비트 이상의 계조를 표현해야 하는 요구 조건이 발생하게 된다. 이에 액정 표시 장치의 액정 패널에 구동 전류를 공급하는 데이터 구동부, 즉 소스 드라이버는 다채널을 지원하며, 고속으로 인터페이싱 동작을 수행하여야 한다.

<4> 한편, 액정 패널의 사이즈가 대형화하면서, 데이터 구동부에서 액정 패널에 공급해야 하는 구동 전류가 증가하고, 이러한 구동 전류의 증가는 데이터 구동부의 구동 전력을 증가시키고, 따라서 데이터 구동부의 발열량이 증가되게 된다.

<5> 데이터 구동부의 발열량의 증가는 데이터 구동부의 정상적인 동작을 방해하며, 이러한 데이터 구동부의 오동작은 액정 표시 장치의 불량으로 나타나게 된다.

발명의 내용

해결 하고자하는 과제

<6> 본 발명이 해결하고자 하는 과제는, 발열량을 감소시킬 수 있는 데이터 구동부 및 이를 포함하는 액정 표시 장치를 제공하고자 하는데 있다.

과제 해결수단

<7> 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 데이터 구동부는, 제1 버퍼와, 제2 버퍼와, 제1 버퍼의 출력단과 제2 버퍼의 출력단 사이에 접속된 차지 웨어링 스위치와, 이전 라인타임 데이터 패턴과 현재 라인타임 데이터 패턴을 비교하고, 비교 결과에 따라 차지 웨어링 스위치의 스위칭 동작을 제어하기 위한 제어 신호를 출력하는 제어부를 포함한다.

<8> 상기 다른 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 버퍼와, 제2 버퍼와, 제1 버퍼의 출력단과 제2 버퍼의 출력단 사이에 접속된 차지 웨어링 스위치와, 이전 라인타임 데이터 패턴과 현재 라인타임 데이터 패턴을 비교하고, 비교 결과에 따라 차지 웨어링 스위치의 스위칭 동작을 제어하기 위한 제어 신호를 출력하는 제어부를 포함하는 데이터 구동부와, 게이트 온/오프 전압을 출력하는 게이트 구동부와, 영상을 디스플레이 하는 액정 패널로서, 각각이 게이트 온/오프 전압을 수신하는 다수의 게이트 라인들과, 각각이 제1 버퍼의 출력단 및 제2 버퍼의 출력단에 접속된 다수의 데이터 라인들과, 각각이 다수의 게이트 라인들 및 다수의 데이터 라인들 각각에 접속된 다수의 화소들을 포함한다.

효과

<9> 본 발명에 따른 데이터 구동부 및 이를 포함하는 액정 표시 장치는, 데이터 구동부로부터 출력되는 데이터 신호들을 선택적으로 프리 차지 또는 프리 디스 차지 시킴으로써, 데이터 구동부의 구동 전류를 줄이고 발열량을 감소시켜 액정 표시 장치의 오동작을 방지할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<10> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<11> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다.

- <12> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적인 블록도이고, 도 2는 도 1에 도시된 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다.
- <13> 도 1을 참조하면, 액정 표시 장치(10)는 액정 패널(100), 신호 처리 장치(200), 게이트 구동부(300), 데이터 구동부(400) 및 계조 전압 발생부(500)를 포함한다.
- <14> 액정 패널(100)는 다수의 화소들(PX)과, 다수의 게이트 라인들(G1-Gn) 및 다수의 데이터 라인들(D1-Dm)을 포함한다. 여기서, n과 m은 자연수이다.
- <15> 다수의 게이트 라인들(G1-Gn) 각각에는 게이트 구동부(300)로부터 출력된 게이트 신호, 예컨대 게이트 온/오프 전압(Von, Voff)이 인가된다.
- <16> 다수의 데이터 라인들(D1-Dm) 각각에는 데이터 구동부(400)로부터 출력된 데이터 신호가 인가된다.
- <17> 다수의 게이트 라인들(G1-Gn)은 대략 열 방향으로 연장되어 서로가 거의 평행하고, 다수의 데이터 라인들(D1-Dm)은 하나의 화소당 2개씩 구비되어 대략 열 방향으로 연장되어 서로가 거의 평행하다.
- <18> 도 2를 참조하면, 액정 패널(100)의 하나의 화소(PX)는 제1 서브 화소(130)와 제2 서브 화소(140)를 포함한다.
- <19> 제1 서브 화소(130)와 제2 서브 화소(140)는 제1 화소 전극(131) 및 제2 화소 전극(141)이 형성된 제1 기관(110)과, 공통 전극(CE) 및 컬러 필터(CF)가 형성된 제2 기관(120) 사이에 형성된다.
- <20> 제1 기관(110)에는 제1 서브 화소(130) 및 제2 서브 화소(140)와 전기적으로 연결되며, 각각 열 방향과 행 방향으로 뻗은 게이트 라인(Gn)과 제1 데이터 라인(D_m) 및 제2 데이터 라인(D_{m+1})이 형성된다.
- <21> 제1 서브 화소(130)와 제2 서브 화소(140)에는 각각 서로 다른 제1 데이터 신호와 제2 데이터 신호가 인가된다. 여기서, 제2 데이터 신호는 제1 데이터 신호와 반대 위상을 가지는 신호일 수 있으며, 제1 데이터 신호보다 작을 수 있다.
- <22> 제1 서브 화소(130)는 게이트 라인(Gn)에 제공된 게이트 온 전압에 응답하여 제1 데이터 신호를 제1 커패시터(C1)에 제공하는 제1 스위칭 소자(Q1)와, 제1 데이터 신호가 충전되는 제1 커패시터(C1)를 포함한다.
- <23> 제2 서브 화소(140)는 게이트 라인(Gn)에 제공된 게이트 온 전압에 응답하여 제2 데이터 신호를 제2 커패시터(C2)에 제공하는 제2 스위칭 소자(Q2)와, 제2 데이터 신호가 충전되는 제2 커패시터(C2)를 포함한다.
- <24> 제1 서브 화소(130)에 제1 데이터 신호가 인가되면, 백 라이트 어셈블리(미도시)로부터 제공되는 광이 제1 데이터 신호에 대응하는 제1 투과율에 따라 투과된다.
- <25> 제2 서브 화소(140)에 제1 데이터 신호보다 낮은 제2 데이터 신호가 인가되면, 백 라이트 어셈블리로부터 제공되는 광은 제2 데이터 신호에 대응하는 제2 투과율에 따라 투과된다. 따라서 하나의 화소(PX)에서 표시되는 영상은, 제1 투과율과 제2 투과율 사이의 투과율의 밝기로 보여진다.
- <26> 여기서, 제1 화소 전극(131)과 제2 화소 전극(141)의 형상은 도 2에 도시된 것에 한정되지 않고 다양하게 형성될 수 있다.
- <27> 다시 도 1을 참조하면, 예컨대 타이밍 컨트롤러와 같은 신호 처리 장치(200)는 외부의 그래픽 제어기(미도시)로부터 다수의 입력 제어 신호들을 수신하고, 이를 기초로 게이트 제어 신호(CONT1)와 데이터 제어 신호(CONT2)를 생성한다.
- <28> 신호 처리 장치(200)는 게이트 제어 신호(CONT1)를 게이트 구동부(300)로 출력하고, 데이터 제어 신호(CONT2)를 데이터 구동부(400)로 출력한다.
- <29> 그래픽 제어기로부터 신호 처리 장치(200)로 입력되는 다수의 입력 제어 신호는 수직 동기 신호(Vsync)와 수직 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 포함할 수 있다.
- <30> 신호 처리 장치(200)로부터 게이트 구동부(300)로 출력되는 게이트 제어 신호(CONT1)는, 게이트 구동부(300)의 동작을 제어하기 위한 신호이다.
- <31> 예컨대 게이트 제어 신호(CONT1)는 게이트 구동부(300)의 동작을 개시하는 수직 시작 신호, 게이트 온 전압의 출력 시기를 결정하는 게이트 클럭 신호 및 게이트 온 전압의 펄스 폭을 결정하는 출력 인에이블 신호 등을 포함할 수 있다.

- <32> 신호 처리 장치(200)로부터 데이터 구동부(400)로 출력되는 데이터 제어 신호(CONT2)는 데이터 구동부(400)의 동작을 제어하는 신호이다.
- <33> 예컨대 데이터 제어 신호(CONT2)는 데이터 구동부(400)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 출력 지시 신호 등을 포함할 수 있다.
- <34> 신호 처리 장치(200)는 그래픽 제어기로부터 영상 신호들(R, G, B)를 입력받고, 이를 액정 패널(100)의 동작 조건에 맞도록 적절히 처리하여 영상 데이터 신호들(R', G', B')으로써 데이터 구동부(400)로 출력한다.
- <35> 게이트 구동부(300)는 신호 처리 장치(200)로부터 제공된 게이트 제어 신호(CONT1)에 응답하여 외부로부터 입력된 게이트 온/오프 전압(Von, Voff)을 다수의 게이트 라인(G1-Gn)들에 순차적으로 출력한다.
- <36> 데이터 구동부(400)는 신호 처리 장치(200)로부터 제공된 데이터 제어 신호(CONT2)에 응답하여 영상 데이터 신호들(R', G', B')을 순차적으로 입력받는다.
- <37> 그리고, 계조 전압 발생부(500)로부터 제공된 다수의 계조 전압 중에서 상기 영상 데이터 신호들(R', G', B')에 대응하는 계조 전압들을 선택하고, 도 2의 제1 서브 화소(130)에 구비된 제1 데이터 라인(Dm) 및 제2 서브 화소(140)에 구비된 제2 데이터 라인(D_{m+1})에 제1 데이터 신호 및 제2 데이터 신호로써 각각 제공한다.
- <38> 또한, 데이터 구동부(400)는 액정 패널(100)의 사이즈가 커짐에 따라 구동 전력이 증가하고, 이에 따라 발열이 증가하는 것을 감소시키기 위해 제1 데이터 신호와 제2 데이터 신호를 차지 웨어링(charge sharing), 예컨대 제1 데이터 신호와 제2 데이터 신호를 프리 차지(pre-charge) 또는 프리 디스 차지(pre-discharge)시킬 수 있는 차지 웨어링 스위치와, 차지 웨어링 스위치의 스위칭 동작을 제어하여 상기 차지 웨어링 스위치가 선택적으로 동작될 수 있도록 제어하는 제어부를 더 포함할 수 있다. 이러한 차지 웨어링 스위칭 및 제어부는 후술될 도 3 및 도 4를 참조하여 상세히 설명한다.
- <39> 한편, 계조 전압 발생부(500)는 구동 전압이 인가되는 노드와 그라운드 사이에 직렬로 연결된 복수의 저항을 포함하여, 상기 구동 전압의 전압 레벨을 분배하여 다수의 계조 전압을 생성하지만 이를 도시하지 않았다. 계조 전압 발생부(500)의 내부 회로는 이에 한정되지 않고, 다양하게 구현될 수 있다.
- <40> 이하, 도 3 및 도 4를 참조하여 본 발명의 일 실시예에 따른 데이터 구동부를 상세히 설명한다.
- <41> 도 3은 도 2에 도시된 데이터 구동부의 개략적인 블록도이고, 도 4는 도 3의 데이터 구동부의 라인타임 동작별 신호 파형도이다.
- <42> 도 3을 참조하면, 본 실시예의 데이터 구동부(400)는 한 쌍의 출력부, 예컨대 제1 버퍼(410) 및 제2 버퍼(420)와, 차지 웨어링(charge sharing) 스위치(430) 및 제어부(440)를 포함한다.
- <43> 한 쌍의 출력부는 예컨대 도 3에 도시된 바와 같이, 다수의 버퍼(buffer)들로 구성될 수 있으며, 경우에 따라서는 증폭기로 구성될 수도 있다.
- <44> 제1 버퍼(410)는 외부, 예컨대 DAC(Digital to Analog Converter)(미도시)로부터 제공된 신호를 제1 버퍼(410)의 출력 신호(DS_m), 예컨대 제1 데이터 신호로써 도 2에 도시된 제1 데이터 라인(D_m)에 출력한다.
- <45> 제2 버퍼(420)는 DAC로부터 제공된 신호를 제2 버퍼(420)의 출력 신호(DS_{m+1}), 예컨대 제2 데이터 신호(DS_{m+1})로써 도 2에 도시된 제2 데이터 라인(D_{m+1})에 출력한다.
- <46> 여기서, DAC로부터 제1 버퍼(410) 및 제2 버퍼(420)에 각각 제공되는 신호들은, 예컨대 도 1에 도시된 신호 처리 장치(200)로부터 데이터 구동부(400)의 DAC로 제공된 디지털 신호, 예컨대 데이터 패턴(D_P)들을 계조 전압에 대응되는 아날로그 신호로 변환한 신호일 수 있다. 이때, 데이터 패턴(D_P)은 N(N은 자연수, N=10)비트의 데이터일 수 있다.
- <47> 차지 웨어링 스위치(430)는 제1 버퍼(410)의 출력단과 제2 버퍼(420)의 출력단 사이에 접속될 수 있다.
- <48> 차지 웨어링 스위치(430)는 외부, 예컨대 제어부(440)로부터 제공된 제어 신호(CNT)에 응답하여 스위칭 동작을 수행한다.
- <49> 차지 웨어링 스위치(430)가 스위칭 동작을 수행함에 따라 제1 데이터 신호(DS_m)와 제2 데이터 신호(DS_{m+1})는 차지 웨어링, 예컨대 특정한 레벨로 프리 차지(pre-charge) 또는 프리 디스 차지(pre-discharge)될 수 있다.

- <50> 차지 웨어링 스위치(430)는 예를 들어, PMOSFET 또는 NMOSFET의 스위칭 소자로 구현될 수 있다.
- <51> 제어부(440)는 래치(441)와 비교부(443)를 포함할 수 있다.
- <52> 래치(441)는 외부로부터 제공된 데이터 패턴(D_P)의 MSB(Most Significant Bit; MSB)를 포함하는 적어도 하나의 상위 비트(bit)를 수신하여 저장할 수 있다.
- <53> 예컨대 래치(441)는 제1 버퍼(410)에 입력되는 제1 데이터 신호(D_{S_m})에 상응하는 데이터 패턴(D_P)을 제공받고, 상기 데이터 패턴(D_P)의 MSB를 포함하는 적어도 하나의 상위 비트, 예컨대 상위 2비트(Sb1)를 저장할 수 있다.
- <54> 또한, 래치(441)는 제2 버퍼(420)에 입력되는 제2 데이터 신호(D_{S_{m+1}})에 상응하는 데이터 패턴(D_P)을 제공받고, 상기 데이터 패턴(D_P)의 MSB를 포함하는 적어도 하나의 상위 비트, 예컨대 상위 2비트(Sb1)를 저장할 수 있다.
- <55> 여기서, 래치(441)는 제1 데이터 신호(D_{S_m})에 상응하는 데이터 패턴(D_P) 또는 제2 데이터 신호(D_{S_{m+1}})에 상응하는 데이터 패턴(D_P) 중 하나의 데이터 패턴(D_P)을 제공받고, 제공된 하나의 데이터 패턴(D_P)의 적어도 하나의 상위 비트(Sb1)를 저장할 수 있다.
- <56> 래치(441)는 플립플롭(flip-flop), 예를 들어 D플립플롭으로 구성될 수 있다.
- <57> 비교부(443)는 래치(441)에 저장된 데이터 패턴(D_P)의 적어도 하나의 상위 비트(Sb1)와 외부로부터 제공되는 다른 데이터 패턴(D_P)의 적어도 하나의 상위 비트(Sb2)를 비교하고, 비교 결과에 따라 제어 신호(CNT)를 출력한다.
- <58> 제어 신호(CNT)는 서로 다른 레벨, 예컨대 하이(high) 레벨 또는 로우(low) 레벨로 출력될 수 있다.
- <59> 제어 신호(CNT)는 차지 웨어링 스위치(430)의 스위치 동작, 예컨대 차지 웨어링 스위치(430)의 턴-온(turn-on) 또는 턴-오프(turn-off) 동작을 제어할 수 있다.
- <60> 예컨대, 비교부(443)로부터 비교 결과에 따라 하이(high) 레벨의 제어 신호(CNT)가 출력되면, 차지 웨어링 스위치(430)는 비교부(443)로부터 출력된 하이 레벨의 제어 신호(CNT) 응답하여 턴-온될 수 있다.
- <61> 턴-온된 차지 웨어링 스위치(430)는 제1 버퍼(410)의 출력단과 제2 버퍼(420)의 출력단을 서로 접속시키고, 제1 버퍼(410)의 출력 신호(D_{S_m})와 제2 버퍼(420)의 출력 신호(D_{S_{m+1}}), 예컨대 래치(441)에 입력되는 데이터 패턴(D_P)에 상응하는 제1 데이터 신호(D_{S_m})와 제2 데이터 신호(D_{S_{m+1}})를 프리 디스 차지 또는 프리 차지 시킬 수 있다.
- <62> 이에 따라, 제1 버퍼(410) 및 제2 버퍼(420)는 프리 디스 차지 또는 프리 차지된 제1 데이터 신호(D_{S_m}) 및 제2 데이터 신호(D_{S_{m+1}})를 출력할 수 있다.
- <63> 즉, 제1 버퍼(410) 및 제2 버퍼(420)는 차지 웨어링 스위치(430)에 의해 제1 데이터 신호(D_{S_m}) 및 제2 데이터 신호(D_{S_{m+1}})가 프리 디스 차지 또는 프리 차지된 시점에서부터 구동됨으로써, 제1 버퍼(410)와 제2 버퍼(420)의 구동 전력을 감소시킬 수 있다. 이에 따라 데이터 구동부(400)의 발열량도 감소될 수 있다.
- <64> 여기서, 비교부(443)는 예를 들어 NAND 게이트 또는 NOR 게이트 등의 논리 게이트로 구현될 수 있다.
- <65> 이하, 도 1 내지 도 4를 참조하여, 상술한 데이터 구동부(400)의 동작에 대해 구체적으로 설명한다.
- <66> 우선, 액정 표시 장치(10)의 이전 라인타임(line-time) 동작, 예컨대 게이트 구동부(300)로부터 액정 패널(100)의 제1 게이트 라인(G1)에 게이트 온 전압(Von)이 인가되어 제1 게이트 라인(G1)에 접속된 다수의 스위칭 소자들(Q1, Q2)이 턴-온된 (N-1)라인타임 동작 (여기서, N은 액정 표시 장치의 현재 라인타임 동작을 나타냄)에서의 데이터 구동부(400)의 동작에 대해 설명한다.
- <67> 액정 표시 장치(10)의 이전 라인타임 동작에서, 데이터 구동부(400)의 제1 버퍼(410)는 제1 게이트 라인(G1)과 제1 데이터 라인(D1)에 연결된 제1 서브 화소(130)에 (N-1)라인타임 제1 출력 신호(D_{S_{m(N-1)}})를 출력한다.
- <68> 액정 표시 장치(10)의 이전 라인타임 동작에서, 데이터 구동부(400)의 제2 버퍼(420)는 제1 게이트 라인(G1)과 제2 데이터 라인(D2)에 연결된 제2 서브 화소(140)에 (N-1)라인타임 제2 출력 신호(D_{S_{m+1(N-1)}})를 출력한다.

- <69> 여기서, (N-1)라인타임 제1 출력 신호(DS_{m,(N-1)})와 (N-1)라인타임 제2 출력 신호(DS_{m+1,(N-1)})는 예컨대 기준 전압 신호(Vref)를 중심으로 반대의 위상을 가질 수 있다.
- <70> 한편, 데이터 구동부(400)는 제어부(440)의 래치(441)에 제1 버퍼(410)로부터 출력된 (N-1)라인타임 제1 출력 신호(DS_{m,(N-1)})에 상응하는 데이터 패턴(D_P) 또는 제2 버퍼(420)로부터 출력된 (N-1)라인타임 제2 출력 신호(DS_{m+1,(N-1)})에 상응하는 데이터 패턴(D_P)을 수신한다.
- <71> 또, 래치(441)는 수신된 상기 데이터 패턴(D_P)의 상위 비트들, 예컨대 상기 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb1)를 저장한다.
- <72> 본 실시예에서는 하나의 예로써, 래치(441)가 제1 버퍼(410)로부터 출력된 (N-1)라인타임 제1 출력 신호(DS_{m,(N-1)})에 상응하는 데이터 패턴(D_P)을 수신하고, 상기 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb1)를 저장하는 예를 들어 설명한다.
- <73> 액정 표시 장치(10)의 현재 라인타임 동작, 예컨대 게이트 구동부(300)로부터 액정 패널(10)의 제2 게이트 라인(G2)에 게이트 온 전압(Von)이 인가되어 제2 게이트 라인(G2)에 접속된 다수의 스위칭 소자들(Q1, Q2)이 턴-온된 N라인타임 동작에서의 데이터 구동부(400)의 동작을 설명한다.
- <74> 액정 표시 장치(10)의 현재 라인타임 동작에서, 데이터 구동부(400)의 제1 버퍼(410)는 제2 게이트 라인(G2)과 제1 데이터 라인(D1)에 연결된 제1 서브 화소(130)에 N라인타임 제1 출력 신호(DS_{m,N})를 출력한다.
- <75> 액정 표시 장치(10)의 현재 라인타임 동작에서, 데이터 구동부(400)의 제2 버퍼(420)는 제2 게이트 라인(G2)과 제2 데이터 라인(D2)에 연결된 제2 서브 화소(140)에 N라인타임 제2 출력 신호(DS_{m+1,N})를 출력한다.
- <76> N라인타임 제1 출력 신호(DS_{m,N})와 N라인타임 제2 출력 신호(DS_{m+1,N})는 앞서 설명한 바와 같이, 기준 전압 신호(Vref)를 중심으로 반대의 위상을 가질 수 있다.
- <77> 한편, 데이터 구동부(400)의 제어부(440)의 래치(441)는 외부로부터 제공된 소정의 클럭 신호에 응답하여 저장하고 있던 데이터 패턴(D_P), 예컨대 액정 표시 장치(10)의 (N-1)라인타임 동작에서의 제1 버퍼(410)로부터 출력된 (N-1)라인타임 제1 출력 신호(DS_{m,(N-1)})에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb1)를 비교부(443)로 출력한다.
- <78> 또, 래치(441)는 상기 클럭 신호에 응답하여 제1 버퍼(410)로부터 출력된 N라인타임 제1 출력 신호(DS_{m,N})에 상응하는 데이터 패턴(D_P)을 수신하고, 상기 데이터 패턴(D_P)의 상위 비트들, 예컨대 상기 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트를 저장한다.
- <79> 비교부(443)는 래치(441)로부터 제공된 (N-1)라인타임 제1 출력 신호(DS_{m,(N-1)})에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb1)와, N라인타임 제1 출력 신호(DS_{m,N})에 상응하는 데이터 패턴(D_P) 또는 N라인타임 제2 출력 신호(DS_{m+1,N})에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb2)를 비교한다.
- <80> 본 실시예에서는 하나의 예로써, 비교부(443)가 (N-1)라인타임 제1 출력 신호(DS_{m,(N-1)})에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb1)와, N라인타임 제1 출력 신호(DS_{m,N})에 상응하는 데이터 패턴(D_P)에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb2)를 비교하는 예를 들어 설명한다.
- <81> 이어, 비교부(443)는 비교 결과에 따라 제어 신호(CNT)를 출력한다.
- <82> 예를 들어, 래치(441)로부터 비교부(443)에 제공된 데이터 패턴(D_P)의 상위 2비트(Sb1)가 11이고, N라인타임 제1 출력 신호(DS_{m,N})에 상응하는 데이터 패턴(D_P)의 상위 2비트(Sb2)가 래치(441)로부터 제공된 상위 2비트(Sb1)보다 미소하게 작은 값, 예컨대 10이면, 비교부(443)는 (N-1)라인타임 데이터 패턴(D_P)의 최상위 비트와 N라인타임 데이터 패턴(D_P)의 최상위 비트가 실질적으로 동일하므로, 로우(low) 레벨의 제어 신호(CNT)를 출력할 수 있다.
- <83> 차지 웨어링 스위치(430)는 비교부(443)로부터 출력된 로우 레벨의 제어 신호(CNT)에 응답하여 턴-오프되고, 액정 표시 장치의 N라인타임 동작에서 제1 버퍼(410)의 출력 신호(DS_{m,N}) 및 제2 버퍼(420)의 출력 신호(DS_{m+1,N})에

대하여 차지 웨어링 동작, 예컨대 제1 버퍼(410)의 출력 신호($DS_{m,N}$) 및 제2 버퍼(420)의 출력 신호($DS_{m+1,N}$)의 프리 차지 또는 프리 디스 차지를 수행하지 않는다.

- <84> 이에 따라 액정 표시 장치(10)의 N라인타임 동작에서, 데이터 구동부(400)는 액정 패널(100)의 제2 게이트 라인(G2)과 제1 데이터 라인(D1)에 연결된 제1 서브 화소(130) 및 제2 게이트 라인(G2)과 제2 데이터 라인(D2)에 연결된 제2 서브 화소(140)에 N라인타임 제1 출력 신호($DS_{m,N}$) 및 제2 출력 신호($DS_{m+1,N}$)를 데이터 신호로써 제공할 수 있다.
- <85> 액정 표시 장치(10)의 다음 라인타임 동작, 예컨대 게이트 구동부(300)로부터 액정 패널(10)의 제3 게이트 라인(G3)에 게이트 온 전압(Von)이 인가되어 제3 게이트 라인(G2)에 접속된 다수의 스위칭 소자들(Q1, Q2)이 턴-온된 (N+1)라인타임 동작 (여기서, N은 액정 표시 장치의 현재 라인타임 동작을 나타냄)에서의 데이터 구동부(400)의 동작을 설명한다.
- <86> 액정 표시 장치(10)의 다음 라인타임 동작에서, 데이터 구동부(400)의 제1 버퍼(410)는 제3 게이트 라인(G3)과 제1 데이터 라인(D1)에 연결된 제1 서브 화소(130)에 (N+1)라인타임 제1 출력 신호($DS_{m,(N+1)}$)를 출력한다.
- <87> 액정 표시 장치(10)의 다음 라인타임 동작에서, 데이터 구동부(400)의 제2 버퍼(420)는 제3 게이트 라인(G3)과 제2 데이터 라인(D2)에 연결된 제2 서브 화소(140)에 (N+1)라인타임 제2 출력 신호($DS_{m+1,(N+1)}$)를 출력한다.
- <88> 한편, 데이터 구동부(400)의 제어부(440)의 래치(441)는 외부로부터 제공된 소정의 클럭 신호에 응답하여 저장하고 있던 데이터 패턴(D_P), 예컨대 액정 표시 장치의 N라인타임 동작에서의 제1 버퍼(410)로부터 출력된 N라인타임 제1 출력 신호($DS_{m,N}$)에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb1)를 비교부(443)로 출력한다.
- <89> 또, 래치(441)는 상기 클럭 신호에 응답하여 제1 버퍼(410)로부터 출력된 (N+1)라인타임 제1 출력 신호($DS_{m,(N+1)}$)에 상응하는 데이터 패턴(D_P)을 수신하고, 상기 데이터 패턴(D_P)의 상위 비트들, 예컨대 상기 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트를 저장한다.
- <90> 비교부(443)는 래치(441)로부터 제공된 N라인타임 제1 출력 신호($DS_{m,N}$)에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb1)와, (N+1)라인타임 제1 출력 신호($DS_{m,(N+1)}$)에 상응하는 데이터 패턴(D_P)의 MSB를 포함하는 상위 2비트(Sb2)를 비교한다.
- <91> 이어, 비교부(443)는 비교 결과에 따라 제어 신호(CNT)를 출력한다.
- <92> 예를 들어, 래치(441)로부터 비교부(443)에 제공된 데이터 패턴(D_P)의 상위 2비트(Sb1)가 하이 레벨, 예컨대 10이고, (N+1)라인타임 제1 출력 신호($DS_{m,(N+1)}$)에 상응하는 데이터 패턴(D_P)의 상위 2비트(Sb2)가 로우 레벨, 예컨대 00이면, 비교부(443)는 N라인타임 데이터 패턴(D_P)의 최상위 비트와 (N+1)라인타임 데이터 패턴(D_P)의 최상위 비트가 서로 다르기 때문에, 하이(high) 레벨의 제어 신호(CNT)를 출력할 수 있다.
- <93> 즉, 비교부(443)는 (N+1)라인타임 제1 출력 신호($DS_{m,(N+1)}$)에 상응하는 데이터 패턴(D_P)이 래치(441)로부터 제공된 데이터 패턴(D_P)에 비해 현저하게 감소될 때, 하이 레벨의 제어 신호(CNT)를 출력하여 차지 웨어링 스위치(430)의 동작을 제어할 수 있다.
- <94> 다시 말하면, 데이터 구동부(400)로부터 발생하는 발열은 대부분 제1 버퍼(410) 또는 제2 버퍼(420)일 수 있다. 또, 제1 버퍼(410)의 출력 신호는 제2 버퍼(420)의 출력 신호와 기준 레벨 신호(V_{ref})를 중심으로 반대의 위상을 가질 수 있다. 이때, 액정 표시 장치(10)의 (N+1)라인타임 동작에서의 제1 버퍼(410)의 출력 신호($DS_{m,(N+1)}$)가 N라인타임 동작에서의 제1 버퍼(410)의 출력 신호($DS_{m,N}$)보다 감소될 때, 제1 버퍼(410) 및 제2 버퍼(420)로부터 발열이 가장 많이 발생한다. 따라서 비교부(443)는 (N+1)라인타임 제1 출력 신호($DS_{m,(N+1)}$)에 상응하는 데이터 패턴(D_P)과 N라인타임 제1 출력 신호($DS_{m,N}$)에 상응하는 데이터 패턴(D_P)을 비교하여, 두 데이터 패턴(D_P)의 상위 비트가 감소될 때, 하이 레벨의 제어 신호(CNT)를 출력하여 차지 웨어링 스위치(430)의 동작을 제어할 수 있다.
- <95> 차지 웨어링 스위치(430)는 하이 레벨의 제어 신호(CNT)에 응답하여 턴-온되고, 액정 표시 장치(10)의 (N+1)라인타임 동작에서 제1 버퍼(410)의 출력 신호($DS_{m,(N+1)}$) 및 제2 버퍼(420)의 출력 신호($DS_{m+1,(N+1)}$)에 대하여 차지

웨어링 동작을 수행한다.

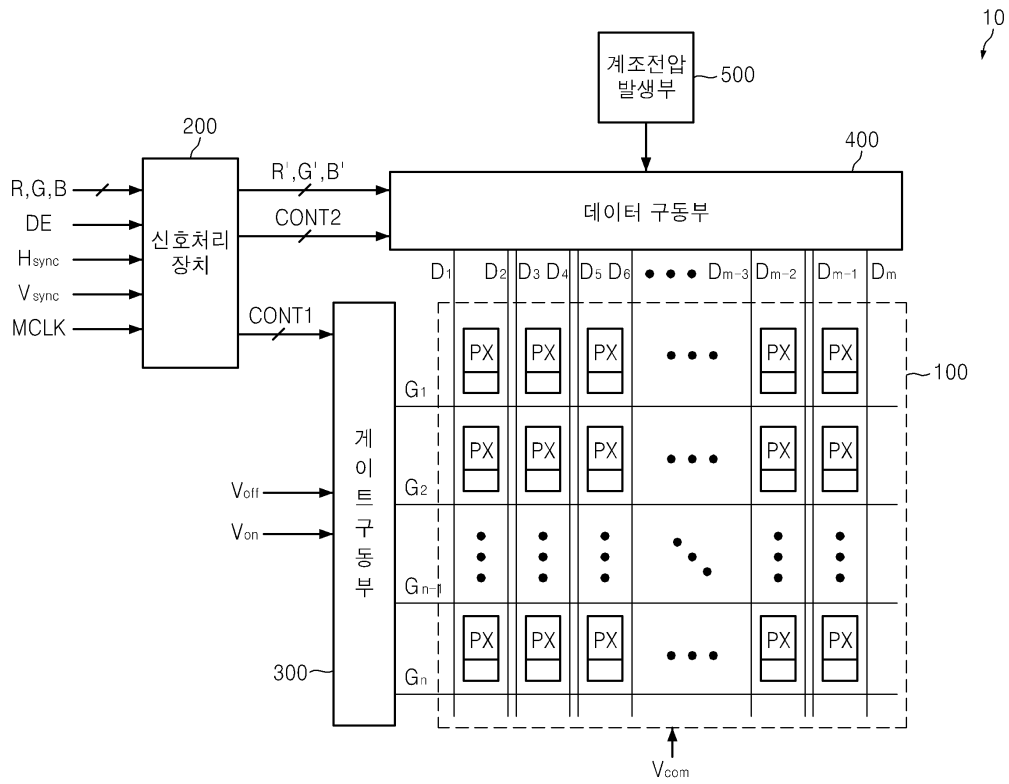
- <96> 구체적으로, 하이 레벨의 제어 신호(CNT)에 응답하여 턴-온 된 차지 웨어링 스위치(430)는, 액정 표시 장치의 (N+1)라인타임 동작에서, 데이터 구동부(400)의 제1 버퍼(410)로부터 출력되는 (N+1)라인타임 제1 출력 신호($DS_{m(N+1)}$)를 소정의 시간(Δt)동안 제1 레벨($\Delta V1$)만큼 프리 디스 차지 시킬 수 있다.
- <97> 또한, 하이 레벨의 제어 신호(CNT)에 응답하여 턴-온 된 차지 웨어링 스위치(430)는, 액정 표시 장치의 (N+1)라인타임 동작에서, 데이터 구동부(400)의 제2 버퍼(420)로부터 출력되는 (N+1)라인타임 제2 출력 신호($DS_{m+1(N+1)}$)를 소정의 시간(Δt)동안 제2 레벨($\Delta V2$)만큼 프리 차지 시킬 수 있다.
- <98> 이에 따라, 액정 표시 장치(10)의 (N+1)라인타임 동작에서, 데이터 구동부(400)는 액정 패널(100)의 제3 게이트 라인(G3)과 제1 데이터 라인(D1)에 연결된 제1 서브 화소(130)에 제1 버퍼(410)로부터 제1 레벨($\Delta V1$)만큼 프리 디스 차지된 제1 출력 신호(DS_m)를 데이터 신호로써 출력한다.
- <99> 또한, 액정 표시 장치(10)의 (N+1)라인타임 동작에서, 데이터 구동부(400)는 액정 패널(100)의 제3 게이트 라인(G3)과 제2 데이터 라인(D2)에 연결된 제2 서브 화소(140)에 제2 버퍼(420)로부터 제2 레벨($\Delta V2$)만큼 프리 차지된 제2 출력 신호(DS_{m+1})를 데이터 신호로써 출력한다.
- <100> 즉, 데이터 구동부(400)의 제1 버퍼(410)는 차지 웨어링 스위치(430)에 의하여 제1 레벨($\Delta V1$)만큼 프리 디스 차지된 시점에서부터 구동되어 제1 출력 신호(DS_m)를 출력하고, 제2 버퍼(420)는 차지 웨어링 스위치(430)에 의하여 제2 레벨($\Delta V2$)만큼 프리 차지된 시점에서부터 구동되어 제2 출력 신호(DS_{m+1})를 출력함으로써, 제1 버퍼(410)와 제2 버퍼(420)의 구동 전력을 감소시킬 수 있다. 이에 따라 데이터 구동부(400)의 발열량도 감소될 수 있다.
- <101> 이상에서와 같이, 본 실시예의 데이터 구동부는 액정 표시 장치의 인접하는 화소들, 예컨대 서로 인접하는 게이트 라인에 각각 연결된 다수의 화소들에 제공되는 라인타임 동작별 데이터 신호들의 패턴들을 비교하고, 비교 결과에 따라 선택적으로 데이터 신호들의 차지 웨어링 동작을 수행함으로써, 데이터 구동부의 구동 전력량을 감소시켜 발열량을 감소시킬 수 있다.
- <102> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

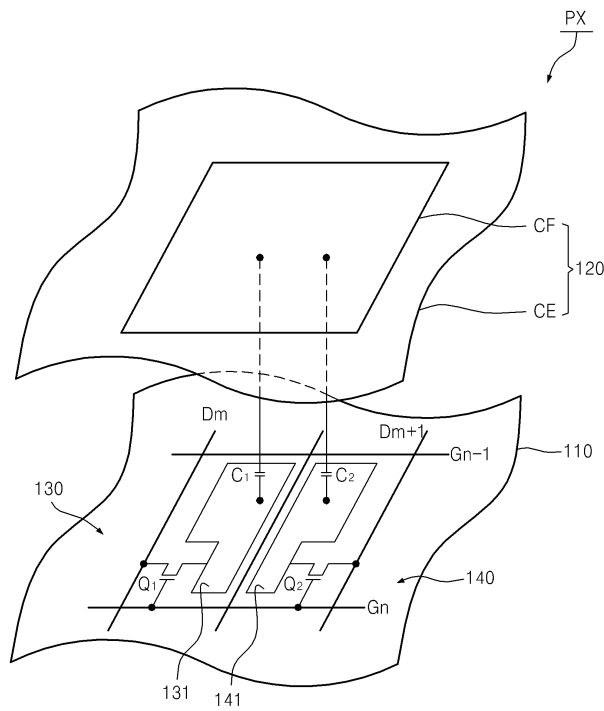
- <103> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <104> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 개략적인 블록도이다.
- <105> 도 2는 도 1에 도시된 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다.
- <106> 도 3은 도 2에 도시된 데이터 구동부의 개략적인 블록도이다.
- <107> 도 4는 도 3의 데이터 구동부의 라인타임 동작별 신호 파형도이다.

도면

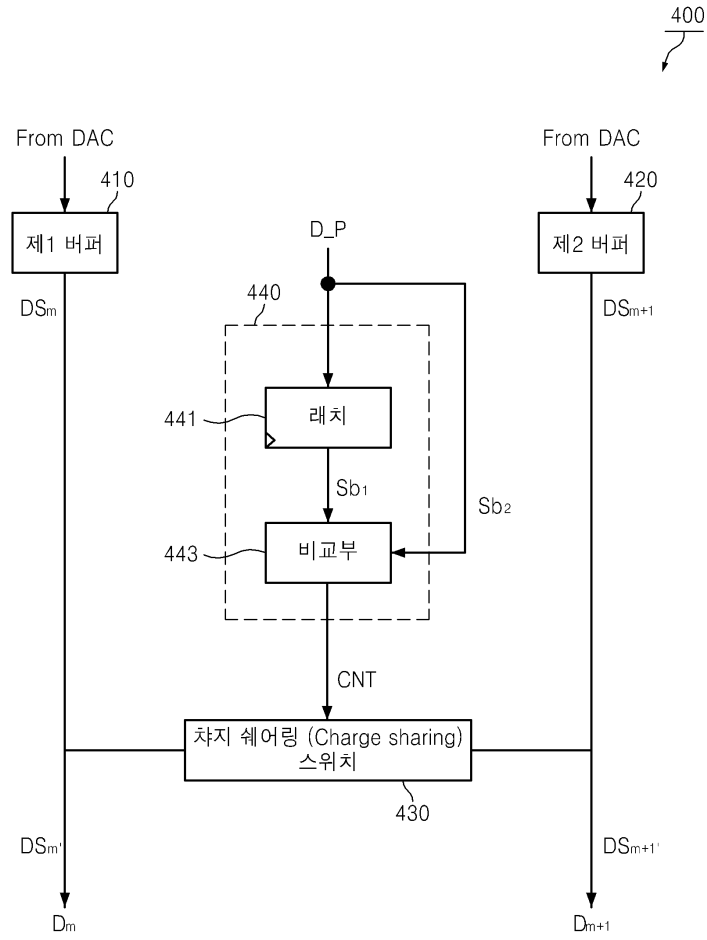
도면1



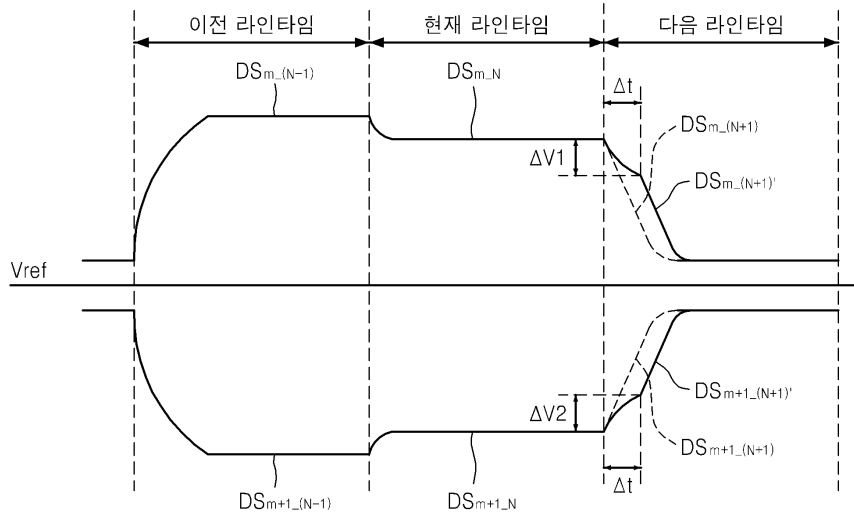
도면2



도면3



도면4



专利名称(译)	数据驱动器和包括其的液晶显示器		
公开(公告)号	KR1020090088529A	公开(公告)日	2009-08-20
申请号	KR1020080013858	申请日	2008-02-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE JAE YOUL 이재열 LIM JUNG PIL 임정필 KIM JONG SEON 김종선 NAM JANG JIN 남장진		
发明人	이재열 임정필 김종선 남장진		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G2330/021 G09G3/3688		
代理人(译)	YOON, JAE SEOK 韩之HEE 吴邦国议员		
外部链接	Espacenet		

摘要(译)

提供了数据驱动器和包括该数据驱动器的液晶显示器。数据驱动器包括第一缓冲器的输出端，第二缓冲器，第一缓冲器，电荷共享开关，连接在第二缓冲器的输出端和先前的线时间数据模式之间，控制单元比较电流线路时间数据模式并根据比较结果输出用于控制电荷共享开关的切换操作的控制信号。发热，源驱动器和电荷共享。

