



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년07월02일
 (11) 등록번호 10-1873451
 (24) 등록일자 2018년06월26일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) *G02F 1/1333* (2006.01)
G02F 1/1337 (2006.01) *G02F 1/1362* (2006.01)
G02F 1/1368 (2006.01)
 (52) CPC특허분류
G02F 1/134309 (2013.01)
G02F 1/133345 (2013.01)
 (21) 출원번호 10-2017-0089752(분할)
 (22) 출원일자 2017년07월14일
 심사청구일자 2017년07월14일
 (65) 공개번호 10-2017-0086439
 (43) 공개일자 2017년07월26일
 (62) 원출원 특허 10-2016-0101373
 원출원일자 2016년08월09일
 심사청구일자 2016년08월09일
 (30) 우선권주장
 JP-P-2006-135954 2006년05월16일 일본(JP)
 (56) 선행기술조사문헌
 KR1020050001954 A*
 KR1020020041426 A*
 KR1020010106862 A*
 KR1020070023997 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 키무라 하지메
 일본국 가나가와켄 아쓰기시 하세 398 가부시키가
 이샤한도오파이 에네루기 켄큐쇼 나이
 (74) 대리인
 황의만

전체 청구항 수 : 총 2 항

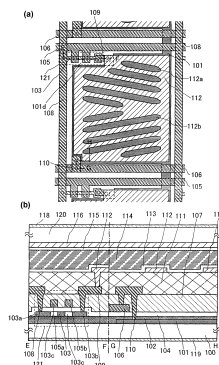
심사관 : 이옥우

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은, 액정을 구동하는 전극의 간격을 넓히는 것으로써, 전극간에 가하는 전계의 구배(勾配)를 제어할 수 있고, 최적의 전계를 전극간에 가할 수 있다. 기판 위에 형성된 제 1 전극과, 기판 위, 및 제 1 전극 위에 형성된 절연막과, 절연막 위에 형성되고, 소스, 채널 영역, 및 드레인이 형성된 반도체막을 가지는 박막 트랜지스터와, 반도체막보다 상층이며, 제 1 전극의 상방에 위치하고, 제 1 개구 패턴을 가지는 제 2 전극과, 제 2 전극의 상방에 배치된 액정을 구비한다.

대표도 - 도1



(52) CPC특허분류

G02F 1/1337 (2013.01)

G02F 1/134363 (2013.01)

G02F 1/136227 (2013.01)

G02F 1/136277 (2013.01)

G02F 1/136286 (2013.01)

G02F 1/1368 (2013.01)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

제 1 화소와,

소스 배선이 연장되는 방향으로 상기 제 1 화소와 인접하도록 배치된 제 2 화소와,

게이트 배선이 연장되는 방향으로 상기 제 1 화소와 인접하도록 배치된 제 3 화소와,

상기 게이트 배선과 같은 재료를 갖는 배선

을 포함하고,

상기 제 1 내지 상기 제 3 화소 각각은,

트랜지스터의 채널 형성 영역을 갖는 반도체층과,

상기 반도체층과 전기적으로 접속되고 상기 소스 배선과 같은 재료를 갖는 제 1 도전층과,

액정 소자를 포함하고,

상기 제 1 내지 상기 제 3 화소 각각의 상기 액정 소자는,

제 1 전극과,

상기 제 1 전극 위에 배치되고 상기 제 1 전극과 중첩되는 영역을 갖는 제 2 전극과,

상기 제 1 전극 위 및 상기 제 2 전극 위의 액정을 갖고,

상기 제 1 내지 상기 제 3 화소 각각에서, 상기 제 1 전극은 상기 제 1 도전층을 통하여 상기 반도체층과 전기적으로 접속되고,

상기 제 1 화소의 상기 제 2 전극과, 상기 제 2 화소의 상기 제 2 전극은 상기 제 1 화소와 상기 제 2 화소에 걸쳐 연속된 제 2 도전층의 일부이고,

상기 제 1 내지 상기 제 3 화소에서, 상기 소스 배선은 상기 제 2 도전층과 중첩되는 영역을 갖지 않고,

상기 제 1 화소의 상기 제 2 전극은 상기 배선을 통하여 상기 제 3 화소의 상기 제 2 전극과 전기적으로 접속되고,

상기 배선은 상기 제 1 내지 상기 제 3 화소 각각의 상기 제 1 도전층과 중첩되는 영역을 갖지 않고,

상기 제 1 화소의 상기 트랜지스터의 게이트와 상기 제 2 화소의 상기 트랜지스터의 게이트는 서로 전기적으로 접속되는 것을 특징으로 하는, 액정 표시 장치.

청구항 4

제 1 화소와,

소스 배선이 연장되는 방향으로 상기 제 1 화소와 인접하도록 배치된 제 2 화소와,

게이트 배선이 연장되는 방향으로 상기 제 1 화소와 인접하도록 배치된 제 3 화소와,

상기 게이트 배선과 같은 재료를 갖는 배선을 포함하고,

상기 제 1 내지 상기 제 3 화소 각각은,

트랜지스터의 채널 형성 영역을 갖는 반도체층과,

상기 반도체층과 전기적으로 접속되고 상기 소스 배선과 같은 재료를 갖는 제 1 도전층과,

액정 소자를 포함하고,

상기 제 1 내지 상기 제 3 화소 각각의 상기 액정 소자는,

개구를 갖지 않는 제 1 전극과,

상기 제 1 전극 위에서 상기 제 1 전극과 중첩되는 영역을 가지며, 복수의 개구를 갖는 제 2 전극과,

상기 제 1 전극 위 및 상기 제 2 전극 위의 액정을 갖고,

상기 제 1 내지 상기 제 3 화소 각각에서, 상기 제 1 전극은 상기 제 1 도전층을 통하여 상기 반도체층과 전기적으로 접속되고,

상기 제 1 화소의 상기 제 2 전극과, 상기 제 2 화소의 상기 제 2 전극은 상기 제 1 화소와 상기 제 2 화소에 걸쳐 연속된 제 2 도전층의 일부이고,

상기 제 1 내지 상기 제 3 화소에서, 상기 소스 배선은 상기 제 2 도전층과 중첩되는 영역을 갖지 않고,

상기 제 1 화소의 상기 제 2 전극은 상기 배선을 통하여 상기 제 3 화소의 상기 제 2 전극과 전기적으로 접속되고,

상기 배선은 상기 제 1 내지 상기 제 3 화소 각각의 상기 제 1 도전층과 중첩되는 영역을 갖지 않고,

상기 제 1 화소의 상기 트랜지스터의 게이트와 상기 제 2 화소의 상기 트랜지스터의 게이트는 서로 전기적으로 접속되고,

상기 제 1 화소의 상기 트랜지스터와 상기 제 2 화소의 상기 트랜지스터는 서로 상이한 소스 배선에 접속하는 것을 특징으로 하는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치 및 액정표시장치에 관한 것이다. 특히, 기관에 대략 평행한 전계를 생기게 하여, 액정 분자를 제어하는 표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치의 기술개발 방침의 하나로, 시야각을 넓히는 것이 있다. 넓은 시야각을 실현하는 기술로서, 기관에 대략 평행한 전계를 생기게 하여, 기관과 평행한 면내에서 액정분자를 동작시키고, 계조를 제어하는 방식이 사용된다. 이러한 방식으로서, IPS(In-Plane Switching)와 FFS(Fringe-Field Switching)가 있다. FFS에는, 액정의 하방에 개구 패턴을 가지는 제 2 전극(예를 들면, 각 화소별로 전압이 제어되는 화소전극)을 배치하고, 또, 그 개구 패턴의 하방에 제 1 전극(예를 들면 전화소에 공통의 전압이 공급되는 공통전극)을 배치하는 것이 있다. 화소전극과 공통전극의 사이에 전계가 가하여, 액정이 제어된다. 액정에는, 기관에 평행한 방향에 전계가 가하기 때문에, 그 전계를 사용하여, 액정분자를 제어할 수 있다. 즉, 기관과 평행으로 배향하는 액정분자(이른바, 수평방향배향)를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓어진다.

[0003] 제 1 전극(공통전극)은, 유리기관의 위에 직접 접하여 형성되고 있으며, 역 스테거형 트랜지스터에 있어서의 게이트 전극도, 유리기관의 위에 직접 접하여 형성되고 있다. 그 위에는, 역 스테거형의 트랜지스터에 있어서의

게이트 절연막으로서 기능시키는 절연막이 직접 접하여 형성되고 있다. 그리고, 그 위에, 제 2 전극(화소전극)이 형성되고 있다(특허문헌 1 참조).

[0004] 또는, 제 1 전극(공통전극)은, 역 스테거형 트랜지스터에 있어서의 게이트 절연막으로서 기능시키는 절연막의 위에 직접 접하여 형성되고 있다. 또한, 반도체 막이나 소스 전극 및 드레인 전극도, 역 스테거형 트랜지스터에 있어서의 게이트 절연막으로서 기능시키는 절연막의 위에 직접 접하여 형성된다. 그리고, 그 위에 절연층이 직접 접하여 형성된다. 그리고, 그 위에, 제 2 전극(화소전극)이 직접 접하여 형성되고 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개2000-89255호 공보

발명의 내용

해결하려는 과제

[0006] 상기의 종래예에서는, 액정을 구동하는 전극은, 하나의 절연막을 개재하여 배치되었다. 따라서, 전극과 전극의 사이의 거리를 크게 하려고 해도, 한계가 있었다. 만약, 전극간의 절연막의 막 두께를 크게 하면, 예를 들면, 트랜지스터에 있어서의 게이트 절연막도 두껍게 되기 때문에, 트랜지스터의 전류구동능력이 작아져 버리는 등의 영향이 있었다.

[0007] 또한, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극과 공통전극의 사이의 거리에 따라, 최적 값이 변화한다. 따라서, 화소전극과 공통전극의 사이의 거리를 자유롭게 설정할 수 없는 경우, 화소전극이 가지는 개구 패턴의 배치 간격이나 개구 패턴의 폭도, 크게 제한된 값을 선택하지 않을 수 없다. 그렇기 때문에, 액정분자에 가하는 전계의 크기나 방향이 충분하지 않은 상황으로 되었다.

[0008] 본 발명은 상기와 같은 사정을 고려하여 이루어진 것으로, 그 목적은, 표시소자의 2개의 전극의 간격의 자유도를 향상시킬 수 있고, 최적의 전계를 전극간에 가할 수 있는 표시장치 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0009] 상기 문제를 해결하기 위해, 본 발명에 관한 반도체 장치는, 기관의 상방에 형성된 제 1 전극과, 제 1 전극의 상방에 형성된 제 1 절연막과, 제 1 절연막의 상방에 형성된 반도체 막과, 반도체 막의 상방에 형성된 제 2 절연막과 제 2 절연막의 상방에 형성된 도전막과, 도전막의 상방에 형성된 제 3 절연막과, 제 3 절연막의 상방에 형성되고, 개구 패턴을 가지는 제 2 전극을 구비한다.

[0010] 본 발명에 관한 액정표시장치는, 기관의 상방에 형성된 제 1 전극과, 제 1 전극의 상방에 형성된 제 1 절연막과, 제 1 절연막의 상방에 형성된 반도체 막과, 반도체 막의 상방에 형성된 제 2 절연막과, 제 2 절연막의 상방에 형성된 도전막과, 도전막의 상방에 형성된 제 3 절연막과, 제 3 절연막의 상방에 형성되고, 개구 패턴을 가지는 제 2 전극과, 제 2 전극의 상방에 배치된 액정을 구비한다.

[0011] 이 반도체 장치 및 액정표시장치는, 제 1 전극을 기관 위, 즉, 반도체막의 아래에 형성하여 배치한다. 또한, 상기 제 2 전극은, 도전막(일례로서, 트랜지스터의 게이트 전극, 또는 소스 전극 등)이나 제 3 절연막의 상방에 배치되고 있기 때문에, 종래와 비교하고, 제 1 전극과 제 2 전극의 간격을 넓어질 수 있다. 또한, 제 1 절연막의 막 두께는, 두께를 변화시켜도, 트랜지스터 등의 다른 소자에 별로 영향을 미치지 않는다. 그렇기 때문에, 두께를 임의로 변화시킬 수 있고, 그 결과로서, 제 1 전극과 제 2 전극의 간격을 자유롭게 설정할 수 있다. 따라서, 제 1 전극과 제 2 전극의 간격의 자유도가 향상한다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있게 되고, 예를 들면, 기관과 평행방향의 전계를 증가하는 것 등을 용이하게 할 수 있다. 즉, 액정을 사용한 표시장치에 있어서는, 기관과 평행으로 배향하고 있는 액정분자(이른바 수평방향배향)를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로써, 시야각이 넓어진다.

[0012] 또한, 개구 패턴은, 제 1 전극과 제 2 전극의 사이에, 기관에 대략 평행한 방향의 전계를 발생시키는 것이다.

따라서, 기관에 대략 평행한 방향의 전계를 발생시킬 수 있으면, 여러가지 형상으로 할 수 있다.

- [0013] 따라서, 개구 패턴에는, 슬릿 등의 닫힌 개구 패턴뿐만 아니라, 예를 들면, 빗살형상의 전극에 있어서의 빗살부분의 상호간의 스페이스 등, 도전체 패턴의 상호간에 위치하고, 해당 도전체 패턴이 형성되지 않은 스페이스를 포함한다. 즉, 전극과 전극의 사이에, 빈틈이나 간격이 있으면 좋다. 이하, 같다.
- [0014] 본 발명에 관한 다른 반도체 장치는, 기관의 상부에 형성된 제 1 전극과, 제 1 전극의 상부에 형성된 제 1 절연막과, 제 1 절연막의 상부에 형성된 반도체막과, 반도체막의 상부에 형성된 도전막과, 도전막의 상부에 형성된 제 2 절연막과, 제 2 절연막의 상부에 형성되고, 개구 패턴을 가지는 제 2 전극을 구비한다.
- [0015] 이 반도체 장치 및 액정표시장치에 의하면, 상기 제 1 전극을 상기 기관의 위, 즉, 상기 반도체막의 아래에 형성하여 배치한다. 또한, 상기 제 2 전극은, 도전막(일례로서, 소스 전극 등)이나 절연막의 상부에 배치되어 있기 때문에, 종래와 비교해서, 상기 제 1 전극과 상기 제 2 전극의 간격을 넓어질 수 있다. 또한, 제 1 절연막의 막 두께는, 두께를 변화시켜도, 트랜지스터 등의 다른 소자에 별로 영향을 미치지 않는다. 그렇기 때문에, 두께를 임의로 변화시킬 수 있고, 그 결과로서, 제 1 전극과 제 2 전극의 간격을 자유롭게 설정할 수 있다. 따라서, 상기 제 1 전극과 상기 제 2 전극의 간격의 자유도가 향상한다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있게 되고, 예를 들면, 기관과 평행방향의 전계를 증가하는 것 등을 용이하게 할 수 있다. 즉, 액정을 사용한 표시장치에 있어서는, 기관과 평행으로 배향하고 있는 액정분자(이른바 수평방향배향)를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로써, 시야각이 다르다.
- [0016] 본 발명에 관한 다른 반도체 장치는, 기관의 상부에 형성된 제 1 전극과, 제 1 전극의 상부에 형성된 제 1 절연막과, 제 1 절연막의 상부에 형성된 도전막과, 도전막의 상부에 형성된 반도체 막과, 반도체 막의 상부에 형성된 제 2 절연막과, 제 2 절연막의 상부에 형성되고, 개구 패턴을 가지는 제 2 전극을 구비한다.
- [0017] 이 반도체 장치 및 액정표시장치에 의하면, 상기 제 1 전극을 상기 기관의 위, 즉, 상기 반도체 막의 아래이며, 도전막(일례로서 게이트 전극)의 아래에 형성하여 배치된다. 또한, 상기 제 2 전극은, 제 2 절연막의 상부에 배치되기 때문에, 종래와 비교하여, 상기 제 1 전극과 상기 제 2 전극의 간격을 넓힐 수 있다. 또한, 제 2 절연막의 막 두께는, 두께를 변화시켜도, 트랜지스터 등의 다른 소자에 별로 영향을 미치지 않는다. 그렇기 때문에, 두께를 임의로 변화시킬 수 있고, 그 결과로서, 제 1 전극과 제 2 전극의 간격을 자유롭게 설정할 수 있다. 따라서, 상기 제 1 전극과 제 2 전극의 간격의 자유도가 향상한다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있기 때문에, 예를 들면, 기관과 평행방향의 전계를 증가하는 것 등을 용이하게 할 수 있다. 즉, 액정을 사용한 표시장치에 있어서는, 기관과 평행으로 배향하는 액정분자(이른바 수평방향배향)를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로써, 시야각이 넓어진다.
- [0018] 본 발명에 관한 다른 반도체 장치는, 상기 구성에 있어서, 제 1 전극은 공통전극이며, 제 2 전극은 화소전극이다.
- [0019] 본 발명에 관한 다른 반도체 장치는, 상기 구성에 있어서, 제 1 전극은 화소전극이며, 제 2 전극은 공통전극이다.
- [0020] 본 발명에 관한 다른 액정표시장치는, 기관의 상부에 형성된 제 1 전극과, 제 1 전극의 상부에 형성된 제 1 절연막과, 제 1 절연막의 상부에 형성된 반도체막과, 반도체막의 상부에 형성된 도전막과, 도전막의 상부에 형성된 제 2 절연막과, 제 2 절연막의 상부에 형성되고, 개구 패턴을 가지는 제 2 전극과, 제 2 전극의 상부에 배치된 액정을 구비한다.
- [0021] 본 발명에 관한 다른 액정표시장치는, 기관의 상부에 형성된 제 1 전극과, 제 1 전극의 상부에 형성된 제 1 절연막과, 제 1 절연막의 상부에 형성된 도전막과, 도전막의 상부에 형성된 반도체막과, 반도체막의 상부에 형성된 제 2 절연막과, 제 2 절연막의 상부에 형성되고, 개구 패턴을 가지는 제 2 전극과, 제 2 전극의 상부에 배치된 액정을 구비한다.
- [0022] 본 발명에 관한 다른 액정표시장치는, 상기 구성에 있어서, 제 1 전극과 제 2 전극의 사이의 전계에 의하여, 상기 액정을 제어한다.
- [0023] 본 발명에 관한 다른 액정표시장치는, 상기 구성에 있어서, 제 1 전극은 공통전극이며, 제 2 전극은 화소전극이다.
- [0024] 본 발명에 관한 다른 액정표시장치는, 상기 구성에 있어서, 제 1 전극은 화소전극이며, 제 2 전극은 공통전극이

다.

- [0025] 또한, 본 발명에 나타내고 있는 스위치는, 여러가지 형태의 스위치를 사용할 수 있고, 일례로서, 전기적 스위치나 기계적인 스위치 등이 있다. 즉, 전류의 흐름을 제어할 수 있는 것이면, 특정의 것으로 한정되지 않고, 여러가지 것을 사용할 수 있다. 예를 들면, 트랜지스터이어도 좋고, 다이오드(PN 다이오드, PIN 다이오드, 쇼트키 다이오드, 다이오드접속의 트랜지스터 등)도 좋고, 그들을 조합한 논리회로이라도 좋다. 따라서, 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는, 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특히 한정되지 않는다. 다만, 오프전류가 적은 쪽이 바람직한 경우, 오프전류가 적은 쪽의 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프전류가 적은 트랜지스터로서는, LDD영역을 형성하는 것이나, 멀티 게이트 구조로 하는 것 등이 있다. 또한, 스위치로서 동작시키는 트랜지스터의 소스단자의 전위가, 저전위측 전원(Vss, GND, 0V 등)에 가까운 상태로 동작하는 경우는, N채널형을, 반대로, 소스단자의 전위가, 고전위측 전원(Vdd 등)에 가까운 상태로 동작하는 경우는, P채널형을 사용하는 것이 바람직하다. 왜냐하면, 게이트 소스간 전압의 절대치를 크게 할 수 있기 때문에, 스위치로서 동작하기 쉽기 때문이다. 또한, N채널형과 P채널형의 양쪽을 사용하고, CMOS형의 스위치로 하여도 좋다. CMOS형의 스위치로 하면, 스위치를 개재하여 출력하는 전압(즉, 입력전압)이, 출력전압에 대해서 높거나, 낮거나 하고, 상황이 변화하는 경우에 있어서도, 적절히 동작을 할 수 있다. 또한, 본 발명에 있어서의 스위치로서는, 예를 들면, 화소전극을 제어하는 TFT나, 구동회로부에 사용하는 스위치 소자를 들 수 있지만, 이 이외의 부분에 있어서도, 전류의 흐름을 제어할 필요가 있는 부분이면, 스위치를 사용할 수 있다.
- [0026] 또한, 본 발명에 있어서, 접속된다라고 하는 의미는, 전기적으로 접속되는 경우와, 직접 접속되는 경우를 포함하는 것으로 한다. 따라서, 본 발명이 개시하는 구성에 있어서, 소정의 접속관계에 가하여, 그 사이에 전기적인 접속을 가능하게 하는 다른 소자(예를 들면, 스위치나 트랜지스터나 용량소자나 인덕터나 저항소자나 다이오드 등)가 배치되어 있어도, 좋다. 또는, 사이에 다른 소자를 끼우지 않고 배치되어도 좋다. 또한, 어느 2개의 도전막이, 전기적인 접속을 가능하게 하는 다른 소자를 사이에 개재하지 않고, 전기적으로 접속되지 않은 경우에는, 직접 접속되고 있는, 또는 직접적으로 접속된다라고 기재한다. 또한, 전기적으로 접속된다라고 기재하는 경우는, 전기적으로 접속되고 있는 경우와 직접 접속되는 경우를 포함한다.
- [0027] 또한, 본 발명의 표시소자나 표시장치나 발광장치는, 여러가지 형태를 적용할 수 있고, 또한, 여러가지 소자를 가질 수 있다. 본 발명에서는, 액정소자를 사용할 수 있다. 액정소자는, 액정의 광학적인 변조작용에 의하여, 빛의 투과 또는 비투과를 제어하는 소자이며, 한 쌍의 전극 및 액정에 의해서 구성된다. 액정소자를 사용한 표시장치로서는, 액정 디스플레이, 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이 등이 있다. 또한, 예를 들면, EL소자(EL 소자는, 전장을 가하는 것으로서 발생하는 루미네선스를 얻을 수 있는 발광층을 가지는 소자를 가리킨다. 또한, 유기EL소자, 무기EL소자 또는 유기물 및 무기물을 포함하는 EL소자를 포함한다), 전자방출소자, 전자 잉크, 회절 광 밸브(GLV), 플라즈마 디스플레이(PDP), 디지털 마이크로 미러 장치(DMD), 압전 세라믹 디스플레이, 카본 나노 튜브 등, 전기자기적 작용에 의하여 콘트라스트가 변화하는 표시매체를 구비할 수 있다. 또한, EL소자를 사용한 표시소자로서는, EL 디스플레이, 전자방출소자를 사용한 표시소자로서는, 전계 방출형 디스플레이(FED),나 SED방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display)등이 있고, 또한, 전자 잉크를 사용한 표시장치로서는 전자 페이퍼가 있다.
- [0028] 또한, 본 발명에 있어서, 트랜지스터는 여러가지 형태의 트랜지스터를 적용시킬 수 있다. 따라서, 적용가능한 트랜지스터의 종류에 한정은 없다. 따라서, 비정질 규소나 다결정 규소에 대표되는 비단결정 반도체막을 사용한 박막 트랜지스터(TFT), 반도체 기판이나 SOI 기판을 사용하여 형성된 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, ZnO, a-InGaZnO 등의 화합물 반도체를 사용한 트랜지스터, 유기 반도체나 카본 나노 튜브를 사용한 트랜지스터, 그 이외의 트랜지스터를 적용할 수 있다. 또한, 트랜지스터가 배치되는 기판의 종류는, 여러가지 사용할 수 있고, 특정의 것으로 한정되지 않는다. 따라서, 예를 들면, 유리기판, 플라스틱 기판, 종이 기판, 셀로판 기판, 석제 기판 등에 배치할 수 있다. 또한, 반사형 디스플레이로 하는 경우에는, 단결정 기판, SOI 기판도 사용할 수 있다. 또한, 어느 기판에 트랜지스터를 형성하고, 그 후, 다른 기판에 트랜지스터를 이동시켜, 다른 기판 위에 배치하도록 하여도 좋다.
- [0029] 또한, 이미 설명한 바와 같이, 본 발명에 있어서의 트랜지스터는, 여러가지 타입을 사용할 수 있고, 여러가지 기판 위에 형성시킬 수 있다. 따라서, 모두 회로가 유리 기판 위에 형성되어도 좋고, 플라스틱 기판에 형성되어도 좋다. 또한, 제작하는 제품이 반사형 디스플레이로 하는 경우에는, 단결정 기판에 형성되어도 좋고, SOI 기판에 형성되어도 좋다. 즉, 어떤 기판 위에 형성되어도 좋다. 모두 회로가 동일한 기판 위에 형성되는 것으로서, 부품점수를 감소시켜, 비용을 저감하는 것이나, 회로부품과의 접속점수를 저감하는 것이나, 회로부품과의

접속점수를 줄이고 신뢰성을 향상시킬 수 있다. 또한, 회로의 일부가 어느 기판에 형성되어 있고, 회로의 다른 일부가, 다른 기판에 형성되어도 좋다. 즉, 회로의 전부가 같은 기판 위에 형성되지 않아도 좋다. 예를 들면, 회로의 일부는, 유리기판 위에 트랜지스터를 사용하여 형성하고, 회로의 다른 일부는, 단결정 기판 위에 형성하고, 그 IC칩을 COG(Chip On Glass)로 접속하고 유리기판 위에 배치하여도 좋다. 또한, 그 IC칩을 TAB(Tape Automated Bonding)나 프린트 기판을 사용하여 유리기판과 접속하여도 좋다. 이와 같이, 회로의 일부가 같은 기판에 형성되는 것으로서, 부품점수를 줄이고 비용을 저감하는 것이나, 회로부품과의 접속점수를 줄이고 신뢰성을 향상시킬 수 있다. 또한, 구동전압이 높은 부분이나, 구동주파수가 높은 부분은, 소비전력이 커져 버리기 때문에, 그런 부분은 같은 기판에 형성하지 않도록 하면, 소비전력의 증가를 방지할 수 있다.

[0030] 또한, 트랜지스터의 구성은, 여러가지 형태를 취할 수 있고, 특정의 구성으로 한정되지 않는다. 예를 들면, 게이트 전극의 본수가 2본 이상으로 되는 멀티 게이트 구조를 사용하여도 좋다. 멀티 게이트 구조로 하는 것으로서, 오프전류를 저감하는 것이나, 트랜지스터의 내압을 향상시켜 신뢰성을 좋게 하는 것이나, 포화영역에서 동작할 때, 드레인 · 소스간 전압이 변화하여도, 드레인 · 소스간 전류가 별로 변화하지 않고, 플랫한 특성으로 할 수 있다. 또한, 채널의 상하에 게이트 전극이 배치되는 구조라도 좋다. 채널의 상하에 게이트 전극이 배치된 구조로 하는 것으로서, 채널영역이 증가하기 때문에, 전류 값을 크게 하는 것이나, 공핍층이 생기기 쉽게 되기 때문에, S치를 작게 할 수 있다. 또한, 채널의 위에 게이트 전극이 배치되고 있는 구조라도 좋고, 채널의 아래에 게이트 전극이 배치되는 구조라도 좋다. 또한, 정 스테거 구조라도 좋고, 역 스테거 구조라도 좋다. 또한, 채널영역이 복수의 영역으로 분할되어도 좋고, 병렬로 접속되어도 좋고, 직렬로 접속되어도 좋다. 또한, 채널(또는 그 일부)에 소스 전극이나 드레인 전극이 겹쳐도 좋다. 채널(또는 그 일부)에 소스 전극이나 드레인 전극이 겹치는 구조로 하는 것으로서, 채널의 일부에 전하가 늘고, 동작이 불안정으로 되는 것을 방지할 수 있다. 또한, LDD영역이 있어도 좋다. LDD영역을 형성하는 것으로서, 오프전류를 저감하는 것이나, 트랜지스터의 내압을 향상시켜, 신뢰성을 좋게 하는 것이나, 포화영역에서 동작할 때에, 드레인 · 소스 간 전압이 변화해도, 드레인 · 소스 간 전류가 별로 변화하지 않고, 플랫한 특성으로 할 수 있다.

[0031] 또한, 본 발명에 있어서는, 1화소는, 명도를 제어할 수 있는 요소 하나 분을 나타내는 것으로 한다. 따라서, 일례로서는, 1화소는, 하나의 색 요소를 나타내고, 그 색 요소 하나로 명도를 표현한다. 따라서, 그 때는, R(적), G(녹), B(청)의 색 요소로 되는 컬러 표시장치의 경우에는, 화상의 최소단위는, R의 화소와 G의 화소와 B의 화소의 3화소로 구성되는 것으로 한다. 또한, 색 요소는 3색으로 한정되지 않고, 그 이상도 좋고, 예를 들면, RGB(W는 백)나, RGB에 노랑색, 남색, 자홍색을 추가한 것이 있다. 또한, 다른 예로서는, 하나의 색 요소에 대해서, 복수의 영역을 사용하여 명도를 제어하는 경우는, 그 영역의 1개분을 1화소로 한다. 따라서, 일례로서는, 면적 계조를 하는 경우는, 하나의 색 요소에 명도를 제어하는 영역이 복수 있고, 그 전체로 계조를 표현하지만, 명도를 제어하는 영역의 1개분을 1화소로 한다. 따라서, 그 경우는, 하나의 색 요소는, 복수의 화소로 구성되는 것으로 한다. 또한, 그 경우, 화소에 따라, 표시에 기여하는 영역의 크기가 다른 경우가 있다. 또한, 하나의 색 요소에 대해서 복수 있는, 명도를 제어하는 영역에 있어서, 즉, 하나의 색 요소를 구성하는 복수의 화소에 있어서, 각각에 공급하는 신호를 조금 다르게 하도록 하고, 시야각을 넓어지도록 하여도 좋다. 또한, 1화소(3색분)라고 기재하는 경우는, R와 G와 B의 3화소분을 1화소로 고려하는 경우라고 가정한다. 1화소(1색분)라고 기재하는 경우는, 하나의 색 요소에 대해서, 복수의 화소가 있는 경우, 그들을 조합하여 1화소로 고려하는 경우로 가정한다.

[0032] 또한, 본 발명에 있어서, 화소는, 매트릭스 상태로 배치(배열)되는 경우를 포함한다. 여기에서, 화소가 매트릭스로 배치(배열)되는 것은, 세로줄무늬와 가로줄무늬를 조합한 이른바 격자상태로 스트라이프 배치되어 있는 경우를 포함한다. 그리고, 3색의 색 요소(예를 들면, RGB)로 풀컬러 표시를 하는 경우에, 3개의 색 요소의 도트가 이른바 델타배치되는 경우도 포함한다. 또한, 베이야 배치되는 경우도 포함한다. 또한, 색 요소는, 3색으로 한정되지 않고, 그 이상이라도 좋고, 예를 들면, RGBW(W는 백)나, 노랑색, 남색, 자홍색을 추가한 것 등이 있다. 또한, 색 요소마다 그 발광영역의 크기가 달라도 좋다.

[0033] 트랜지스터는, 각각 게이트와 드레인과, 소스를 포함하는 적어도 3개의 단자를 가지는 소자이며, 드레인 영역과 소스 영역의 사이에 채널형성영역을 가진다. 여기에서, 트랜지스터의 소스와 드레인은, 트랜지스터의 구조나 동작조건 등에 의해서 변화하기 때문에, 어느 것이 소스 또는 드레인인지 한정하는 것이 어렵다. 그래서, 본 발명에 있어서는, 소스 및 드레인 영역으로서 기능하는 영역을, 각각 제 1 단자, 제 2 단자라고 표기한다.

[0034] 또한, 게이트는, 게이트 전극과 게이트 배선(게이트 선 또는 게이트 신호선 등이라고도 한다)을 포함한 전체, 또는, 그들의 일부를 가리킨다. 게이트 전극은, 채널 영역이나 LDD(Light Doped Drain)영역 등을 형성하는 반도체와, 게이트 절연막을 개재하여 오버랩하는 부분의 도전막을 의미한다. 게이트 배선은, 각 화소의 게이트

전극의 사이를 접속하거나 게이트 전극과 다른 배선을 접속하기 위한 배선의 것을 의미한다.

- [0035] 다만, 게이트 전극으로서도 기능하고, 게이트 배선으로서도 기능하는 부분도 존재한다. 그런 영역은, 게이트 전극이라고 불려도 좋고, 게이트 배선이라고 불려도 좋다. 즉, 게이트 전극과 게이트 배선이, 명확하게 구별할 수 없는 영역도 존재한다. 예를 들면, 연장하여 배치되는 게이트 배선과 오버랩하고 채널영역이 있는 경우, 그 영역은 게이트 배선으로서 기능하지만, 게이트 전극으로서도 기능한다. 따라서, 그런 영역은, 게이트 전극이라고 불려도 좋고, 게이트 배선이라고 불려도 좋다.
- [0036] 또한, 게이트 전극과 같은 재료로 형성되고, 게이트 전극과 전기적으로 접속하는 영역도, 게이트 전극이라고 불려도 좋다. 마찬가지로, 게이트 배선과 같은 재료로 형성되고, 게이트 배선과 전기적으로 접속하는 영역도, 게이트 배선이라고 불려도 좋다. 이러한 영역은, 엄밀한 의미로는, 채널영역과 오버랩하지 않거나, 다른 게이트 전극과 접속시키는 기능을 가지지 않거나 하는 경우가 있다. 그렇지만, 제조비용이나 공정의 삭감, 또는 레이아웃의 간략화 등의 관계로, 게이트 전극이나 게이트 배선과 같은 재료로 형성되고, 게이트 전극이나 게이트 배선과 전기적으로 접속하는 영역이 있다. 따라서, 그런 영역도 게이트 전극이나 게이트 배선이라고 불려도 좋다.
- [0037] 또한, 예를 들면, 멀티 게이트의 트랜지스터에 있어서, 하나의 트랜지스터의 게이트 전극과, 다른 트랜지스터의 게이트 전극은, 게이트 전극과 같은 재료로 형성된 도전막으로 접속되는 경우가 많다. 그런 영역은, 게이트 전극과 게이트 전극을 접속시키기 위한 영역이기 때문에, 게이트 배선이라고 불려도 좋지만, 멀티 게이트의 트랜지스터를 하나의 트랜지스터라고 간주할 수 있기 때문에, 게이트 전극이라고 불려도 좋다. 즉, 게이트 전극이나 게이트 배선과 같은 재료로 형성되고, 그들과 전기적으로 접속하여 배치된 것은, 게이트 전극이나 게이트 배선이라고 불려도 좋다. 또한, 예를 들면, 게이트 전극과 게이트 배선을 접속하고 있는 부분의 도전막도, 게이트 전극이라고 불려도 좋고, 게이트 배선이라고 불려도 좋다.
- [0038] 또한, 게이트 단자는, 게이트 전극의 영역이나, 게이트 전극과 전기적으로 접속되고 있는 영역에 대해서, 그 일부분을 가리킨다.
- [0039] 또한, 소스는, 소스 영역과 소스 전극과 소스 배선(소스 선 또는 소스 신호선 등이라고도 한다)을 포함한 전체, 또는 그들의 일부를 가리킨다. 소스 영역은, P형 불순물(붕소나 갈륨 등)이나 N형 불순물(인이나 비소 등)이 많은 포함되는 반도체 영역을 의미한다. 따라서, 조금만 P형 불순물이나 N형 불순물이 포함되는 영역, 이른바, LDD(Lightly Doped Drain)영역은, 소스 영역에는 포함되지 않는다. 소스 전극은, 소스 영역과는 다른 재료로 형성되고, 소스 영역과 전기적으로 접속되어 배치되는 부분의 도전층을 의미한다. 다만, 소스 전극은, 소스 영역도 포함하여 소스 전극이라고 부르기도 한다. 소스 배선은, 각 화소의 소스 전극 간을 접속하거나, 소스 전극과 다른 배선을 접속하기 위한 배선을 의미한다.
- [0040] 그렇지만, 소스 전극으로서도 기능하고, 소스 배선으로서도 기능하는 부분도 존재한다. 그런 영역은, 소스 전극이라고 불려도 좋고, 소스 배선이라고 불려도 좋다. 즉, 소스 전극과 소스 배선이, 명확하게 구별할 수 없는 영역도 존재한다. 예를 들면, 연장하여 배치되는 소스 배선과 오버랩하고 소스 영역이 있는 경우, 그 영역은 소스 배선으로서 기능하지만, 소스 전극으로서도 기능한다. 따라서, 그런 영역은, 소스 전극이라고 불려도 좋고, 소스 배선이라고 불려도 좋다.
- [0041] 또한, 소스 전극과 같은 재료로 형성되고, 소스 전극과 전기적으로 접속하는 영역이나, 소스 전극과 소스 전극을 접속하는 부분도, 소스 전극이라고 불려도 좋다. 또한, 소스 영역과 오버랩하고 있는 부분도, 소스 전극이라고 불려도 좋다. 마찬가지로, 소스 배선과 같은 재료로 형성되고, 소스 배선과 전기적으로 접속하는 영역도, 소스 배선이라고 불려도 좋다. 이러한 영역은, 엄밀한 의미에서는, 다른 소스 전극과 접속되는 기능을 갖지 않은 경우가 있다. 그렇지만, 제조 비용이나 공정의 삭감, 또는 레이아웃의 간략화 등의 관계에서, 소스 전극이나 소스 배선과 같은 재료로 형성되고, 소스 전극이나 소스 배선과 전기적으로 접속하는 영역이 있다. 따라서, 그런 영역도 소스 전극이나 소스 배선이라고 불려도 좋다.
- [0042] 또한, 예를 들면, 소스 전극과 소스 배선을 접속하고 있는 부분의 도전막도, 소스 전극이라고 불려도 좋고, 소스 배선이라고 불려도 좋다.
- [0043] 또한, 소스 단자는, 소스 전극의 영역이나, 소스 전극과 전기적으로 접속되고 있는 영역에 대해서, 그 일부분을 가리킨다.
- [0044] 또한, 드레인에 대해서는, 드레인 영역과 드레인 전극과 드레인 배선을 포함하는 것을 의미하고, 본 명세서 중

에서의 문언의 사용방법은 소스와 같다. 또한, 드레인 단자에 대해서도, 소스 단자와 마찬가지로 사용된다.

[0045] 또한, 본 발명에 있어서, 반도체 장치는 반도체 소자(트랜지스터나 다이오드 등)를 포함하는 회로를 가지는 장치를 의미한다. 또한, 반도체 특성을 이용하는 것으로써 기능할 수 있는 장치 전반이라도 좋다. 또한, 표시장치는, 표시소자(액정소자나 발광소자 등)를 가지는 장치를 의미한다. 또한, 기관 위에 액정소자나 EL소자 등의 표시소자를 포함하는 복수의 화소나 그들의 화소를 구동시키는 주변구동회로가 형성된 표시패널 본체라도 좋다. 또한, 플렉시블 프린트 회로(FPC)나 프린트 배선 기관(PWB)이 표시패널에 설치된 것도 포함하여도 좋다. 또한, 발광장치는, 특히, EL소자나 FED로 사용하는 소자 등의 자발광형의 표시소자를 가지는 표시장치를 의미한다. 액정표시장치는, 액정소자를 가지는 표시장치를 의미한다.

[0046] 또한, 본 발명에 있어서, 어느 것의 위에 형성된다, 또는 어느 물상에 형성된다고 하도록, 어느 것의 위에, 또는 어느 물상에 라고 하는 기재에 대해서는, 어느 것의 위에 직접 접하는 것으로 한정되지 않는다. 직접 접하지 않은 경우, 즉, 사이에 다른 것이 협지되는 경우도 포함한다. 따라서, 예를 들면, 층A의 위에(또는, 층A 위에), 층B가 형성된다고 하는 경우는, 층A의 위에 직접 접하고 층B가 형성되는 경우와, 층A의 위에 직접 접하고 다른 층(예를 들면, 층C나 층D 등)이 형성되고 있고, 그 위에 직접 접하고 층B가 형성되고 있는 경우를 포함한다. 또한, 어느 것의 상방에, 라고 하는 기재에 대해서도 마찬가지이고, 어느 것의 위에 직접 접하고 있는 것으로 한정되지 않고, 사이에 다른 것이 협지되는 경우도 포함한다. 따라서, 예를 들면, 층A의 상방에, 층B가 형성된다, 라고 하는 경우는, 층A의 위에 직접 접하고 층B가 형성되는 경우와, 층A의 위에 직접 접하고 다른 층(예를 들면, 층C나 층D 등)이 형성되어 있고, 그 위에 직접 접하고 층B가 형성되고 있는 경우를 포함한다. 또한, 어느 것 아래에, 또한, 어느 것의 하방에, 의 경우에 대해서도 마찬가지이고, 직접 접하고 있는 경우와, 접하지 않은 경우를 포함한다. 또한, 여기에서 어느 것의 상방에, 라고 기재하는 경우에는, 전극을 형성하는 기관을 기준으로 해, 전극을 형성하는 측을 상방으로 한다.

발명의 효과

[0047] 본 발명에 의거하면, 상기 제 1 전극과 상기 제 2 전극 간격을 넓게 할 수 있는 것과 함께, 다른 소자에 영향을 주지 않고 간격을 제어할 수 있기 때문에, 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극과 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 더해지는 전계의 구배를 제어할 수 있기 때문에, 예를 들면, 기관과 평행방향의 전계를 증가하는 것 등을 용이하게 할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기관과 평행으로 배향하고 있는 액정분자(이른바 수직방향 배향)를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로써, 시야각이 넓어진다.

도면의 간단한 설명

[0048] 도 1a는 제 2 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 1b는 도 1a의 E-F 단면도 및 G-H 단면도.
 도 2a는 제 2 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 2b는 도 2a의 E-F 단면도 및 G-H 단면도.
 도 3a는 제 3 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 3b는 도 3a의 E-F 단면도 및 G-H 단면도.
 도 4a는 제 4 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 4b는 도 4a의 A-B 단면도 및 C-D 단면도.
 도 5a는 제 5 실시형태에 관한 IPS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 5b는 도 5a의 A-B 단면도 및 C-D 단면도.
 도 6a는 제 6 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 6b는 도 6a의 E-F 단면도 및 G-H 단면도.
 도 7a는 제 7 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 7b는 도 7a의 E-F 단면도 및 G-H 단면도.
 도 8a는 제 8 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 8b는 도 8a의 E-F

단면도 및 G-H 단면도.

도 9a는 제 9 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 9b는 도 9a의 E-F 단면도 및 G-H 단면도.

도 10a는 제 10 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 10b는 도 10a의 E-F 단면도 및 G-H 단면도.

도 11a는 제 11 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 11b는 도 11a의 E-F 단면도 및 G-H 단면도.

도 12a는 제 12 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 12b는 도 12a의 E-F 단면도 및 G-H 단면도.

도 13a는 제 13 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 13b는 도 13a의 E-F 단면도 및 G-H 단면도.

도 14a는 제 14 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 14b는 도 14a의 E-F 단면도 및 G-H 단면도.

도 15a는 제 15 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 15b는 도 15a의 E-F 단면도 및 G-H 단면도.

도 16a는 제 16 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 16b는 도 16a의 E-F 단면도 및 G-H 단면도.

도 17a는 제 17 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 15b는 도 15a의 E-F 단면도, G-H 단면도, 및 I-J 단면도.

도 18a는 제 18 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 18b는 도 18a의 E-F 단면도 및 G-H 단면도.

도 19a는 제 19 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 19b는 도 19a의 K-L 단면도 및 I-J 단면도.

도 20a는 제 20 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도, 도 20b는 도 20a의 M-N 단면도 및 O-P 단면도.

도 21a는 제 21 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 단면도, 도 21b는 제 22 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 단면도.

도 22는 제 23 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 단면도.

도 23은 제 24 실시형태에 관한 액정표시장치의 구성을 설명하기 위한 단면도.

도 24a는 도 23에 도시한 액정표시장치의 평면도, 도 24b는 도 24a의 화소부의 확대도.

도 25a는 제 25 실시형태에 관한 액정표시장치의 평면도, 도 25b는 도 25a의 화소부의 확대도.

도 26은 제 26 실시형태에 관한 액정표시장치의 구성을 설명하기 위한 단면도.

도 27은, 제 27 실시형태에 관한 FFS 방식이 액정표시장치의 전극의 형상을 설명하기 위한 평면도.

도 28은, 제 28 실시형태에 관한 IPS 방식의 액정표시장치의 전극의 형상을 설명하기 위한 평면도.

도 29는 제 29 실시형태에 관한 액정표시장치의 회로구성을 설명하기 위한 회로도.

도 30은 제 30 실시형태에 관한 액정표시장치의 회로구성을 설명하기 위한 회로도.

도 31a 내지 도 31e는, 제 31 실시형태에 관한 액정모듈의 제조방법을 도시하는 단면도.

도 32a 내지 도 32d는 제 31 실시형태에 관한 액정모듈의 제조방법을 도시하는 단면도.

도 33a는 제 31 실시형태에 관한 액정모듈의 평면도, 도 33b는 도 33a의 K-L 단면도.

도 34는 제 32 실시형태에 관한 액정표시모듈을 설명하기 위한 도면.

도 35는 제 32 실시형태에 관한 액정표시모듈을 설명하기 위한 도면.

도 36a 내지 도 36h는 제 33 실시형태에 관한 전자기기를 도시하는 사시도.

도 37은 제 1 실시형태이며, 본 발명의 기본적인 구성을 설명하기 위한 단면도.

도 38a 내지 도 38b는, 제 34 실시형태에 관한 발광장치의 구성을 설명하기 위한 단면도.

발명을 실시하기 위한 구체적인 내용

- [0049] 이하, 본 발명의 실시형태에 대해서 도면을 참조하면서 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0050] (실시형태 1)
- [0051] 도 37은, 본 발명의 기본적인 구성을 설명하기 위한 단면도이다. 기관(3700)의 위에는, 제 1 전극(3701)이 형성되고 있다. 기관(3700)은, 유리기관, 석영기관, 알루미늄 등 절연물로 형성되는 기관, 후 공정의 처리온도에 견딜 수 있는 내열성을 가지는 플라스틱 기관, 실리콘 기관, 또는 금속 기관이다. 투과형의 표시장치로서 동작시키는 경우는, 기관(3700)은 광투과성을 가지는 것이 바람직하다.
- [0052] 제 1 전극(3701)은, 가시광을 투과하는 도전성의 막(예를 들면, ITO: 인듐주석산화물)을 사용하여 형성된다.
- [0053] 기관(3700) 및 제 1 전극(3701) 위에는, 절연막(3704)이 형성된다. 절연막(3704)은, 예를 들면, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x > y), 질산화규소(SiN_xO_y: x > y) 등, 산소 또는 질소를 가지는 절연물질로 구성되어 있고, 이들의 막의 어느 단층구조라고 좋고, 이들의 막을 복수 적층한 적층구조라도 좋다. 절연막(3704)을 형성하는 것으로써, 기관(3700)으로부터 절연막(3704)의 상층에 불순물이 확산하는 것을 방지할 수 있다.
- [0054] 또한, 기관(3700)과 절연막(3704)의 사이에는, 더, 게이트 전극이나, 게이트 배선이나, 게이트 절연막 등이 배치되어도 좋다. 이들의 중에서, 예를 들면, 게이트 전극 및 게이트 배선은, 제 1 전극(3701)과 동일한 공정으로 형성되어도 된다.
- [0055] 절연막(3704) 위에는, 박막 트랜지스터(3703)가 형성된다. 박막 트랜지스터(3703)는, 톱 게이트형, 보텀 게이트형의 어느 것도 좋다. 박막 트랜지스터(3703)는, 제 1 전극(3701)이나 제 2 전극(3702)의 부근에 배치된다.
- [0056] 박막 트랜지스터(3703) 및 절연막(3704) 위에는, 층간 절연막(3705)이 형성된다. 층간 절연막(3705)은, 단층이라도 좋고, 다층구조라도 좋다.
- [0057] 층간 절연막(3705)을 구성하는 재료는, 무기재료 또는 유기재료를 사용할 수 있다. 유기재료로서는, 폴리이미드, 아크릴, 폴리이미드, 폴리이미드아미드, 레지스트, 실록산, 또는 폴리실라잔 등을 사용할 수 있다. 무기재료로서는, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x > y), 질산화규소(SiN_xO_y: x > y) 등, 산소 또는 질소를 가지는 절연물질을 사용할 수 있다. 또한, 이들의 막을 복수 적층한 적층막이라도 좋다. 또한, 유기재료와 무기재료를 조합해서 적층막을 형성하여도 좋다.
- [0058] 층간 절연막(3705)으로서 무기재료를 사용한 경우, 수분이나 불순물의 침입을 방지할 수 있다. 특히, 질소를 포함하는 층을 사용하면, 수분이나 불순물을 블록하는 기능이 높다. 또한, 층간 절연막(3705)으로서 유기재료를 사용한 경우, 표면을 평탄으로 할 수 있다. 그렇기 때문에, 그 위의 층에 대해서, 좋은 효과를 초래할 수 있다. 예를 들면, 유기재료의 위에 형성하는 층도 평탄하게 할 수 있기 때문에, 액정의 배향의 흐트러짐을 방지하거나, 배선이 끊어지는 것을 방지하거나, 레지스트를 정확하게 형성할 수도 있다.
- [0059] 층간절연막(3705)의 위에는, 제 2 전극(3702)이 형성된다. 제 2 전극(3702)은, 광 투과성이 높은 재료가 바람직하다. 예를 들면, 인듐(In), 주석(Sn), 산소(O)로 구성된 균으로부터 선택된 하나 또는 복수의 원소, 또는 상기 균으로부터 선택된 하나 또는 복수의 원소를 성분으로 하는 화합물이나 합금재료(예를 들면, 인듐주석산화물(ITO), 인듐아연산화물(IZO), 산화규소를 첨가한 인듐주석산화물(ITSO))가 바람직하다. 특히, IZO는, 가공하기 쉽고, 정확한 형상으로 미세하게 형성하기 쉽기 때문에, 바람직하다. 다만, 이것으로 한정되지 않는다.
- [0060] 제 1 전극(3701) 및 제 2 전극(3702)은, 어느 한 쪽이, 영상신호에 응하여 화소마다 다른 신호가 공급되는 전극, 즉, 이른바 화소전극으로서 기능하고, 박막 트랜지스터(3703)의 소스 또는 드레인에 전기적으로 접속하고

있다. 또한, 제 1 전극(3701) 및 제 2 전극(3702)의 남은 하나는, 공통전극으로서 기능한다.

- [0061] 제 2 전극(3702)에는, 개구 패턴(슬릿)을 형성한다. 또한, 이 개구 패턴은, 제 1 전극(3701)과 제 2 전극(3702)의 사이에, 기관에 대략 평행한 방향의 전계를 발생시키는 것이다. 기관에 대략 평행한 방향을 포함하는 전계를 발생시키는 것이 가능하면, 개구 패턴은 여러가지 형상으로 형성될 수 있다. 여기에서, 대략 평행의 의미는, 다소의 차이를 포함하고, 평행한 경우를 가리킨다. 따라서, 표시에 지장이 생기지 않는 범위에 있어서, 평행한 방향으로부터 벗어나도 좋다. 예를 들면, $\pm 10^\circ$, 보다 바람직하게는, $\pm 5^\circ$ 정도의 차이를 가지는 경우를 포함한다.
- [0062] 따라서, 상기한 개구 패턴에는, 슬릿 등의 닫힌 개구 패턴뿐만 아니라, 예를 들면, 빗살형상의 전극에 있어서의 빗살부분의 상호간의 스페이스 등, 도전체 패턴의 상호간에 위치하고, 상기 도전체 패턴이 형성되지 않은 스페이스를 포함한다. 즉, 전극과 전극의 사이에 빈틈이나 간격이 있으면 좋다.
- [0063] 이와 같이, 제 2 전극(3702)과 제 1 전극(3701)의 사이에서 전계를 발생시키고, 액정분자의 배향상태를 제어할 수 있다.
- [0064] 이상과 같이, 본 실시형태에서는, 제 1 전극(3701)과 박막 트랜지스터(3703)의 사이에 절연막(3704)이 위치하고 있다. 따라서, 절연막(3704)의 두께를 조절하는 것으로써, 제 1 전극(3701)과 제 2 전극(3702)의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극과 공통전극의 사이의 거리에 의하여, 최적 값이 변화하는 것으로써, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있게 되고, 예를 들면, 기관과 평행방향의 전계를 증가하는 것 등을 용이하게 할 수 있다. 즉, 액정을 사용한 표시장치에 있어서는, 기관과 평행으로 배향하고 있는 액정분자(이른바 수평방향배향)를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로써, 시야각이 넓어진다.
- [0065] 또한, 절연막(3704)의 막 두께를 변화시켜도, 트랜지스터의 동작 등에 영향을 주지 않기 때문에, 자유롭게 두께를 제어할 수 있다. 그렇기 때문에, 제 1 전극(3701)과 제 2 전극(3702)의 간격을 넓힐 수 있다.
- [0066] 또한, 도 37에 있어서는, 제 2 전극(3702)만이 개구 패턴을 가지지만, 제 1 전극(3701)도 개구 패턴을 가져도 좋다. 따라서, 기관에 대략 평행한 전계를 발생시키고, 액정분자를 제어할 수 있다.
- [0067] 또한, 제 1 전극(3701)이 있으면, 투과율이 100%가 아닌 한, 빛의 투과량이 줄어들어 버린다. 이에 대한, 제 1 전극(3701)에 개구 패턴이 있으면, 그 개구 패턴의 부분은, 빛이 감쇠하지 않기 때문에, 전체적으로 빛의 투과량이 증가한다. 그 결과, 휘도를 향상시키거나, 소비전력을 저감시킬 수 있다.
- [0068] (실시형태 2)
- [0069] 도 1a는, 본 발명의 제 2 실시형태에 관한 액정표시장치의 구성을 설명하기 위한 평면도이다. 1화소분의 화소를 나타내고 있다. 이 액정표시장치는, FFS방식으로 액정의 배향방향을 제어하는 장치이다. 도 1a에 있어서, 복수의 소스배선(108)이 서로 평행(도면중의 세로방향에 연장) 및 서로 이간한 상태로 배치된다. 복수의 게이트 배선(105)은, 소스배선(108)에 대략 직교하는 방향(도면의 가로방향)에 연장하고, 서로 이간하도록 배치된다. 보조배선(106)은, 복수의 게이트 배선(105) 각각에 인접하는 위치에 배치되고, 게이트 배선(105)에 대략 평행한 방향, 즉, 소스배선(108)에 대략 직교하는 방향(도면중의 좌우방향)에 연장한다. 소스배선(108)과, 보조배선(106) 및 게이트 배선(105)에 의해서, 대략 직사각형의 공간이 둘러싸여, 이 공간에 액정표시장치의 화소전극이 배치되어 있다. 화소전극을 구동하는 박막 트랜지스터(121)는, 도면중의 왼쪽 위의 모서리에 배치된다. 화소전극 및 박막 트랜지스터는, 매트릭스 형상으로 복수 배치되고 있다.
- [0070] 또한, 게이트 배선(105), 보조 배선(106), 및 소스 배선(108)은, 알루미늄(Al), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 마그네슘(Mg), 스칸듐(Sc), 코발트(Co), 아연(Zn), 니오븀(Nb), 규소(Si), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn), 및 산소(O) 중에서 선택된 하나 또는 복수의 원소, 또한, 상기 군으로부터 선택된 하나 또는 복수의 원소를 성분으로 하는 화합물이나 합금재료 (예를 들어, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 첨가한 인듐 주석 산화물(ITSO), 산화아연(ZnO), 알루미늄 네오디뮴(Al-Nd), 마그네슘 은(Mg-Ag) 등), 또한, 이들의 화합물을 조합한 물질 등을 가지고 형성된다. 또는, 상기 물질과 규소의 화합물(실리사이드)(예를 들어, 알루미늄 규소, 몰리브덴 규소, 니켈 실리사이드 등), 또는 상기 물질과 질소의 화합물(예를 들어, 질화티탄, 질화탄탈, 질화몰리브덴 등)을 가지고 형성된다. 또한, 규소(Si)에는 n형 불순물(인 등) 또는 p형 불순물(붕소 등)을 다량 함유하여도 좋다. 이들의 불순물을 함유하는 것으로써, 도전율이 향상하고, 통상의 도체와

유사한 방식으로 거동하기 때문에, 배선 또는 전극으로서 용이하게 사용될 수 있다. 또한, 규소는 단결정이라도 좋고, 다결정(폴리실리콘)이라도 좋고, 및 비정질(아모르퍼스 실리콘)이라도 좋다. 단결정 규소 또는 다결정 규소를 사용하면, 저항이 감소될 수 있다. 비정질 규소를 사용하면, 단순한 제조공정으로 제조할 수 있다. 또한, 알루미늄과 은은 높은 도전율을 가지기 때문에, 신호 지연을 감소할 수 있고, 에칭하기 쉽기 때문에, 가공하기 쉽고, 미세가공을 할 수 있다. 또한, 구리는 높은 도전율을 가지고 있으므로, 신호 지연을 감소할 수 있다. 또한, 몰리브덴은 ITO 또는 IZO 등의 산화물 반도체와, 규소와 접촉하여도, 재료의 결함과 같은 문제를 야기함이 없이 제조될 수 있고, 쉽게 가공 및 에칭될 수 있고, 높은 내열성을 가지기 때문에, 바람직하다. 또한, 티탄은 ITO 또는 IZO 등의 산화물 반도체와, 규소와 접촉해도, 재료의 결함과 같은 문제를 야기함이 없이 제조될 수 있음과 동시에, 높은 내열성을 가지기 때문에, 바람직하다. 또한, 텅스텐은 내열성이 높으므로, 바람직하다. 특히, 네오디뮴과 알루미늄의 합금으로 하면, 내열성이 향상하고, 알루미늄이 힐록을 거의 가지지 않으므로, 바람직하다. 또한, 규소는, 트래지스터가 가지는 반도체막과 동시에 형성할 수 있고, 또한, 내열성이 높기 때문에, 바람직하다. 또한, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소가 첨가된 인듐 주석 산화물(ITSO), 산화아연(ZnO), 및 규소(Si)는 투과성을 가지므로, 빛을 투과하는 부분에 사용될 수 있어, 바람직하다. 예를 들어, 그러한 재료들은 화소 전극이나 공통 전극으로서 사용될 수 있다.

[0071] 또한, 이들이 단층으로 배선이나 전극을 형성하여도 좋고, 단층 구조가 되어도 좋다. 단층구조로 형성하는 것으로서, 제조공정을 간략화할 수 있고, 공정 일수를 적게 할 수 있고, 비용을 저감할 수 있다. 또한, 다층 구조를 사용하는 것으로서, 각각의 재료의 장점을 발휘시켜, 단점을 저감시켜, 성능이 좋은 배선 또는 전극을 형성할 수 있다. 예를 들어, 저저항 재료(예를 들어, 알루미늄 등)를 함유하는 다층 구조가 형성되는 경우, 배선의 저저항화를 도모할 수 있다. 또한, 내열성이 높은 재료를 포함하도록 하면, 예를 들면, 내열성이 약하지만, 다른 장점을 가지는 재료를 가지는 재료를, 내열성이 높은 재료로 끼우도록 적층구조로 하는 것으로서, 배선이나 전극 전체적으로, 내열성을 높아질 수 있다. 예를 들어, 알루미늄을 함유하는 층을 몰리브덴 또는 티탄을 함유하는 층들 사이에 끼어린 적층 구조를 형성하는 것이 바람직하다. 또한, 다른 재료의 배선이나 전극 등과 직접 접하는 부분이 있는 경우, 서로 악영향을 미치는 것이 있다. 예를 들어, 한가지 재료가 다른 재료에 혼입하여 재료의 성질이 변하고, 원래의 목적을 달성할 수 없거나, 제조할 때에 문제가 생겨, 정상으로 제조할 수 없다고 하는 문제가 있다. 그러한 경우, 어느 층을 다른 층들 사이에 끼우거나 덮거나 함으로써, 문제를 해결할 수 있다. 예를 들어, 인듐 주석 산화물(ITO)과 알루미늄을 접촉하게 하는 경우, 사이에 티탄 또는 몰리브덴을 끼우는 것이 바람직하다. 또한, 규소와 알루미늄을 접촉하게 하는 경우, 사이에 티탄 또는 몰리브덴을 끼우는 것이 바람직하다.

[0072] 또한, 게이트 배선(105) 쪽이 소스 배선(108)보다도 내열성이 높은 재료를 사용하는 것이 바람직하다. 왜냐하면, 게이트 배선(105)이, 제조 공정의 과정으로, 높은 온도상태로 배치되는 것이 많기 때문이다.

[0073] 또한, 소스배선(108)이 게이트 배선(105)보다, 저항이 낮은 재료를 사용하는 것이 바람직하다. 왜냐하면, 게이트 배선(105)에는, H신호와 L신호의 2값의 신호를 줄뿐이지만, 소스 배선(108)에는, 아날로그의 신호를 주고, 그것이 표시에 기여하기 때문이다. 따라서, 소스 배선(108)에는, 정확한 크기의 신호를 공급할 수 있도록 하기 위해, 저항이 낮은 재료를 사용하는 것이 바람직하다.

[0074] 또한, 보조 배선(106)을 형성하지 않아도 좋지만, 보조배선(106)을 형성하는 것으로서, 각 화소에 있는 공통전극의 전위를 안정화시킬 수 있다. 또한, 도 1a 내지 도 1b에서는, 보조 배선(106)은, 게이트 선과 대략 평행으로 배치되지만, 이것으로 한정되지 않는다. 소스 배선(108)과 대략 평행으로 배치되어도 좋다. 그 때는, 소스 배선(108)과 같은 재질로 형성되는 것이 바람직하다.

[0075] 다만, 보조 배선(106)은 게이트 선과 대략 평행으로 배치하면, 개구율을 크게 할 수 있고, 효율적으로 레이아웃할 수 있기 때문에, 바람직하다.

[0076] 도 1b는, 도 1a의 E-F 단면도 및 G-H 단면도이다. 도 1b 및 도 1a에 나타내는 바와 같이, 기관(100)의 일부 위에는, 액정의 배향방향을 제어하는 제 1 전극(101)이 배치된다. 다만, 기관(100)과 제 1 전극(101)의 사이에 다른 층이 배치되어도 좋다.

[0077] 기관(100)은, 유리기관, 석영기관, 알루미나 등 절연물로 형성되는 기관, 후 공정의 처리온도로 견딜 수 있는 내열성을 가지는 플라스틱 기관, 실리콘 기관, 또는 금속기관이다. 또한, 폴리실리콘이어도 좋다.

[0078] 또한, 투과형의 표시장치로서 동작시키는 경우는, 기관(100)은, 빛 투과성을 가지는 것이 바람직하다.

[0079] 제 1 전극(101)은, 빛 투과성을 가지는 도전막(예를 들면, ITO(인듐주석산화물)막, IZO(인듐아연산화물)막, ZnO

막, 또는 불순물이 도입된 폴리실리콘막 또는 아모르퍼스 실리콘막)으로 형성되고, 공통전극으로서 기능한다. 또한, 도 1a에 나타내는 바와 같이, 제 1 전극(101)은, 상하에 연결된다. 이와 같이, 연결됨으로써, 공통전극의 저항을 낮추고, 소정의 전압이 가하기 쉽게 할 수 있다.

[0080] 제 1 전극(101) 위 및 기판(100) 위에는, 절연막(102)이 형성된다. 절연막(102)은, 기판(100)으로부터 불순물이 확산하는 것을 방지하는 막이며, 하지막으로서 기능한다. 절연막(102)은, 예를 들면, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x > y), 질산화규소(SiN_xO_y: x > y) 등, 산소 또는 질소를 가지는 절연물질로 형성된다. 또한, 이들의 막을 복수 적층한 적층막이라도 좋다. 또한, 기판(100)과 제 1 전극(101)의 사이에 절연막(102)과 같은 기능을 가지는 절연막이 있어도 좋다.

[0081] 절연막(102) 위에는, 반도체막(103)이 형성된다. 반도체막(103)에는, 박막 트랜지스터(121)의 소스로 된 불순물 영역(103a) 및 드레인으로 된 불순물 영역(103b)이 형성된다. 불순물 영역(103a, 103b)은, 예를 들면, n형의 불순물 영역이지만, p형의 불순물 영역이라도 좋다. n형을 부여하는 불순물로서는, 예를 들면, 인(P) 및 비소(As)가 있으며, p형을 부여하는 불순물로서는, 예를 들면, 붕소(B) 및 갈륨(Ga)이 있다.

[0082] 도 1a의 점선으로 나타내는 바와 같이, 제 1 전극(101)은 직사각형의 일 모서리(도면 중의 좌상의 모서리)를 꺾형상이며, 화소의 대략 전면에서 형성된다. 또한, 직사각형의 모서리를 꺾 부분(101d)에는, 박막 트랜지스터(121)를 배치하는 것으로서, 화소내에 있어서의 표시에 유효한 영역을, 보다 효율적으로 형성할 수 있다. 즉, 개구율이 향상한다. 또한, 반도체 막(103)은, 예를 들면, 폴리실리콘막이지만, 다른 반도체막(예를 들면, 아모르퍼스 실리콘막, 단결정 실리콘막, 유기 반도체막, 또는 카본 나노 튜브)이라도 좋다.

[0083] 반도체 막(103)을 덮도록, 박막 트랜지스터(121)의 게이트 절연막(104)이 형성된다.

[0084] 다만, 게이트 절연막(104)은, 채널형성영역 근방만 배치되고, 그 이외의 부분에서는, 배치되지 않은 경우도 있다. 또한, 장소에 따라서, 두께나 적층구조가 다른 경우가 있다. 예를 들면, 채널 근방만 두껍거나, 층의 수가 많거나 하여, 그 이외의 장소에서, 막 두께가 얇거나, 층의 수가 적은 경우도 있다. 이와 같이 하는 것으로서, 소스 영역이나 드레인 영역에의 불순물의 침가가 제어하기 쉽게 된다. 또한, 채널 근방의 게이트 절연막(104)의 두께나 층의 수를 변화시키는 것으로서, 반도체막에의 불순물위 첨가량이 곳에 의하여 변화하도록 하여, LDD영역을 형성할 수 있다. LDD영역을 형성하는 것으로서, 누설 전류를 저감시키는 것이나, 핫 캐리어의 발생을 억제하여 신뢰성을 향상시킬 수 있다.

[0085] 게이트 절연막(104)은, 예를 들면, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x>y), 질산화규소(SiN_xO_y: x>y) 등, 산소 또는 질소를 가지는 절연물질로 형성된다. 또한, 이들의 막을 복수 적층한 적층막이라도 좋다. 게이트 절연막(104) 위에는, 반도체 막(103)의 상부에 위치하는 게이트 전극(105a, 105b)이 형성된다. 도 1b 및 도 1a에 나타내는 바와 같이, 게이트 전극(105a, 105b)은, 보조배선(106) 및 게이트 배선(105)과 동일배선층이며, 게이트 배선(105)에 전기적으로 접속한다. 게이트 전극(105a, 105b) 각각의 하부에 위치하는 반도체막(103)은, 채널영역(103c)으로서도 기능한다. 또한, 2개의 채널영역(103c)이 상호간에 위치하는 반도체막(103)에도, 불순물 영역(103a, 103b)과 동일한 불순물이 도입된다. 또한, 본 실시형태에 있어서는, 2개의 게이트 전극을 가지는 멀티 게이트 구조로 했지만, 본 발명은 이 구성으로 한정되지 않는다.

[0086] 게이트 절연막(104) 및 게이트 전극(105a, 105b) 위에는, 제 1 층간절연막(107)이 형성된다. 제 1 층간절연막(107)에는, 무기재료 또는 유기재료를 사용할 수 있다. 유기재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리아미드아미드, 레지스트, 실록산, 또는 폴리실라잔 등을 사용할 수 있다. 무기재료로서는, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x>y), 질산화규소(SiN_xO_y: x > y) 등, 산소 또는 질소를 가지는 절연물질을 사용할 수 있다. 또한, 이들의 막을 복수 적층한 적층막이라도 좋다. 또한, 유기재료와 무기재료를 조합해서 적층막으로 하여도 좋다. 절연막(102), 게이트 절연막(104), 및 제 1 층간절연막(107)에는, 불순물 영역(103a) 위에 위치하는 접속구멍, 불순물 영역(103b) 위에 위치하는 접속구멍, 제 1 전극(101) 위에 위치하는 접속구멍 및 보조배선(106) 위에 위치하는 접속구멍이 형성된다. 제 1 층간절연막(107) 위에는, 소스 배선(108), 접속용 도전막(109), 및 접속용 도전막(110)이 형성된다.

[0087] 또한, 절연막으로서 무기재료를 사용하는 것으로서, 수분이나 불순물의 침입을 방지할 수 있다. 특히, 질소를 포함하는 층을 사용하면, 수분이나 불순물을 블록하는 기능이 높다.

[0088] 또한, 절연막으로서 유기재료를 사용하는 것으로서, 표면을 평탄하게 할 수 있다. 따라서, 그 위의 층에 대해서, 좋은 효과를 줄 수 있다. 예를 들면, 유기재료의 위에 형성하는 층도 평탄하게 할 수 있기 때문에, 액정의 배향의 흐트러짐을 방지할 수 있다.

- [0089] 소스 배선(108)은 불순물 영역(103a)의 상방에 위치하고, 일부가 접속구멍에 매립됨으로써, 불순물 영역(103a)에 전기적으로 접속하고 있다. 따라서, 소스 전극은, 소스 배선(108)의 일부로 되어 존재한다. 접속용 도전막(109)은, 일부가 접속구멍에 매립됨으로써, 불순물 영역(103b)에 전기적으로 접속한다. 이와 같이, 접속용 도전막(109)을 배치하는 것으로서, 접속구멍을 깊게 개구할 필요가 없으므로, 정확하게 형성할 수 있다.
- [0090] 다만, 도 2b에 나타내는 바와 같이, 제 2 전극(112)과, 불순물 영역(103b)을, 도 1b에 나타낸 접속용 도전막(109)을 개재하지 않고, 직접 접속하여도 좋다. 이 경우, 제 2 전극(112)과, 불순물 영역(103b)을 접속하기 위한 접속구멍은, 깊게 개구할 필요가 있지만, 접속용 도전막(109)이 불필요하기 때문에, 그 영역을 개구영역으로서 화상표시에 이용된다. 그렇기 때문에, 개구율이 향상하고, 저소비전력화를 도모할 수 있다.
- [0091] 접속용 도전막(110)은, 보조배선(106)의 상방에 위치하고, 일부가 접속구멍에 매립됨으로써, 보조배선(106) 및 제 1 전극(101) 각각에 전기적으로 접속하고 있다. 이와 같이, 제 1 전극(101)은, 접속용 도전막(110)을 개재하여 보조배선(106)에 전기적으로 접속한다. 또한, 접속용 도전막(110)은 복수 형성되어도 좋다. 이렇게 하면, 제 1 전극(101)의 전위가 안정화한다. 또한, 접속용 도전막(110)을 개재하여 제 1 전극(101)과 보조배선(106)을 접속하는 것으로서, 접속구멍을 개구하는 회수를 감소시킬 수 있으므로, 프로세스 공정을 간략화할 수 있다.
- [0092] 또한, 접속용 도전막(110)은, 소스배선(108)과 동시에, 같은 재료를 사용하여 형성했지만, 이것으로 한정되지 않는다. 제 2 전극(112)과 동시에, 같은 재료를 사용하여 형성하여도 좋다.
- [0093] 소스 배선(108), 접속용 도전막(109), 접속용 도전막(110), 및 제 1 층간절연막(107) 위에는, 제 2 층간절연막(111)이 형성된다. 또한, 제 2 층간절연막(111)을 형성하지 않은 구성으로서 하여도 좋다. 제 2 층간절연막(111)에는, 무기재료 또는 유기재료를 사용할 수 있다. 유기재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트, 실록산, 또는 폴리실라잔 등을 사용할 수 있다. 무기재료로서는, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x > y), 질산화규소(SiN_xO_y: x > y) 등, 산소 또는 질소를 가지는 절연물질을 사용할 수 있다. 또한, 이들의 막을 복수 적층한 적층막이라도 좋다. 또한, 유기재료와 무기재료를 조합해서 적층막으로 하여도 좋다. 제 2 층간절연막(111)에는, 접속용 도전막(109) 위에 위치하는 접속구멍이 형성된다.
- [0094] 제 2 층간절연막(111) 위에는, 액정의 배향방향을 제어하는 제 2 전극(112)이 형성된다. 제 2 전극(112)은 화소마다 개별의 전압이 공급되는 화소전극으로서 기능하고, ITO(인듐주석산화물), ZnO(산화아연), 산화인듐에, 2 내지 20wt%의 ZnO를 혼합한 타깃을 사용하여 형성된 IZO(인듐아연산화물) 등으로 구성된다. 제 2 전극(112)은, 일부가 접속용 도전막(109)의 상방에 위치하고, 이 부분의 일부가 접속구멍 중에 매립됨으로써, 접속용도전막(109)에 전기적으로 접속한다. 이와 같이, 제 2 전극(112)은, 접속용 도전막(109)을 개재하여 박막 트랜지스터(121)의 불순물 영역(103b)에 직접 접속하고 있다.
- [0095] 또한, 도 2a 내지 도 2b에 나타내는 바와 같이, 접속용 도전막(109)이 없는 경우는, 제 2 전극(112)은, 박막 트랜지스터(121)의 불순물 영역(103b)에 직접 접속한다.
- [0096] 도 2a 내지 도 2b, 및 도 1a에 나타내는 바와 같이, 제 2 전극(112)은 대략 직사각형이며, 제 1 전극(101)의 상방에 위치하고, 복수의 개구 패턴(112a, 112b)을 가진다. 개구 패턴(112a, 112b)의 예로서는, 슬릿형상으로 서로 평행인 것을 많이 포함한다. 본 도면에 나타낸 예로서는, 개구 패턴(112a, 112b)의 방향은, 소스배선(108)에 대해 비스듬하지만, 화소의 도면의 상반분에 위치하는 개구 패턴(112a)과, 하반분에 위치하는 개구 패턴(112b)의 방향은 서로 다르다. 개구 패턴(112a, 112b)이 형성됨으로써, 제 1 전극(101)과 제 2 전극(112)의 사이에 기판에 평행한 성분을 가지는 전계가, 제 2 전극(112)의 상방으로 생긴다. 따라서, 제 2 전극(112)의 전위를 제어하는 것으로서, 뒤에서 설명하는 액정의 배향방향을 제어할 수 있다.
- [0097] 또한, 개구 패턴(112a, 112b)과 같이, 개구 패턴의 방향이 다른 것을 배치하는 것으로서, 액정분자의 동작하는 방향이 다른 영역을 복수 형성할 수 있다. 즉, 멀티 도메인 구조로 할 수 있다. 멀티 도메인 구조로 하는 것으로서, 어느 특정의 방향으로부터 볼 때, 화상의 표시가 정확하지 않은 것을 방지할 수 있고, 그 결과, 시야각을 향상시킬 수 있다.
- [0098] 또한, 개구 패턴의 형상은 본 실시형태의 형상으로 한정되지 않는다. 제 3 실시형태 이후에 기재하는 개구 패턴의 형상도 적용할 수 있다. 즉, 개구 패턴에는, 예를 들면, 빗살 형상의 전극에 있어서의 빗살부분의 상호간의 스페이스 등, 도전체 패턴이 형성되지 않은 스페이스를 포함한다.

- [0099] 또한, 도 1a에 나타내는 바와 같이, 기관(100)에 대해서 수직된 방향으로부터 본 경우에, 공통전극으로서 기능하는 제 1 전극(101)이, 화소전극으로서 기능하는 제 2 전극(112)의 외측에 비어져 나온다. 이렇게 함으로써, 신호를 수신한 후, 부유(floating) 상태로 된 제 2 전극(112)이, 소스배선(108)을 개재하여 다른 화소에 전달된 신호의 영향을 받는 것이 억제된다. 그 결과, 크로스 토크 등의 화상불량을 저감할 수 있다. 또한, 본 발명은, 이러한 전극구조로 한정되지 않고, 공통전극이 화소전극의 안쪽에 배치되는 부분을 가져도 좋다.
- [0100] 제 2 층간절연막(111) 위 및 제 2 전극(112) 위에는, 제 1 배향막(113) 및 액정(114)이 적층된다. 액정(114) 으로서는, 강유전성 액정(FLC), 네마틱 액정, 스멕틱 액정, 수평방향배향으로 되는 액정, 수직배향이 되는 액정 등을 사용할 수 있다. 액정(114) 위에는, 제 2 배향막(115) 및 컬러 필터(116)를 개재하여 대향기관(120)이 배치된다. 또한, 기관(100) 및 대향기관(120) 각각에는, 편광판(118, 119)이 형성된다.
- [0101] 또한, 편광판 이외에, 위상차판이나 $\lambda/4$ 판 등이 배치되고 있는 경우도 많다.
- [0102] 또한, 상기한 구성에 있어서, 제 1 전극(101), 제 2 전극(112) 중의 개구 패턴이 형성되지 않은 부분, 및 이들의 상호간에 위치하는 각 절연막에 의해서, 용량이 형성된다. 이 용량이 형성되는 것으로써, 유지용량이 크게 된다.
- [0103] 다음에, 본 발명의 반도체 장치, 액정표시장치의 제조방법의 일례에 대해서 설명한다. 우선, 기관(100) 위에 광투과성을 가지는 도전막(예를 들면, ITO(인듐주석산화물)막, IZO막, ZnO막, 또는, Si막)을 형성한다. 다음, 이 도전막 위에 포토레지스트막(도시하지 않음)을 형성하고, 이 포토레지스트막을 노광 및 현상한다. 따라서, 도전막 위에는 레지스트 패턴이 형성된다. 다음, 이 레지스트 패턴을 마스크로서, 도전막을 에칭한다. 따라서, 도전막이 선택적으로 제거되고, 기관(100) 위에는 제 1 전극(101)이 형성된다. 그 후, 레지스트 패턴을 제거한다.
- [0104] 다음, 기관(100) 위 및 제 1 전극(101) 위에, 절연막(102)을 형성한다. 절연막(102)은, 후술하는 게이트 절연막(104)보다 두껍게 형성되는 것이 바람직하다. 다음, 절연막(102) 위에 반도체막(예를 들면, 폴리실리콘막)을 형성하고, 이 반도체 막을, 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 절연막(102) 위에는, 섬형상의 반도체막(103)이 형성된다.
- [0105] 다음, 반도체막(103) 위 및 절연막(102) 위에, 게이트 절연막(104)을 형성한다. 게이트 절연막(104)은 예를 들면 산화질화규소막 또는 산화규소막이며, 플라즈마CVD법에 의하여 형성된다. 또한, 게이트 절연막(104)은 질화규소막, 또는 질화규소 및 산화규소를 가지는 다층막에 의해서 형성하여도 좋다. 다음, 게이트 절연막(104) 위에 도전막을 형성하고, 이 도전막을, 레지스터 패턴을 마스크로 하여 에칭을 하는 것으로써, 선택적으로 제거한다. 따라서, 반도체막(103) 위에 위치하는 게이트 절연막(104) 위에는, 게이트 전극(105a, 105b)이 형성된다. 또한 본 공정에 의해서, 게이트 배선(105) 및 보조배선(106)이 형성된다.
- [0106] 또한, 상기와 같이, 보조배선(106)을 형성하는 것으로써, 각 화소에 있어서 제 1 전극(101)의 전위를 안정화시킬 수 있다. 또한, 보조배선(106)을 형성하지 않아도 좋다. 또한, 보조배선(106)을 다른 층(예를 들면 소스배선(108)과 동일한 층, 또는 제 1 전극(101)과 동일한 층, 또는 제 2 전극(112)과 동일한 층)에 형성하여도 좋고, 복수의 층으로 분할하고 형성하여도 좋다. 또한, 도 1b에 있어서, 보조배선(106)은, 소스배선(108)에 직교하는 방향에 연장하지만, 소스배선(108)과 동일방향으로 연장하는 구성이라도 좋다.
- [0107] 또한, 도전막은, 알루미늄(Al), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag), 구리(Cu), 마그네슘(Mg), 스칸듐(Sc), 코발트(Co), 아연(Zn), 니오븀(Nb), 규소(Si), 인(P), 붕소(B), 비소(As), 갈륨(Ga), 인듐(In), 주석(Sn), 및 산소(O)로 구성된 군으로부터 선택된 하나 또는 복수의 원소, 또한, 상기 군으로부터 선택된 하나 또는 복수의 원소를 성분으로 하는 화합물이나 합금재료 (예를 들어, 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 산화규소를 첨가한 인듐 주석 산화물(ITSO), 산화아연(ZnO), 알루미늄 네오디뮴(Al-Nd), 마그네슘 은(Mg-Ag) 등), 또한, 이들의 화합물을 조합한 물질 등을 가지고 형성된다. 또는, 상기 물질과 규소의 화합물(실리사이드)(예를 들어, 알루미늄 규소, 몰리브덴 규소, 니켈 실리사이드 등), 또는 상기 물질과 질소의 화합물(예를 들어, 질화티탄, 질화탄탈, 질화몰리브덴 등)을 가지고 형성된다. 또한, 규소(Si)에는 n형 불순물(인 등) 또는 p형 불순물(붕소 등)을 다량 함유하여도 좋다.
- [0108] 또한, 이들이 단층으로 배선이나 전극을 형성하여도 좋고, 다층 구조가 되어도 좋다. 단층구조로 형성하는 것으로써, 제조공정을 간략화할 수 있고, 공정 일수를 작게 할 수 있고, 비용을 저감할 수 있다. 또한, 다층 구조를 사용하는 것으로써, 각각 재료의 장점을 발휘시키고, 단점을 저감시켜, 성능이 좋은 배선 또는 전극을 형

성할 수 있다. 예를 들어, 저저항 재료(예를 들어, 알루미늄 등)를 함유하는 다층 구조가 형성되는 경우, 배선의 저항이 감소를 도모할 수 있다. 또한, 내열성이 높은 재료를 포함하도록 하면, 예를 들면, 내열성이 약하지만, 다른 장점을 가지는 재료를 가지는 재료를, 내열성이 높은 재료로 끼우도록 적층구조로 하는 것으로써, 배선이나 전극 전체적으로 내열성을 높일 수 있다. 예를 들어, 알루미늄을 함유하는 층을 폴리브텐 또는 티탄을 함유하는 층들 사이에 끼워진 적층 구조를 형성하는 것이 바람직하다. 또한, 다른 재료의 배선이나 전극 등과 직접 접하는 부분이 있는 경우, 서로 악영향을 미치는 일이 있다. 예를 들어, 한가지 재료가 다른 재료에 혼입하여 재료의 성질이 변하고, 원래의 목적을 달성할 수 없거나, 제조할 때에 문제가 생기고, 정상으로 제조할 수 없다라고 하는 문제가 있다. 그러한 경우, 어느 층을 다른 층들 사이에 끼우거나 덮음으로써, 문제를 해결할 수 있다. 예를 들어, 인듐 주석 산화물(ITO)과 알루미늄을 접촉하게 하는 경우, 사이에 티탄 또는 폴리브텐을 끼우는 것이 바람직하다. 또한, 규소와 알루미늄을 접촉하게 하는 경우, 사이에 티탄 또는 폴리브텐을 끼우는 것이 바람직하다.

[0109] 다음, 게이트 전극(105a, 105b)를 마스크로서, 반도체 막(103)에 불순물을 주입한다. 따라서, 반도체막(103)에는, 불순물 영역(103a, 103b), 및 게이트 전극(105a, 105b) 상호간에 위치하는 불순물 영역이 형성된다. 또한, n형, p형의 불순물원소를 개별로 주입하여도 좋고, 특정의 영역에는, n형의 불순물 원소 및 p형의 불순물 원소를 함께 주입하여도 좋다. 다만, 후자의 경우에는, n형의 불순물 원소 또는 p형의 불순물 원소의 어느 한 쪽의 주입량이 많아지도록 한다. 또한, 본 공정에 있어서, 레지스트 패턴을 마스크로서 사용해도 좋다.

[0110] 또한, 이 때, 게이트 절연막(104)의 두께나 적층구조를 변화시키는 것으로써, LDD영역을 형성하여도 좋다. LDD영역을 형성하고 싶은 부분은, 게이트 절연막(104)을 두껍게 형성하는 것이나, 층의 수를 늘리는 것을 하면 좋다. 그 결과, 불순물의 주입량이 감소하기 때문에, LDD영역을 용이하게 형성할 수 있다.

[0111] 또한, 반도체막(103)에 불순물을 주입하는 경우, 게이트 전극(105a, 105b)을 형성하기 전에, 예를 들면, 게이트 절연막(104)을 성막하기 전이나, 성막한 후에 행하여도 좋다. 그 경우는, 레지스트 패턴을 마스크로서 사용하여 형성한다. 따라서, 게이트와 같은 층의 전극과, 불순물이 주입된 반도체막의 사이에, 용량을 형성할 수 있다. 게이트와 같은 층의 전극과, 불순물이 주입된 반도체막의 사이에는, 게이트 절연막이 배치되고 있기 때문에, 막 두께가 얇고, 큰 용량을 형성할 수 있다.

[0112] 다음, 제 1 층간절연막(107) 및 각 접속구멍을 형성한다. 다음, 제 1 층간 절연막(107) 위 및 각 접속구멍 중에 도전막(예를 들면, 금속막)을 형성하고, 이 도전막을 레지스트 패턴을 사용한 에칭에 의해서 선택적으로 제거한다. 따라서, 소스배선(108), 접속용 도전막(109), 및 접속용 도전막(110)이 형성된다.

[0113] 다음, 제 2 층간절연막(111) 및 각 접속구멍을 형성한다. 다음, 제 2 층간절연막(111) 위, 및 각 접속구멍 중에 빛 투과성을 가지는 도전막(예를 들면, ITO막, IZO막, ZnO막, 또는 Si막)을 형성하고, 이 도전막을, 레지스트 패턴을 사용한 에칭에 의해서 선택적으로 제거한다. 따라서, 제 2 전극(112)이 형성된다.

[0114] 또한, 접속용 도전막(109)의 일부가 파묻히는 접속구멍과, 제 2 전극(112)의 일부가 파묻히는 접속구멍은 위치가 서로 다르다. 이렇게 하는 것으로써, 접속용 도전막(109) 및 제 2 전극(112) 중의, 접속구멍 위에 위치하는 부분이 움푹 패어도, 이 패인 부분이 겹치는 경우는 없다. 따라서, 제 2 전극(112)에 깊이 움푹 패인 부분이 형성되지 않고, 상기한 레지스트 패턴의 불량이 발생하는 것을 억제할 수 있다. 그 후, 레지스트 패턴을 제거한다.

[0115] 다음, 제 1 배향막(113)을 형성하고, 제 2 배향막(115)이 형성된 대향기관(120)과의 사이에 액정(114)을 밀봉한다. 그 후, 액정(114)과 접하지 않은 측의 대향기관(120)이나 기관(100)에, 편광판(118, 119), 위상차판(도시하지 않음), λ/4판 등의 광학 필름(도시하지 않음), 확산판이나 프리즘 시트 등의 광학 필름 등을 형성한다. 또한, 백 라이트나 프론트 라이트를 형성한다. 백 라이트로서는, 직하형이나 사이드 라이트형을 사용할 수 있다. 광원으로서는, 냉음극관이나 LED(발광 다이오드)를 사용할 수 있다. LED로서는, 백색LED나 색 마다의 LED(예를 들면, 백, 적, 청, 녹, 남색, 자홍색)를 조합해서 사용하면 좋다. LED를 사용하면, 빛의 파장의 피크가 날카롭기 때문에, 색 순도를 올릴 수 있다. 사이드 라이트형의 경우는, 도광판을 배치하고, 균일한 면광원을 실현한다. 이렇게 하여, 액정표시장치가 형성된다.

[0116] 또한, 액정표시장치는, 기관과 대향기관과, 그것에 끼워진 액정만의 부분을 불러도 좋다. 또한, 액정표시장치는, 편광판이나 위상차판 등의 광학 필름을 배치한 것까지 포함하는 경우도 있고, 그 이외에도, 확산판이나 프리즘 시트나 광원(냉음극관이나 LED 등)이나 도광판 등도 포함하여도 좋다.

[0117] 이상, 본 발명의 제 2 실시형태에 의하면, FFS 방식으로 액정의 배향방향을 제어하는 액정표시장치에 있어서,

제 1 전극(101)을 기판(100) 위, 즉, 절연막(102)의 아래에 배치된다. 따라서, 제 1 전극(101)을 제 2 전극(102) 위에 배치하는 경우와 비교해서, 제 1 전극(101)과 제 2 전극(112)의 간격을 넓힐 수 있다. 따라서, 제 1 전극(101)과 제 2 전극(112)의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극과 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가시키는 것 등을 용이하게 할 수 있다. 즉, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수평방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로써, 시야각이 넓어진다.

[0118] 또한, 절연막(102)의 막 두께를 변화시켜도, 트랜지스터의 동작 등에 영향을 주지 않기 때문에, 자유롭게 두께를 제어할 수 있다. 따라서, 제 1 전극(101)과 제 2 전극(112)의 간격을 자유롭게 넓게 할 수 있다.

[0119] 또한, 절연막(102)을 두껍게 하는 것으로써, 게이트 절연막(104)을 얇게 해도, 제 1 전극(101)과 제 2 전극(112)의 간격을 넓게 하고, 액정(114)에 적절한 전계를 가할 수 있다. 게이트 절연막(104)을 얇게 한 경우, 박막 트랜지스터(121)의 전류구동능력을 향상시킬 수 있고, 게이트 용량을 향상시킬 수 있다.

[0120] 또한, 게이트 전극(105a)과 게이트 배선(105)은 다른 층에 형성되어도 좋고, 다른 재료로 형성되어도 좋다.

[0121] 또한, 접속용 도전막(109)을, 소스 배선(108)과 동일한 층에 배치하지만, 다른 배선층(예를 들면 게이트 배선(105), 제 1 전극(101), 또는, 제 2 전극(112)과 동일층)에 배치하여도 좋다. 또한, 게이트 절연막(104)은, 전면에 형성되지 않아도 좋다.

[0122] 또한, 제 2 전극(112)의 일부가 매립된 접속구멍을, 접속용 도전막(109)의 일부가 매립된 접속구멍과 겹치는 위치에 형성하여도 좋다. 이 경우, 한 장소에 넣을 수 있기 때문에, 효율적으로 레이아웃할 수 있다. 따라서, 화소의 개구율을 향상시킬 수 있다.

[0123] 또한, 본 실시형태에서는, 채널영역의 상부에 게이트 전극을 배치한, 이른바 톱 게이트형의 박막 트랜지스터에 대해서 설명했지만, 본 발명은 특히 이것으로 한정되지 않는다. 채널영역의 하부에 게이트 전극이 배치된, 이른바 보텀 게이트형 박막 트랜지스터로 하여도 좋고, 채널영역의 상하에 게이트 전극이 배치된 구조를 가지는 트랜지스터를 형성하여도 좋다.

[0124] 또한, 액정표시장치는 투과형이라도 좋고, 반투과형 또는 반사형의 액정표시장치라도 좋다. 반 투과형의 액정표시장치는, 예를 들면, 제 1 전극(101)을 광 투과성의 막(예를 들면, ITO(인듐주석산화물)막, IZO(인듐아연산화물)막, ZnO막, 또는 불순물이 도입된 폴리실리콘막 또는 아모르퍼스 실리콘막)으로 형성하고, 제 2 전극(112)을 금속막으로 형성하는 것으로써 실현할 수 있다. 또한, 제 2 전극(112)을 빛 투과성의 막으로 형성하고, 제 1 전극(101)의 일부를 금속막으로 형성하고, 나머지를 빛 투과성의 막으로 형성해도 반 투과형의 액정표시장치를 실현할 수 있다. 또한, 반사형의 액정표시장치에 있어서는, 제 1 전극(101)을 금속막으로 함으로써, 제 1 전극(101)에 반사판의 기능을 가지게 할 수 있다. 또한, 기판(100)과 제 1 전극(101)의 사이에 절연막(예를 들면 산화규소막)을 형성하고, 이 절연막 중에 반사막으로서의 금속막을 형성할 수 있다. 또한, 기판(100)의 외측의 면에, 반사막으로서의 반사 시트(예를 들면, 알루미늄막)를 형성할 수 있다. 또한, 여기에서 설명한 내용은, 후술하는 각 실시형태에도 마찬가지로 적용할 수 있다.

[0125] (실시형태 3)

[0126] 도 3a는, 제 3 실시형태에 관한 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 3b는, 도 3a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 제 1 전극(101)이 박막 트랜지스터(121)의 불순물 영역(103b)에 전기적으로 접속되어 있고, 화소전극으로서 기능하고 있는 점, 제 2 전극(112)이 보조배선(106)에 전기적으로 접속되고, 공통전극으로서 기능하고 있는 점, 기판(100)에 대해서 수직인 방향으로부터 본 경우에, 제 2 전극(112)이 제 1 전극(101)의 외측에 비어져 나오는 점, 및, 제 1 전극(101) 및 제 2 전극(112)과 각 배선의 접속구조를 제외하고, 제 2 실시형태와 대체로 같은 구성이다. 또한, 본 실시형태에 관한 액정표시장치의 제조 방법은, 제 2 실시형태와 대략 같다. 따라서, 제 2 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는 동일한 부호로 나타내고, 설명을 생략한다.

[0127] 본 실시형태에 있어서, 제 1 층간절연막(107), 게이트 절연막(104), 및 절연막(102)에는, 제 1 전극(101) 위에 위치하는 접속구멍이 형성되어 있고, 제 1 층간 절연막(107) 및 게이트 절연막(104)에는, 박막 트랜지스터(121)의 불순물 영역(103a, 103b) 위에 위치하는 접속구멍이 형성된다. 또한, 제 1 층간절연막(107)에는, 보조배

선(106) 위에 위치하는 접속구멍이 형성된다.

- [0128] 접속용 도전막(109)은, 불순물 영역(103b)의 상방으로부터 제 1 전극(101)의 상방까지 연장하고, 일부가 접속구멍에 매립됨으로써, 불순물 영역(103b) 및 제 1 전극(101) 각각에 전기적으로 접속한다. 이와 같이, 제 1 전극(101)은, 접속용 도전막(109)을 개재하여 불순물 영역(103b)에 전기적으로 접속한다. 또한, 접속용 도전막(110)은, 일부가 접속구멍에 매립됨으로써, 보조배선(106)에 전기적으로 접속한다.
- [0129] 또한, 제 1 전극(101)은, 제 2 전극(112)과 같은 층으로 형성된 접속용 도전막을 형성하고, 그것을 개재하여 불순물 영역(103b)과 전기적으로 접속하여도 좋다.
- [0130] 또한, 제 2 층간절연막(111)에는, 접속용 도전막(110) 위에 위치하는 접속구멍이 형성된다. 제 2 전극(112)은, 일부가 접속구멍에 매립됨으로써, 접속용 도전막(110)에 전기적으로 접속한다. 이와 같이, 제 2 전극(112)은 접속용 도전막(110)을 개재하여 보조배선(106)에 전기적으로 접속한다. 또한, 도 3a에 나타내는 바와 같이, 상하로 위치하는 제 2 전극(112)들은, 부분적으로 서로 이어진다.
- [0131] 또한, 접속용 도전막(110)을 배치하지 않고, 보조배선(106)과 제 2 전극(112)이, 직접 접속되어도 좋다.
- [0132] 또한, 본 실시형태에서는, 접속용 도전막(110), 제 1 전극(101)이 가지는 4개의 모서리 중, 박막 트랜지스터에 가까운 모서리를 제외하는 3개의 모서리의 상방 각각에 형성된다.
- [0133] 본 실시형태에 있어서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 접속용 도전막(110)을 형성하지 않아도 좋다. 이 경우, 제 1 및 제 2 층간절연막(107, 111)에는, 보조배선(106) 위에 위치하는 접속구멍이 형성된다. 그리고, 이 접속구멍에 제 2 전극(112)의 일부가 매립됨으로써, 보조배선(106)과 제 2 전극(112)이 전기적으로 접속된다. 이 경우, 개구율을 향상시킬 수 있다. 다만, 접속용 도전막(110)을 형성하면, 제 1 및 제 2 층간절연막(107, 111) 각각에 형성된 접속구멍에 위치차이가 생겨도, 이 위치차이를 접속용 도전막(110)에 의하여 흡수할 수 있다.
- [0134] 또한, 도 3a 내지 도 3b에 나타난 것처럼, 제 1 전극(101)이 화소전극으로서 기능하고, 제 2 전극(112)이 공통전극으로서 기능하고, 화소전극보다도, 공통전극이 액정과 근접하여 배치된다. 그 결과, 화소마다 화소전극의 전압이 변화해도, 공통전극의 전압은 일정하기 때문에, 액정이 존재하는 부분의 전계는 인접하는 화소로부터의 영향을 받기 어렵고, 크로스토크를 저감할 수 있다. 예를 들면, 표시하는 화상에 따라서, 인접하는 화소에 입력되는 신호가 크게 다른 경우가 있지만, 본 실시형태와 같이, 공통전극을 액정과 근접하게 배치하는 구성을 채용하므로, 크로스토크를 방지할 수 있다.
- [0135] 또한, 도 3a 내지 도 3b에서는, 화소를 하나만 도시했지만, 실제로는, 복수의 화소가 매트릭스 형상으로 배치된다. 이 경우, 각 화소의 제 2 전극(112)을 상호 접속하여도 좋다. 이렇게 하는 것으로써, 저항을 낮게 하여, 제 2 전극(112)에 전압이 충분하게 가하도록 할 수 있다.
- [0136] 또한, 본 실시형태는, 제 2 실시형태로 설명한 내용을, 일부 변경, 개량, 또는 변형한 경우의 일례를 나타낸다. 따라서, 제 2 실시형태로 설명한 내용은, 본 실시형태에도 적용하거나, 조합하거나 할 수 있다.
- [0137] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관하여, 조합해서, 또 다른 구성을 제작할 수도 있다.
- [0138] (실시형태 4)
- [0139] 도 4a는, 본 발명의 제 4 실시형태에 관한 액정표시장치의 구성을 설명하기 위한 평면도이며, 도 4b는 도 4a의 A-B 단면도 및 C-D 단면도이다. 본 실시형태에 관한 액정표시장치는, 제 2 전극(112)에 형성된 개구 패턴(112c)의 형상이 다른 점, 및 제 1 전극(101)에 개구 패턴(101a)이 형성되고 있는 점을 제외하고, 제 3 실시형태와 같은 구성이다. 즉, 본 실시형태에 관한 액정표시장치는, IPS방식으로, 액정의 배향방향을 제어하는 장치이며, 액정표시장치에 대해서 수직한 방향으로부터 본 경우에는, 화소전극 및 공통전극이 주요부분에서 교호로, 대략 평행으로 되어 있다. FFS방식으로는, 화소전극 및 공통전극의 하방에 위치하는 전극은, 개구 패턴을 갖지 않는다. 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 제 3 실시형태와 대략 같다. 따라서, 제 3 실시형태로 설명한 내용은, 본 실시형태에도 적용할 수 있다. 또한, 제 2 실시형태로 설명한 내용은, 제 3 실시형태에서도 적용가능하기 때문에, 제 4 실시형태에도 적용가능하다. 이하, 제 3 실시형태와 같은 구성부분에는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0140] 개구 패턴(112c, 101a)은, 각각 도 4a중 상하에 지그재그로 연장한다. 개구 패턴(101a)은, 제 2

전극(112)에서, 개구 패턴(112c)이 형성되지 않은 영역의 하방 및 그 주위에 위치한다.

- [0141] 또한, 개구 패턴(112c, 101a)과 같이, 개구 패턴의 방향이 다른 것을 배치하는 것으로서, 액정분자의 동작하는 방향이 다른 영역을 복수 형성할 수 있다. 즉, 멀티 도메인 구조로 할 수 있다. 멀티 도메인 구조로 하는 것으로서, 어느 특정의 방향으로부터 본 경우, 화상의 표시가 정확하지 않게 되는 것을 방지할 수 있고, 그 결과, 시야각을 향상시킬 수 있다.
- [0142] 본 실시형태에서도, 제 3 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112)의 형상 및 개구 패턴(112c)의 형상, 및 제 1 전극(101) 및 개구 패턴(101a)의 형상을, 제 2 실시형태에 있어서의 제 2 전극(112)의 형상 및 개구 패턴(112c)의 형상으로 하여도 좋다. 다만, 기관(100)에 대해서 수직인 방향으로부터 본 경우에, 개구 패턴(101a, 112c)은, 제 1 전극(101) 및 제 2 전극(112)의 주변부분을 제외하고 교호로 대략 평행으로 되도록 배치될 필요가 있다. 단, 이것으로 한정되지 않는다.
- [0143] 또한, 제 2 실시형태 또는 제 3 실시형태에서 나타낸 FFS방식의 액정표시장치에 있어서, 제 2 전극(112)의 형상 및 개구 패턴(112a, 112b)의 형상을, 본 실시형태에서 나타내는 형상으로 하여도 좋다.
- [0144] 또한, 제 1 전극(101)과 제 2 전극(112)이나 보조배선(106)을 오버랩시키는 것으로서, 용량을 형성할 수 있고, 그것을 유시용량으로서 사용할 수 있다.
- [0145] 또한, 본 실시형태는, 제 2 실시형태 내지 제 3 실시형태에서 설명한 내용을, 일부 변경, 개량, 또는 변형한 경우의 일례를 나타낸다. 따라서, 제 2 실시형태 내지 제 3 실시형태에서 설명한 내용은, 본 실시형태에서도 적용하거나, 조합할 수 있다.
- [0146] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건으로 성립한다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0147] (실시형태 5)
- [0148] 도 5a는, 본 발명의 제 5 실시형태에 관한 IPS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 5b는, 도 5a의 A-B 단면도 및 C-D 단면도이다. 본 실시형태는, 제 1 전극(101)이 보조배선(106)에 전기적으로 접속되고, 공통전극으로서 기능하는 점, 제 2 전극(112)이 접속용 도전막(109)에 전기적으로 접속되어 있고, 화소전극으로서 기능하는 점, 및, 제 1 전극(101) 및 제 2 전극(112)과 각 배선의 접속구조를 제외하고는 제 4 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 제 4 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 제 4 실시형태와 대략 같다. 이하, 제 4 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내며, 설명을 생략한다.
- [0149] 따라서, 제 1 실시형태 내지 제 4 실시형태에서 설명한 내용은, 본 실시형태에 대해서도, 적용할 수 있다.
- [0150] 본 실시형태에 있어서, 제 3 실시형태에 나타낸 접속용 도전막(110)은 형성되지 않는다. 그 대신에, 게이트 절연막(104) 및 절연막(102)에는, 제 1 전극(101) 위에 위치하는 접속구멍이 형성된다. 보조배선(106)은, 일부가 이 접속구멍에 매립됨으로써, 제 1 전극(101)에 전기적으로 접속한다.
- [0151] 또한, 이 접속구멍은, 게이트 전극(105a, 105b)을 형성하기 전에 형성한다.
- [0152] 이와 같은 배치하는 것으로서, 효율적으로 레이아웃을 할 수 있고, 개구율을 향상시킬 수 있다.
- [0153] 또한, 제 2 층간절연막(111)에는, 접속용 도전막(110) 위에 위치하는 접속구멍은 형성되지 않고, 그 대신에, 접속용 도전막(109) 위에 위치하는 접속구멍이 형성된다. 제 2 전극(112)은, 이 접속구멍에 일부가 매립됨으로써, 접속용 도전막(109)에 전기적으로 접속한다.
- [0154] 또한, 제 2 전극(112)이 접속용 도전막(109)에 전기적으로 접속되지만, 이것으로 한정되지 않는다. 접속용 도전막(109)을 배치되지 않고, 불순물 영역(103b)과 전기적으로 접속되어도 좋다.
- [0155] 또한, 본 실시형태에 있어서, 제 2 전극(112)의 형상 및 개구 패턴(112c)의 형상, 및 제 1 전극(101) 및 개구 패턴(101a)의 형상을, 제 2 실시형태에 있어서의 제 2 전극(112)의 형상 및 개구 패턴(112c)의 형상으로 하여도 좋다. 다만, 기관(100)에 대해서 수직인 방향으로부터 본 경우에, 개구 패턴(101a, 112c)은, 제 1 전극(101) 및 제 2 전극(112)의 주변부분을 제외하고 교호로 대략 평행으로 되도록 배치될 필요가 있다.
- [0156] 또한, 개구 패턴(112c, 101a)과 같이, 개구 패턴의 방향이 다른 것을 배치하는 것으로서, 액정분자의 동작하는 방향이 다른 영역을 복수 형성할 수 있다. 즉, 멀티 도메인 구조로 하는 것으로서, 어느 특정의 방향으로부터

볼 때, 화상의 표시가 정확하지 않은 것을 방지할 수 있고, 그 결과, 시야각을 향상시킬 수 있다.

- [0157] 또한, 본 실시형태는, 제 2 실시형태 내지 제 4 실시형태로 설명한 내용을, 일부 변경, 개량, 또는, 변형한 경우의 일례를 나타낸다. 따라서, 제 2 실시형태 내지 제 4 실시형태로 설명한 내용은, 본 실시형태에도 적용하거나, 조합할 수 있다.
- [0158] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0159] (실시형태 6)
- [0160] 도 6a는, 본 발명의 제 6 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 6b는, 도 6a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 소스배선(108)이 굴곡하고 있는 점, 소스배선(108)에 맞추고 제 1 전극(101) 및 제 2 전극(112)도 굴곡하고 있는 점, 및 제 2 전극(112)이 가지는 개구 패턴(112h)이 소스배선(108)을 따라서 연장하고, 굴곡하고 있는 점을 제외하고, 제 2 실시형태에 나타낸 FFS방식의 액정표시장치와 같은 구성이다. 따라서, 제 2 실시형태로 설명한 내용은 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내도, 설명을 생략한다.
- [0161] 따라서, 제 2 실시형태 내지 제 5 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0162] 도 6a 내지 도 6b의 개구 패턴(112h)처럼, 개구 패턴의 방향이 다른 것을 배치하는 것으로써, 액정분자의 동작하는 방향이 다른 영역을 복수 형성할 수 있다. 즉, 멀티 도메인 구조로 할 수 있다. 멀티 도메인 구조로 하는 것으로써, 어느 특정의 방향으로부터 볼 때, 화상의 표시가 정확하지 않은 것을 방지할 수 있고, 그 결과, 시야각을 향상시킬 수 있다.
- [0163] 또한, 개구 패턴(112h)을 따라서 소스배선(108)도 굴곡하기 때문에, 효율적으로 레이아웃을 할 수 있고, 개구율을 향상시킬 수 있다.
- [0164] 본 실시형태에 의해서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112)이 가지는 개구 패턴의 형상을, 제 2 실시형태 또는 제 4 실시형태로 나타낸 형상으로 하여도 좋다.
- [0165] 또한, 본 실시형태는, 제 2 실시형태 내지 제 5 실시형태에서 설명한 내용을, 일부 변경, 개량, 또는 변형한 경우의 일례를 나타낸다. 따라서, 제 2 실시형태 내지 제 5 실시형태로 설명한 내용은, 본 실시형태에도 적용하거나, 조합하거나 할 수 있다.
- [0166] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0167] (실시형태 7)
- [0168] 도 7a는, 본 발명의 제 7 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 7b는, 도 7a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 소스배선(108)이 굴곡하고 있는 점, 소스배선(108)에 맞추어 제 1 전극(101) 및 제 2 전극(112)도 굴곡하고 있는 점, 및 제 2 전극(112)이 가지는 개구 패턴(112h)이 소스배선(108)을 따라서 연장하고, 굴곡하고 있는 점을 제외하고, 제 2 실시형태에 나타낸 FFS방식의 액정표시장치와 같은 구성이다. 따라서, 제 3 실시형태로 설명한 내용은 본 실시형태에도 적용할 수 있다. 이하, 제 3 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0169] 따라서, 제 2 실시형태 내지 제 6 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0170] 도 7a 내지 도 7b의 개구 패턴(112h)처럼, 개구 패턴의 방향이 다른 것을 배치하는 것으로써, 액정분자의 동작하는 방향이 다른 영역을 복수 형성할 수 있다. 즉, 멀티 도메인 구조로 할 수 있다. 멀티 도메인 구조로 하는 것으로써, 어느 특정의 방향으로부터 볼 때, 화상의 표시가 정확하지 않은 것을 방지할 수 있고, 그 결과, 시야각을 향상시킬 수 있다.
- [0171] 또한, 개구 패턴(112h)을 따라서 소스배선(108)도 굴곡하기 때문에, 효율적으로 레이아웃을 할 수 있고, 개구율을 향상시킬 수 있다.
- [0172] 본 실시형태에서도, 제 3 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서 제 2 전극(112)이 가지는 개구 패턴의 형상을, 제 2 실시형태 또는 제 4 실시형태로 나타낸 형상으로 하여도 좋다.
- [0173] 또한, 본 실시형태는, 제 2 실시형태 내지 제 6 실시형태에서 설명한 내용을, 일부 변경, 개량, 또는 변형한 경

우의 일례를 나타낸다. 따라서, 제 2 실시형태 내지 제 5 실시형태로 설명한 내용은, 본 실시형태에도 적용하거나, 조합하거나 할 수 있다.

[0174] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.

[0175] (실시형태 8)

[0176] 도 8a는, 본 발명의 제 8 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 8b는, 도 8a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 기관(100) 위에, 반도체막(103)의 하방전면에 위치하는 도전막(160)이 형성되는 점을 제외하고, 제 2 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 도전막(160)이 제 1 전극(101)과 동일한 공정으로 형성되는 점을 제외하고, 제 2 실시형태와 대략 같다. 따라서, 제 2 실시형태로 설명한 내용은 본 실시형태에도 적용할 수 있다. 또한, 도전막(160)은 어느 부재에도 전기적으로 접속되지 않고, 부유(floating) 상태이다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.

[0177] 따라서, 제 2 실시형태 내지 제 7 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.

[0178] 본 실시형태에서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 기관(100) 위에, 반도체막(103)의 하방에 위치하는 도전막(160)이 형성되기 때문에, 절연막(102)을 산화규소막의 단층으로 하여도 좋다. 도전막(160)이 형성되지 않고, 절연막(102)이 산화규소막 단층의 경우, 기관(100)으로부터 반도체막(103)에의 불순물 확산을 충분히 억제할 수 없는 가능성이 있다. 따라서, 절연막(102)에 질화규소막을 가할 필요가 있다. 그렇지만, 질화규소막과 반도체막(103)을 접속시키면, 박막 트랜지스터(121)의 동작이 불안정으로 된다. 이것에 대해서, 본 실시형태에서는, 도전막(160)을 형성하는 것으로써, 절연막(102)을 산화규소막 단층이어도, 기관(100)으로부터 반도체막(103)에의 불순물 확산을 충분히 억제할 수 있다. 그래서, 절연막(102)을 산화규소막 단층으로 하는 것으로써, 박막 트랜지스터(121)의 동작을 안정하게 할 수 있다.

[0179] 또한, 절연막(102)은 산화규소막과 질화규소막의 적층구조라도 좋다. 이렇게 하면, 산화규소막에 철 등의 불순물이 포함되어도, 이 불순물이 반도체 막(103)에 확산하는 것을 억제할 수 있다. 또한, 기관(100)으로부터의 불순물의 침입을, 보다 좋고 블록할 수 있다.

[0180] 또한, 제 3 실시형태에서 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태 및 제 5 실시형태에서 나타낸 IPS 방식의 액정표시장치 각각에 있어서, 도전막(160)을 형성해도, 본 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.

[0181] 또한, 개구 패턴(112a, 112b)과 같이, 개구 패턴의 방향이 다른 것을 배치하는 것으로써, 액정분자의 동작하는 방향이 다른 영역을 복수 형성할 수 있다. 즉, 멀티 도메인 구조로 할 수 있다. 멀티 도메인 구조로 하는 것으로써, 어느 특정의 방향으로부터 볼 때, 화상의 표시가 정확하지 않은 것을 방지할 수 있고, 그 결과, 시야각을 향상시킬 수 있다.

[0182] 또한, 본 실시형태는, 제 2 실시형태 내지 제 7 실시형태에서 설명한 내용을, 일부 변경, 개량, 또는 변형한 경우의 일례를 나타낸다. 따라서, 제 2 실시형태 내지 제 7 실시형태로 설명한 내용은, 본 실시형태에도 적용하거나, 조합하거나 할 수 있다.

[0183] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.

[0184] (실시형태 9)

[0185] 도 9a는, 본 발명의 제 9 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 9b는, 도 9a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 제 1 전극(101)의 일부가, 반도체막(103) 중에서, 불순물 영역(103b)의 하방까지 연장하는 점을 제외하고, 제 2 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 제 2 실시형태와 대략 같다. 따라서, 제 2 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는 동일한 부호로 나타내고, 설명을 생략한다.

[0186] 따라서, 제 2 실시형태 내지 제 8 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.

- [0187] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0188] 본 실시형태에서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태로 나타낸 형상으로 하여도 좋다. 또한, 제 6 실시형태에서 나타낸 FFS방식의 액정표시장치 및 제 5 실시형태에서 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 전극(101)의 일부를 불순물 영역(103b)의 하방에 위치시켜도 좋다.
- [0189] 또한, 제 3 실시형태와 제 7 실시형태에 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태에 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 전극(101)의 일부를 불순물 영역(103b)의 하방에 위치시켜도 좋다. 이렇게 하면, 제 1 전극(101)의 전압은 불순물 영역(103b)의 전압과 동일이며, 노이즈 등의 영향을 받기 어렵고, 불순물 영역(103b)의 전압이 안정하다. 그 결과, 개구 패턴(112a)의 간격을 좁게 할 수 있고, 또는, 전계의 가하는 방법이 매끈하게 되므로, 액정분자를 제어하기 쉽다. 또한, 개구 패턴(112a)의 간격을 좁게 하는 것으로써, 전압을 작게 할 수 있기 때문에, 소비전력도 작게 할 수 있다. 또한, 전계가 집중하는 것도 완화시키기 때문에, 박막 트랜지스터(121)의 신뢰성도 향상한다.
- [0190] 또한, 본 실시형태에 있어서, 제 1 전극(101) 중에서, 불순물 영역(103b)의 하방에 위치하는 부분을 제 1 전극(101)의 본체로부터 분리하고, 접속용 도전막(109)에 전기적으로 접속해도 좋다. 이렇게 해도, 상기한 효과를 얻을 수 있다. 즉, 액정분자가 제어하기 쉽고, 소비전력이 작게 되거나, 박막 트랜지스터(121)의 신뢰성이 향상한다.
- [0191] (실시형태 10)
- [0192] 도 10a는, 본 발명의 제 10 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 10b는, 도 10a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 제 1 전극(101)의 일부가, 반도체막(103) 중에서, 불순물 영역(103b), 2개의 채널영역(103c), 및 채널영역(103c) 상호간의 불순물 영역 각각의 하방까지 연장하는 점을 제외하고, 제 9 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한, 액정표시장치의 제조방법은, 제 9 실시형태와 대략 같다. 따라서, 제 9 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 9 실시형태와 같은 구성부분에 대해서는 동일의 부호로 나타내고, 설명을 생략한다.
- [0193] 따라서, 제 2 실시형태 내지 제 9 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0194] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0195] 본 실시형태에서도, 제 9 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 6 실시형태에서 나타낸 FFS방식의 액정표시장치 및 제 5 실시형태에서 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 전극(101)의 일부를 불순물 영역(103b), 2개의 채널영역(103c) 및 채널영역(103c) 상호간의 불순물 영역 각각의 하방까지 연장시켜도 좋다.
- [0196] 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.
- [0197] 또한, 제 3 실시형태와 제 7 실시형태에 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태에 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 전극(101)의 일부를 불순물 영역(103b), 2개의 채널영역(103c) 및 채널영역(103c) 상호간의 불순물 영역 각각의 하방까지 연장시켜도 좋다. 이렇게 하면, 제 1 전극(101)의 전압은 불순물 영역(103b)의 전압과 동일이며, 노이즈 등의 영향을 받기 어렵고, 불순물 영역(103b)의 전압이 안정하다. 그 결과, 개구 패턴(112a)의 간격을 좁게 할 수 있고, 또는, 전계의 가하는 방법이 매끈하게 되므로, 액정분자를 제어하기 쉽다. 또한, 개구 패턴(112a)의 간격을 좁게 하는 것으로써, 전압을 작게 할 수 있기 때문에, 소비전력도 작게 할 수 있다. 또한, 전계가 집중하는 것도 완화시키기 때문에, 박막 트랜지스터(121)의 신뢰성도 향상한다.
- [0198] 또한, 본 실시형태에 있어서, 제 1 전극(101) 중의 불순물 영역(103b), 2개의 채널영역(103c), 및 채널영역(103c) 상호간의 불순물 영역 각각의 하방에 위치하는 부분을 제 1 전극(101)의 본체로부터 분리하고, 접속용 도전막(109)에 전기적으로 접속하여도 좋다. 이렇게 해도, 상기의 효과를 얻을 수 있다. 즉, 액정분자가 제어하기 쉽고, 소비전력이 작게 되고, 박막 트랜지스터(121)의 신뢰성이 향상한다.

- [0199] (실시형태 11)
- [0200] 도 11a는, 본 발명의 제 11 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 11b는, 도 11a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 제 1 전극(101)의 일부가, 반도체막(103) 전면의 하방까지 연장하는 점을 제외하고, 제 10 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한, 액정표시장치의 제조방법은, 제 10 실시형태와 대략 같다. 따라서, 제 10 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 10 실시형태와 같은 구성부분에 대해서는 동일한 부호로 나타내고, 설명을 생략한다.
- [0201] 따라서, 제 2 실시형태 내지 제 10 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0202] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0203] 본 실시형태에서도, 제 10 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 8 실시형태와 같은 작용에 의하여, 절연막(102)을 산화규소막 단층으로 해도, 기관(100)으로부터 반도체막(103)에의 불순물 확산을 충분히 억제할 수 있다. 그래서, 절연막(102)을 산화규소막 단층으로 하는 것으로써, 박막 트랜지스터(121)의 동작을 안정하게 할 수 있다.
- [0204] 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다. 또한, 제 6 실시형태에서 나타낸 FFS방식의 액정표시장치 및 제 5 실시형태에서 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 전극(101)의 일부를 반도체막(103) 전면의 하방까지 연장시켜도 좋다.
- [0205] 또한, 제 3 실시형태와 제 7 실시형태에 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태에 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 전극(101)의 일부를 반도체막(103)의 전면의 하방까지 연장시켜도 좋다. 이렇게 하면, 제 1 전극(101)의 전압은 불순물 영역(103b)의 전압과 동일이며, 노이즈 등의 영향을 받기 어렵고, 불순물 영역(103b)의 전압이 안정하다. 그 결과, 개구 패턴(112a)의 간격을 좁게 할 수 있고, 또는, 전계의 가하는 방법이 매끈하게 되므로, 액정분자를 제어하기 쉽다. 또한, 개구 패턴(112a)의 간격을 좁게하는 것으로써, 전압을 작게 할 수 있기 때문에, 소비전력이 작게 할 수 있다. 또한, 전계가 집중하는 것도 완화시키기 때문에, 박막 트랜지스터(121)의 신뢰성도 향상한다.
- [0206] 또한, 본 실시형태에 있어서, 제 1 전극(101) 중의 반도체막(103)의 하방에 위치하는 부분을 제 1 전극(101)의 본체로부터 분리하고, 접속용 도전막(109)에 전기적으로 접속하여도 좋다. 이렇게 해도, 상기의 효과를 얻을 수 있다. 즉, 액정분자가 제어하기 쉽고, 소비전력이 작게 되고, 박막 트랜지스터(121)의 신뢰성이 향상한다.
- [0207] (실시형태 12)
- [0208] 도 12a는, 본 발명의 제 12 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 12b는, 도 12a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 기관(100) 위에, 반도체막(103) 중, 소스배선(108)에 전기적으로 접속되고 있는 불순물영역(103a)의 하방에 위치하는 도전막(170)이 형성되고 있는 점, 및 도전막(170)이 소스배선(108)에 전기적으로 접속되고 있는 점을 제외하고, 제 2 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 도전막(170)이 제 1 전극(101)과 동일한 공정으로 형성되는 점을 제외하여, 제 2 실시형태와 대략 같다. 따라서, 제 2 실시형태로 설명한 내용은 본 실시형태에도 적용할 수 있다. 또한, 도전막(160)은 어느 부재에도 전기적으로 접속되지 않고, 부유(floating) 상태이다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0209] 따라서, 제 2 실시형태 내지 제 11 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0210] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0211] 제 1 층간 절연막(107), 게이트 절연막(104) 및 절연막(102)에는, 도전막(170) 위에 위치하는 접속구멍이 형성된다. 소스배선(108)은, 일부가 이 접속구멍 중에 매립됨으로써, 도전막(170)에 전기적으로 접속된다.
- [0212] 본 실시형태에서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 소스배선(108)에 전기적으로 접속되고 있는 불순물 영역(103a)의 하방에 위치하는 도전막(170)에도, 불순물 영역(103a)과 동일한 전압이 가하고 있다. 따라서, 불순물 영역(103a)의 전압이 안정하다.

[0213] 또한, 제 3 실시형태, 제 6 실시형태, 제 7 실시형태, 제 9 실시형태, 및 제 10 실시형태에서 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태 및 제 5 실시형태에서 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같은 도전막(170)을 형성하여도 좋다. 이렇게 해도, 본 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 불순물 영역(103a)의 전압을 안정화시킬 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.

[0214] (실시형태 13)

[0215] 도 13a는, 본 발명의 제 13 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 13b는, 도 13a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 도전막(170)이, 반도체막(103) 중, 불순물 영역(103a)에 인접하는 채널영역(103c) 및 불순물 영역(103a)의 하방에 형성되고, 제 1 전극(101)의 일부가 반도체막(103) 중, 불순물 영역(103b)에 인접하는 채널영역(103c) 및 불순물 영역(103b)의 하방에 형성되고 있는 점을 제외하고, 제 12 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 제 12 실시형태와 대략 같다. 따라서, 제 12 실시형태에서 설명한 내용은 본 실시형태에도 적용할 수 있다. 이하, 제 12 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.

[0216] 따라서, 제 2 실시형태 내지 제 12 실시형태에서 나타낸 내용은, 본 실시형태에 대해서도 적용할 수 있다.

[0217] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다. 본 실시형태에서도, 제 12 실시형태와 같은 효과와, 제 9 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 3 실시형태, 제 6 실시형태, 및 제 7 실시형태에서 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태 및 제 5 실시형태로 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같은 도전막(170)을 형성하고, 제 1 전극(101)의 형상을 본 실시형태와 같게 하여도 좋다. 이렇게 해도, 본 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태로 나타낸 형상으로 하여도 좋다.

[0218] (실시형태 14)

[0219] 도 14a는, 본 발명의 제 14 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 10b는, 도 10a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 도전막(170)이, 반도체막(103) 중, 불순물 영역(103a), 2개의 채널영역(103c), 및 채널영역(103c) 상호간의 불순물 영역 각각의 하방에 형성되는 점을 제외하고, 제 12 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한, 액정표시장치의 제조방법은, 제 12 실시형태와 대략 같다. 따라서, 제 12 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 12 실시형태와 같은 구성부분에 대해서는 동일한 부호로 나타내고, 설명을 생략한다.

[0220] 따라서, 제 2 실시형태 내지 제 13 실시형태에서 나타낸 내용은, 본 실시형태에 대해서도 적용할 수 있다.

[0221] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.

[0222] 본 실시형태에서도, 제 12 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 불순물 영역(103a)의 전압을 안정화시킬 수 있다. 또한, 제 3 실시형태, 제 6 실시형태, 제 7 실시형태, 및 제 9 실시형태로 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태, 제 5 실시형태에 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같은 도전막(170)을 형성하여도 좋다. 이렇게 해도, 본 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 불순물 영역(103a)의 전압을 안정화시킬 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.

[0223] (실시형태 15)

[0224] 도 15a는, 본 발명의 제 15 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 15b는, 도 15a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 도전막(170)이 반도체막(103) 전면의 하방에 형성되고 있는 점을 제외하고, 제 14 실시형태와 같은 구성이다. 또한, 본 실시형태에 관한, 액정표시장치의 제조방법은, 제 14 실시형태와 대략 같다. 이하, 제 14 실시형태와 같은 구성에 대해서는 동일한 부호로 나타내고, 설명을 생략한다.

[0225] 따라서, 제 2 실시형태 내지 제 14 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.

- [0226] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0227] 본 실시형태에서도, 제 14 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 불순물 영역(103a)의 전압을 안정화시킬 수 있다. 또한, 제 3 실시형태, 제 6 실시형태, 제 7 실시형태, 및 제 9 실시형태로 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태, 제 5 실시형태에 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같은 도전막(170)을 형성하여도 좋다. 이렇게 해도, 본 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 불순물 영역(103a)의 전압을 안정화시킬 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.
- [0228] (실시형태 16)
- [0229] 도 16a는, 본 발명의 제 16 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 16b는, 도 16a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 기판(100) 위에, 제 2 게이트 배선(180) 및 제 2 게이트 전극(180a, 180b)이 형성되고 있는 점을 제외하고, 제 2 실시형태와 같은 구성이다. 기판(100)에 대해서 대략 수직인 방향으로부터 본 경우, 제 2 게이트 배선(180) 및 제 2 게이트 전극(180a, 180b)의 각각은, 게이트 배선(105) 및 게이트 전극(105a, 105b)과 대략 겹친다.
- [0230] 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 제 2 게이트 배선(180) 및 제 2 게이트 전극(180a, 180b)이 제 1 전극(101)과 동일한 공정으로 형성되는 점을 제외하고, 제 2 실시형태와 대략 같다. 따라서, 제 2 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0231] 따라서, 제 2 실시형태 내지 제 15 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0232] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0233] 본 실시형태에서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 반도체막(103)의 2개의 채널영역(103c)은, 게이트 전극(105a) 및 제 2 게이트 전극(180a), 또는 게이트 전극(105b) 및 제 2 게이트 전극(180b)에 끼워져 있다. 따라서, 실질적으로 채널영역이 2배로 되기 때문에, 박막 트랜지스터(121)를 흐르는 전류량이 많아진다.
- [0234] 또한, 제 3 실시형태, 제 6 실시형태, 제 7 실시형태, 제 9 실시형태, 및 제 12 실시형태에서 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태 및 제 5 실시형태에서 나타낸 IPS방식의 액정표시장치에 있어서, 본 실시형태와 같이, 제 2 게이트 배선(180) 및 제 2 게이트 전극(180a, 180b)을 제 1 전극(101)과 동일한 공정으로 형성하여도 좋다. 이렇게 해도, 본 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.
- [0235] (실시형태 17)
- [0236] 도 17a는, 본 발명의 제 17 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 17b는, 도 17a의 E-F 단면도, G-H 단면도, 및 I-J 단면도이다. 본 실시형태는, 게이트 배선(105)이 형성되지 않고, 접속용 배선(105c)을 개재하여 게이트 전극(105a, 105b)이 제 2 게이트 배선(180)에 전기적으로 접속하고 있는 점을 제외하고, 제 16 실시형태와 같은 구성이다. 따라서, 제 16 실시형태로 설명한 내용은, 본 실시형태에도 적용할 수 있다. 접속용 배선(105c)은, 게이트 전극(105a, 105b)과 동일 배선층으로 형성된다.
- [0237] 따라서, 제 2 실시형태 내지 제 16 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0238] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0239] 절연막(102) 및 게이트 절연막(104)에는, 제 2 게이트 배선(180) 위에 위치하는 접속구멍이 형성된다. 접속용 배선(105c)은, 일부가 이 접속구멍에 매립됨으로써, 제 2 게이트 배선(180)에 전기적으로 접속된다.
- [0240] 또한, 본 실시형태에 관한 액정표시장치의 방법은, 접속용 배선(105c)이 게이트 전극(105a, 105b)과 동일한 공정으로 형성되고 있는 점을 제외하고, 제 2 실시형태와 대략 같다. 이하, 제 2 실시형태와 같은 구성에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.

- [0241] 본 실시형태에서도, 제 16 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 3 실시형태, 제 6 실시형태, 제 7 실시형태, 제 9 실시형태, 및 제 12 실시형태로 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태, 제 5 실시형태에 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 2 게이트 선(180) 및 제 2 게이트 전극(180a, 180b)을 제 1 전극(101)과 동일한 공정으로 형성하고, 게이트 배선(105)을 형성하지 않고, 접속용 배선(105c)을 개재하여 게이트 전극(105a, 105b)을 제 2 게이트 배선(180)에 전기적으로 접속하는 구성으로 하여도 좋다. 이렇게 해도, 본 실시형태와 같은 효과를 얻을 수 있다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.
- [0242] (실시형태 18)
- [0243] 도 18a는, 본 발명의 제 18 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 18b는, 도 18a의 E-F 단면도 및 G-H 단면도이다. 본 실시형태는, 박막 트랜지스터(121)가 보텀 게이트형의 트랜지스터인 점을 제외하고, 제 2 실시형태와 같은 구성이다. 따라서, 제 2 실시형태에서 설명한 내용은 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0244] 따라서, 제 2 실시형태 내지 제 17 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0245] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0246] 본 실시형태에 있어서, 게이트 전극(105a, 105b), 보조배선(106), 및 게이트 배선(105)은 기판(100) 위에 형성되어 있고, 게이트 절연막(104)은, 기판(100), 게이트 전극(105a, 105b), 보조배선(106), 및 게이트 배선(105) 각각 위에 형성된다. 또한, 반도체막(103)은 게이트 절연막(104) 위에 형성된다.
- [0247] 본 실시형태에 관한 액정표시장치의 제조방법은, 이하와 같다. 우선, 기판(100) 위에 제 1 전극(101) 및 절연막(102)을 형성한다. 다음, 절연막(102) 위에 도전막을 형성한다.
- [0248] 또한, 도전막은, 알루미늄(Al), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag) 중에서 선택된 하나 또는 복수의 원소, 또한, 상기 군으로부터 선택된 하나 또는 복수의 원소를 성분으로 하는 화합물 또는, 이 화합물을 조합한 물질, 또한, 상기 군으로부터 선택된 하나 또는 복수의 원소와 규소의 화합물(실리사이드)로 형성된다. 또한, n형 불순물이 도입된 규소(Si)를 사용해도 좋다.
- [0249] 다음, 이 도전막을, 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 절연막(102) 위에는, 게이트 전극(105a, 105b), 보조배선(106), 및 게이트 배선(105)이 형성된다. 그 후, 레지스트 패턴을 제거한다. 다음, 게이트 절연막(104)을 형성한다.
- [0250] 다음, 게이트 절연막(104) 위에 반도체막을 형성하고, 이 반도체막을, 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 반도체막(103)이 형성된다. 그 후, 레지스트 패턴을 제거한다.
- [0251] 다음, 반도체막(103) 위에 레지스트 패턴을 형성하고, 이 레지스트 패턴을 마스크로서 반도체막(103)에 불순물을 주입한다. 따라서, 불순물 영역(103a, 103b), 및 게이트 전극(105a, 105b) 상호간에 위치하는 불순물 영역이 형성된다. 또한, 기판(100)이 유리 등의 투과성을 가지는 재료로 형성되는 경우, 레지스트 패턴을 형성할 때에, 노광용의 마스크를 사용하지 않고, 게이트 배선을 노광용 패턴으로서 기판(100)의 이면으로부터 노광하는 것으로써, 레지스트 패턴을 형성하는 경우도 있다. 이 경우는, 노광용의 마스크를 사용하지 않은 분만 공정수를 적게 할 수 있기 때문에, 제조 비용을 삭감할 수 있다. 또한, 자기정합적으로 레지스트 패턴을 형성할 수 있기 때문에, 레지스트 패턴의 차이가 억제되고, 이 차이를 고려할 필요가 없다라고 하는 이점도 있다. 그 뒤 공정은, 제 2 실시형태와 같다.
- [0252] 본 실시형태에서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 3 실시형태 내지 제 14 실시형태 각각에 나타낸 FFS방식 또는 IPS방식의 액정표시장치에 있어서, 화소를 구동하는 박막 트랜지스터를, 본 실시형태와 같은 보텀 게이트형 박막 트랜지스터로 하여도 좋다. 또한, 본 실시형태에 있어서, 제 2 전극(112) 및 개구 패턴(112a)의 형상을, 제 4 실시형태에서 나타낸 형상으로 하여도 좋다.
- [0253] (실시형태 19)
- [0254] 도 19a는, 본 발명의 제 19 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도

19b는, 도 19a의 I-J 단면도 및 K-L 단면도이다. 본 실시형태에 관한 액정표시장치는, 화소전극이 되는 제 2 전극(112)을 제어하는 박막 트랜지스터의 구성이 다른 점, 제 2 층간 절연막(111)이 없는 점, 제 2 전극(112) 및 제 1 배향막(113)이 제 1 층간 절연막(107) 위에 형성되고 있는 점, 소스배선(108) 및 접속용 도전막(109)이 게이트 절연막(104) 위에 형성되고 있는 점, 및 접속용 도전막(110)이 제 2 전극(112)과 동일한 층에 형성되고 있는 점을 제외하고, 제 2 실시형태와 같은 구성이다. 이하, 제 2 실시형태와 같은 구성에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.

- [0255] 따라서, 제 2 실시형태 내지 제 18 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0256] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0257] 본 실시형태에 있어서, 박막 트랜지스터(122)는 보텀 게이트형이며, 게이트 배선(105) 위에 게이트 절연막(104)이 형성된다. 게이트 절연막(104) 위에는, 채널영역이 되는 반도체막(123)이 형성된다. 반도체막(123)은, 예를 들면, 아모르퍼스 실리콘막이다.
- [0258] 반도체막(123)은, n형 반도체막(124a)을 개재하여 소스배선(108)과 전기적으로 접속하고, n형 반도체막(124b)을 개재하여 접속용 도전막(109)과 전기적으로 접속한다. n형 반도체막(124a, 124b)은, 예를 들면, 인 또는 비소가 도입된 폴리실리콘막이며, 소스 또는 드레인으로서 기능한다.
- [0259] 본 실시형태에 관한 액정표시장치의 제조방법은, 이하와 같다. 우선, 기판(100) 위에 제 1 전극(101) 및 절연막(102)을 형성한다. 다음, 절연막(102) 위에 도전막을 형성한다.
- [0260] 또한, 도전막은, 알루미늄(Al), 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 네오디뮴(Nd), 크롬(Cr), 니켈(Ni), 백금(Pt), 금(Au), 은(Ag) 중에서 선택된 하나 또는 복수의 원소, 또한, 상기 군으로부터 선택된 하나 또는 복수의 원소를 성분으로 하는 화합물 또는, 이 화합물을 조합한 물질, 또한, 상기 군으로부터 선택된 하나 또는 복수의 원소와 규소의 화합물(실리사이드)로 형성된다. 또한, n형 불순물이 도입된 규소(Si)를 사용해도 좋다.
- [0261] 다음, 이 도전막을, 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 절연막(102) 위에는, 게이트 배선(105), 및 보조배선(106)이 형성된다. 그 후, 레지스트 패턴을 제거한다. 다음, 게이트 절연막(104)을 형성한다.
- [0262] 다음, 게이트 절연막(104) 위에 반도체막을 예를 들면, CVD법으로 형성하고, 이 반도체막을, 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 반도체막(123)이 형성된다. 그 후, 레지스트 패턴을 제거한다.
- [0263] 다음, 반도체막(123) 위 및 게이트 절연막(104) 위에 반도체막을 형성하고, 이 반도체막에 n형의 불순물을 주입한다. 다음, 이 반도체막을, 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 반도체막(123) 위에는, n형 반도체막(124a, 124b)이 형성된다. 그 후, 레지스트 패턴을 제거한다.
- [0264] 다음, 반도체막(123), n형 반도체막(124a, 124b), 및 게이트 절연막(104) 각각 위에 도전막을 형성하고, 이 도전막을 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 소스 배선(108) 및 접속용 도전막(109)이 형성된다. 그 후, 레지스트 패턴을 제거한다.
- [0265] 다음, 제 1 층간절연막(107)을 형성한다. 다음, 제 1 층간 절연막(107)에, 접속용 도전막(109) 위에 위치하는 접속구멍을 형성한다. 또한, 본 공정에 있어서, 제 1 층간 절연막(107) 및 게이트 절연막(104)에는, 보조배선(106) 위에 위치하는 접속구멍이 형성되고, 제 1 층간 절연막(107), 및 게이트 절연막(104), 및 절연막(102)에는, 제 1 전극(101) 위에 위치하는 접속구멍이 형성된다.
- [0266] 다음, 제 1 층간절연막(107) 위, 및 각 접속구멍 내에, 빛 투과성을 가지는 도전막(예를 들면, ITO막, IZO막, ZnO막, 또는, Si막)을 형성하고, 이 도전막을 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거한다. 따라서, 제 2 전극(112) 및 접속용 도전막(110)이 형성된다. 다음, 제 1 층간 절연막(107), 제 2 전극, 및 접속용 도전막(110) 각각 위에, 제 1 배향막(113)을 형성한다. 이후의 공정은, 제 2 실시형태에 관한 액정표시장치의 제조방법과 같다.
- [0267] 본 실시형태에 의해서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, n형 반도체막(124a, 124b)을 형성하지 않고, 소스배선(108) 및 접속용 도전막(109)을 직접 반도체막(123)에 접속하여도 좋다. 또한, 제 2 전극

(112)의 개구 패턴의 형상을, 제 5 실시형태와 같은 형상으로 하여도 좋다.

- [0268] 또한, 제 6 실시형태 내지 제 18 실시형태에 나타난 FFS방식의 액정표시장치 및 제 5 실시형태에 나타난 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 박막 트랜지스터의 구성을 변경하여, 제 2 층간 절연막(111)을 형성하지 않고, 제 2 전극(112) 및 제 1 배향막(113)을 제 1 층간 절연막(107) 위에 형성하고, 소스 배선(108) 및 접속용 도전막(109)을 게이트 절연막(104) 위에 형성하고, 접속용 도전막(110)을 제 2 전극(112)과 동일층에 형성하여도 좋다.
- [0269] (실시형태 20)
- [0270] 도 20a는, 본 발명의 제 20 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 도 20b는, 도 20a의 M-N 단면도 및 O-P 단면도이다. 본 실시형태는, 접속용 도전막(110)이 접속용 도전막(109)과 제 1 전극(101)을 전기적으로 접속하고 있는 점, 및 제 2 전극(112)이 보조배선(106)에 접속하고 있는 점, 및 기관(100)에 대해서 수직인 방향으로부터 본 경우에, 제 2 전극(112)이 제 1 전극(101)의 외측에 비어져 나와 있는 점을 제외하고, 제 19 실시형태와 같은 구성이다. 제 1 전극(101)은 화소전극으로서 기능하고, 제 2 전극(112)은 공통전극으로서 기능한다.
- [0271] 본 실시형태에 관한 액정표시장치의 제조방법은, 제 19 실시형태에 관한 액정표시장치의 제조방법과 같다. 따라서, 제 19 실시형태로 설명한 본 실시형태에도, 적용할 수 있다.
- [0272] 따라서, 제 2 실시형태 내지 제 19 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0273] 또한, 여러 가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러 가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0274] 본 실시형태에 의해서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, n형 반도체막(124a, 124b)을 형성하지 않고, 소스배선(108) 및 접속용 도전막(109)을 직접 반도체막(123)에 접속하여도 좋다. 또한, 제 2 전극(112)의 개구 패턴의 형상을, 제 4 실시형태와 같은 형상으로 하여도 좋다.
- [0275] 또한, 제 1 전극(101)에도 개구 패턴을 형성하여도 좋다. 이 경우, IPS방식으로 액정의 배향방향을 제어하는 장치로 된다. 또한, 제 1 전극(101) 및 제 2 전극(112)의 형상 및 이들 전극이 가지는 개구 패턴의 형상은, 예를 들면, 제 4 실시형태로 나타낸 형상이다.
- [0276] (실시형태 21)
- [0277] 도 21a는, 본 발명의 제 21 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 단면도이다. 이 단면도는, 도 3a의 E-F 단면도 및 G-H 단면도에 상당하는 단면을 나타낸다. 본 실시형태는, 도 3b에 나타낸 제 2 층간 절연막(111)이 형성되지 않은 점, 제 2 전극(112)이 제 1 층간절연막(107) 위에 위치하는 점, 및 제 2 전극(112)의 일부가 접속용 도전막(110) 위에 위치하는 점을 제외하고, 제 3 실시형태와 같은 구성이다.
- [0278] 본 실시형태에 관한 액정표시장치의 제조방법은, 제 2 층간 절연막(111)의 형성공정이 생략되는 점을 제외하고, 제 3 실시형태와 대략 같다. 따라서, 제 3 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 3 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0279] 또한, 제 2 전극(112)은, 소스 배선(108) 등을 동시에 형성하여도 좋다. 즉, 같은 재료를 사용하여, 동시에 가공하여 형성하여도 좋다. 그 결과, 투광성을 가지는 전극으로 형성하는 공정을 생략할 수 있고, 비용을 저감할 수 있다.
- [0280] 따라서, 제 2 전극(112)은, 빛 투과성을 가지지 않아도 좋다. 즉, 제 2 전극(112)은 빛을 반사하는 성질을 가져도 좋다.
- [0281] 따라서, 제 2 실시형태 내지 제 20 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0282] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0283] 본 실시형태에 있어서도, 제 3 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 2 층간 절연막(111)의 형성공정이 생략되기 때문에, 제조 비용을 낮게 할 수 있다. 또한, 이러한 구조로 하여도, 하지막으로서 기능하는 절연막(102)의 아래에 제 1 전극(101)이 배치되기 때문에, 제 1 전극(101)과 제 2 전극(112)의 간격을 충분히 크게 할 수 있고, 액정(114)에 적절한 전계를 가할 수 있다.

- [0284] 또한, 제 2 실시형태, 제 6 실시형태 내지 제 18 실시형태에서 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태 및 제 5 실시형태로 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 2 층간 절연막(111)을 형성하지 않고, 제 2 전극(112)을 제 1 층간 절연막(107) 위에 배치시키고, 제 2 전극(112)의 일부를 접속용 도전막(110) 위에 위치시켜도 좋다. 이 경우에도, 본 실시형태와 같은 효과를 얻을 수 있다.
- [0285] (실시형태 22)
- [0286] 도 21b는, 본 발명의 제 22 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 단면도이다. 이 단면도는, 도 1a의 E-F 단면도 및 G-H 단면도에 상당하는 단면을 나타낸다. 본 실시형태는, 제 2 전극(112)의 모두가 제 1 층간 절연막(107) 위에 위치하는 점, 및 접속용 도전막(110)의 일부가 제 2 전극(112) 위에 위치하고 있는 점을 제외하고, 제 21 실시형태와 같은 구성이다.
- [0287] 본 실시형태에 관한 액정표시장치의 제조방법은, 제 2 전극(112)이 형성된 후, 소스배선(108), 접속용 도전막(109), 및 접속용 도전막(110)이 형성되는 점을 제외하고, 제 21 실시형태와 대략 같다. 따라서, 제 21 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 21 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0288] 따라서, 제 2 실시형태 내지 제 21 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0289] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0290] 본 실시형태에 의해서도, 제 21 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 2 전극(112) 위에 접속용 도전막(110)이 위치하기 때문에, 제 2 전극(112)의 단선을 방지할 수 있다. 즉, 제 21 실시형태와 같이, 제 2 전극(112)이 접속용 도전막(110)의 상부에 형성되면, 제 2 전극(112)보다 접속용 도전막(110)이 두껍게 형성되는 것이 많기 때문에, 접속용 도전막(110) 단부에서 제 2 전극(112)이 단선을 일으킬 가능성이 있다. 한편, 본 실시형태와 같이, 제 2 전극(112)을 접속용 도전막(110)의 아래에 형성하면, 제 2 전극(112)의 단선을 방지할 수 있다. 또한, 상기와 같이, 접속용 도전막(110)은 두껍게 형성되는 경우가 많기 때문에, 접속용 도전막(110)이 단선을 일으킬 가능성은 낮다. 또한, 제 2 층간 절연막(111)의 형성공정이 생략되기 때문에, 제조비용을 낮게 할 수 있다. 또한, 이러한 구조로 해도, 하지막으로서 기능하는 절연막(102)의 아래에 제 1 전극(101)이 배치되기 때문에, 제 1 전극(101)과 제 2 전극(112)의 간격을 충분히 크게 할 수 있고, 액정(114)에 적절한 전계를 가할 수 있다.
- [0291] 또한, 제 2 실시형태, 제 6 실시형태 내지 제 18 실시형태에서 나타낸 FFS방식의 액정표시장치, 및 제 4 실시형태 및 제 5 실시형태로 나타낸 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 2 층간 절연막(111)을 형성하지 않고, 제 2 전극(112)을 제 1 층간 절연막(107) 위에 배치시키고, 접속용 도전막(110)의 일부를 제 2 전극(112) 위에 위치시켜도, 본 실시형태와 같은 효과를 얻을 수 있다.
- [0292] (실시형태 23)
- [0293] 도 22는, 본 발명의 제 23 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 단면도이다. 이 단면도는, 도 3a의 E-F 단면도 및 G-H 단면도에 상당하는 단면을 나타낸다. 본 실시형태는, 제 2 층간 절연막(111) 위에 금속막(110a)이 형성되어 있고, 이 금속막(110a)을 개재하여 제 2 전극(112)과 접속용 도전막(110)이 전기적으로 접속하고 있는 점을 제외하고, 제 3 실시형태와 같다. 따라서, 제 3 실시형태로 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 3 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0294] 따라서, 제 2 실시형태 내지 제 22 실시형태에서 설명한 내용은, 본 실시형태에 대해서도 적용할 수 있다.
- [0295] 또한, 여러가지 도면을 사용하여 설명했지만, 하나의 도면은, 여러가지 구성요건에 의하여 성립하고 있다. 따라서, 각각의 도면 중에서, 각각의 구성요건에 관해서, 조합하여, 또 다른 구성을 제작할 수도 있다.
- [0296] 금속막(110a)은, 일부가 제 2 층간 절연막(111)에 형성된 접속구멍에 매립됨으로써, 접속용 도전막(110)에 접속하고 있다. 제 2 전극(112)은, 일부가 금속막(110a)에 위치하는 것으로서, 금속막(110a)에 전기적으로 접속하고 있다.
- [0297] 또한, 본 실시형태에 관한 액정표시장치의 제조방법은, 제 2 층간 절연막(111)에 접속구멍을 형성하는 공정과, 제 2 전극(112)을 형성하는 공정의 사이에, 금속막(110a)은, 제 2 층간 절연막(111) 위, 및 접속구멍 중에 금속

막을 형성하고, 이 금속막을, 레지스트 패턴을 사용한 에칭에 의하여 선택적으로 제거하는 것으로써 형성된다.

- [0298] 본 실시형태에서도, 제 3 실시형태와 같은 효과를 얻을 수 있다.
- [0299] 또한, 제 4 실시형태에 나타난 IPS방식의 액정표시장치에 있어서, 금속막(110a)을 형성하여도 좋다. 또한, 제 2 실시형태, 제 6 실시형태 내지 제 18 실시형태에서 설명한 FFS방식의 액정장치, 및 제 5 실시형태에서 설명한 IPS방식의 액정표시장치 각각에 있어서, 금속막(110a)과 같은 금속막을 접속용 도전막(109)의 상부에 형성하고, 이 금속막을 개재하여 접속용 도전막(109)과 제 2 전극(112)이 전기적으로 접속하도록 해도 좋다.
- [0300] (실시형태 24)
- [0301] 도 23은, 본 발명의 제 24 실시형태에 관한 FFS방식의 액정표시장치의 화소부의 구성을 설명하기 위한 단면도이다. 본 실시형태에 관한 액정표시장치의 화소부는, 대향기관(120) 측에 컬러 필터를 배치시키지 않고, 제 1 층간 절연막(107) 대신에, 적색의 컬러필터(130r), 청색의 컬러필터(130b), 및 녹색의 컬러필터(130g)를 배치한 점을 제외하고, 제 2 실시형태와 대략 같은 구성이다. 따라서, 제 2 실시형태 내지 제 23 실시형태로 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다. 또한, 게이트 절연막(104)은, 컬러 필터(130r, 130b, 130g)와 반도체막(103)의 사이에 위치하기 때문에, 각 컬러 필터로부터 반도체막(103)에 불순물이 확산하는 것을 억제하는 기능도 가진다.
- [0302] 또한, 컬러 필터와 게이트 전극(105a, 105b)의 사이에, 무기 재료의 절연막을 배치하여도 좋다. 무기재료로서는, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x > y), 질산화규소(SiN_xO_y: x > y) 등, 산소 또는 질소를 가지는 절연물질을 사용할 수 있다. 불순물의 침입을 블록하기 위해서는, 질소를 많은 포함하는 재료로 하는 것이 바람직하다.
- [0303] 또한, 컬러 필터의 색은, 적, 청, 녹 이외의 색도 좋고, 3색보다 많고, 예를 들면, 4색이나 6색이어도 좋다. 예를 들면, 노랑색, 남색, 자홍색이나 백색이 추가되어도 좋다. 또한, 컬러 필터뿐만 아니라, 블랙 매트릭스도 배치하여도 좋다.
- [0304] 이와 같이, 기관(100) 위에 컬러 필터를 배치하는 것으로써, 대향기관(120)과의 위치맞춤을 정확하게 할 필요가 없으므로, 용이하게 제작하는 것이 가능하게 되고, 비용이 저감하여, 제조 수율이 향상한다.
- [0305] 본 실시형태에 관한 액정표시장치의 제조방법은, 제 1 층간절연막(107)을 형성하는 공정 대신에, 컬러 필터(130r, 130g, 130b)를 형성하는 공정이 삽입되는 점을 제외하고, 제 2 실시형태 내지 제 23 실시형태와 같다. 컬러 필터(130r, 130g, 130b)는, 컬러 필터층을 형성하는 공정, 컬러 필터층 위에 레지스트 패턴을 형성하는 공정, 및 레지스트 패턴을 마스크로서 컬러 필터층을 선택적으로 드라이 에칭하는 공정을 3번 반복하는 것으로써 형성된다. 또한, 레지스트를 사용하지 않고, 감광성의 재료나 안료 등을 사용하여 형성된다. 또한, 컬러 필터층 상호간에 스페이스가 생기지만, 이 스페이스에는 제 2 층간 절연막(111)이 매립된다. 또한, 무기재료나 유기재료가 더 적층된다. 또한, 블랙 매트릭스 등이 적층된다. 또한, 컬러 필터(130r, 130g, 130b)나 블랙 매트릭스는, 액적 토출법(예를 들면, 잉크젯법)을 사용해도 형성할 수 있다.
- [0306] 따라서, 액정표시장치의 제작공정을 줄일 수 있다. 또한, 기관(100)측에 컬러 필터를 형성하기 때문에, 대향기관에 컬러 필터를 형성하는 경우와 비교하여, 대향기관과의 사이에 위치차이가 생겨도, 개구율이 저하하는 것을 억제할 수 있다. 즉, 대향기관의 위치차이에 대한 마진이 크게 된다.
- [0307] 도 24a는, 도 23에 나타난 액정표시장치의 평면도이다. 도 24a에 나타내는 바와 같이, 본 액정표시장치는, 화소부(150)의 주위에, 주변구동회로인 소스선 구동회로(152) 및 게이트선 구동회로(154)가 형성된다. 소스선 구동회로(152) 및 게이트선 구동회로(154) 각각 위에는, 적색의 컬러필터(130r)가 형성되어도 좋다. 컬러 필터(130r)가 형성되는 것으로써, 소스선 구동회로(152) 및 게이트선 구동회로(154)가 가지는 박막 트랜지스터의 활성층의 광열화가 방지되고, 평탄화가 도모된다.
- [0308] 도 28b는, 도 24a의 화소부(150)의 일부(3 x 3행렬)를 확대한 도이다. 화소부(150)에는, 적색의 컬러 필터(130r), 청색(130b), 및 녹색 컬러 필터(130g)가 스트라이프 상태로 교호로 배치된다. 또한, 각 화소가 가지는 박막 트랜지스터 위에는, 적색의 컬러 필터(130r)가 배치된다.
- [0309] 또한, 소스배선(도시하지 않음) 및 게이트 배선(도시하지 않음)은, 컬러 필터의 상호간의 스페이스와 겹치도록 배치되기 때문에, 빛 누설이 생기는 것이 억제된다.
- [0310] 이와 같이, 컬러 필터(130r)는 블랙 매트릭스의 역할을 다하기 때문에, 종래 필요했던 블랙 매트릭스의 형성공

정을 생략할 수도 있다.

- [0311] 이상, 본 실시형태에 의하면, 제 2 실시형태 내지 제 23 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 1 층간 절연막(107) 대신에, 컬러필터(130r, 130g, 130b)를 형성했기 때문에, 액정표시장치의 제작공정수를 줄일 수 있다. 또한, 대향기관에 컬러 필터를 형성하는 경우와 비교해서, 대향기관과의 사이에 위치차이가 생겨도, 개구율의 저하를 억제할 수 있다. 즉, 대향기관의 위치차이에 대한 마진이 크게 된다.
- [0312] 또한, 도 23에서는, 게이트 전극(105a, 105b)과, 소스배선(108)의 사이에 컬러 필터를 배치하지만, 이것으로 한정되지 않는다. 소스배선(108)과 제 2 전극(112)의 사이에 배치하여도 좋다.
- [0313] 또한, 컬러 필터뿐만 아니라, 블랙 매트릭스도 배치하여도 좋다.
- [0314] 또한, 컬러 필터와 소스배선(108)의 사이나, 컬러 필터와 제 2 전극(112)의 사이에는, 무기재료의 절연막을 배치하여도 좋다. 무기재료로서는, 산화규소(SiO_x), 질화규소(SiN_x), 산질화규소(SiO_xN_y: x > y), 질산화규소(SiN_xO_y: x > y) 등, 산소 또는 질소를 가지는 절연물질을 사용할 수 있다. 불순물의 침입을 블록하기 위해서는, 질소를 많은 포함하는 재료로 하는 것이 바람직하다.
- [0315] 이와 같이, 제 2 전극(112)의 아래에 컬러 필터나 블랙 매트릭스를 배치하는 것으로써, 액정이나 배향막에 접하는 부분을 평탄하게 할 수 있다. 평탄하게 하는 것으로써, 액정분자의 배향 흐트러짐을 억제할 수 있고, 빛 누설을 억제하고, 콘트라스트를 향상시킬 수 있다.
- [0316] 또한, 제 3 실시형태 내지 제 18 실시형태, 제 22 실시형태에서 나타난 FFS방식 또는 IPS방식의 액정표시장치에 있어서, 본 실시형태와 같이, 제 1 층간 절연막(107)이나 제 2 층간 절연막(111)의 대신에 컬러 필터(130r, 130b, 130g)를 형성하여도 좋다. 이 경우에 있어서도, 본 실시형태와 같은 효과를 얻을 수 있다.
- [0317] (실시형태 25)
- [0318] 도 25a는 본 발명의 제 25 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이고, 도 25b는, 도 25a의 화소부의 구성을 설명하기 위한 확대도이다. 본 실시형태는, 컬러 필터(130r, 130b, 130g)의 레이아웃을 제외하고, 제 24 실시형태와 같은 구성이다. 따라서, 제 24 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 24 실시형태와 같은 구성부분에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0319] 본 실시형태에서는, 컬러 필터(130r, 130b, 130g)는, 화소 단위로 매트릭스 상태로 교호로 배치된다. 자세하게는, 청색의 컬러 필터(130b) 및 녹색의 컬러 필터(130g)의 빈틈을 매립하도록, 적색의 컬러 필터(130r)가 형성된다. 또한, 주변 구동회로인 소스선 구동회로(152) 및 게이트선 구동회로(154) 위에도 컬러 필터(130r)가 형성되지만, 소스선 구동회로(152) 및 게이트선 구동회로(154) 각각과 화소부(150)의 사이의 스페이스에도, 컬러 필터(130r)가 형성된다. 따라서, 컬러 필터층 상호간에 스페이스가 생기는 것이 억제된다.
- [0320] 본 실시형태에 의해서도, 제 24 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 1 층간 절연막(107)을 형성한 후에, 제 2 층간 절연막(111)의 대신에, 컬러 필터(130r, 130b, 130g)를 형성하여도 좋다. 이 경우에도, 본 실시형태와 같은 효과를 얻을 수 있다.
- [0321] 또한, 제 3 실시형태 내지 제 18 실시형태, 제 23 실시형태에서 나타난 FFS방식 또는 IPS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 층간 절연막(107)이나 제 2 층간 절연막(111)의 대신에 컬러 필터(130r, 130b, 130g)를 형성하여도 좋다. 이 경우에 있어서도, 본 실시형태와 같은 효과를 얻을 수 있다.
- [0322] (실시형태 26)
- [0323] 도 26은 본 발명의 제 26 실시형태에 관한 FFS방식의 액정표시장치의 구성을 설명하기 위한 평면도이다. 본 실시형태에 관한 액정표시장치는, 제 1 층간 절연막(107)의 대신에 컬러 필터(130r, 130b, 130g)가 형성되는 점을 제외하고, 제 22 실시형태와 같은 구성이다. 본 실시형태에 있어서의 컬러 필터(130r, 130b, 130g)이 레이아웃은, 제 25 실시형태에 나타난 레이아웃과 같다. 따라서, 제 22 실시형태에서 설명한 내용 및 제 25 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 22 실시형태와 같은 구성 및, 제 25 실시형태와 같은 구성에 대해서는, 동일한 부호로 나타내고, 설명을 생략한다.
- [0324] 본 실시형태에서도, 제 25 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 19 실시형태 내지 제 21 실시형태에서 나타난 FFS방식의 액정표시장치 각각에 있어서, 본 실시형태와 같이, 제 1 층간 절연막(107)의 대신에, 컬러 필터(130r, 130b, 130g)를 형성하여도 좋다. 이 경우에도, 본 실시형태와 같은 효과를 얻을 수 있다.

- [0325] 또한, 컬러 필터(130r, 130b, 130g)의 레이아웃은, 상기한 제 23 실시형태 내지 제 25 실시형태로 나타낸 레이아웃으로 한정되지 않고, 삼각 모자이크 배열, RGBG 4화소 배열, RGBW 4화소 배열 등, 여러가지 레이아웃을 선택할 수 있다. 또한, 이들의 경우에 있어서도, 박막 트랜지스터의 활성층의 상방에 적색의 컬러 필터(130r)를 배치하는 것이 바람직하다.
- [0326] (실시형태 27)
- [0327] 도 27a 내지 도 27d 각각은, 본 발명의 제 27 실시형태에 관한 FFS방식의 액정표시장치의 전극의 형상을 설명하기 위한 평면도이다. 본 실시형태는, 제 2 전극(112)의 형상을 제외하고, 제 2 실시형태와 같은 구성이기 때문에, 제 1 전극(101) 및 제 2 전극(112)을 제외하고 도시를 생략한다.
- [0328] 도 27a에 있어서, 제 2 전극(112)에는, 슬릿 형상의 개구 패턴(112d, 112e)이 각각 복수 형성된다. 개구 패턴(112d, 112e)은, 소스배선에 대해서 비스듬하다. 개구 패턴(112d)은 도면 중의 제 2 전극(112)의 상반분에 형성되고 있고, 개구 패턴(112e)은 도면 중의 제 2 전극(112)의 하반분에 형성되지만, 서로 각도가 다르다.
- [0329] 도 27b에 있어서, 제 2 전극(112)은, 원주를 따라가는 형상이며, 서로 반경이 다른 복수의 전극을 동심원상으로 배치하고, 이들을 접속한 형상이다. 그리고, 각 전극의 상호간의 스페이스가, 개구 패턴의 역할을 한다.
- [0330] 도 27c에 있어서, 제 2 전극(112)은, 빗살형상의 2개의 전극을, 역방향 또한 빗살 부분이 교호로 되도록 배치한 것이다. 그리고, 빗살부분의 상호간에 위치하는 스페이스가 개구 패턴의 역할을 한다.
- [0331] 도 27d에 있어서, 제 2 전극(112)은, 빗살형상을 가지고, 빗살형상 부분의 상호간에 위치하는 스페이스가 개구 패턴의 역할을 한다.
- [0332] 본 실시형태에 관한 액정표시장치의 제작방법은, 어느 경우에 있어서도 제 2 실시형태와 대략 같다. 따라서, 제 2 실시형태에서 설명한 내용은 본 실시형태에서도 적용할 수 있다.
- [0333] 본 실시형태에 의해서도, 제 2 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 3 실시형태, 제 4 실시형태 내지 제 26 실시형태에서 나타낸 FFS방식의 액정표시장치 각각에 있어서, 제 2 전극(112)의 형상을 도 27a 내지 도 27d의 어느 하나에 나타내는 형성으로 하여도 좋다.
- [0334] (실시형태 28)
- [0335] 도 28a 내지 도 28d는, 본 발명의 제 28 실시형태에 관한 IPS방식의 액정표시장치의 전극의 형상을 설명하기 위한 평면도이다. 본 실시형태는, 제 1 전극(101) 및 제 2 전극(112)의 형상을 제외하고, 제 4 실시형태와 같은 구성이기 때문에, 제 1 전극(101) 및 제 2 전극(112)을 제외하고, 도시를 생략한다.
- [0336] 도 28a에 있어서, 제 1 전극(101)의 개구 패턴(101b), 및 제 2 전극(112)의 개구 패턴(112f)의 각각은 파선형상이다. 개구 패턴(101b)은, 제 2 전극(112)에 있어서, 개구 패턴(112f)이 형성되지 않은 영역의 아래쪽, 및 그 주위에 위치하고 있다.
- [0337] 도 28b에 있어서, 제 1 전극(101)은, 직사각형의 본체부분의 중앙부에 원형의 개구 패턴(101c)을 형성하고, 개구 패턴(101c) 내에, 원주를 따라가는 형상으로 서로 반경이 다른 복수의 전극을 개구 패턴(101c)과 동심원상으로 배치하고, 이들 원주를 따라가는 형상의 전극 각각을 1본의 직선형상의 전극으로 본체부분에 접속한 형상이다. 또한, 제 2 전극(112)은, 직사각형의 본체부분의 중앙부에 원형의 개구 패턴(112g)을 형성하고, 개구 패턴(112g)내에, 원주를 따라가는 형상의 전극을 개구 패턴(112g)과 동심원상으로 배치하고, 이 전극과 본체부분을 직선형상의 전극으로 접속한 형상이다. 또한, 제 2 전극(112)이 가지는 원주를 따라가는 형상의 전극의 수는, 복수이어도 좋다.
- [0338] 또한, 개구 패턴(101c, 112g)은 서로 동심이기 때문에, 제 1 전극(101)이 가지는 원주를 따라가는 형상의 전극과, 제 2 전극(112)이 가지는 원주를 따라가는 형상의 전극은, 서로 동심이다. 또한, 제 1 전극(101)이 가지는 원주를 따라가는 형상의 전극과, 제 2 전극(112)이 가지는 원주를 따라가는 형상의 전극은, 서로 반경이 다르기 때문에, 교호로 평행하다.
- [0339] 도 28c에 있어서, 제 1 전극(101)은, 도면 중, 상하에 연장하는 직선형상의 전극을 복수 서로 평행으로 배치하고, 이들의 상단부 및 하단부 각각을, 도면중 가로방향으로 연장하는 직선형상의 전극으로 접속한 형상이다. 또한, 제 2 전극(112)은 빗살 형상이며, 빗살 형상 부분이, 제 1 전극(101)을 구성하는 직선형상의 전극 상호간의 스페이스에 위치한다.

- [0340] 도 28d에 있어서, 제 1 전극(101) 및 제 2 전극(112) 각각은, 빗살형상이며, 서로 거꾸로 배치된다. 그리고, 빗살형상 부분은, 교호로 배치된다.
- [0341] 본 실시형태에 관한 액정표시장치의 제작방법은, 어느 경우에 있어서도 제 4 실시형태와 대략 같다. 따라서, 제 4 실시형태에서 설명한 내용은 본 실시형태에서도 적용할 수 있다.
- [0342] 본 실시형태에 의해서도, 제 4 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 5 실시형태에 관한 액정표시장치에 있어서, 제 1 전극(101) 및 제 2 전극(112)의 형상을, 도 28a 내지 도 28d 중의 어느 도면에 나타난 형상으로 하여도 좋다.
- [0343] (실시형태 29)
- [0344] 도 29는, 본 발명의 제 29 실시형태에 관한 액정표시장치의 회로구성을 설명하기 위한 회로도이다. 본 실시형태에 관한 액정표시장치에 있어서, 복수의 화소가 매트릭스 상태로 배치된다. 각 화소의 구성은, 도면 중 세로 방향에 연장하는 제 2 보조배선(106a)이 형성되고 있는 점을 제외하고, 상기 제 2 실시형태 내지 제 28 실시형태에서 나타난 액정표시장치가 가지는 화소와 같은 구성이다. 따라서, 제 2 실시형태 내지 제 28 실시형태에서 설명한 내용은, 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태 내지 제 28 실시형태와 같은 구성부분에 대해서는 동일한 부호로 나타내고, 설명을 생략한다.
- [0345] 제 2 보조배선(106a)은 보조배선(106)과 동일층에 형성되어 있고, 보조배선(106)과 교차하는 부분 각각에 있어서 보조배선(106)과 전기적으로 접속한다.
- [0346] 또한, 화소는, 박막 트랜지스터(121, 122)에 접속하는 용량 Cs 및 용량 Cls를 가진다. 용량 Cs는, 제 1 전극(101), 제 2 전극(112)에 있어서, 개구 패턴이 형성되지 않은 부분, 및 이들의 상호간에 위치하는 각 절연막에 의하여 형성된 용량이다. 용량 Cls는, 제 1 전극(101)에 있어서 제 2 전극(112)의 개구 패턴과 겹치고 있는 부분과, 이 상방에 위치하는 부분으로 형성된 용량이다. 이들의 용량이 형성되는 것으로써, 유지용량이 크게 된다.
- [0347] 본 실시형태에서도, 제 2 실시형태 내지 제 28 실시형태와 같은 효과를 얻을 수 있다. 또한, 제 2 보조배선(106a)을 형성한 것으로써, 모두 화소에 있어서, 공통전극의 전위를 동일한 값으로 유지하기 쉽게 된다. 또한, 본 실시형태에 관한 액정표시장치는, FFS방식이라도 좋고, IPS방식이라도 좋다.
- [0348] (실시형태 30)
- [0349] 도 30a 내지 도 30b의 각각은, 제 30 실시형태에 관한 액정표시장치의 회로도이다. 본 실시형태에 관한 액정표시장치는, FFS방식 또는 IPS방식의 액정표시장치이며, 하나의 화소가 복수(예를 들면 2개)의 서브화소로 구성된다. 각 서브화소의 구조는, 제 2 실시형태 내지 제 28 실시형태에서 나타난 액정표시장치가 가지는 화소의 어느 것과 같은 구조이다. 따라서, 제 2 실시형태 내지 제 28 실시형태에서 설명한 내용은 본 실시형태에도 적용할 수 있다. 이하, 제 2 실시형태 내지 제 28 실시형태와 같은 구성부분에 대해서는 동일한 부호로 나타내고, 설명을 생략한다.
- [0350] 도 30a에 나타난 예에 있어서, 동일한 화소를 구성하는 복수의 서브화소는, 동일한 게이트 배선(105)에 전기적으로 접속하고, 서로 다른 소스배선(108) 및 보조배선(106)에 전기적으로 접속한다. 소스배선(108)은, 하나 화소열에 대해서 서브화소의 수와 동수(도 30a에서는 2분) 형성된다. 따라서, 각 서브화소별로 다른 신호를 송신할 수 있다.
- [0351] 도 30b에 나타난 예에 있어서, 동일한 화소를 구성하는 복수의 서브화소가 서로 다른 게이트 배선(105)에 전기적으로 접속하고, 동일한 보조배선(106)에 전기적으로 접속한다.
- [0352] 또한, 각 서브화소는 용량 Cs 및 용량 Cls를 가진다. 이들의 용량은, 제 29 실시형태와 같은 구성이기 때문에, 설명을 생략한다.
- [0353] 본 실시형태에 의하면, 제 2 실시형태 내지 제 28 실시형태와 같은 효과를 얻을 수 있다. 또한, 하나의 화소를 복수의 서브화소로 구성하기 때문에, 시야각을 더 넓힐 수 있다. 또한, 화소에 용장성을 갖게 할 수 있는 효과, 및 면적계조표시가 가능하다고 하는 효과도 얻을 수 있다.
- [0354] (실시형태 31)
- [0355] 도 31, 도 32 및 도 33을 참조하면서, 제 31 실시형태에 관한 액정표시장치의 제작방법에 대해서 설명한다. 본

실시형태는, 제 3 실시형태에 나타난 구조를 가지는 액정표시장치의 제작방법의 일례이다. 이 제작방법을 사용하는 것으로서, 공통전극과 화소전극의 간격의 자유도가 향상한다. 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극과 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 더해지는 전계의 구배를 제어할 수 있고, 예를 들면, 기관과 평행방향의 전계를 증가시키는 것 등을 용이하게 할 수 있다. 즉, 액정을 사용한 표시장치에 있어서는, 기관과 평행으로 배향하고 있는 액정분자(이른바 수평방향배향)를, 기관과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로서, 시야각이 넓어진다. 또한, 도 31, 도 32 및 도 33에서는, 층간 절연막을 단층구조로 했지만, 2층 구조로 하여도 좋다.

[0356] 우선, 도 31a에 나타내도록, 기관(800) 위에 빛 투과성을 가지는 도전막을 형성한다. 기관(800)은, 유리기관, 석영기관, 알루미늄나 등 절연물로 형성되는 기관, 후 공정의 처리온도에 견딜 수 있는 내열성을 가지는 플라스틱 기관, 실리콘 기관, 또는 금속판이다. 또한, 기관(800)은, 스테인리스 등의 금속, 또는 반도체 기관 등의 표면에 산화규소나 질화규소 등의 절연막을 형성한 기관이라도 좋다. 또한, 기관(800)에 플라스틱 기관을 사용하는 경우, PC(폴리 카보네이트), PES(폴리에테르 술폰), PET(폴리에틸렌 테레프탈레이트) 또는 PEN(폴리에틸렌 나프탈레이트) 등의 유리전이점이 비교적 높은 것을 사용하는 것이 바람직하다.

[0357] 또한, 도전막은, 예를 들면, ITO막 또는, Si 원소를 포함하는 인듐주석산화물이나 산화인듐에 2 내지 20wt%의 산화아연(ZnO)을 혼합한 IZO(Indium Zinc Oxide)막이다.

[0358] 다음, 이 도전막 위에 포토레지스트막을 형성하고, 이 포토레지스트막을 노광 및 현상한다. 따라서, 도전막 위에는, 레지스트 패턴이 형성된다. 다음, 이 레지스트 패턴을 마스크로서, 도전막을 에칭한다. 따라서, 기관(800) 위에는, 화소전극인 제 1 전극(801)이 형성된다. 그 후, 레지스트 패턴을 제거한다.

[0359] 다음, 제 1 전극(801) 위 및 기관(800) 위에 절연막(802)을 형성한다. 절연막(802)은, 예를 들면, 질화규소(SiNx)막 위에 산화규소막(SiOx)을 적층한 것이지만, 다른 절연물(예를 들면, 산질화규소(SiOxNy: x>y), 또는 질산화규소(SiNxOy: x>y)이어도 좋다.

[0360] 여기에서는, 산화규소막이나 산질화규소막 등으로 된 절연막(802)의 표면에 고밀도 플라즈마에 의한 질화처리를 하는 것으로서, 절연막(802)의 표면에 질화막을 형성하여도 좋다.

[0361] 고밀도 플라즈마는, 예를 들면, 2.45GHz의 마이크로파를 사용하는 것으로서 생성되고, 전자밀도가 1×10^{11} 내지 $1 \times 10^{13}/\text{cm}^3$ 이며, 전자온도가 2eV이하, 이온 에너지가 5eV이하로 한다. 이러한 고밀도 플라즈마는 활성종의 운동 에너지가 낮고, 종래의 플라즈마 처리와 비교하여 플라즈마에 의한 대미지가 적고, 결함이 적은 막을 형성할 수 있다. 마이크로파를 발생하는 안테나로부터 절연막(802)까지의 거리는 20 내지 80mm, 바람직하게는, 20 내지 60mm로 하여도 좋다.

[0362] 질소 분위기, 예를 들면 질소와 희가스를 포함하는 분위기하, 또는, 질소와 희가스를 포함하는 분위기하, 또는, 암모니아와 희가스를 포함하는 분위기하에 있어서, 상기 고밀도 플라즈마 처리를 하는 것으로서, 절연막(802)의 표면을 질화할 수 있다. 질화막은 기관(800)으로부터의 불순물의 확산을 억제할 수 있고, 또한, 상기 고밀도 플라즈마 처리에 의해서, 극히 얇게 형성할 수 있기 때문에, 그 위에 형성된 반도체막에의 응력의 영향을 적게 할 수 있다.

[0363] 다음, 도 31b에 나타내는 바와 같이, 절연막(802) 위에, 결정성 반도체막(예를 들면, 폴리실리콘막)을 형성한다. 결정성 반도체막의 형성방법으로서, 절연막(802) 위에 직접 결정성 반도체막을 형성하는 방법, 및 절연막(802) 위에 비정질 반도체막을 형성한 후에 결정화시키는 방법을 들 수 있다.

[0364] 비정질 반도체막을 결정화시키는 방법으로서, 레이저광을 조사하는 방법, 반도체막의 결정화를 촉진시키는 원소(예를 들면, 니켈 등의 금속원소)를 사용하여, 가열하여 결정화시키는 방법, 또는, 반도체막의 결정화를 촉진시키는 원소를 사용하여 가열하여 결정화시킨 후, 레이저광을 조사하는 방법을 사용할 수 있다. 물론, 상기 원소를 사용하지 않고, 비정질 반도체막을 열결정화시키는 방법을 사용할 수도 있다. 다만, 기관이 석영기관, 실리콘 웨이퍼 등 고온으로 견딜 수 있는 것으로 한정된다.

[0365] 레이저 조사를 사용하는 경우, 연속 발진형 레이저 빔(CW 레이저 빔)이나 펄스 발진형 레이저 빔(펄스 레이저 빔)을 사용할 수 있다. 여기서 사용 가능한 레이저 빔은, Ar 레이저, Kr 레이저, 엑시머 레이저 등의 기체 레이저, 단결정의 YAG, YVO4, 포스테라이트(Mg2SiO4), YAlO3, GdVO4, 또는 다결정(세라믹)의 YAG, Y2O3, YVO4, YAlO3, GdVO4에 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 복수 종이 첨가되어 있는 것을 매질

로 하는 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 금 증기 레이저 중 1종 또는 복수 종으로부터 발진되는 것을 들 수 있다. 이와 같은 레이저 빔의 기본파, 및 이들 기본파의 제 2 고조파 내지 제 4 고조파의 레이저 빔을 조사함으로써, 대립경의 결정을 얻을 수 있다. 예를 들어, Nd:YVO4 레이저(기본파 1064 nm)의 제 2 고조파(532 nm)나 제 3 고조파(355 nm)를 사용할 수 있다. 이때, 레이저의 에너지 밀도는 0.01~100 MW/cm² 정도(바람직하게는 0.1~10 MW/cm²)가 필요하다. 그리고, 주사 속도를 10~2000 cm/sec 정도로 하여 조사한다.

[0366] 또한, 단결정의 YAG, YVO4, 포스테라이트(Mg2SiO4), YA103, GdVO4, 또는 다결정(세라믹)의 YAG, Y2O3, YVO4, YA103, GdVO4에 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1 종 또는 다수 종이 첨가되어 있는 것을 매질로 하는 레이저, Ar 이온 레이저, Ti:사파이어 레이저 각각은 연속 발진할 수 있고, 또한, Q 스위치 동작이나 모드 동기 등을 행함으로써 10 MHz 이상의 발진 주파수로 펄스 발진시키는 것도 가능하다. 10 MHz 이상의 발진 주파수로 레이저 빔을 발진시키면, 반도체막이 레이저에 의해 용융된 다음, 고화될 때까지의 사이에, 다음의 펄스가 반도체막에 조사된다. 따라서, 발진 주파수가 낮은 펄스 레이저를 사용하는 경우와 달리, 반도체막 중에서 고액 계면을 연속적으로 이동시킬 수 있기 때문에, 주사 방향 쪽으로 연속적으로 성장한 결정립을 얻을 수 있다.

[0367] 매질로서, 세라믹(다결정)을 사용하면, 단시간, 저비용으로 자유로운 형상으로 매질을 형성할 수 있다. 단결정을 사용하는 경우, 통상, 직경 수 mm, 길이 수십 mm의 원주상의 매질이 사용되지만, 세라믹을 사용하는 경우에는, 보다 큰 매질을 형성할 수 있다.

[0368] 발광에 직접 기여하는 매질 중의 Nd, Yb 등의 도펀트의 농도는 단결정의 경우와 다결정의 경우 모두에서 크게 변경될 수 없기 때문에, 도펀트의 농도를 증가시킴으로써 레이저의 출력의 향상에는 어느 정도 한계가 있다. 그러나, 세라믹의 경우, 단결정과 비교하여 매질의 크기를 현저하게 크게 할 수 있기 때문에, 대폭적인 레이저의 출력 향상을 기대할 수 있다.

[0369] 또한, 세라믹의 경우에는, 평행 육면체 형상이나 직방체 형상의 매질을 용이하게 형성하는 것이 가능하다. 이와 같은 형상의 매질을 사용하는 경우, 발진광을 매질 내부에서 지그재그로 진행시키면, 발진 광로를 길게 취할 수 있다. 따라서, 증폭이 커지고, 레이저 빔이 대출력으로 발진될 수 있다. 또한, 이와 같은 형상의 매질로부터 취출되는 레이저 빔은 출사 시의 단면 형상이 사각 형상이기 때문에, 원형 형상의 빔과 비교하면, 단면이 사각 형상인 레이저 빔은 선형 빔으로 정형하기에 유리하다. 이와 같이, 출사된 레이저 빔을 광학계를 사용하여 정형함으로써, 짧은 변의 길이가 1 mm 이하이고, 긴 변의 길이가 수 mm~수 m인 선형 빔을 용이하게 얻을 수 있다. 또한, 여기광을 매질에 균일하게 조사하는 것으로서, 선형 빔은 긴 변 방향으로 에너지 분포가 균일하게 된다.

[0370] 이 선형 빔을 반도체막에 조사함으로써, 반도체막의 전면을 균일하게 어닐할 수 있다. 선형 빔의 한쪽 끝으로부터 다른 쪽 끝까지 균일한 어닐이 필요한 경우, 선형 빔의 양끝에 슬릿을 배치하여, 에너지의 감쇠부를 차광하는 것 등의 고안을 할 필요가 있다.

[0371] 이와 같이 하여 얻어진 강도가 균일한 선형 빔을 사용하여 반도체막을 어닐하고, 이 반도체막을 사용하여 전자기기를 제작하면, 그 전자기기의 특성은, 양호하고 균일하다.

[0372] 비정질 반도체막의 결정화를 촉진시키는 원소를 사용하여 가열하여 결정화시키는 방법으로서, 특개평8-78329호 공보 기재의 기술을 사용할 수 있다. 상기 공보에 기재의 기술은, 비정질 반도체막(아모르퍼스 실리콘 막이라도 불린다)에 대해서 결정화를 촉진하는 금속원소를 첨가하여, 가열처리를 행하는 것으로서, 첨가영역을 기점으로 비정질 반도체막을 결정화시키는 것이다.

[0373] 또한, 가열 처리 대신에, 강한 빛을 조사함으로써, 비정질 반도체막의 결정화를 할 수 있다. 이 경우, 적외광, 가시광 및 자외광 중 어느 하나 또는 이들의 조합이 이용될 수 있지만, 대표적으로는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프로부터 사출된 빛을 이용한다. 램프 광원은 1 내지 60초, 바람직하게는 30 내지 60초 동안 켜지고, 이러한 점등이 1 내지 10회, 바람직하게는 2 내지 6회 반복된다. 램프 광원의 발광 강도는 임의적이거나, 반도체막이 순간적으로 약 600 내지 1000 °C 까지 가열된다. 또한, 필요하다면, 강한 빛으로 조사하기 전에 비정질 구조를 가지는 비정질 반도체막에 함유하는 수소를 방출시키는 열 처리를 하여도 좋다. 또한, 가열 처리 및 강한 빛을 이용한 조사의 양쪽을 하는 것으로서, 결정화를 하여도 좋다.

[0374] 가열 처리 이후, 결정질 반도체막의 결정화율(막의 전체 체적에 있어서의 결정성분의 비율)을 증가시키고, 결정

질 입자들에 남아 있는 결함을 보수하기 위하여, 결정질 반도체막에 대해서 레이저 광을 대기 또는 산소 분위기에서 조사하여도 좋다. 레이저 광으로서는, 상술한 것을 사용할 수 있다.

- [0375] 또한, 첨가한 원소를 결정성 반도체막으로부터 제거하는 것이 필요하여, 그 방법을 이하에 설명한다. 먼저, 오존함유 수용액(대표적으로는, 오존수)으로 결정성 반도체막의 표면을 처리하는 것으로서, 결정성 반도체막의 표면에 산화막(chemical oxide라고 불린다)으로 된 배리어층을 1 내지 10nm의 두께로 형성한다. 배리어층은, 후공정으로, 게터링층만을 선택적으로 제거할 때에 에칭 스톱퍼로서 기능한다.
- [0376] 다음, 배리어 층 위에 희가스 원소를 함유하는 게터링층을 게터링 사이트로서 형성한다. 여기에서는, CVD 방법 또는 스퍼터링 방법에 의해, 희 가스 원소를 함유하는 반도체막을 게터링층으로서 형성한다. 게터링층을 형성할 때, 희 가스 원소가 게터링층에 첨가되도록 스퍼터링 조건을 적절히 조절한다. 희 가스 원소로서는, 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 또는 크세논(Xe) 중으로부터 선택된 하나 또는 복수종을 사용한다.
- [0377] 또한, 불순물 원소인, 인을 포함하는 원료 가스를 사용한 경우나, 인을 포함하는 타겟을 사용하여 게터링층을 형성한 경우, 희가스 원소에 의한 게터링에 가하여, 인의 쿨롱의 힘을 이용하여 게터링을 할 수 있다. 또한, 게터링을 할 때, 금속원소(예를 들면, 니켈)는 산소농도가 높은 영역에 이동하기 쉬운 경향이 있기 때문에, 게터링층에 포함되는 산소농도는, 예를 들면, $5 \times 10^{18} / \text{cm}^{-3}$ 이상으로 설정하는 것이 바람직하다.
- [0378] 다음, 결정성 반도체막, 배리어층 및 게터링층에 열처리(예를 들면, 가열처리 또는 강한 빛을 조사하는 처리)를 하고, 금속원소(예를 들면, 니켈)의 게터링을 행하고, 결정성 반도체막 중에 있어서의 금속원소를 저농도화 또는 제거한다.
- [0379] 다음, 배리어층을 에칭 스톱퍼로서 공지의 에칭방법을 하여, 게터링 층만을 선택적으로 제거한다. 그 후, 산화막으로 된 배리어층을, 예를 들면, 불산을 포함하는 에천트에 의하여 제거한다.
- [0380] 여기에서, 제작된 TFT의 임계값 특성을 고려하고, 불순물 이온을 도핑하여도 좋다.
- [0381] 다음, 결정성 반도체막 위에, 포토레지스트막(도시하지 않음)을 도포법에 의하여 도포하고, 이 포토레지스트막을 노광 및 현상한다. 도포법은, 스핀 코팅법, 스프레이법, 스크린 인쇄법, 페인트법 등의 의미이다. 이것으로, 결정성 반도체막 위에는, 레지스트 패턴이 형성된다. 다음, 이 레지스트 패턴을 마스크로서 결정성 반도체막을 에칭한다. 이것으로, 절연막(802) 위에는, 결정성 반도체막(803)이 형성된다.
- [0382] 다음, 결정성 반도체막(803)의 표면을 불산 함유 에천트 등으로 세정한 후, 결정성 반도체막(803) 위에 게이트 절연막(804)을 10nm 내지 200nm의 두께로 형성한다. 게이트 절연막(804)은, 규소를 주성분으로 하는 절연막, 예를 들면, 산화규소막, 질화규소막, 산질화규소막, 질산화규소막 등으로 형성된다. 또한, 단층이어도, 적층막이어도 좋다. 또한, 절연막(802) 위에도 게이트 절연막(804)이 형성된다.
- [0383] 다음, 도 31c에 나타내는 바와 같이, 게이트 절연막(804)을 세정한 후, 게이트 절연막(804) 위에, 제 1 도전막 및 제 2 도전막을, 순서로 형성한다. 제 1 도전막은, 예를 들면, 텅스텐막이며, 제 2 도전막은 질화탄탈막이다.
- [0384] 다음, 제 2 도전막 위에 포토레지스트막(도시하지 않음)을 도포하고, 이 포토레지스트막을 노광 및 현상한다. 이것으로, 제 2 도전막 위에는, 레지스트 패턴이 형성된다. 다음, 이 레지스트 패턴을 마스크로서, 제 1 도전막 및 제 2 도전막을 제 1 조건으로 에칭하고, 또, 제 2 도전막을 제 2 조건으로 에칭한다. 따라서, 결정성 반도체막(803) 위에는, 제 1 게이트 전극(805a, 805b) 및 제 2 게이트 전극(806a, 806b)이 형성된다. 제 1 게이트 전극(805a, 805b)은 상호 이간하고 있다. 제 2 게이트 전극(806a)은, 제 1 게이트 전극(805a) 위에 위치하고, 제 2 게이트 전극(806b)은 제 1 게이트 전극(805b) 위에 위치하고 있다. 제 1 게이트 전극(805a, 805b) 각각의 측면의 경사각은, 제 2 게이트 전극(806a, 806b) 각각의 측면의 경사각보다 완만하다.
- [0385] 또한, 본 에칭처리에 의하여, 제 1 전극(801)의 부근에, 제 1 배선(807) 및 제 1 배선(807) 위에 위치하는 제 2 배선(808)이 형성된다. 여기에서 상기한 각 게이트 전극 및 각 배선은, 기관(800)에 수직인 방향으로부터 본 경우에 모서리가 둥글어지도록 도선하는 것이 바람직하다. 모서리부를 둥글게 함으로써, 먼지 등이 배선의 모서리부에 남는 것을 방지할 수 있고, 먼지가 원인으로 발생하는 불량을 억제하고, 수율을 향상할 수 있다. 그 후, 포토레지스트막을 제거한다.
- [0386] 다음, 도 31d에 나타내는 바와 같이, 제 1 게이트 전극(805a, 805b) 및 제 2 게이트 전극(806a, 806b)을 마스크로서, 결정성 반도체막(803)에 제 1 도전형(예를 들면, n형)의 불순물 원소(예를 들면, 인)를 주입한다. 따라

서, 결정성 반도체막(803)에는, 제 1 불순물 영역(810a, 810b, 810c)이 형성된다. 제 1 불순물 영역(810a)은, 박막 트랜지스터의 소스로 된 영역에 위치하고, 제 1 불순물 영역(810c)은, 박막 트랜지스터의 드레인으로 된 영역에 위치한다. 제 1 불순물 영역(810b)은, 제 1 게이트 전극(805a, 805b) 상호간에 위치하고 있다.

[0387] 다음, 도 31e에 나타내는 바와 같이, 제 1 게이트 전극(805a, 805b), 제 2 게이트 전극(806a, 806b) 각각을 덮도록, 포토레지스트막을 도포하고, 이 포토레지스트막을 노광 및 현상한다. 이것에 따라, 제 1 게이트 전극(805a), 제 2 게이트 전극(806a) 각각의 상면 및 그 주위, 및 제 1 게이트 전극(805b), 제 2 게이트 전극(806b) 각각의 상면 및 그 주위는, 레지스트 패턴(812a, 812b)으로 덮인다. 다음, 레지스트 패턴(812a, 812b)을 마스크로서, 결정성 반도체막(803)에 제 1 도전형의 불순물 원소(811)(예를 들면, 인)를 주입한다. 이것에 따라, 제 1 불순물 영역(810a, 810b, 810c) 각각의 일부에는, 제 1 도전형의 불순물 원소(811)가 다시 주입되고, 제 2 불순물 영역(813a, 813b, 813c)이 형성된다. 또한, 제 1 불순물 영역(810a, 810b, 810c) 각각의 남은 부분은, 제 3 불순물 영역(814a, 814b, 814c)으로서 남는다.

[0388] 그 후, 도 32a에 나타내는 바와 같이, 레지스트 패턴(812a, 812b)을 제거한다. 다음, 거의 전면을 덮는 절연막(도시하지 않음)을 형성한다. 이 절연막은, 예를 들면, 산화규소막이며, 플라즈마 CVD법에 의하여 형성된다.

[0389] 다음, 결정성 반도체막(803)에 열처리를 하고, 각각에 첨가된 불순물 원소를 활성화한다. 이 열처리는, 램프 광원을 사용한 고속 열 어닐링법(RTA법), 또한, YAG레이저 또는, 엑시머 레이저를 이면으로부터 조사하는 방법, 또한, 노(furnace)를 사용한 열처리, 또한, 이들의 방법을 복수 조합된 방법에 의한 처리이다.

[0390] 상기한 열처리에 의해서, 불순물 원소가 활성화할 때와 동시에, 결정성 반도체막(803)을 결정화할 때에 촉매로서 사용한 원소(예를 들면, 니켈 등의 금속원소)가, 고농도의 불순물(예를 들면, 인)을 포함하는 제 2 불순물 영역(813a 내지 813c)에 게터링되고, 결정성 반도체막(803) 중 주로 채널형성영역의 결정성이 좋게 된다. 따라서, TFT의 오프 전류 값은 낮고, 높은 전계효과 이동도를 얻을 수 있다. 이와 같이, 양호한 특성을 가지는 TFT를 얻을 수 있다.

[0391] 다음, 결정성 반도체막(803)을 덮도록, 절연막(815)을 형성한다. 절연막(815)은, 예를 들면, 질화규소막이며, 플라즈마 CVD법에 의하여 형성된다. 다음, 절연막(815) 위에, 층간 절연막(816)으로 된 평탄화막을 형성한다. 층간절연막(816)으로서는, 투광성을 가지는 무기재료(산화규소, 질화규소, 산소를 포함하는 질화규소 등), 감광성 또는 비감광성의 유기재료(폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는, 벤조시클로부텐) 또한, 이들의 적층 등을 사용한다. 또한, 평탄화막에 사용한 다른 투광성을 가지는 막으로서는, 도포법에 의하여 얻을 수 있는 알킬기를 포함하는 SiO_x막으로 되는 절연막, 예를 들면 실리카 유리, 알킬실록산 폴리머, 알킬실세스키옥산폴리머, 수소화 실세스키옥산폴리머, 수소화 알킬실세스키옥산폴리머 등을 사용하여 형성된 절연막을 사용할 수 있다. 실록산계 폴리머의 일례로서는, 도포 절연막재료인 PSB-K1 및 PSB-K31(Toray사 제품)이나 도포 절연막 재료인 ZRS-5PH(Catalysts & Chemicals사 제품)를 들 수 있다. 층간 절연막(816)은 단층막이어도 다층막이어도 좋다.

[0392] 다음, 층간 절연막(816) 위에 포토레지스트막(도시하지 않음)을 도포하고, 이 포토레지스트막을 노광 및 현상한다. 이것으로, 층간 절연막(816) 위에는, 레지스트 패턴이 형성된다. 다음, 이 레지스트 패턴을 마스크로서, 층간 절연막(816), 절연막(815), 및 게이트 절연막(804)을 에칭한다. 따라서, 층간 절연막(816), 절연막(815), 및 게이트 절연막(804)에는, 접속구멍(817a, 817b, 817c, 817d)이 형성된다. 접속구멍(817a)은, 트랜지스터의 소스인 제 2 불순물 영역(813a) 위에 위치하고, 접속구멍(817b)은, 트랜지스터의 드레인인 제 2 불순물 영역(813c) 위에 위치한다. 접속구멍(817c)은 제 1 전극(801) 위에 위치하고, 접속구멍(817d)은 제 2 배선(808) 위에 위치하고 있다. 그 후, 레지스트 패턴을 제거한다.

[0393] 다음, 도 32b에 나타낸 것처럼, 접속구멍(817a 내지 817d) 각각 중, 및 층간 절연막(816) 위에, 제 1 도전막(818)을 형성한다. 제 1 도전막(818)은, 투광성을 가지는 도전막이며, 예를 들면, ITO막, Si 원소를 포함하는 인듐주석산화물이나, 산화인듐에 2 내지 20wt%의 산화아연(ZnO)을 혼합한 타깃을 사용하여 형성된 IZO(Indium Zinc Oxide)막이다. 다음, 제 1 도전막(818) 위에 제 2 도전막(819)을 형성한다. 제 2 도전막(819)은 예를 들면, 금속막이다.

[0394] 다음, 제 2 도전막(819) 위에 포토레지스트막(820)을 도포한다. 다음, 포토레지스트막(820)의 상부에, 레티클(840)을 배치한다. 레티클(840)은, 유리기판 위에 반투막 패턴(842a, 842b, 842c, 842d)을 형성하고, 또한, 반투막 패턴(842a, 842b, 842c, 842d) 각각의 일부 위에, 차광 패턴(841a, 841b, 841c)을 형성한 것이다. 반투막 패턴(842a) 및 차광 패턴(841a)은 접속구멍(817a)의 상부에 위치하고, 반투막 패턴(842b) 및 차광 패턴

(841b)은 접속구멍(817b) 및 접속구멍(817c)의 상방에 위치하고, 반투막 패턴(842c) 및 차광 패턴(841c)은 접속구멍(817d)의 상방에 위치하고, 반투막 패턴(842d)은 제 1 전극(801)의 상방에 위치한다.

- [0395] 다음, 레티클(840)을 마스크로서, 포토레지스트막(820)을 노광한다. 이에 따라, 포토레지스트막(820)은, 차광 패턴(841a, 841b, 841c)의 아래쪽에 위치하는 부분과, 반투막 패턴(842a, 842b, 842c, 842d)과 차광패턴(841a, 841b, 841c)이 겹치지 않은 부분의 아래쪽이며, 제 2 도전막(819)의 근방에 위치하는 하층부분을 제외하여 감광된다. 또한, 감광하지 않은 부분에는, 부호 821a, 821b, 821c, 821d를 부여한다.
- [0396] 다음, 도 32c에 나타내는 바와 같이, 포토레지스트막(820)을 현상한다. 이것에 따라, 포토레지스트막(820) 중, 감광한 부분이 제거되고, 레지스트 패턴(822a, 822b, 822c, 822d)이 형성된다. 레지스트 패턴(822a)은 접속구멍(817a)의 상방에 위치하고 있다. 레지스트 패턴(822b)은 접속구멍(817b, 817c) 각각의 상방, 및 이들의 사이에 위치한다. 레지스트 패턴(822d)은 제 1 전극(801)의 상방에 위치한다. 또한, 레지스트 패턴(822c) 중, 접속구멍(817d)의 상방이외의 부분, 및 레지스트 패턴(822d)은, 다른 레지스트 패턴과 비교하여 얇다.
- [0397] 다음, 도 32d에 나타내는 바와 같이, 레지스트 패턴(822a, 822b, 822c, 822d)을 마스크로서, 제 1 도전막(818) 및 제 2 도전막(819)을 에칭한다. 이것에 따라, 레지스트 패턴(822a, 822b, 822c, 822d)으로 덮이지 않은 영역에서, 제 1 도전막(818) 및 제 2 도전막(819)이 제거된다.
- [0398] 또한, 레지스트 패턴(822a, 822b, 822c, 822d)도 서서히 에칭되기 때문에, 에칭처리 중에, 레지스트 패턴의 얇은 부분(구체적으로는, 레지스트 패턴(822c) 중, 접속구멍(817d)의 상방이외의 부분, 및 레지스트 패턴(822d))이 제거된다. 따라서, 레지스트 패턴(822c) 중, 접속구멍(817d)의 상방이외의 부분, 및 레지스트 패턴(822d) 각각의 아래에 위치하는 영역에서는, 제 2 도전막(819)이 제거되고, 제 1 도전막(818)만이 남는다. 그 후, 레지스트 패턴(822a, 822b, 822c)을 제거한다.
- [0399] 이렇게 하여, 1매의 레지스트 패턴 및 1회의 에칭처리에 의하여, 소스배선(823a, 824a), 드레인 배선(823b, 824b), 접속용 도전막(824c), 및 공통전극인 제 2 전극(828)이 형성된다. 소스배선(823a, 824a) 및 드레인 배선(823b, 824b)은, 결정성 반도체막(803)에 형성된 각 불순물 영역, 게이트 절연막(804), 제 1 게이트 전극(805a, 805b) 및 제 2 게이트 전극(806a, 806b)과 함께, 박막 트랜지스터(825)를 형성한다. 또한, 드레인 배선(823b, 824b)은, 드레인으로 된 불순물 영역(813c)과 제 1 전극(801)을 전기적으로 접속한다. 제 2 전극(828)은, 일부가 접속구멍(817d)에 매립됨으로써, 제 2 배선(808)에 전기적으로 접속한다. 접속용 도전막(824c)은, 접속구멍(817d) 위에 위치하는 제 2 전극(828) 위에 위치하고 있다.
- [0400] 그 후, 제 1 배향막(826)을 형성한다. 이렇게 하여, 액티브 매트릭스 기판이 형성된다. 또한, 도 31a 내지 도 32d에 나타낸 처리에 의하여, 도 33a 내지 도 33b에 나타낸 액정표시장치의 게이트 신호선 구동회로 영역(854)에도, 박막 트랜지스터(827, 829; 도 33b에 도시함)가 형성된다. 또한, 도 31b 내지 도 31d에 나타내는 처리에 의하여, 액티브 매트릭스 기판과 외부를 접속하는 제 1 단자전극(838a) 및 제 2 단자전극(838b; 도 33b에 도시함)이 형성된다.
- [0401] 그 후, 도 33a의 평면도 및 도 33b의 K-L 단면도에 나타낸 것처럼, 액티브 매트릭스 기판 위에 아크릴 수지막 등의 유기수지막을 형성하고, 이 유기수지막을, 레지스트 패턴을 사용한 에칭에 의하여, 선택적으로 제거한다. 이것에 따라, 액티브 매트릭스 기판 위에는, 주상의 스페이서(833)가 형성된다. 다음, 밀봉영역(853)에 시일재(834)를 형성한 후, 액티브 매트릭스 기판 위에 액정을 적하한다. 액정을 적하하기 전에, 시일재 위에, 시일재와 액정이 반응하는 것을 방지하는 보호막을 형성하여도 좋다.
- [0402] 그 후, 액티브 매트릭스 기판에 대향하는 위치에, 컬러 필터(832) 및 제 2 배향막(831)이 형성된 대향기판(830)을 배치하고, 이들 2개의 기판을 시일재(834)로 붙인다. 이 때, 스페이서(833)에 의하여, 액티브 매트릭스 기판과 대향기판(830)은, 균일한 간격을 유지하여 붙인다. 다음, 밀봉재(도시하지 않음)를 사용하여, 양 기판의 사이를 완전히 밀봉한다. 이렇게 하여, 액티브 매트릭스 기판과 대향기판의 사이에는 액정이 봉지된다.
- [0403] 다음, 필요에 따라서, 액티브 매트릭스 기판 또는, 대향 기판 또는 쌍방의 기판을 소망의 형상으로 분단한다. 또한, 편광판(835a, 835b)을 형성한다. 다음, 가요성 프린트 기판(Flexible Printed Circuit: 이하, FPC라고 기재; 837)을 이방성 도전막(836)을 통하여, 외부단자 접속영역(852)에 배치된 제 2 단자전극(838b)에 접속한다.
- [0404] 이렇게 하여, 형성된 액정 모듈의 구성을 이하에 설명한다. 액티브 매트릭스 기판의 중앙부에는, 화소영역(856)이 배치된다. 화소영역(856)에는, 복수의 화소가 형성된다. 도 33a에 있어서, 화소영역(856)의 상하 각각에는, 게이트 신호선을 구동하기 위한 게이트 신호선 구동회로 영역(854)이 배치된다. 또한, 화소영역(856)

과 FPC(837)의 사이에 위치하는 영역에는, 소스 신호선을 구동하기 위한 소스 신호선 구동회로 영역(857)이 배치된다. 게이트 신호선 구동회로 영역(854)은, 한쪽에만 배치되어도 좋고, 액정 모듈에 있어서의 기판 사이즈 등을 고려하여, 설계자가 적절하게 선택하면 좋다. 다만, 회로의 동작 신뢰성이나 구동효율 등을 고려하면, 화소영역(856)을 끼워서 대칭으로 배치되는 것이 바람직하다. 그리고, 각 구동회로에의 신호의 입력은, FPC(837)로부터 행해진다.

- [0405] 본 실시형태에서도, 제 3 실시형태와 동일한 효과를 얻을 수 있다.
- [0406] (실시형태 32)
- [0407] 제 32 실시형태에 관한 액정 모듈에 대해서, 도 34a 내지 도 35b의 각도를 사용하여 설명한다. 각 도면에 있어서, 화소부(930)의 구성은, 제 31 실시형태에서 나타난 화소영역(856)의 구성과 같고, 기판(100) 위에 복수의 화소가 형성된다.
- [0408] 도 34a는 액정표시 모듈의 평면 개략도이며, 도 34b는, 소스 드라이버(910)의 회로구성을 설명하기 위한 도면이다. 도 34a 내지 도 34b에 나타난 예에서는, 도 34a에 나타난 것처럼 게이트 드라이버(920) 및 소스 드라이버(910)의 쌍방이, 화소부(930)와 동일한 기판(100) 위에 일체적으로 형성된다. 소스 드라이버(910)는, 도 34b에 나타난 것처럼, 입력된 비디오 신호를 어느 소스 신호선에 전달할까를 제어하는 복수의 박막 트랜지스터(912)와, 복수의 박막 트랜지스터(912)를 제어하는 시프트 레지스터(911)를 가진다.
- [0409] 도 35a는 액정표시 모듈의 평면 개략도이며, 도 35b는 소스 드라이버의 회로구성을 설명하기 위한 도면이다. 도 35에 나타내는 예에서는, 도 35a에 나타난 것처럼, 소스 드라이버가, 기판(100) 위에 형성된 박막 트랜지스터 군(940)과, 기판(100)과는 별개의 IC(950)로 구성된다. IC(950)와 박막 트랜지스터 군(940)은, 예를 들면, FPC(960)로 전기적으로 접속된다.
- [0410] IC(950)는, 예를 들면, 단결정 실리콘 기판을 사용하여 형성되어 있고, 박막 트랜지스터 군(940)을 제어하고, 박막 트랜지스터 군(940)에 비디오 신호를 입력한다. 박막 트랜지스터 군(940)은, IC(950)에서의 제어신호에 의거하여, 어느 소스신호선에 비디오 신호를 전달할까를 제어한다.
- [0411] 제 32 실시형태에 관한 액정표시모듈에서도, 제 3 실시형태와 동일한 효과를 얻을 수 있다.
- [0412] (실시형태 33)
- [0413] 도 38a 내지 도 38b는, 본 발명을 사용한 발광소자의 구성을 설명하기 위한 단면도이다. 본 실시형태에서는, 본 발명의 구성과, 자발광 소자(EL소자 등)를 조합한 예를 나타낸다.
- [0414] 도 38a는, 본 발명의 구성과 박막형 EL소자를 조합한 발광장치의 일례이다. 박막형 EL소자는, 발광재료의 박막으로 된 발광층을 가지고 있고, 고전계로 가속된 전자에 의한 발광중심 또는 모체재료의 충돌여기에 의하여 발광을 얻을 수 있다.
- [0415] 발광의 메커니즘으로서, 도너준위와 억셉터준위를 이용하는 도너-억셉터 재결합형 발광과, 금속 이온의 내각 전자천이를 이용하는 국제형 발광이 알려져 있다. 일반적으로, 박막형 EL소자에서는 국제형 발광, 분산형EL소자에서는, 도너-억셉터 재결합형 발광인 경우가 많다.
- [0416] 구체적인 구성을 이하에 나타낸다. 도 38a는, 톱 게이트형의 박막 트랜지스터(221)를 사용한 구성을 가지고, 제 1 전극(201)과 제 2 전극(212)을 사용하는 점에 있어서, 제 1 실시형태에 관한 액정표시장치에 가까운 구성으로 된다. 즉, 기판(200) 위에 제 1 전극(201)이 형성되고, 기판(200) 위 및 제 1 전극(201) 위에 절연막(202)이 형성되고, 절연막(202) 위에 박막 트랜지스터(221)가 형성된다. 또한, 박막 트랜지스터(221) 위에는, 층간 절연막(206, 207)이 형성되고, 층간 절연막(207) 위에 제 2 전극(212)이 형성된다. 제 2 전극(212)에는, 슬롯이 형성된다. 또한, 제 1 전극(201)에도 슬롯이 형성되어도 좋다. 본 실시형태에서는, 제 2 전극(212)의 상방에 발광재료를 포함하는 층(214)을 형성한다.
- [0417] 제 2 실시형태와 같은 공정으로, 기판(200), 제 1 전극(201), 절연막(202), 박막 트랜지스터(221), 층간절연막(206, 207), 제 2 전극(212)을 형성한다. 다음, 제 2 전극(212) 위에 유전체(213)를 형성하고, 유전체(213) 위에 발광재료를 포함하는 층(214)을 형성하여도 좋다. 그러나, 상술의 구성으로 한정되지 않고, 유전체(213)는 반드시 형성할 필요는 없다. 유전체(213)를 형성하지 않은 경우에는, 층간 절연막(206, 207)이 유전체로서 기능한다. 또한, 발광재료를 포함하는 층(214) 위에 보호층(215)을 개재하여, 제 2 기판(220)을 배치한다.
- [0418] 발광재료는, 모체재료와 발광중심으로 이루어진다. 국제형 발광의 발광중심으로서, 망간(Mn), 구리(Cu), 사마륨

(Sm), 테르븀(Tb), 에르븀(Er), 툴륨(Tm), 유러퓴(Eu), 세륨(Ce), 플라세오디뮴(Pr) 등을 사용할 수 있다. 또한, 전하보상으로서, 불소(F), 염소(Cl) 등의 할로젠 원소가 첨가되어도 좋다.

- [0419] 도너-억셉터 재결합형 발광의 발광중심으로서, 도너준위를 형성하는 제 1 불순물 원소 및 억셉터준위를 형성하는 제 2 불순물 원소를 포함하는 발광재료를 사용할 수 있다. 제 1 불순물 원소로서는, 예를 들면, 플루오르(F), 염소(Cl), 알루미늄(Al) 등을 사용할 수 있고, 제 2 불순물 원소로서는, 예를 들면, 구리(Cu), 은(Ag) 등을 사용할 수 있다.
- [0420] 발광재료에 사용하는 모체재료로서는, 황화물, 산화물, 질화물을 사용할 수 있다. 황화물로서는, 예를 들면, 황화아연(ZnS), 황화카드뮴(CdS), 황화칼슘(CaS), 황화이트륨(Y2S3), 황화갈륨(Ga2S3), 황화스트론튬(SrS), 황화바륨(BaS) 등을 사용할 수 있고, 산화물로서는, 예를 들면, 산화아연(ZnO), 산화이트륨(Y2O3) 등을 사용할 수 있다.
- [0421] 또한, 질화물로서는, 예를 들면, 질화 알루미늄(AlN), 질화갈륨(GaN), 질화인듐(InN) 등도 사용할 수 있다. 또한, 셀레늄화 아연(ZnSe), 텔루르화 아연(ZnTe) 등도 사용할 수 있고, 황화갈슘-갈륨(CaGa2S4), 황화스트론튬-갈륨(SrGa2S4), 황화바륨-갈륨(BaGa2S4) 등의 3원계의 혼정이어도 좋다. 이들 모체재료와 발광중심을 적절히 조합해서, 발광재료로 하면 좋다.
- [0422] 박막형 EL소자에서는, 국제형 발광, 분산형 EL소자에서는, 도너-억셉터 재결합형 발광의 경우가 많다. 도 38a의 구성으로 하는 경우는, 국제발광으로 되는 발광중심을 사용하여 발광재료(예를 들면, ZnS : Mn, ZnS : Cu, Cl 등)로 하는 것이 바람직하다.
- [0423] 다음, 도 38b에, 본 발명의 구성과 분산형 EL소자를 조합한 발광장치의 일례를 나타낸다. 분산형 EL소자는, 발광재료의 입자를 바인더 중에 분산시킨 발광층을 가지며, 박막형 EL소자와 동시에, 고전계로 가속된 전자에 의한 발광중심 또는 모체재료의 충돌여기에 의하여 발광을 얻을 수 있다. 분산형의 EL소자의 경우에는, 제 2 전극(212) 위에 접하여 발광재료를 포함하는 층(224)을 형성하는 구성으로 한다.
- [0424] 바인더 중에 분산시키는 발광재료로서는, 박막형 EL소자와 같이, 상술한 발광재료를 사용할 수 있다. 또한, 분산형 EL소자의 경우에는, 도너-억셉터 재결합형 발광으로 된 발광중심을 사용하여 발광재료(예를 들면, ZnS : Ag, Cl, ZnS : Cu, Al 등)로 하는 것이 바람직하다. 또한, 발광재료는, 상술한 무기물로 한정되지 않고, 유기물로 되는 발광재료(예를 들면, 루브렌, 9,10-디페닐안트라센 등)를 사용하여도 좋다.
- [0425] 분산형 EL소자에 사용할 수 있는 바인더로서는, 유기재료나 무기재료를 사용할 수 있고, 또는, 유기재료 및 무기재료의 혼합재료를 사용하여도 좋다. 유기재료로서는, 시아노에틸셀룰로오스계 수지처럼, 비교적 유전율이 높은 폴리머나, 폴리에틸렌, 폴리프로필렌, 폴리스티렌계 수지, 실리콘 수지, 에폭시 수지, 불화비닐리덴 등의 수지를 사용할 수 있다. 또한, 방향족 폴리아미드, 폴리벤조이미다졸(polybenzimidazole) 등의 내열성 고분자, 또는 실록산 수지를 사용해도 좋다.
- [0426] 폴리비닐알코올, 폴리비닐부티랄 등의 비닐수지, 페놀 수지, 노블락 수지, 아크릴 수지, 멜라민 수지, 우레탄 수지, 옥사졸 수지(폴리벤조옥사졸) 등의 수지재료를 사용하여도 좋고, 또한, 광경화형 수지 등을 사용할 수 있다. 또한, 이들의 수지에 티탄산 바륨(BaTiO3)이나 티탄산스트론튬(SrTiO3) 등의 고유전율의 미립자를 적절하게 혼합하여 유전율을 조정할 수도 있다.
- [0427] 또한, 바인더에 사용하는 무기재료로서는, 산화규소(SiOx), 질화규소(SiNx), 산소 및 질소를 포함하는 규소, 질화알루미늄(AlN), 산소 및 질소를 포함하는 알루미늄, 또는 산화 알루미늄(Al2O3), 산화티탄(TiO2), BaTiO3, SrTiO3, 티탄산연(PbTiO3), 니오브산칼륨(KNbO3), 니오브산연(PbNbO3), 산화탄탈(Ta2O5), 탄탈산바륨(BaTa2O6), 탄탈산리튬(LiTaO3), 산화이트륨(Y2O3), 산화지르코늄(ZrO2), ZnS, 그 이외의 무기재료를 포함하는 물질로부터 선택된 재료로 형성할 수 있다. 유기재료로, 유전율의 높은 무기재료를 포함시키는(첨가 등) 것으로써, 반광재료 및 바인더로 되는 발광물질을 포함하는 층의 유전율을 제어할 수 있고, 보다 유전율을 크게 할 수 있다.
- [0428] 또한, EL소자는, 한 쌍의 전극층간에 전압을 인가하는 것으로써, 발광을 얻을 수 있지만, 본 실시형태에 있어서는, 교류구동을 사용하는 것이 바람직하다. 본 실시형태에 나타낸 EL발광소자에 있어서는, 제 1 전극(201) 및 제 2 전극(212)에 의해 발생되는 전계를 사용하는 것에 의해 발광시키기 위함이다. 또한, 발광을 위해 발생되는 전계는, 다른 실시형태에 있어서 설명한 액정표시장치에 있어서의 전계와 마찬가지로이다.
- [0429] 본 실시형태에 나타낸 것처럼, 제 1 전극 위에 절연막을 형성하는 것으로써, 전극간의 간격을 제어할 수 있다.

예를 들면, 본 실시형태에 나타내는 구성으로서, 전극간의 간격을 제어하는 것으로써, 제 1 전극과 제 2 전극의 사이에 마이크로 공동 효과(micro cavity effect)를 얻는 것도 가능하게 되고, 색순도가 좋은 발광장치를 제작할 수 있다.

- [0430] 이상과 같이, 본 발명의 적용범위는 극히 넓고, 여러가지 분야의 전자기기에 사용할 수 있다.
- [0431] 또한, 본 발명은 상술한 실시형태로 한정되지 않고, 본 발명의 취지를 일탈하지 않은 범위내에서 여러가지 변경하여 실시할 수 있다.
- [0432] (실시형태 34)
- [0433] 본 발명의 제 34 실시형태에 관한 전자기기에 대해서, 도 36a 내지 도 36h를 참조하면서 설명한다. 이들의 전자기기는, 상기한 어느 한 실시형태에서 나타낸 표시장치 또는 표시모듈을 탑재한 것이다.
- [0434] 이들의 전자기기로서, 비디오카메라, 디지털카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향재생장치(카오디오, 오디오콤보 등), 노트형 퍼스널 컴퓨터, 게임기기, 휴대 정보단말(모바일 컴퓨터, 휴대전화 또는 전자서적 등), 기록매체를 구비한 화상재생장치(대표적으로는 DVD:Digital Versatile Disc 등의 기록매체를 재생하여, 그 화상을 디스플레이할 수 있는 디스플레이를 갖는 장치) 등을 들 수 있다. 이들 전자기기의 구체적인 예를 도 36a 내지 도 36h에 나타낸다.
- [0435] 도 36a는, 텔레비전 수상기 또는 퍼스널 컴퓨터의 모니터이다. 하우징(2001), 지지대(2002), 표시부(2003), 스피커부(2004), 비디오 입력단자(2005) 등을 포함한다. 표시부(2003)에는, 상기한 어느 실시형태에서 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 화소전극과 공통전극의 간격의 자유도가 향상한다. 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 배치할 수 있다. 그리고, 전극간에 가해지는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 최적의 전계를 가하는 것으로써, 시야각이 넓어진다. 또한, 박막 트랜지스터의 드레인 또는 소스의 아래에, 상기 한층과 동전위의 화소전극의 일부를 배치한 경우, 상기한 드레인 또는 소스의 전위가 안정하다. 그 결과, 전극이 가지는 개구 패턴의 간격을 좁게 할 수 있고, 또한, 전계의 가하는 방법이 매끈하게 되므로, 액정분자를 제어하기 쉽다. 또한, 개구 패턴의 간격을 좁게하는 것으로써, 전압을 작게 할 수 있기 때문에, 소비전력도 작게 할 수 있다.
- [0436] 도 36b는, 디지털 카메라이다. 본체(2101)의 정면부분에는, 수상부(2103)가 설치되고, 본체(2101)의 상면부분에는, 릴리스 버튼(2106)이 설치된다. 또한, 본체(2101)의 배면부분에는, 표시부(2102), 조작 키(2104), 및 외부접속 포트(2105)가 설치된다. 표시부(2102)에는, 상기한 어느 실시형태에서 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 상기한 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 화소전극과 공통전극의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 배치할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 행할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓은 액정표시장치 또는 액정모듈을 가지는 제품을 제공한다.
- [0437] 도 36c는 노트형 퍼스널 컴퓨터이다. 본체(2201)에는, 키보드(2204), 외부접속포트(2205), 포인팅 디바이스(2206)가 형성된다. 또한, 본체(2201)에는, 표시부(2203)를 가지는 하우징(2202)이 형성된다. 표시부(2203)에는, 상기한 어느 실시형태로 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 상기한 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 화소전극과 공통전극의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 배치할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 행할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓은 액정표시장치 또는 액정모듈을 가지는 제품을 제공한다.
- [0438] 도 36d는 모바일 컴퓨터이며, 본체(2301), 표시부(2302), 스위치(2303), 조작 키(2304), 적외선 포트(2305) 등

을 포함한다. 표시부(2302)에는, 상기한 어느 실시형태에서 나타낸 표시장치 또는 표시모듈이 형성된다. 표시부(2302)에는, 상기한 어느 실시형태로 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 상기한 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 화소전극과 공통전극의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 배치할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 행할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓은 액정표시장치 또는 액정모듈을 가지는 제품을 제공한다.

[0439] 도 36e는, 화상재성장치이다. 본체(2401)에는, 표시부(2404), 기록매체 판독부(2405) 및 조작 키(2406)가 형성된다. 또한, 본체(2401)에는, 스피커부(2407) 및 표시부(2403)를 가지는 케이스(2402)가 설치된다. 표시부(2403) 및 표시부(2404) 각각에는, 상기한 어느 실시형태로 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 상기한 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 화소전극과 공통전극의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 행할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓은 액정표시장치 또는 액정모듈을 가지는 제품을 제공한다.

[0440] 도 36f는 전자서적이다. 본체(2501)에는 조작 키(2503)가 설치되어 있다. 또한, 본체(2501)에는 복수의 표시부(2502)가 취부되어 있다. 표시부(2502)에는, 상기한 어느 실시형태에서 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 상기한 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 화소전극과 공통전극의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 행할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓은 액정표시장치 또는 액정모듈을 가지는 제품을 제공한다.

[0441] 도 36g는 비디오 카메라이며, 본체(2601)에는 외부 접속포트(2604), 리모트 컨트롤 수신부(2605), 수상부(2606), 배터리(2607), 음성입력부(2608), 조작 키(2609), 및 집안부(2610)가 설치되어 있다. 또한, 본체(2601)에는, 표시부(2602)를 가지는 하우징(2603)이 취부되어 있다. 표시부(2602)에는, 상기한 어느 실시형태에서 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 상기한 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 화소전극과 공통전극의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 행할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓은 액정표시장치 또는 액정모듈을 가지는 제품을 제공한다.

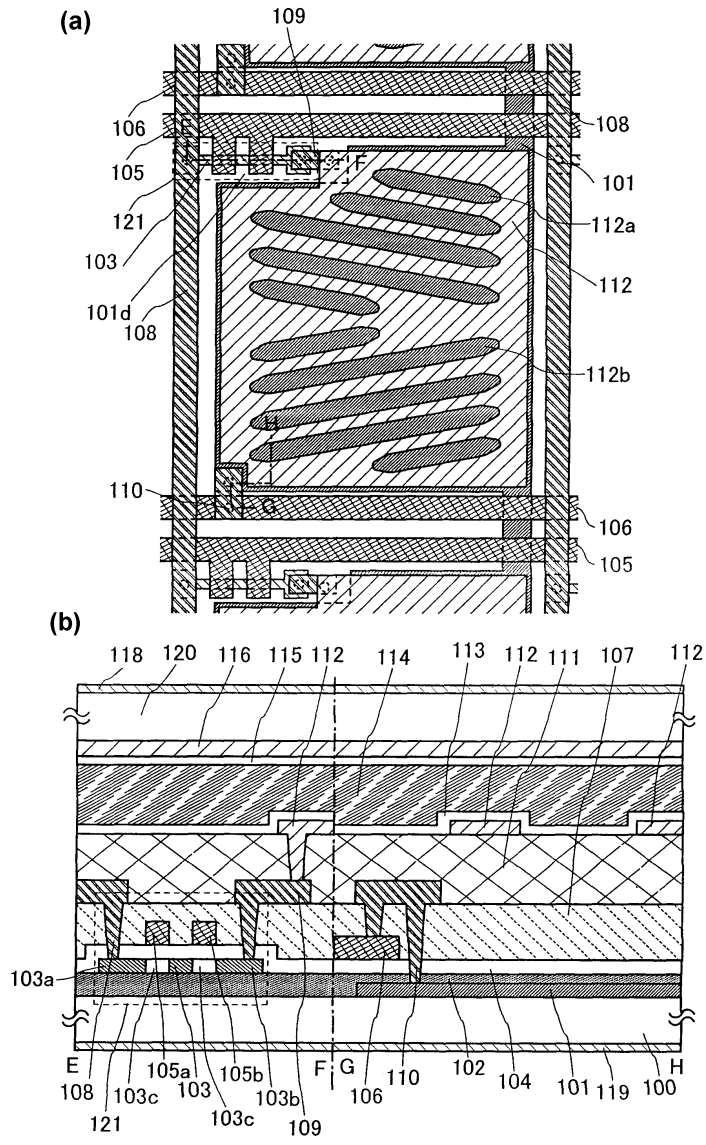
[0442] 도 36h는 휴대전화이며, 본체(2701), 하우징(2702), 표시부(2703), 음성입력부(2704), 음성출력부(2705), 조작 키(2706), 외부 접속 포트(2707), 안테나(2708) 등을 포함한다. 표시부(2703)에는, 상기한 어느 실시형태에서 나타낸 표시장치 또는 표시모듈이 사용된다. 이 표시장치 또는 표시모듈을 가지는 것으로써, 상기한 실시형태와 같은 효과를 얻을 수 있다. 예를 들면, 화소전극과 공통전극의 간격의 자유도가 향상한다. 그 결과, 화소전극이 가지는 개구 패턴의 배치간격이나 개구 패턴의 폭은, 화소전극이나 공통전극의 사이의 거리에 따라, 최적값이 변화하기 때문에, 개구 패턴의 크기나 폭이나 간격도 자유롭게 설정할 수 있다. 그리고, 전극간에 가하는 전계의 구배를 제어할 수 있고, 예를 들면, 기판과 평행방향의 전계를 증가하는 것 등을 용이하게 행할 수 있다. 특히, 액정을 사용한 표시장치에 있어서는, 기판과 평행으로 배향하고 있는 액정분자(이른바 수직방향배향)를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓은 액정표시장치 또는 액정모듈을 가지는 제품을 제공한다.

부호의 설명

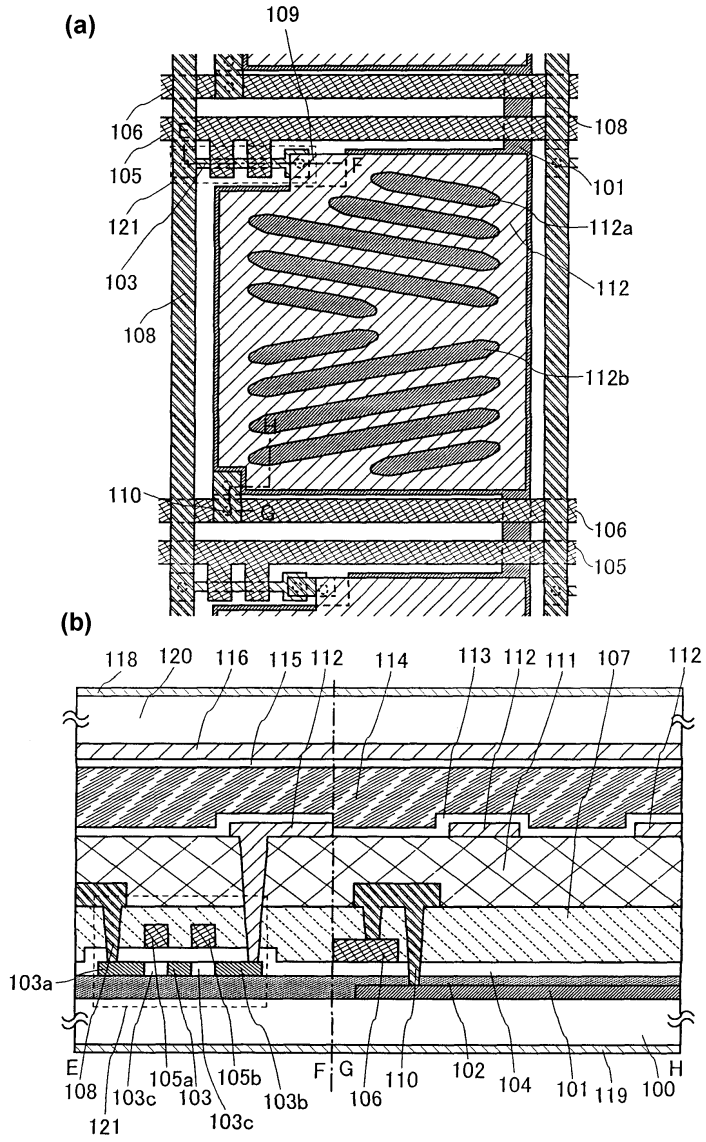
[0443]	100: 기관	101: 전극
	102: 절연막	103: 반도체막
	103a: 불순물 영역	103b: 불순물 영역
	103c: 채널 영역	104: 게이트 절연막
	105: 게이트 배선	105a: 게이트 전극
	105b: 게이트 전극	106: 보조 배선
	107: 층간 절연막	108: 소스 배선
	109: 접속용 도전막	110: 접속용 도전막
	111: 층간 절연막	112: 전극
	112a: 개구 패턴	112b: 개구 패턴
	113: 배향막	114: 액정
	115: 배향막	116: 컬러 필터
	118: 편광판	119: 편광판
	120: 대향기관	121: 박막 트랜지스터

도면

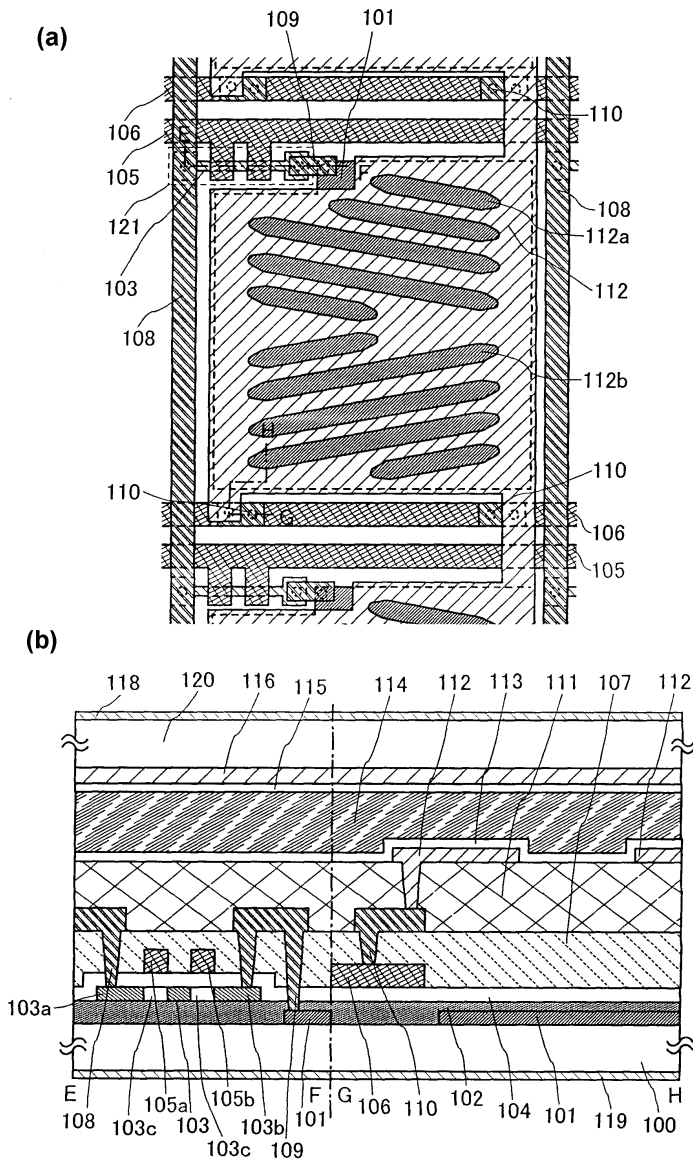
도면1



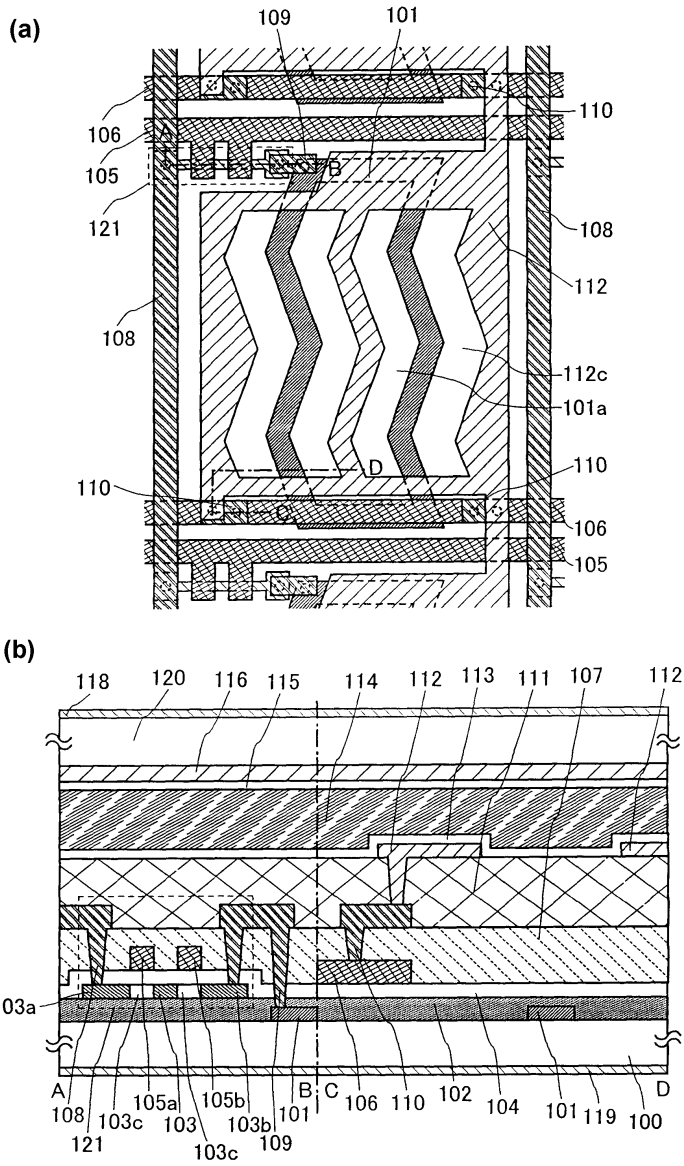
도면2



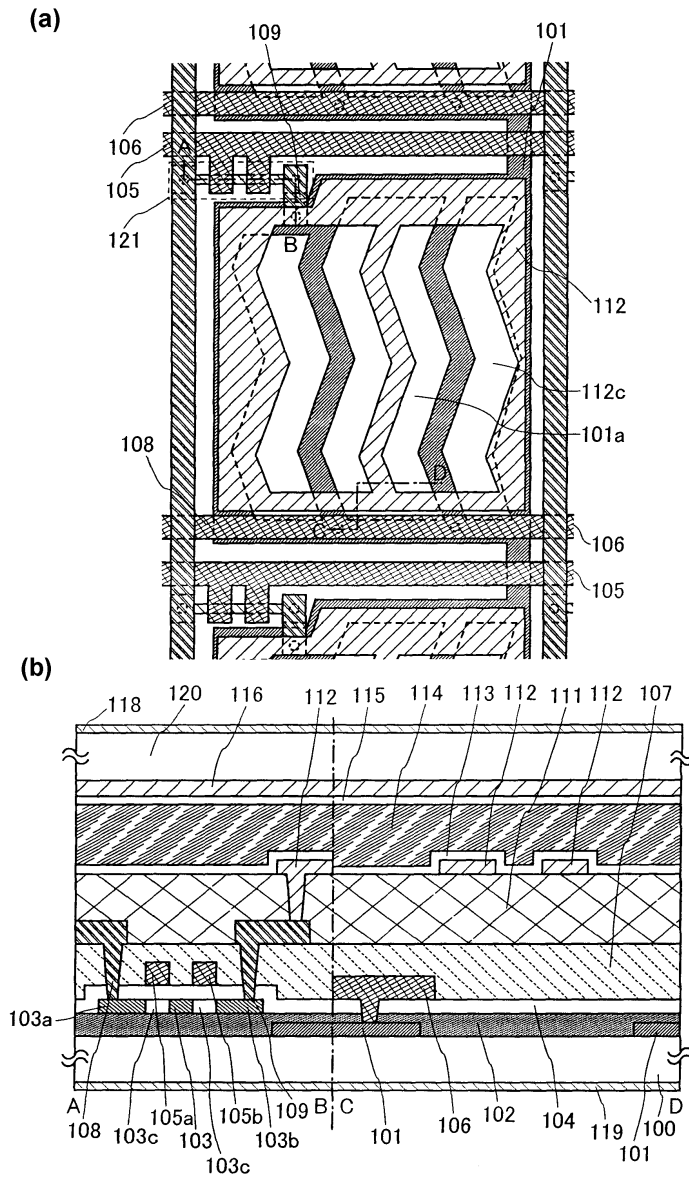
도면3



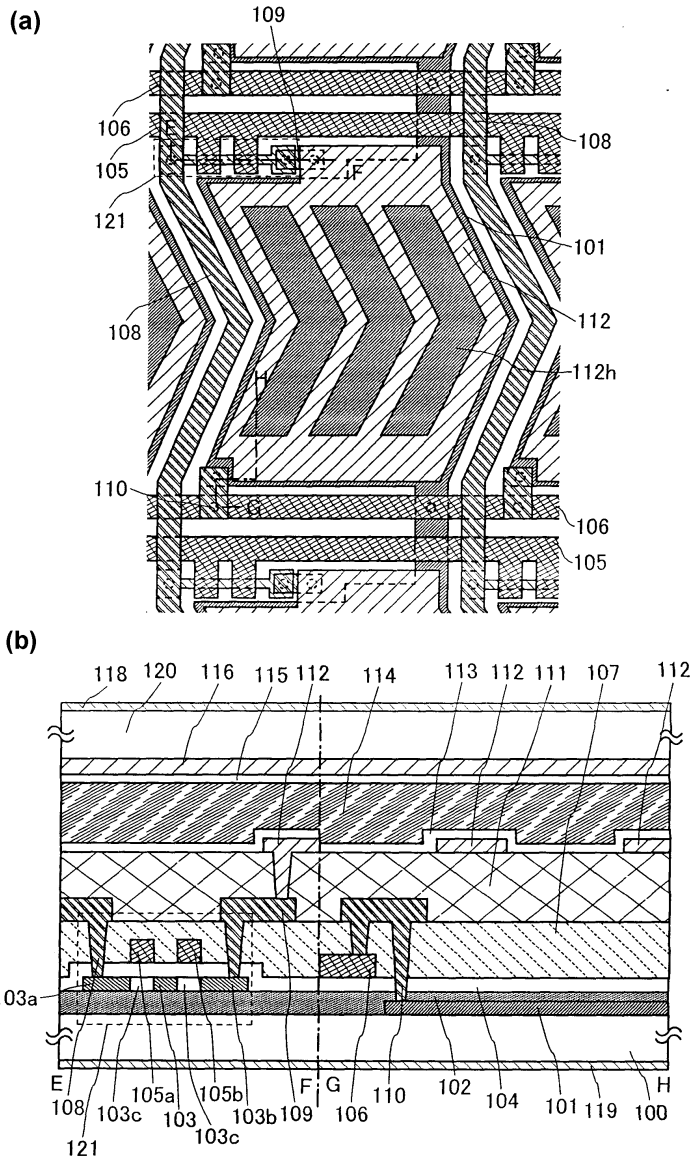
도면4



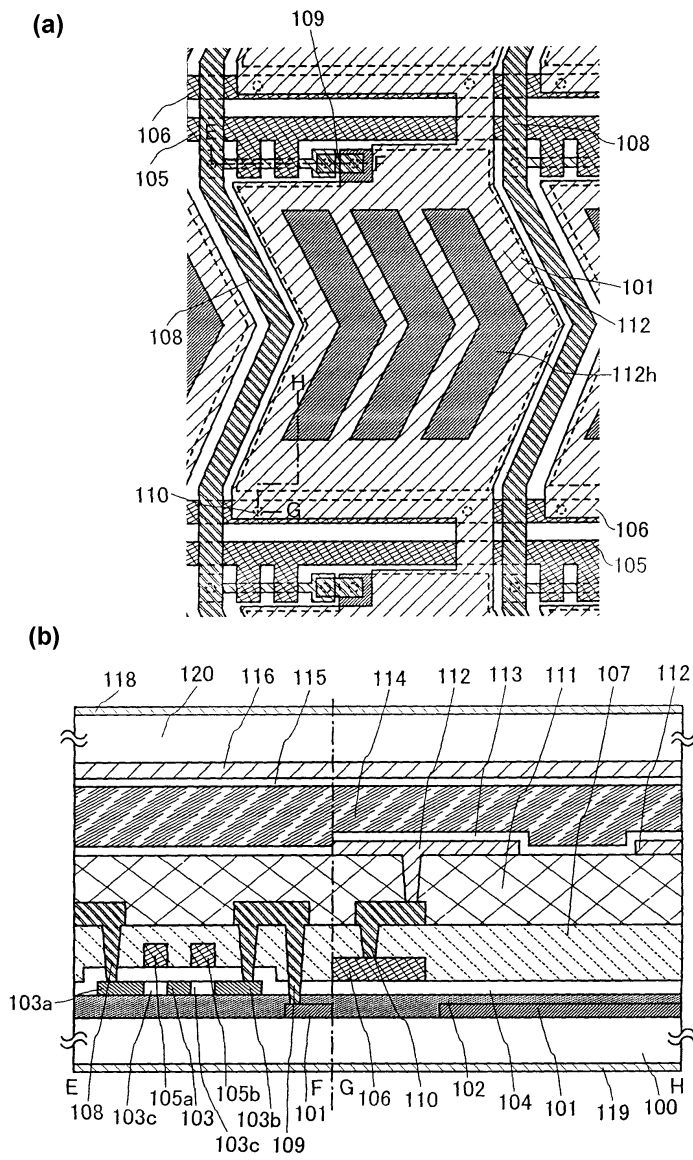
도면5



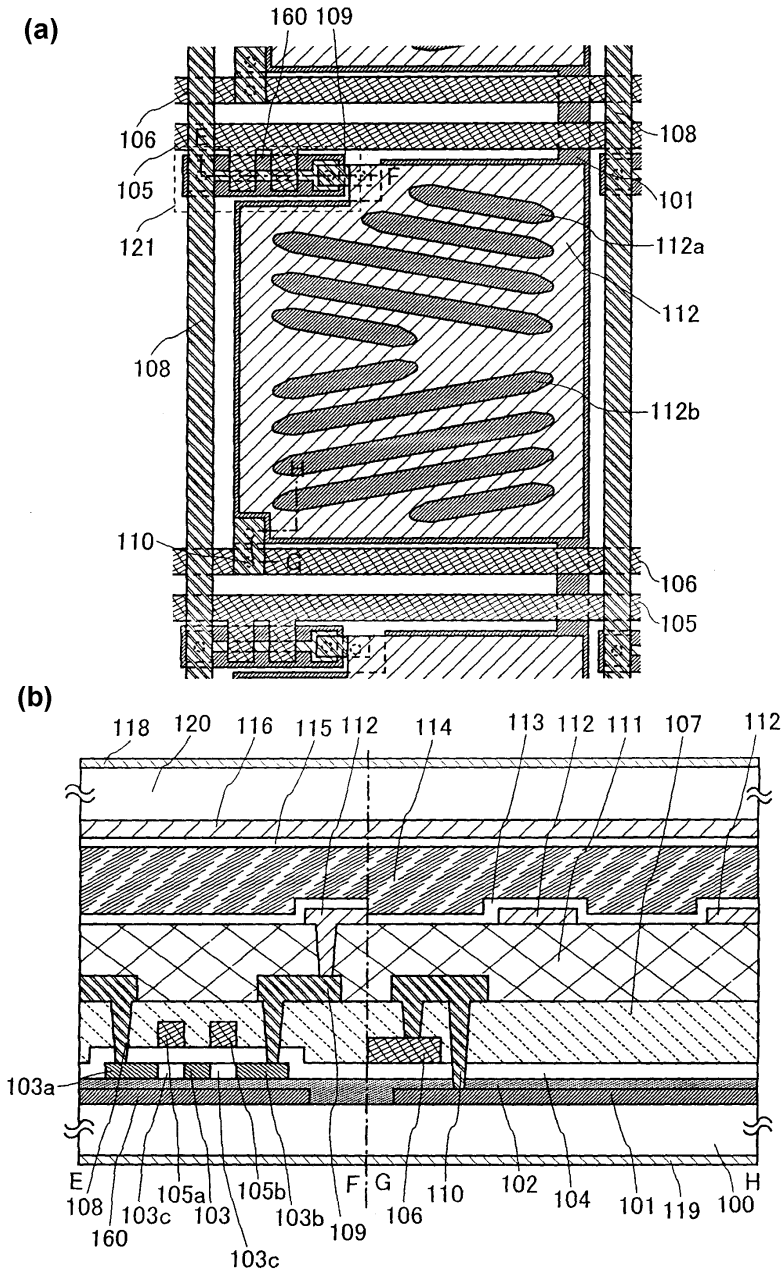
도면6



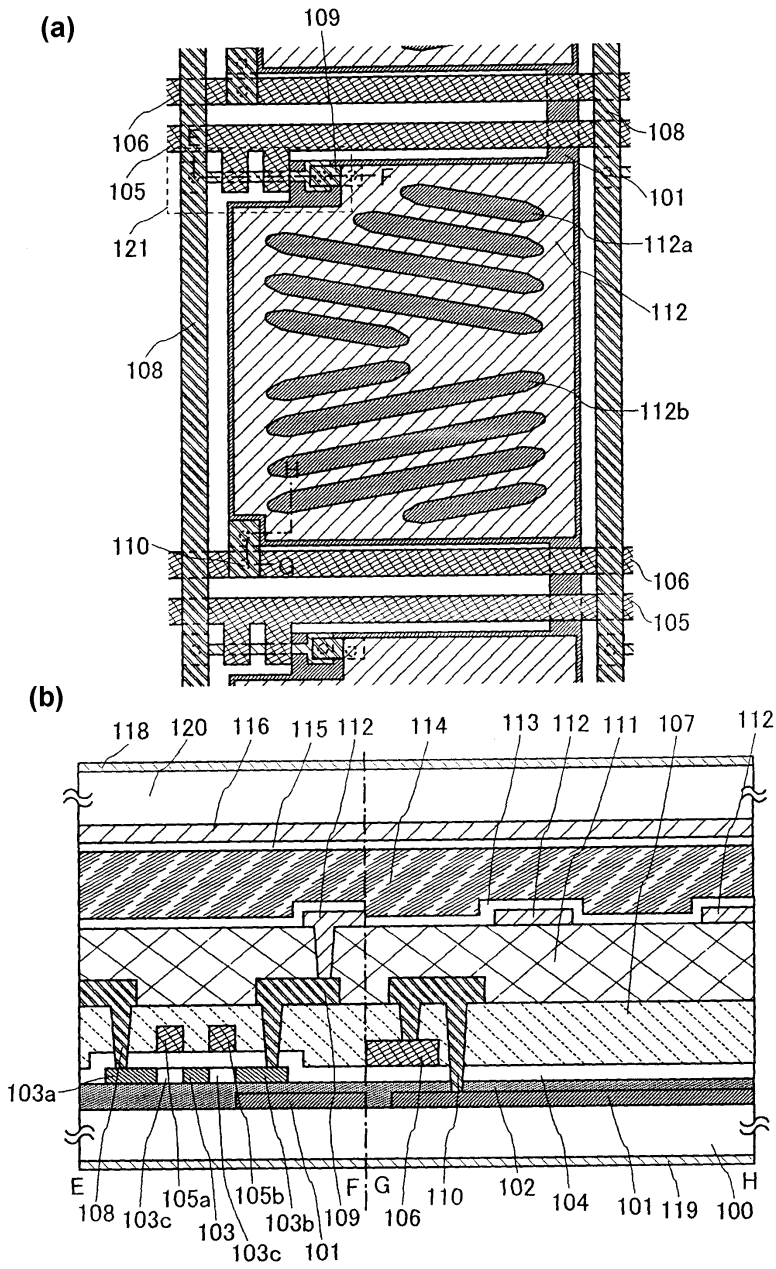
도면7



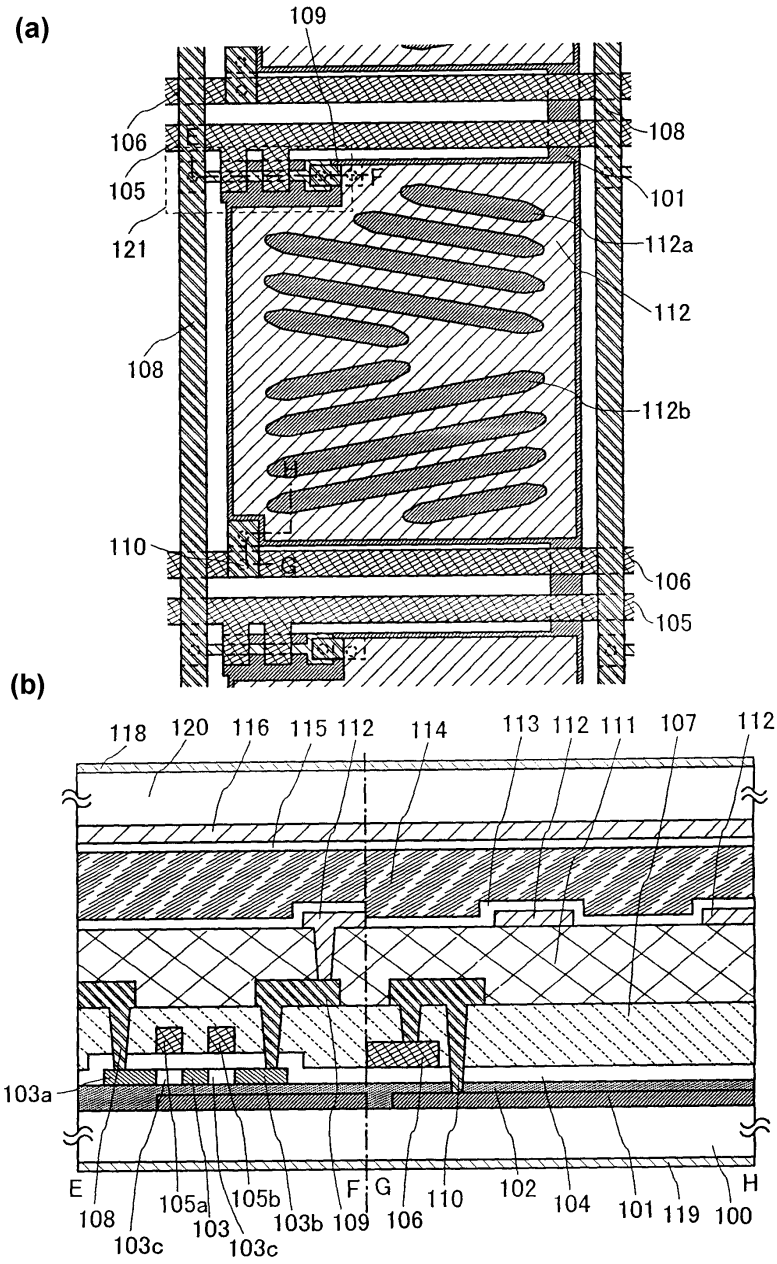
도면8



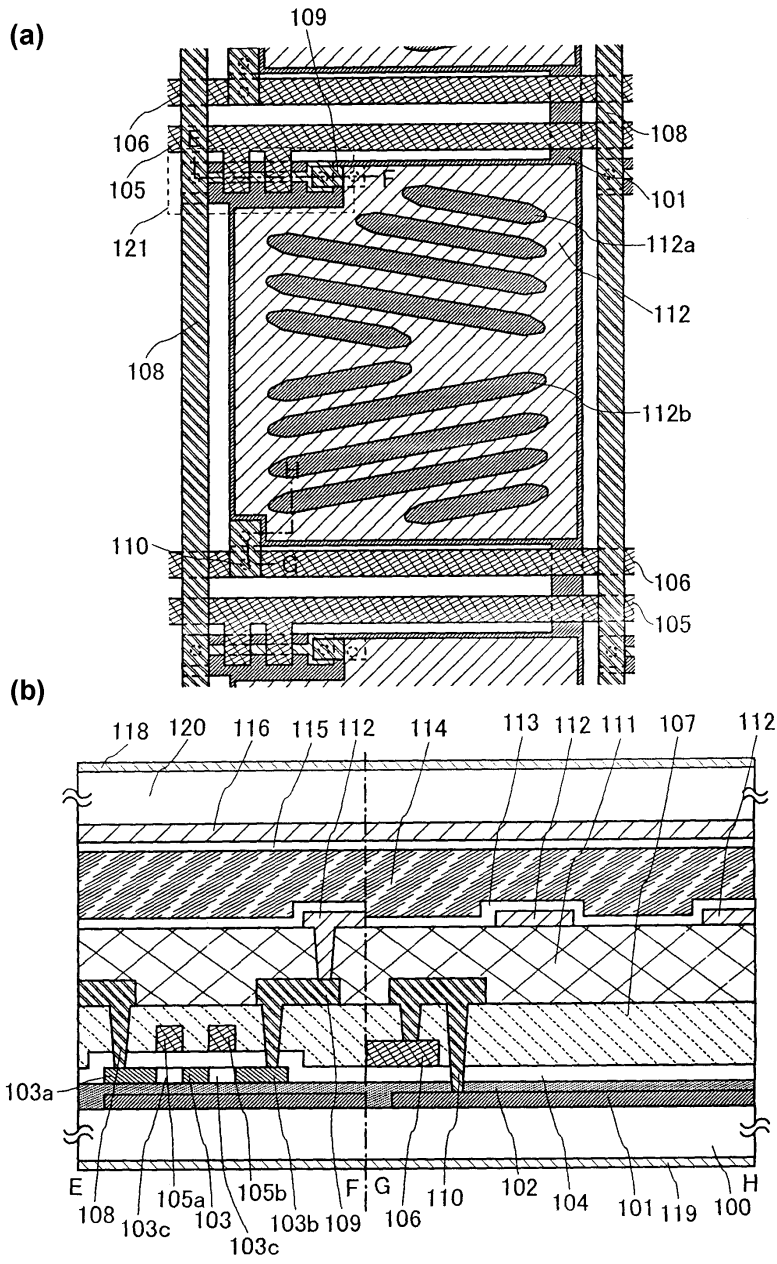
도면9



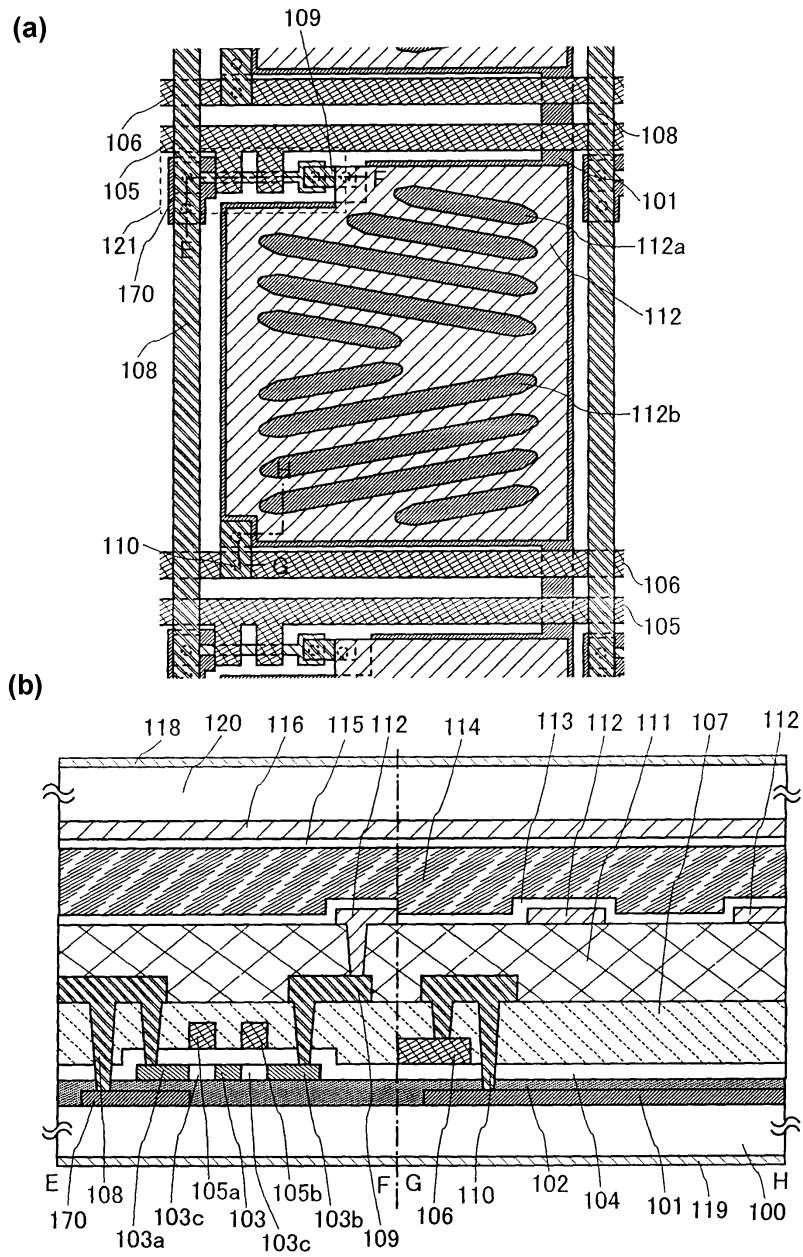
도면10



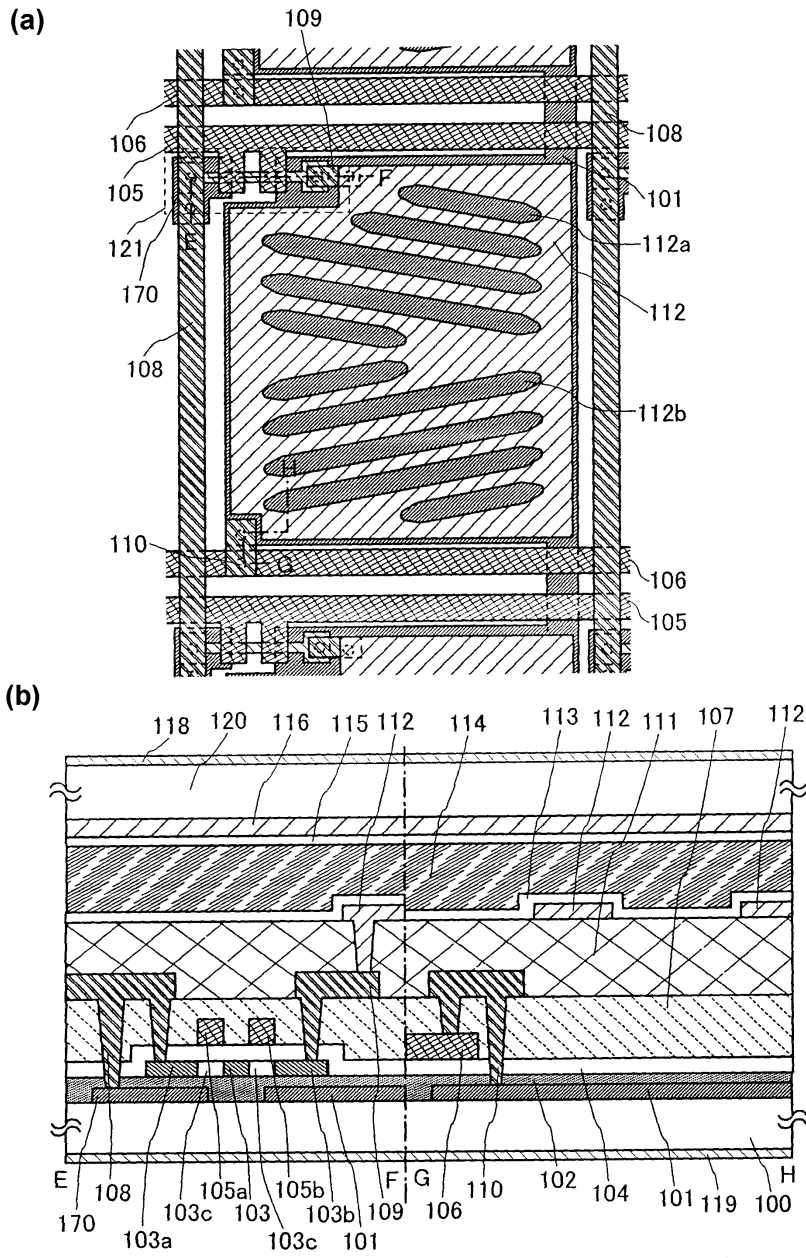
도면11



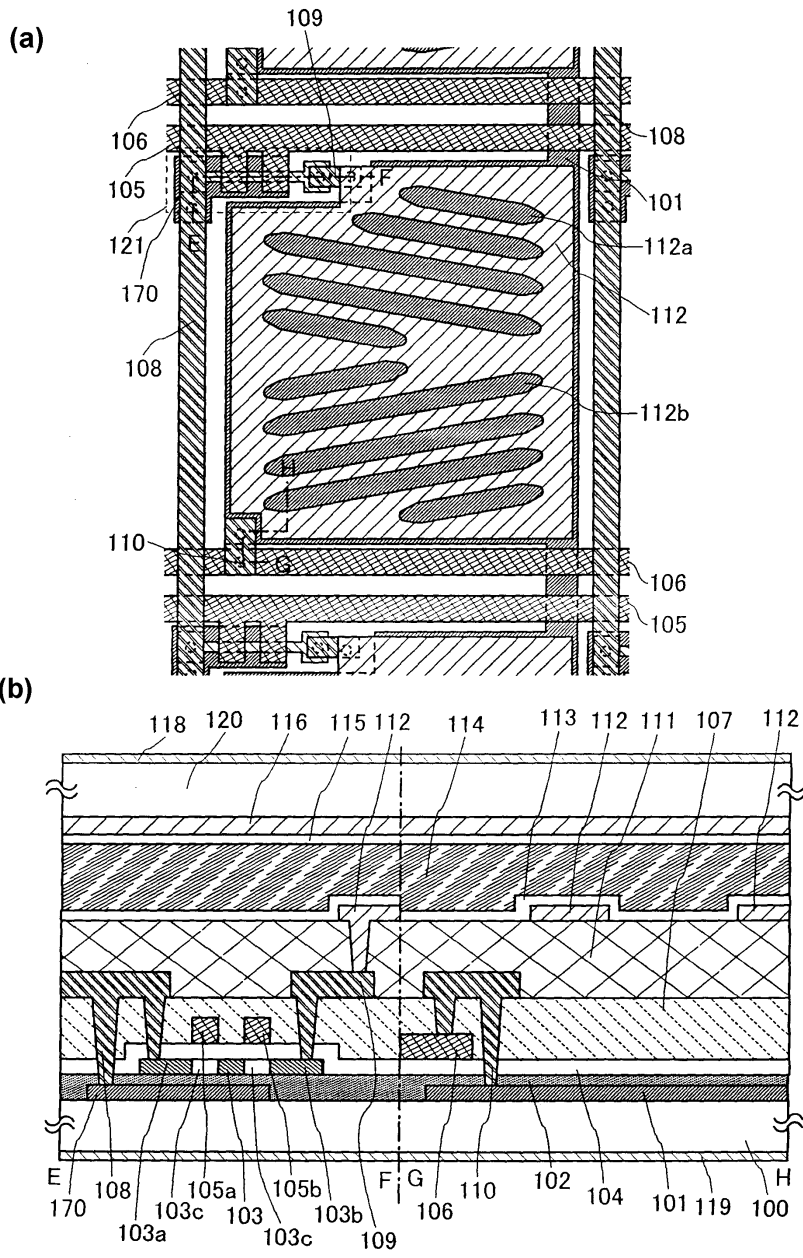
도면12



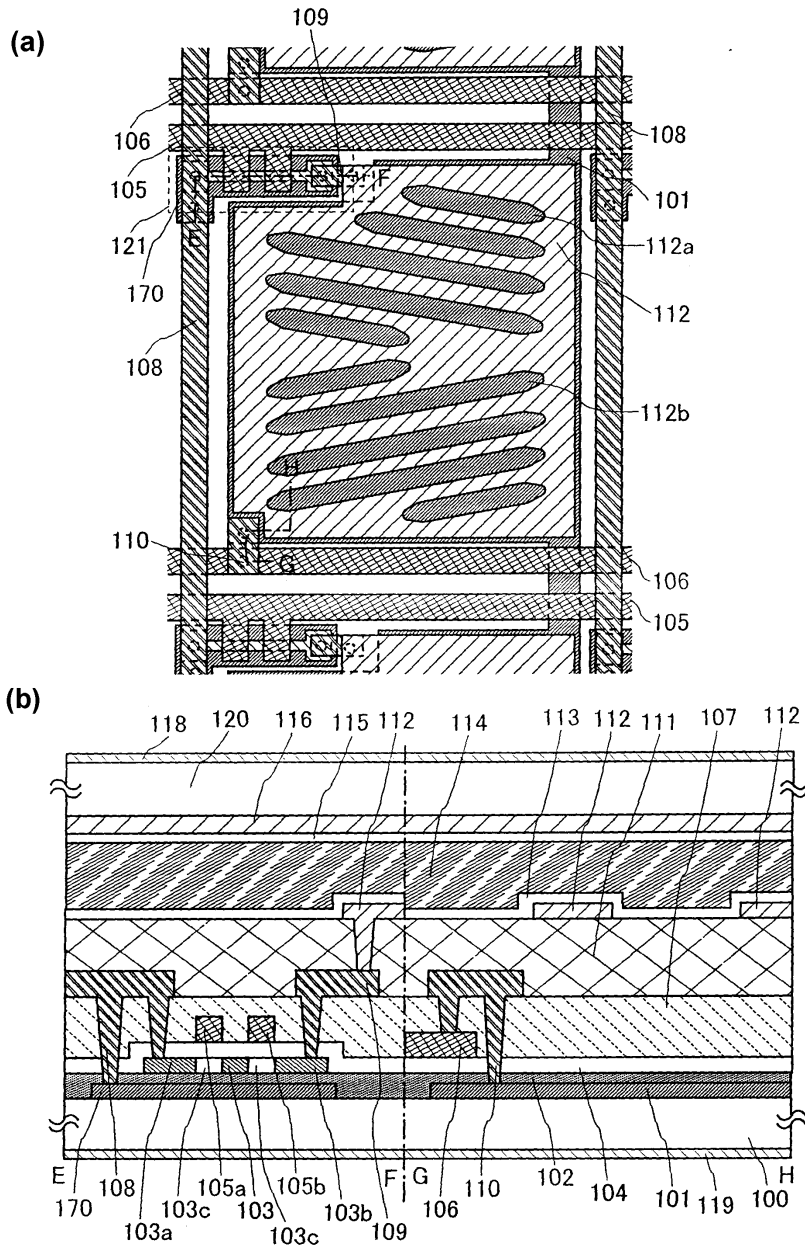
도면13



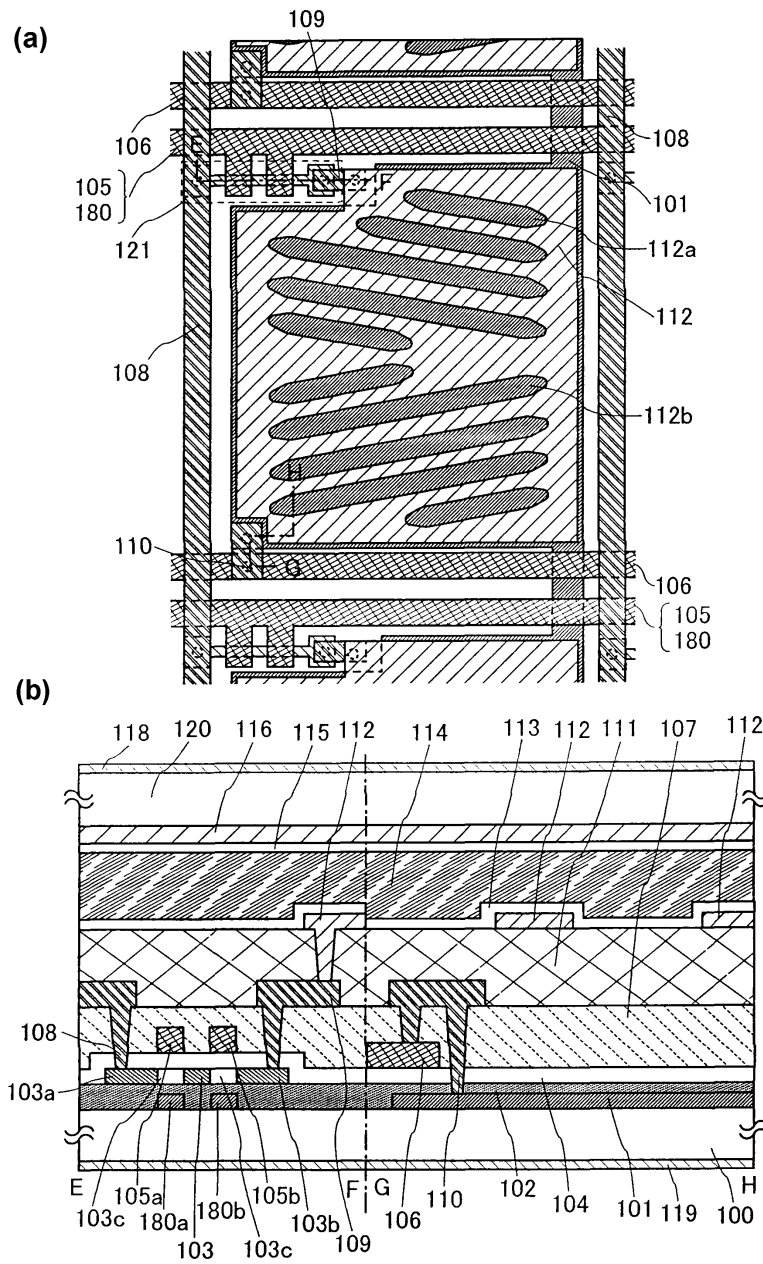
도면14



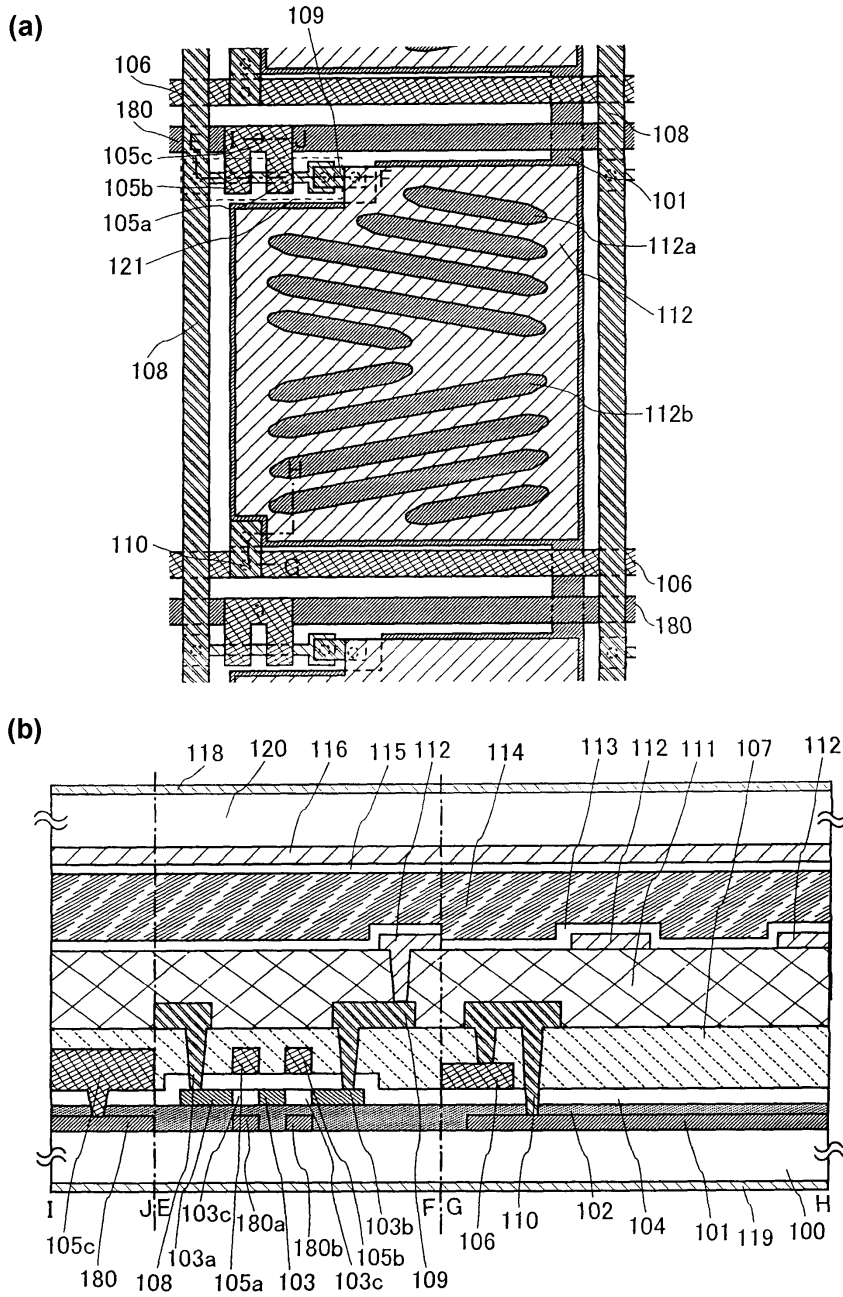
도면15



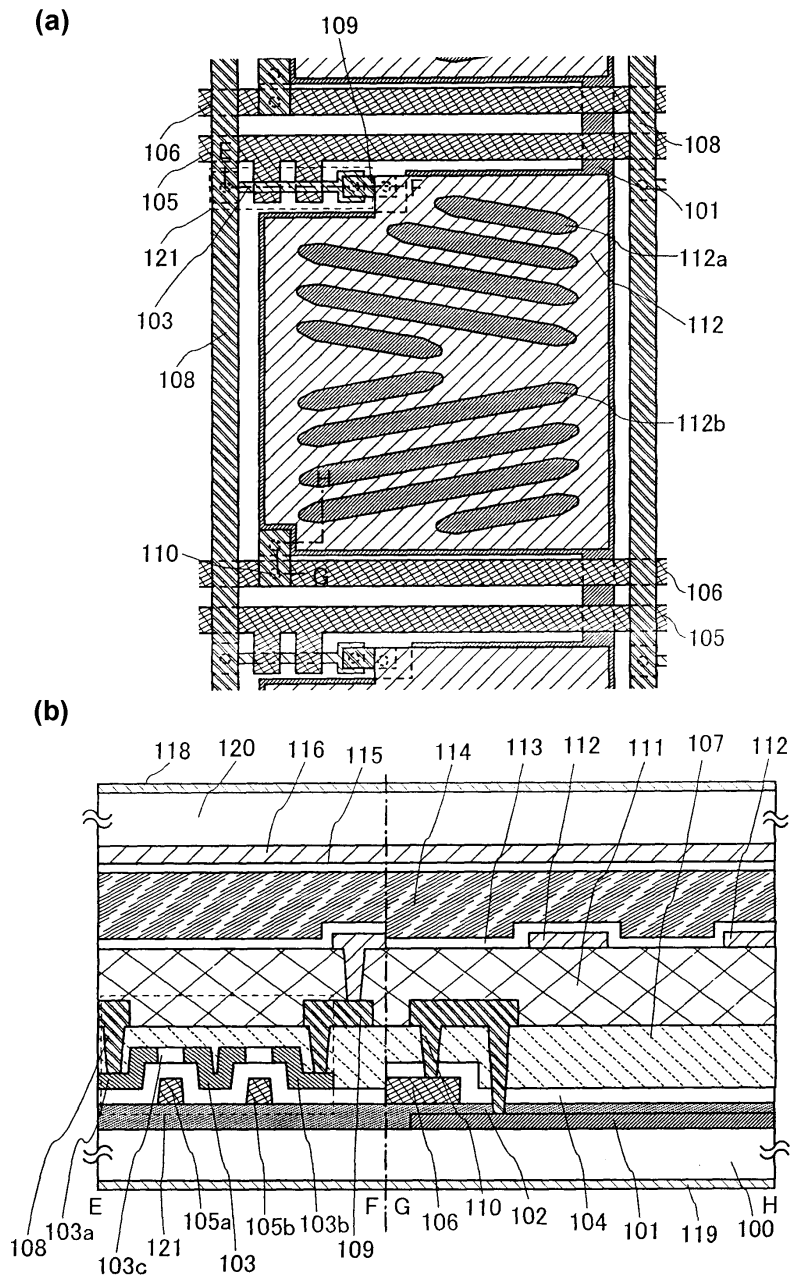
도면16



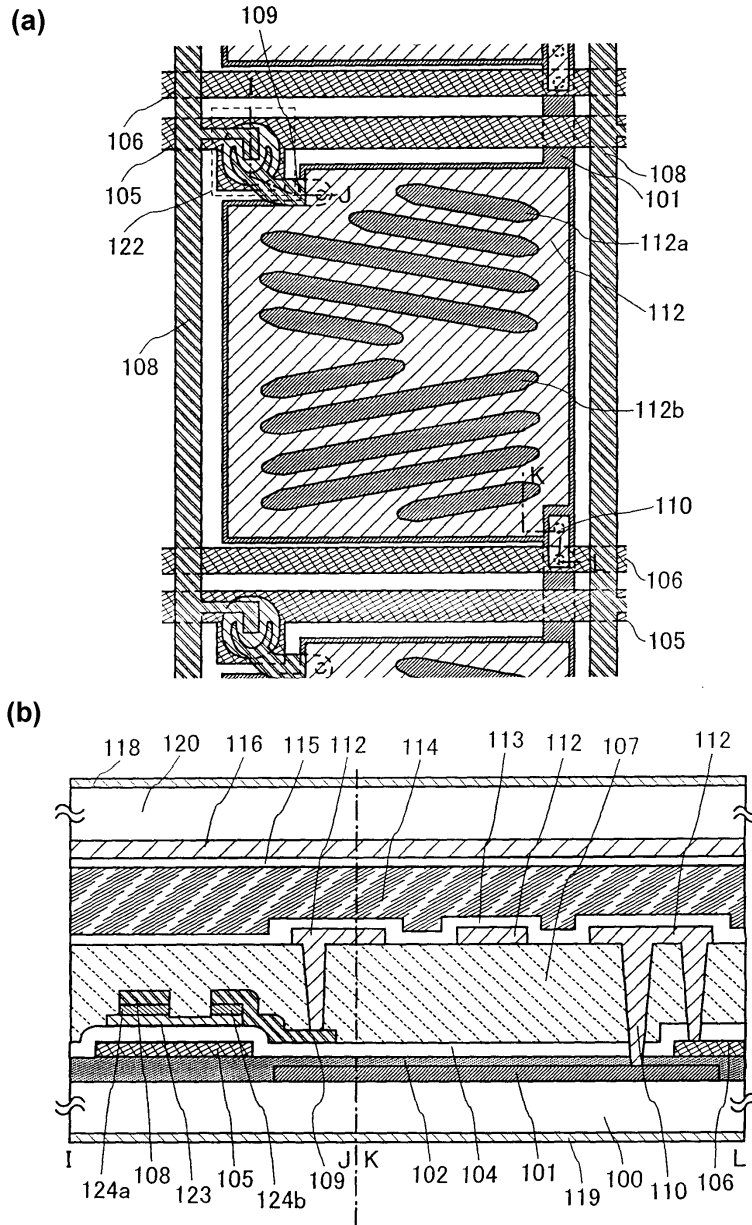
도면17



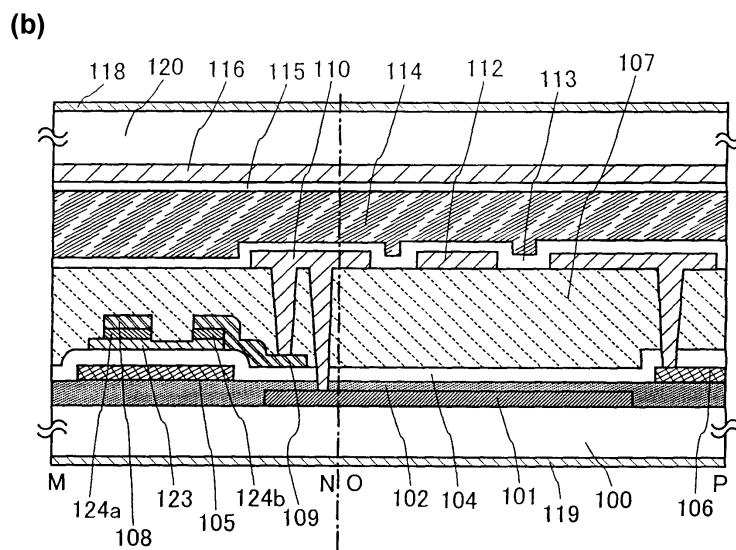
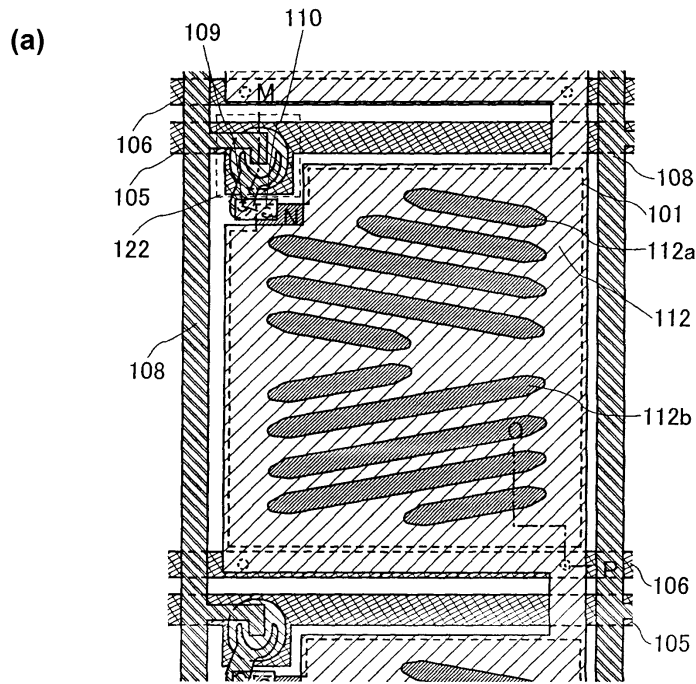
도면18



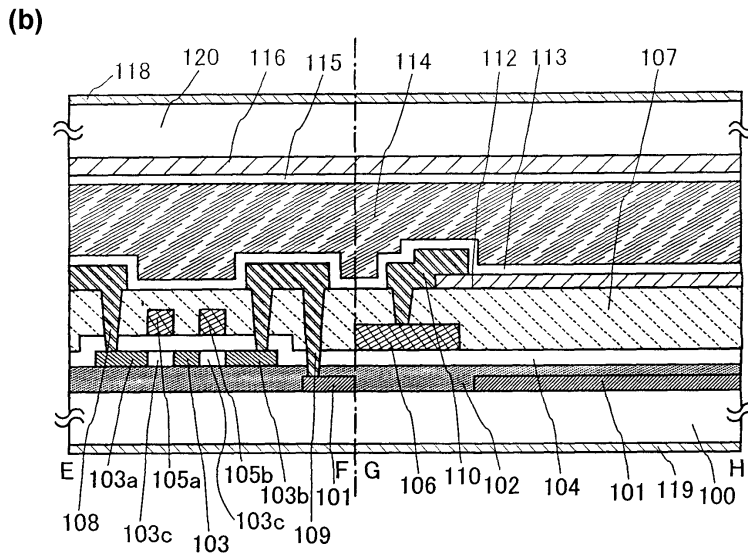
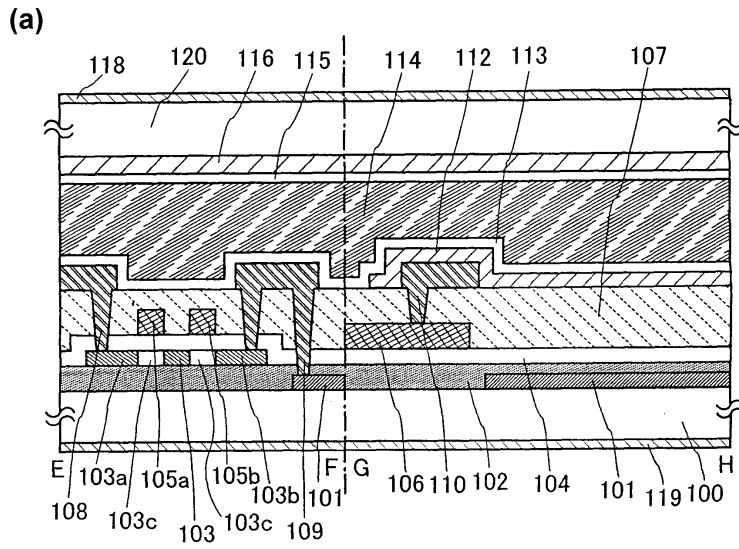
도면19



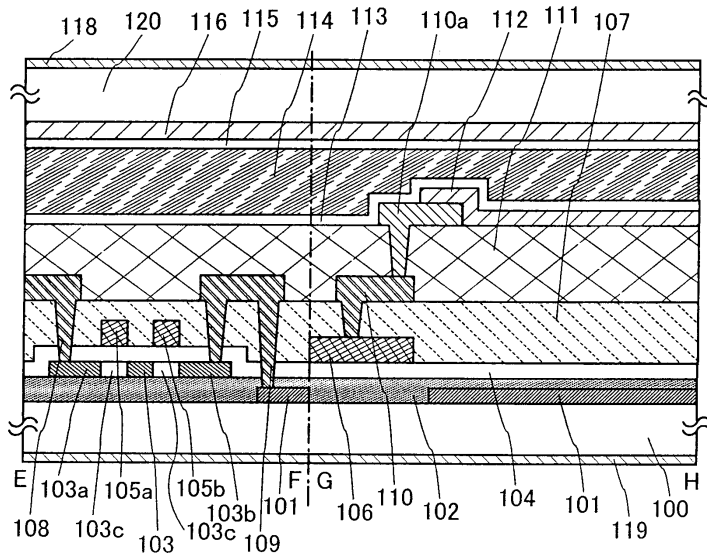
도면20



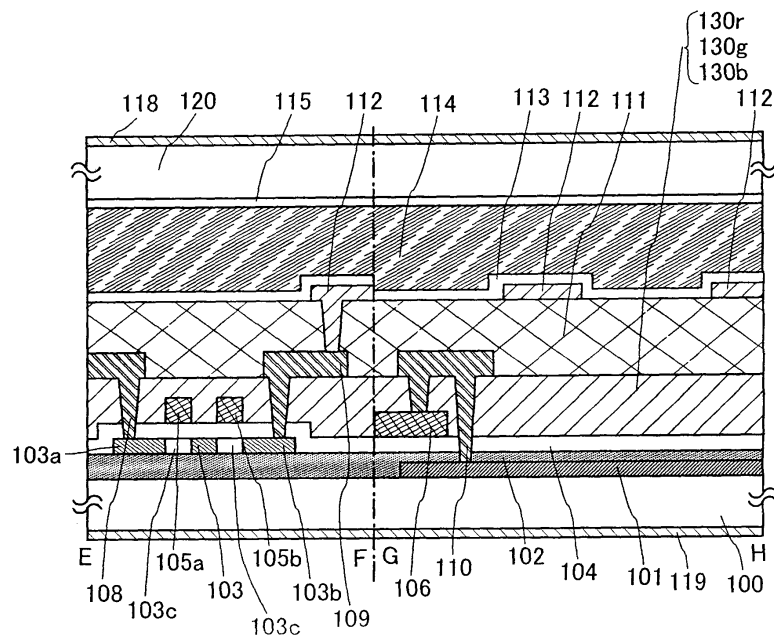
도면21



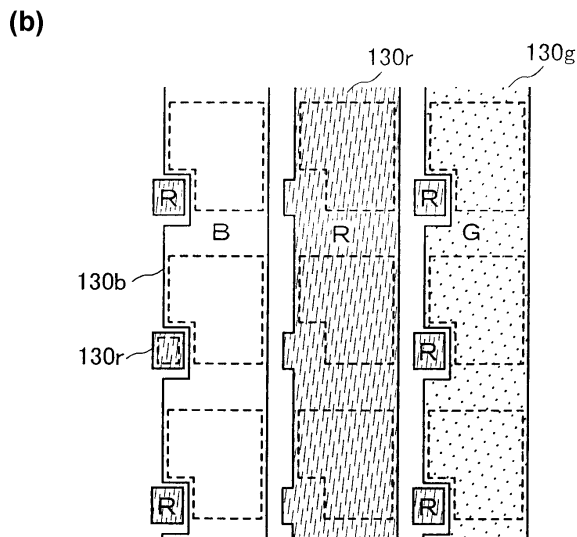
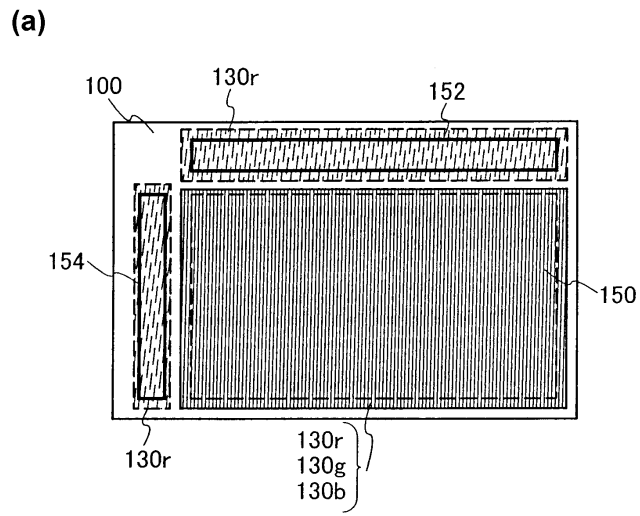
도면22



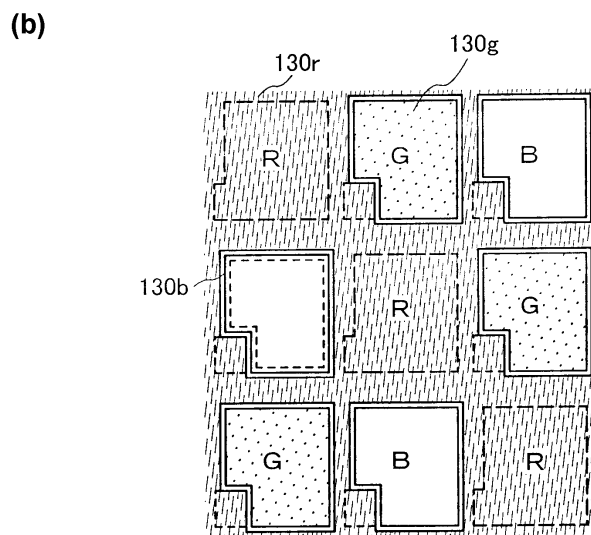
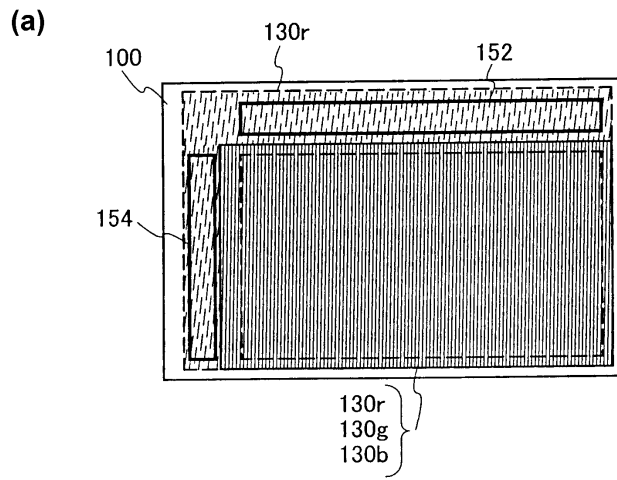
도면23



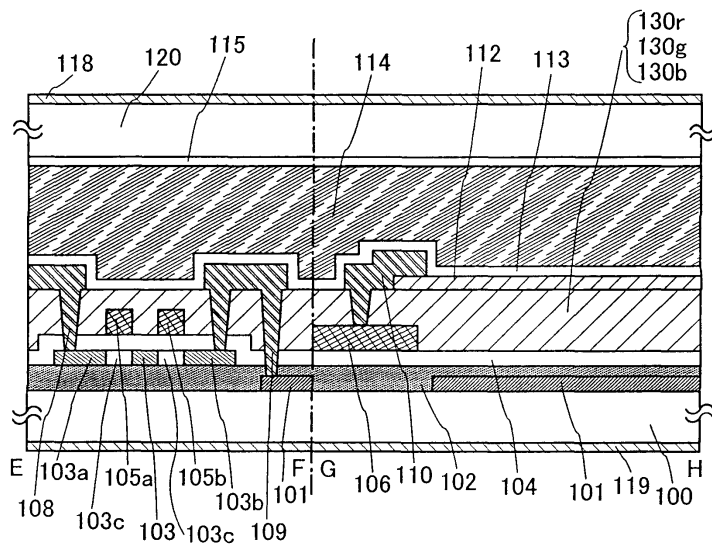
도면24



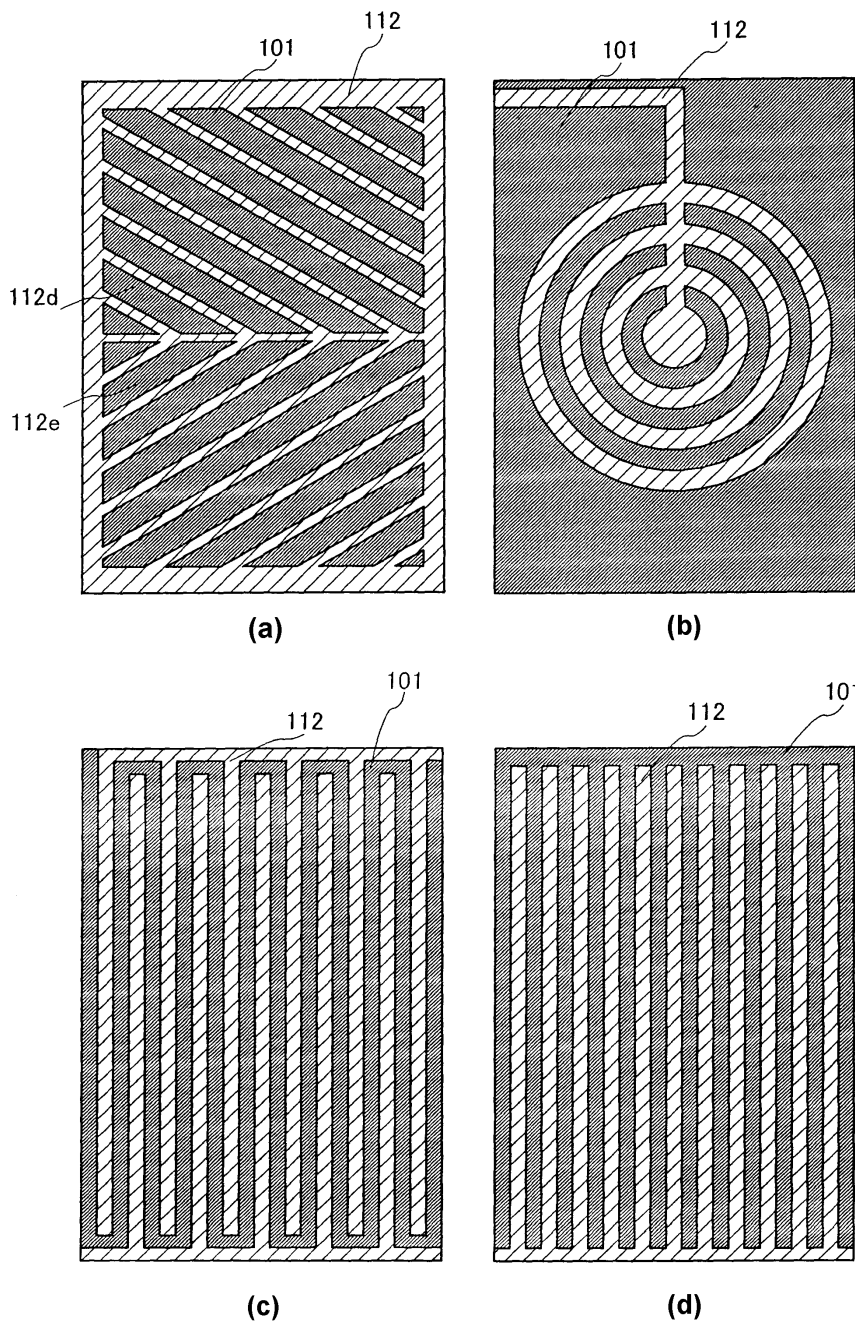
도면25



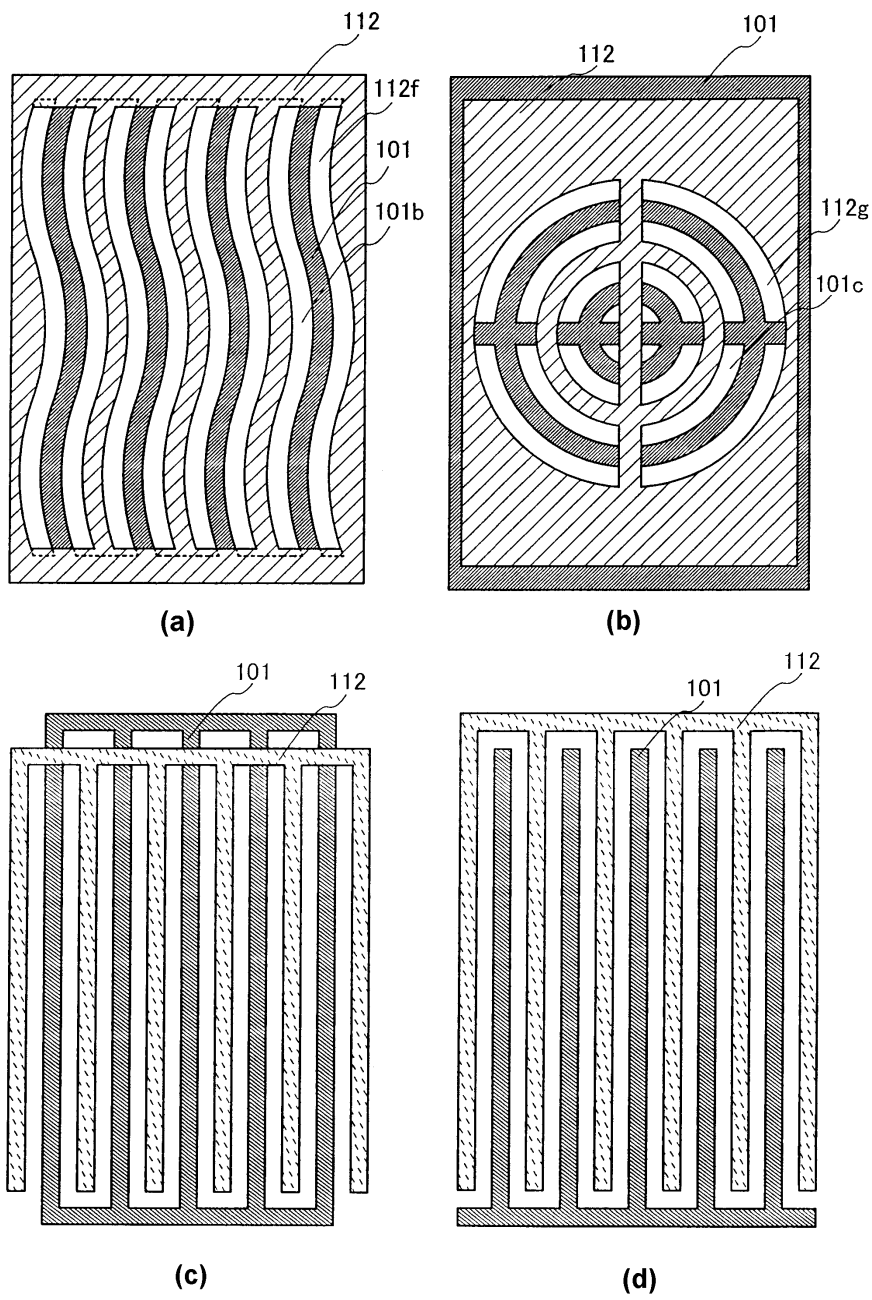
도면26



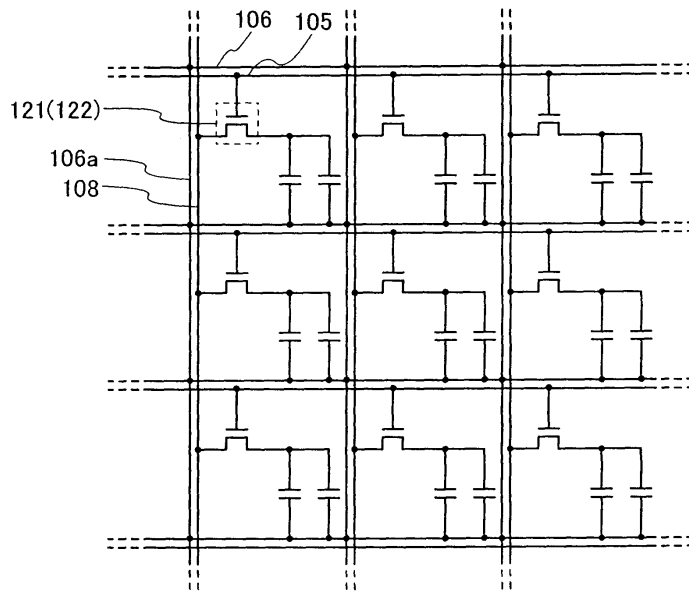
도면27



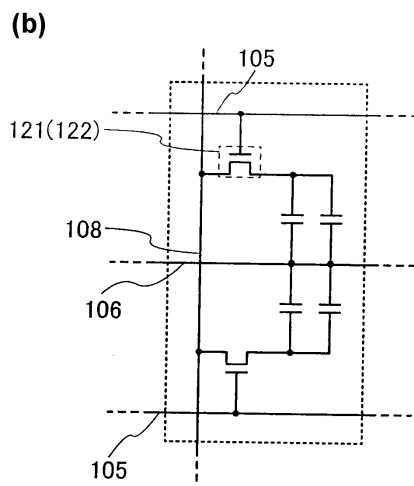
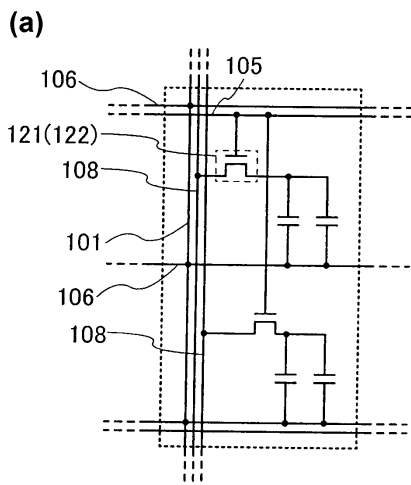
도면28



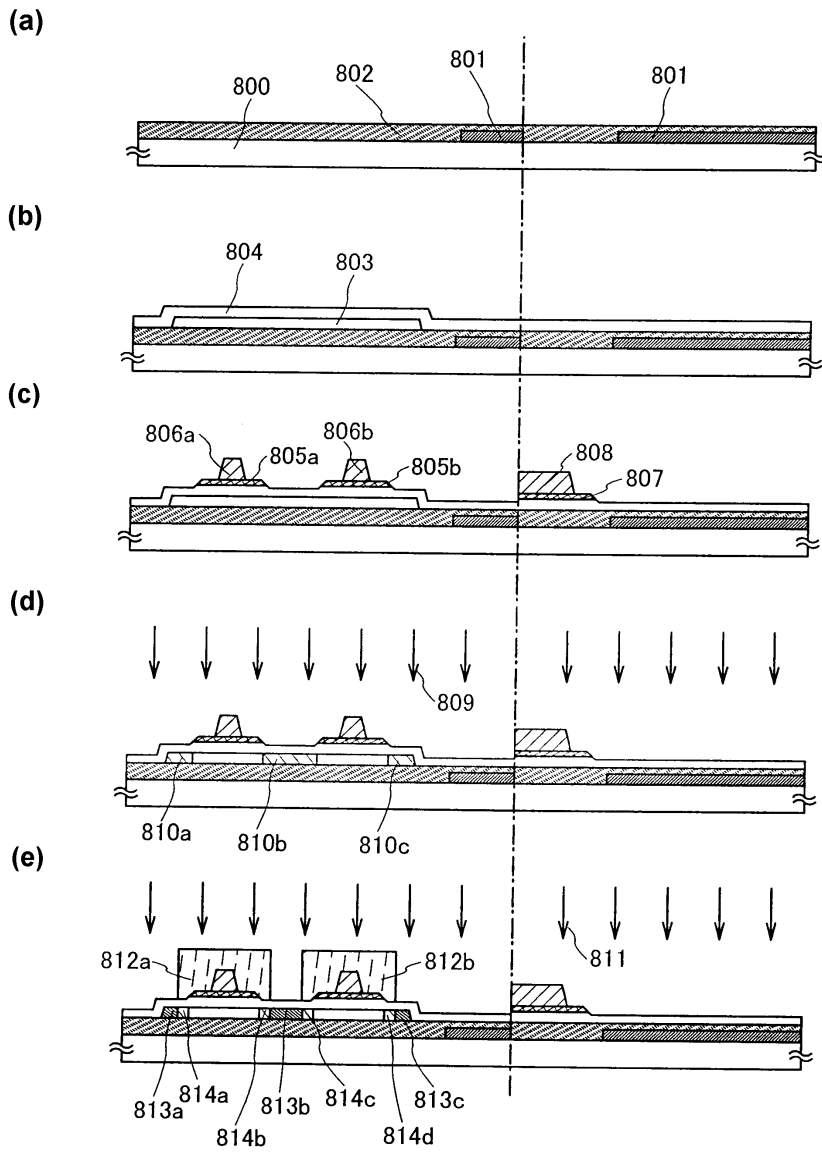
도면29



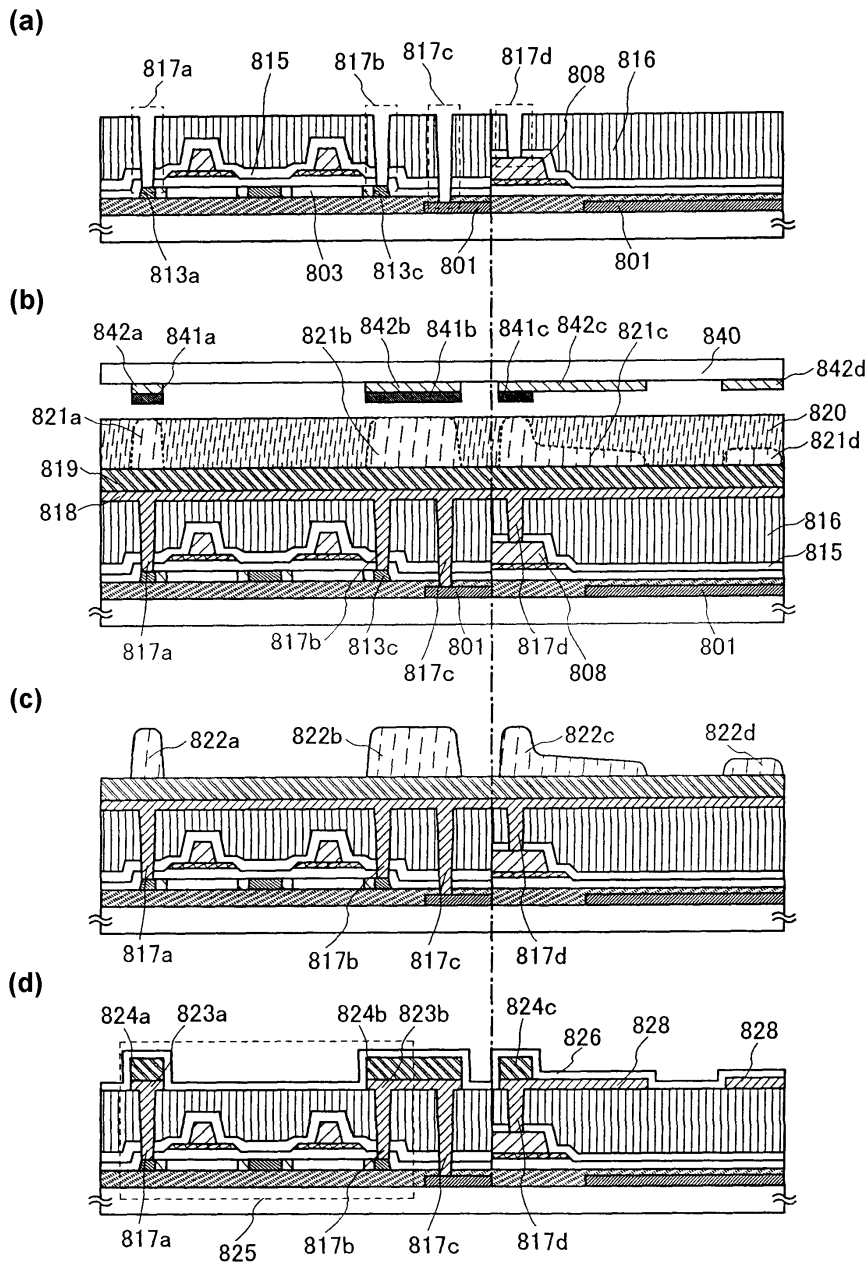
도면30



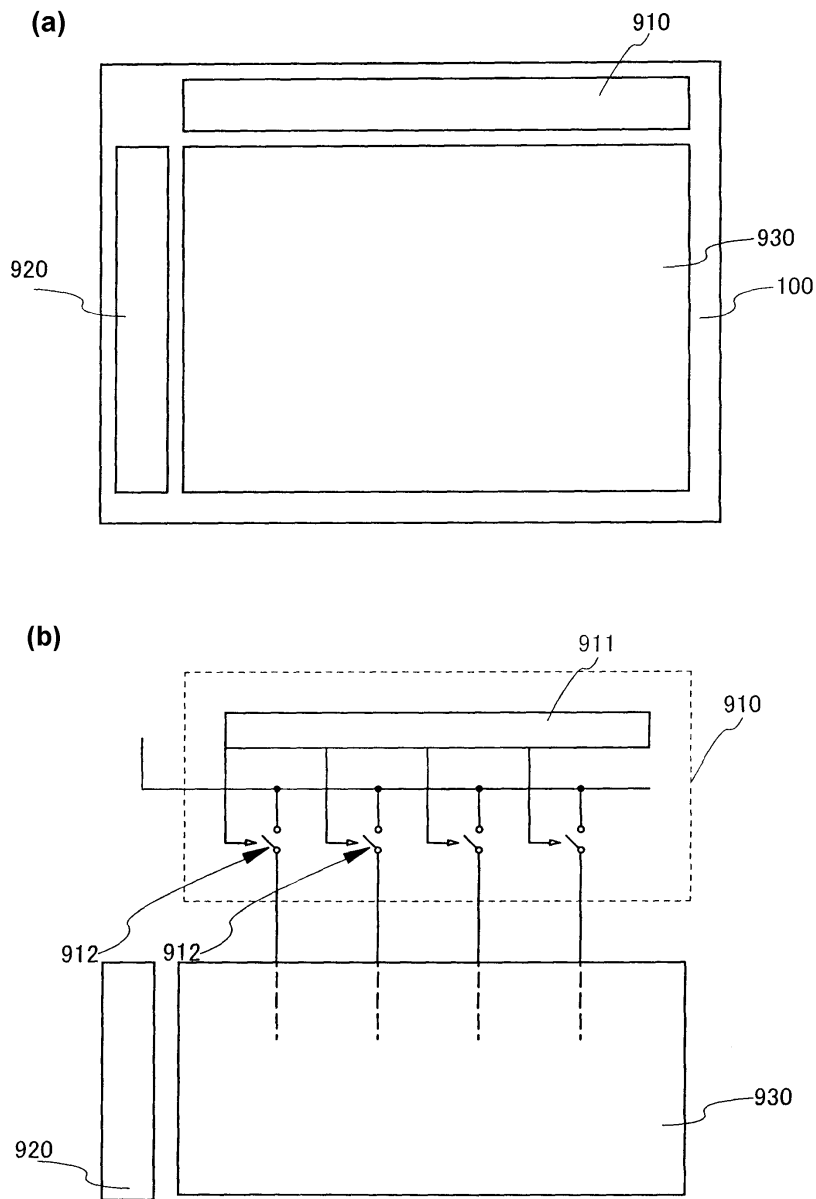
도면31



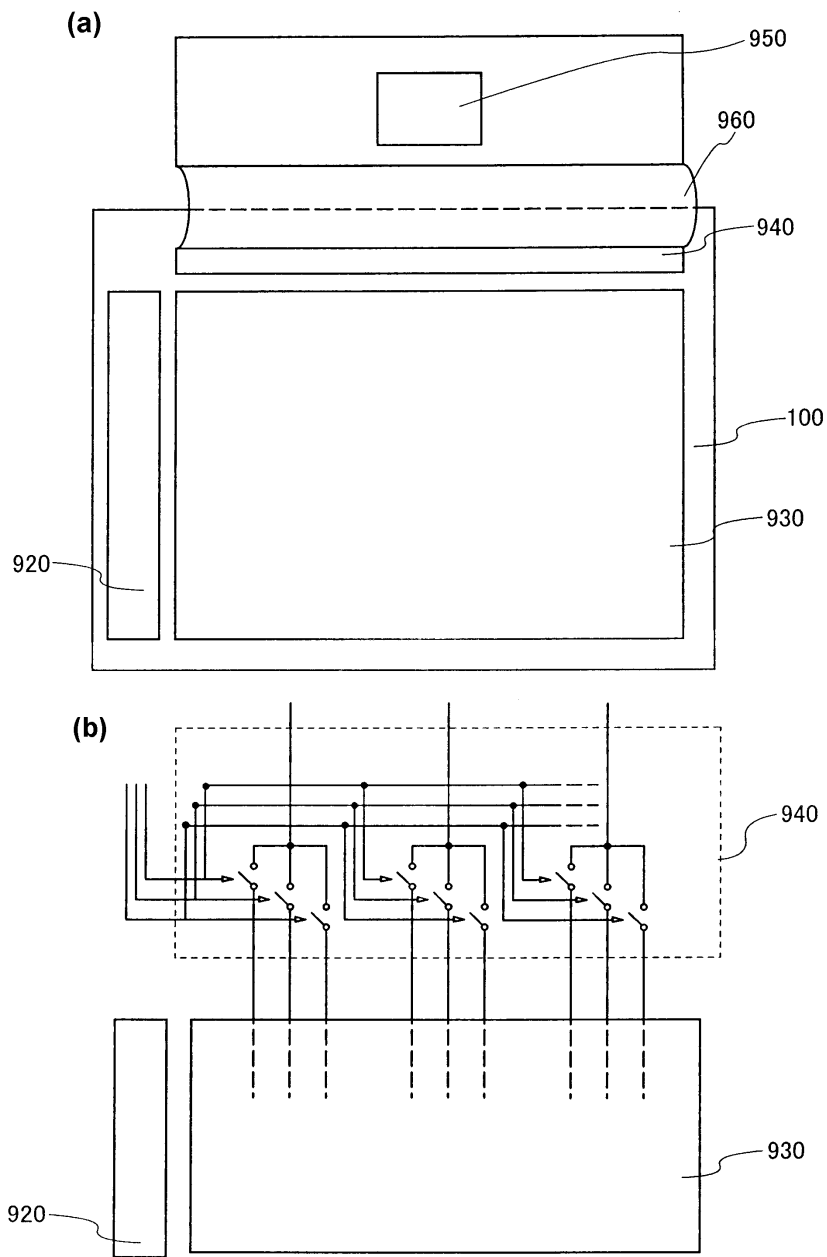
도면32



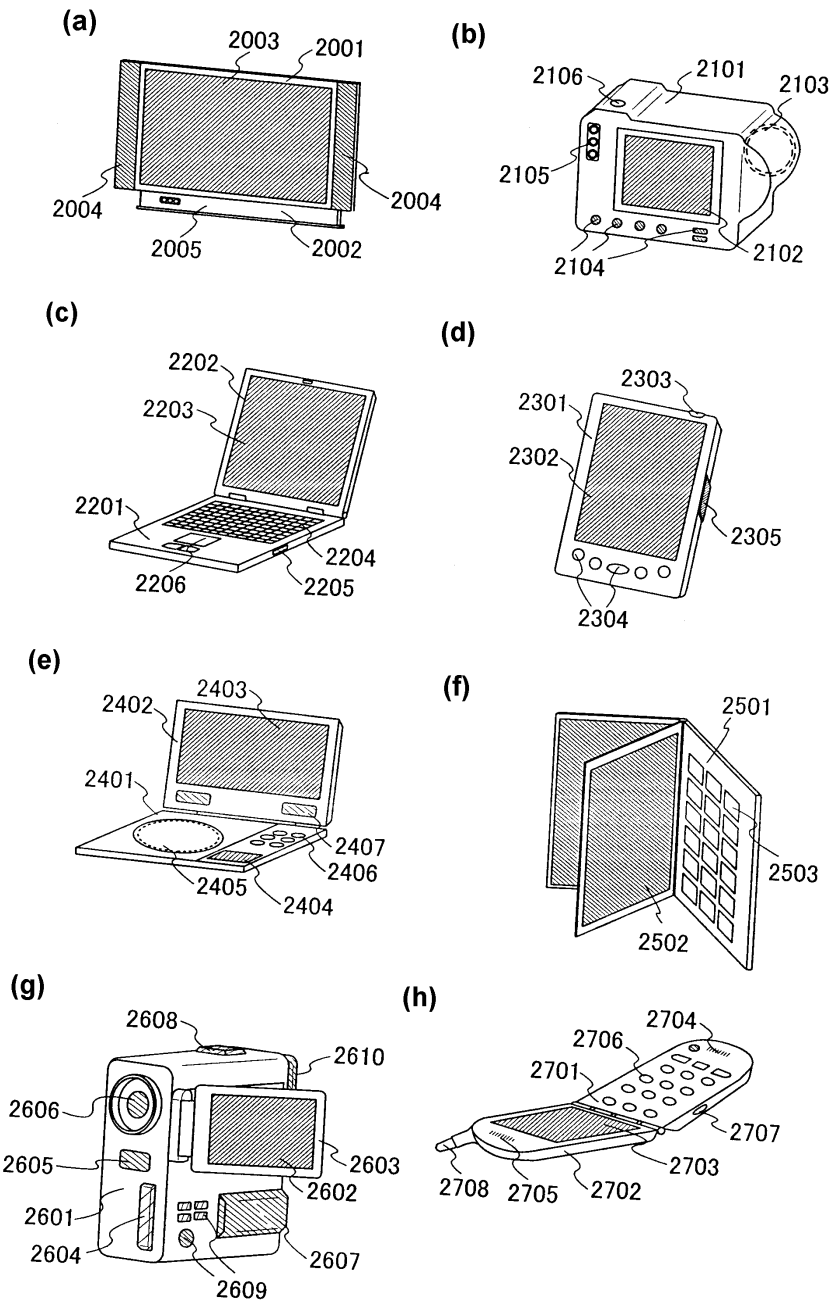
도면34



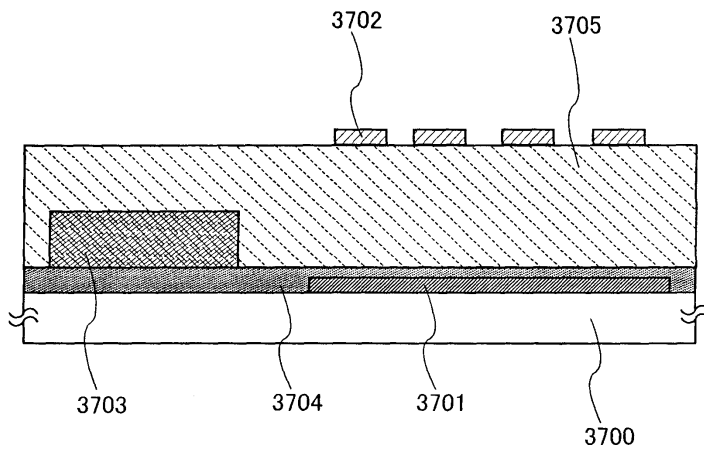
도면35



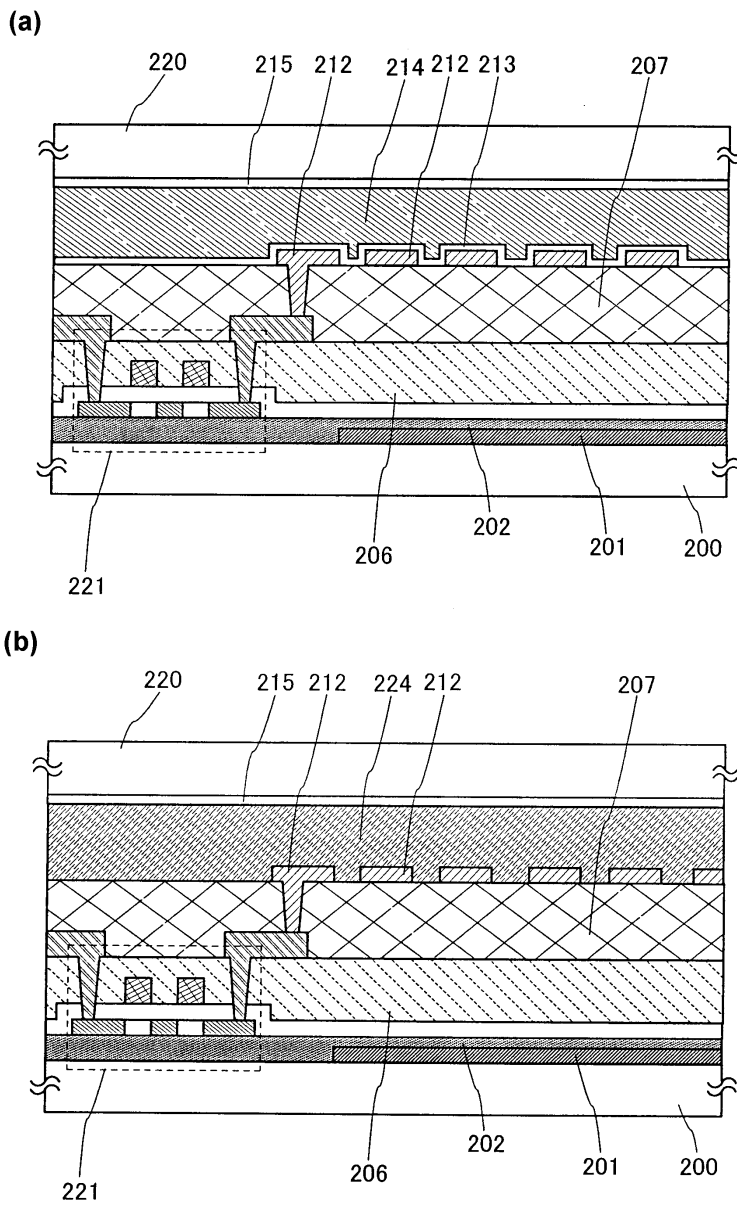
도면36



도면37



도면38



专利名称(译)	显示设备		
公开(公告)号	KR101873451B1	公开(公告)日	2018-07-02
申请号	KR1020170089752	申请日	2017-07-14
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KIMURA HAJIME 키무라하지메		
发明人	키무라하지메		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1337 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/133345 G02F1/134363 G02F1/136286 G02F1/136227 G02F1/1337 G02F1/134309 G02F1/136 G02F1/136277 G02F1/1368 G02F1/133707 G02F1/13439 G02F2001/134318 G02F2001/13685 G02F2201/121		
代理人(译)	黄的.		
优先权	2006135954 2006-05-16 JP		
其他公开文献	KR1020170086439A		
外部链接	Espacenet		

摘要(译)

本发明可以通过加宽用于驱动液晶的电极之间的间隔来控制施加在电极之间的电场的梯度，并且可以在电极之间施加最佳电场。该显示装置包括形成在基板上的第一电极，形成在基板和第一电极上的绝缘膜，形成在绝缘膜上并包括半导体膜的薄膜晶体管，其中源极，沟道区和漏极形成第二电极，该第二电极位于半导体膜上方的层中，位于第一电极的上侧并包括第一开口图案，并且液晶位于第二电极的上侧。

