



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년12월30일

(11) 등록번호 10-1581171

(24) 등록일자 2015년12월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0069627

(22) 출원일자 2008년07월17일

심사청구일자 2013년07월17일

(65) 공개번호 10-2009-0009728

(43) 공개일자 2009년01월23일

(30) 우선권주장

JP-P-2007-00190219 2007년07월20일 일본(JP)

(56) 선행기술조사문헌

JP06069505 A*

JP11112003 A*

JP11121761 A*

JP2007049171 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본, 가나가와Ken 243-0036, 아쓰기시, 하세 398
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 12 항

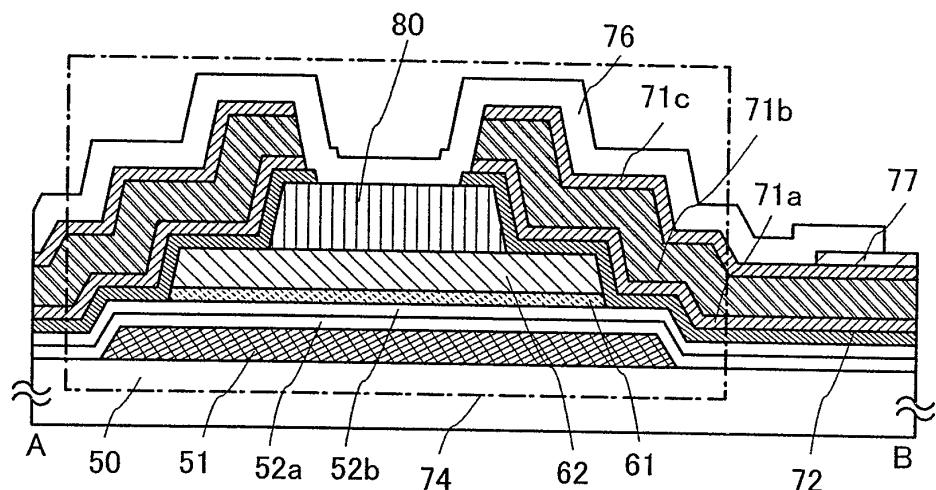
심사관 : 추장희

(54) 발명의 명칭 액정 표시장치

(57) 요 약

본 발명은 전기 특성, 및 신뢰성이 높은 박막 트랜지스터를 가지는 액정 표시장치, 및 상기 액정 표시장치를 양산성 좋게 제작하는 방법을 제안하는 것을 과제로 한다.

채널 스톱형의 역 스텝거형 박막 트랜지스터를 가지는 액정 표시장치에 있어서, 상기 채널 스톱형의 역 스텝거형 박막 트랜지스터는 게이트 전극과, 게이트 전극 위에 게이트 절연막과, 게이트 절연막 위에 채널 형성 영역을 포함하는 미결정 반도체 막과, 미결정 반도체 막 위에 버퍼층과, 버퍼층 위에 있어서 미결정 반도체 막의 채널 형성 영역과 중첩하는 영역에 채널 보호층과, 채널 보호층 및 버퍼층 위에 소스 영역 및 드레인 영역과, 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극을 가진다.

대 표 도 - 도1

명세서

청구범위

청구항 1

액정 표시장치에 있어서,
 게이트 전극;
 상기 게이트 전극 위에 형성된 게이트 절연막;
 상기 게이트 절연막 위에 형성된 채널 형성 영역을 포함하는 미결정 (microcrystalline) 반도체 막;
 상기 미결정 반도체 막 위에 형성된 베퍼층;
 상기 미결정 반도체 막의 상기 채널 형성 영역과 중첩하도록 상기 베퍼층 위에 형성된 채널 보호층;
 상기 채널 보호층 및 상기 베퍼층 위에 형성된 소스 영역 및 드레인 영역;
 상기 소스 영역 및 상기 드레인 영역 위에 형성된 소스 전극 및 드레인 전극; 및
 상기 채널 보호층, 상기 소스 전극, 및 상기 드레인 전극 위에 형성된 절연막을 포함하고,
 상기 게이트 전극과 중첩하도록 형성된 상기 미결정 반도체 막의 단부는 상기 게이트 전극의 단부보다 내측에 배치되고,
 상기 미결정 반도체 막 및 상기 베퍼층의 단부는 테이퍼 형상으로 형성되고, 상기 단부의 테이퍼 각은 45° 내지 80° 인, 액정 표시장치.

청구항 2

제 1 항에 있어서,
 화소 전극을 더 포함하고,
 상기 화소 전극은 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속되는, 액정 표시장치.

청구항 3

액정 표시장치에 있어서,
 게이트 전극;
 상기 게이트 전극 위에 형성된 게이트 절연막;
 상기 게이트 절연막 위에 형성된 채널 형성 영역을 포함하는 미결정 반도체 막;
 상기 미결정 반도체 막 위에 형성된 베퍼층;
 상기 미결정 반도체 막의 상기 채널 형성 영역과 중첩하도록 상기 베퍼층 위에 형성된 채널 보호층;
 상기 채널 보호층 및 상기 베퍼층 위에 형성된 소스 영역 및 드레인 영역;
 상기 소스 영역 및 상기 드레인 영역 위에 형성된 소스 전극 및 드레인 전극; 및
 상기 채널 보호층, 상기 소스 전극 및 상기 드레인 전극 위에 형성된 절연막을 포함하고,
 상기 소스 및 드레인 영역들은 상기 소스 및 드레인 전극들의 엣지(edge)들보다도 연장되고,
 서로 대향하는 상기 소스 및 드레인 영역들의 엣지들간의 거리는 서로 대향하는 상기 소스 및 드레인 전극들의 상기 엣지들간의 거리보다 짧고,
 상기 미결정 반도체 막 및 상기 베퍼층의 단부는 테이퍼 형상으로 형성되고, 상기 단부의 테이퍼 각은 45° 내지 80° 인, 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 절연막 위에 형성된 화소 전극을 더 포함하고,

상기 화소 전극은 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속되는, 액정 표시장치.

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 베퍼층은 비정질 반도체 막을 사용하여 형성되는, 액정 표시장치.

청구항 6

제 1 항 또는 제 3 항에 있어서,

상기 베퍼층은 질소를 포함하는 비정질 반도체 막을 사용하여 형성되는, 액정 표시장치.

청구항 7

제 1 항 또는 제 3 항에 있어서,

상기 베퍼층은 수소를 포함하는 비정질 반도체 막을 사용하여 형성되는, 액정 표시장치.

청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 베퍼층은 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체 막을 사용하여 형성되는, 액정 표시장치.

청구항 9

제 1 항 또는 제 3 항에 있어서,

상기 베퍼층은 총 농도를 1×10^{20} atoms/cm³ 내지 15×10^{20} atoms/cm³로 하는 질소, 탄소, 및 산소를 포함하는 비정질 반도체 막을 사용하여 형성되는, 액정 표시장치.

청구항 10

제 3 항에 있어서,

상기 게이트 전극과 중첩하도록 형성된 상기 미결정 반도체 막의 단부는 상기 게이트 전극의 단부보다 내측에 배치되는, 액정 표시장치.

청구항 11

제 1 항에 있어서,

상기 소스 및 드레인 영역들은 상기 소스 및 드레인 전극들의 옆지들보다도 연장되고,

서로 대향하는 상기 소스 및 드레인 영역들의 옆지들간의 거리는 서로 대향하는 상기 소스 및 드레인 전극들의 상기 옆지들간의 거리보다 짧은, 액정 표시장치.

청구항 12

제 1 항 또는 제 3 항에 있어서,

상기 베퍼층은 10nm 내지 50nm의 막 두께를 가지는, 액정 표시장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명**발명의 상세한 설명****기술 분야**

[0001] 본 발명은 적어도 화소부에 박막 트랜지스터를 사용한 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 근년, 절연 표면을 가지는 기판 위에 형성된 반도체 박막(두께가 수nm 내지 수 백nm 정도)을 사용하여 박막 트랜지스터를 구성하는 기술이 주목을 받고 있다. 박막 트랜지스터는 IC나 전기 광학장치와 같은 전자 디바이스에 널리 응용되고, 특히 화상 표시장치의 스위칭 소자로서 개발이 시급하다.

[0003] 화상 표시장치의 스위칭 소자로서, 비정질 반도체 막을 사용한 박막 트랜지스터, 또는 다결정 반도체 막을 사용한 박막 트랜지스터 등이 사용된다. 다결정 반도체 막의 형성 방법으로서는 펠스 발진의 엑시머 레이저 빔을 광학계에 의하여 선 형상으로 가공하여, 비정질 반도체 막에 대하여 선 형상 빔을 주사시키면서 조사하여 결정화하는 기술이 알려져 있다.

[0004] 또한, 화상 표시장치의 스위칭 소자로서, 미결정 반도체 막을 사용한 박막 트랜지스터가 사용된다(특허문현 1 및 특허문현 2 참조).

[0005] 종래의 박막 트랜지스터의 제작 방법으로서, 게이트 절연막 위에 비정질 실리콘 막을 형성한 후, 그 상면에 금 속막을 형성하고, 상기 금속막에 다이오드 레이저를 조사하여 비정질 실리콘 막을 미결정 실리콘 막으로 개질하는 방법이 알려져 있다(예를 들면, 비특허문현 1 참조). 이 방법에 의하면, 비정질 실리콘 막 위에 형성한 금 속막은 다이오드 레이저의 광 에너지를 열 에너지로 변환하기 위한 것이며, 박막 트랜지스터를 완성시키기 위해서는 그 후에 제거되어야 하는 것이었다. 즉, 금속막으로부터의 전도 가열에 의하여만 비정질 반도체 막이 가열되어, 미결정 반도체 막을 형성하는 방법이다.

[0006] [특허문현 1] 특개평4-242724호 공보

[0007] [특허문현 2] 특개2005-49832호 공보

[비특허문현 1] 토시아키 아라이(Toshiaki Arai) 외, 에스아이디 07 다이제스트(SID 07 DIGEST), 2007, p.

1370-1373

발명의 내용

해결 하고자하는 과제

[0009] 다결정 반도체 막을 사용한 박막 트랜지스터는 비정질 반도체 막을 사용한 박막 트랜지스터에 비하여 이동도가 두 자릿수이상 높고, 표시장치의 화소부와 그 주변의 구동 회로를 동일 기판 위에 일체 형성할 수 있다는 이점이 있다. 그렇지만, 비정질 반도체 막을 사용한 경우에 비하면, 반도체 막의 결정화를 위하여 공정이 복잡화됨으로써, 수율이 저감되고 비용이 올라간다는 문제가 있다.

[0010] 상술한 바와 같은 문제를 감안하여, 본 발명은 전기 특성이 뛰어나고 신뢰성이 높은 박막 트랜지스터를 가지는 액정 표시장치를 제안하는 것을 과제의 하나로 한다.

과제 해결수단

[0011] 미결정 반도체 막을 채널 형성 영역으로 하는 채널 스텝 구조의 역 스태거형 박막 트랜지스터를 가지는 액정 표시장치에 있어서, 역 스태거형 박막 트랜지스터는 게이트 전극 위에 게이트 절연막이 형성되고, 게이트 절연막 위에 채널 형성 영역으로서 기능하는 미결정 반도체 막(세미 아모퍼스 반도체 막이라고도 한다)이 형성되고, 미결정 반도체 막 위에 베퍼층이 형성되고, 베퍼층 위에 있어서 미결정 반도체 막의 채널 형성 영역과 중첩하는 영역에 채널 형성 보호층과, 채널 보호층 및 베퍼층 위에 한 쌍의 소스 영역 및 드레인 영역이 형성되고, 소스 영역 및 드레인 영역에 접하는 한 쌍의 소스 전극 및 드레인 전극이 형성된다.

[0012] 미결정 반도체 막의 채널 형성 영역 위에 베퍼층을 통하여 채널 보호층(단순히 보호층이라고도 한다)을 형성하는 구조이므로, 미결정 반도체 막의 채널 형성 영역 위의 베퍼층에 대한 공정시에 있어서의 테미지(에칭시의 플라즈마나 에칭제(劑)에 의한 막 감소, 산화 등)를 방지할 수 있다. 따라서, 박막 트랜지스터의 신뢰성을 향상 시킬 수 있다. 또한, 미결정 반도체 막의 채널 형성 영역 위의 베퍼층이 에칭되지 않으므로, 베퍼층의 막 두께를 두껍게 형성할 필요가 없어 성막 시간을 단축할 수 있다. 또한, 채널 보호층은 소스 영역 및 드레인 영역을 형성하는 에칭 공정에 있어서 에칭 스토퍼로서 기능하므로 채널 스토퍼층이라고도 할 수 있다.

[0013] 베퍼층으로서는 비정질 반도체 막이 있고, 또한 질소, 수소, 또는 할로겐 중의 어느 하나 이상을 포함하는 비정질 반도체 막인 것이 바람직하다. 비정질 반도체 막에 질소, 수소, 또는 할로겐 중의 어느 하나를 포함함으로써, 미결정 반도체 막에 포함되는 결정이 산화되는 것을 저감할 수 있다. 미결정 반도체 막의 에너지 캡이 1.1eV 내지 1.5eV인 것에 비하여, 베퍼층은 에너지 캡이 1.6eV 내지 1.8eV로 크고, 이동도가 작다. 베퍼층의 이동도는 대표적으로는 미결정 반도체 막의 1/5 내지 1/10이다. 따라서, 채널 형성 영역은 미결정 반도체 막이고, 베퍼층은 고저항 영역이다. 또한, 미결정 반도체 막에 포함되는 탄소, 질소, 산소의 각각의 농도는 3×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하로 한다. 미결정 반도체 막 두께는 2nm 내지 50nm(바람직하게는 10nm 내지 30nm)로 하면 좋다.

[0014] 베퍼층은 플라즈마 CVD법, 스퍼터링법 등으로 형성할 수 있다. 또한, 비정질 반도체 막을 형성한 후, 비정질 반도체 막의 표면을 질소 플라즈마, 수소 플라즈마, 또는 할로겐 플라즈마로 처리하여 비정질 반도체 막의 표면을 질소화, 수소화 또는 할로겐화할 수 있다.

[0015] 베퍼층을 미결정 반도체 막의 표면에 형성함으로써, 미결정 반도체 막에 포함되는 결정립의 산화를 저감할 수 있으므로, 박막 트랜지스터의 전기 특성의 열화를 저감할 수 있다.

[0016] 미결정 반도체 막은 다결정 반도체 막과 달리, 미결정 반도체 막으로서 직접 기판 위에 형성할 수 있다. 구체적으로는 수소화 규소를 원료 가스로 하여, 주파수가 1GHz 이상인 마이크로파 플라즈마 CVD 장치를 사용하여 성막할 수 있다. 상기 방법을 사용하여 제작된 미결정 반도체 막은 0.5nm 내지 20nm의 결정립을 비정질 반도체 중에 포함하는 미결정 반도체도 포함한다. 따라서, 다결정 반도체 막을 사용하는 경우와 달리, 반도체 막을 형성한 후에 결정화의 공정을 마련할 필요가 없다. 박막 트랜지스터의 제작에 있어서의 공정수를 삭감할 수 있고, 액정 표시장치의 수율을 높이고, 비용을 저감할 수 있다. 또한, 주파수가 1GHz 이상인 마이크로파를 사용한 플라즈마는 전자 밀도가 높고, 원료 가스인 수소화 규소의 해리가 용이해진다. 따라서, 주파수가 수십 MHz 내지 수 백MHz 의 고주파 플라즈마 CVD법과 비교하여, 미결정 반도체 막을 용이하게 제작할 수 있고, 성막 속도를 올릴 수 있다. 따라서, 액정 표시장치의 양산성을 높일 수 있다.

[0017]

또한, 미결정 반도체 막을 사용하여, 박막 트랜지스터(TFT)를 제작하고, 상기 박막 트랜지스터를 화소부, 또한 구동 회로에 사용하여 액정 표시장치를 제작한다. 미결정 반도체 막을 사용한 박막 트랜지스터는 그 이동도가 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 내지 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 로, 비정질 반도체 막을 사용한 박막 트랜지스터의 2배 내지 20배의 이동도를 가지므로, 구동 회로의 일부 또는 전체를, 화소부와 동일 기판 위에 일체 형성하고, 시스템 온 패널(system on panel)을 형성할 수 있다.

[0018]

게이트 절연막, 미결정 반도체 막, 베퍼층, 채널 보호층, 소스 영역 및 드레인 영역을 형성하는 일 도전형을 부여하는 불순물이 침가된 반도체 막을 형성하는 반응실은 동일 반응실을 사용하여 행하여도 좋고, 막의 종류에 따라 다른 반응실에서 행하여도 좋다.

[0019]

반응실은 기판을 반입하여 성막하기 전에, 클리닝, 플러싱(fushing) 처리(수소를 플러싱 물질로서 사용한 수소 플러싱, 실란을 플러싱 물질로서 사용한 실란 플러싱 등), 각 반응실의 내벽을 보호막으로 코팅(프리 코팅 처리라고도 한다)을 행하는 것이 바람직하다. 프리 코팅 처리는 반응실 내에 성막 가스를 흘리고 플라즈마 처리를 행함으로써, 미리 반응실 내벽을 형성하는 막의 보호막에 의하여 얇게 덮는 처리이다. 플러싱 처리, 프리 코팅 처리에 의하여, 반응실의 산소, 질소, 불소 등의 불순물이 형성하는 막을 오염하는 것을 방지할 수 있다.

[0020]

본 발명의 액정 표시장치의 일 형태는 게이트 전극과, 게이트 전극 위에 게이트 절연막과, 게이트 절연막 위에 채널 형성 영역을 포함하는 미결정 반도체 막과, 미결정 반도체 막 위에 베퍼층과, 베퍼층 위에 있어서 미결정 반도체 막의 채널 형성 영역과 중첩하는 영역에 채널 보호층과, 채널 보호층 및 베퍼층 위에 소스 영역 및 드레인 영역과, 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극을 가진다.

[0021]

본 발명의 액정 표시장치의 일 형태는 게이트 전극과, 게이트 전극 위에 게이트 절연막과, 게이트 절연막 위에 채널 형성 영역을 포함하는 미결정 반도체 막과, 미결정 반도체 막 위에 베퍼층과, 베퍼층 위에 있어서 미결정 반도체 막의 채널 형성 영역과 중첩하는 영역에 채널 보호층과, 채널 보호층 및 베퍼층 위에 소스 영역 및 드레인 영역과, 소스 영역 및 드레인 영역 위에 소스 전극 및 드레인 전극과, 채널 보호층의 일부, 소스 전극, 및 드레인 전극을 덮는 절연막을 가진다.

[0022]

상기 구성에 있어서, 채널 스톱형 박막 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 접속하는 화소 전극을 형성하고, 화소 전극을 통하여 액정 소자와 박막 트랜지스터를 전기적으로 접속한다.

[0023]

또한, 액정 표시장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자)를 사용할 수 있다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0024]

또한, 표시 장치는 액정 소자가 밀봉된 상태인 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태인 모듈을 포함한다. 또한 본 발명은 상기 액정 표시장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 상기 소자 기판은 전류를 액정 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는 액정 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전인 상태라도 좋고, 모든 형태가 적합하다.

[0025]

또한, 본 명세서 중에 있어서의 액정 표시장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함한다)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 설치된 모듈, TAB 테이프나 TCP의 선단에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 액정 표시장치에 포함하는 것으로 한다.

효과

[0026]

본 발명에 의하여, 전기 특성이 높고 신뢰성이 높은 박막 트랜지스터를 가지는 액정 표시장치를 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

[0027]

본 발명의 실시형태에 대하여 도면을 사용하면서 자세히 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지 및 범위에서 벗어남이 없이 그 형태 및 상세한 사항은 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 동일 기능을 가지는 부

분에는 동일한 부호를 다른 도면간에서 공통으로 사용하고, 그 반복되는 설명은 생략한다.

[0028] (실시형태 1)

본 실시형태에서는 액정 표시장치에 사용되는 박막 트랜지스터 및 그 제작 방법에 대하여 도 1 내지 도 4d를 사용하여 설명한다. 도 1 내지 도 3c는 박막 트랜지스터 및 그 제작 공정을 도시하는 단면도이고, 도 4a 내지 도 4d는 일 화소에 있어서의 박막 트랜지스터 및 화소 전극의 접속 영역의 평면도이다. 도 1 내지 도 3c는 도 4a 내지 도 4d에 있어서의 선 A-B의 박막 트랜지스터 및 그 제작 공정을 도시하는 단면도이다.

미결정 반도체 막을 가지는 박막 트랜지스터는 p형보다도 n형 쪽이, 이동도가 높으므로 구동 회로로 사용하는 테 더욱 적합하지만, 본 발명에서는 박막 트랜지스터는 n형과 p형 중 어느 쪽이라도 좋다. 어느 쪽 극성의 박막 트랜지스터를 사용하는 경우라도, 동일 기판 위에 형성하는 박막 트랜지스터를 모두 같은 극성으로 일치시키는 것이, 공정수를 억제하기 위해서도 바람직하다. 여기서는 n형 채널형의 박막 트랜지스터를 사용하여 설명한다.

[0031] 본 실시형태의 보텀 게이트 구조의 채널 스톰형(채널 보호형이라고도 한다) 박막 트랜지스터(74)를 도 1에 도시한다.

[0032] 도 1에 있어서, 기판(50) 위에 게이트 전극(51), 게이트 절연막(52a, 52b), 미결정 반도체 막(61), 벼퍼층(62), 채널 보호층(80), 소스 영역 및 드레인 영역(72), 소스 전극 및 드레인 전극(71a, 71b, 71c)을 포함하는 채널 스톰형 박막 트랜지스터(74)가 형성되고, 소스 전극 및 드레인 전극(71c)에 접하여 화소 전극(77)이 형성된다. 박막 트랜지스터(74) 및 화소 전극(77)의 일부를 덮도록 절연막(76)이 형성된다. 또한, 도 1은 도 4d에 대응한다.

[0033] 미결정 반도체 막(61)의 채널 형성 영역 위에 벼퍼층(62)을 통하여 채널 보호층(80)을 형성하는 구조이므로, 미결정 반도체 막(61)의 채널 형성 영역 위에 벼퍼층(62)에 대한 공정시에 있어서의 데미지(에칭시의 플라즈마나 에칭제에 의한 막 감소, 산화 등)를 방지할 수 있다. 따라서, 박막 트랜지스터(74)의 신뢰성을 향상시킬 수 있다. 또한, 미결정 반도체 막(61)의 채널 형성 영역 위의 벼퍼층(62)이 에칭되지 않으므로, 벼퍼층(62)의 막 두께를 두껍게 형성할 필요가 없어 성막 시간을 단축할 수 있다.

[0034] 또한, 미결정 반도체 막(61)의 단부는 게이트 절연막(52a, 52b)을 통하여 중첩하는 게이트 전극(51)의 단부보다 내측이고, 게이트 전극(51) 위에 모든 영역이 포함되도록 형성된다. 따라서, 미결정 반도체 막(61)은 게이트 전극(51) 및 게이트 절연막(52a, 52b) 위의 평탄한 영역에 형성할 수 있으므로 회복성이 우수하며, 막 내에 있어서 균일한 특성(결정 상태)을 가지는 막으로 할 수 있다.

[0035] 이하, 제작 방법을 자세히 설명한다. 기판(50) 위에 게이트 전극(51)을 형성한다(도 2a 및 도 4a 참조). 도 2a는 도 4a의 A-B의 단면도에 상당한다. 기판(50)은 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리, 또는 알루미노 실리케이트 유리 등, 퓨전법이나 플로트법으로 제작되는 무알칼리 유리 기판, 세라믹 기판 이외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 합금 등의 금속 기판 표면에 절연막을 형성한 기판을 적용하여도 좋다. 기판(50)의 크기는 320mm×400mm, 370mm×470mm, 550mm×650mm, 600mm×720mm, 680mm×880mm, 730mm×920mm, 1000mm×1200mm, 1100mm×1250mm, 1150mm×1300mm, 1500mm×1800mm, 1900mm×2200mm, 2160mm×2460mm, 2400mm×2800mm, 또는 2850mm×3050mm 등을 사용할 수 있다.

[0036] 게이트 전극(51)은 티타늄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 사용하여 형성한다. 게이트 전극(51)은 스퍼터링법이나 진공 증착법을 사용하여 기판(50) 위에 도전막을 형성하고, 상기 도전막 위에 포토리소그래피 기술 또는 잉크젯법으로 마스크를 형성하고, 상기 마스크를 사용하여 도전막을 에칭함으로써, 형성할 수 있다. 또한, 은 금, 구리 등의 도전성 나노 페이스트를 사용하여 잉크젯법으로 토출 소성하고, 게이트 전극(51)을 형성할 수 있다. 또한, 게이트 전극(51)의 밀착성 향상과, 하지막과 기판으로의 확산을 방지하는 배리어 메탈로서, 상기 금속 재료의 질화물 막을, 기판(50) 및 게이트 전극(51) 사이에 형성하여도 좋다. 또한, 게이트 전극(51)은 적층 구조로 하여도 좋고, 기판(50) 측으로부터 알루미늄 막과 몰리브덴 막의 적층, 구리 막과 몰리브덴 막의 적층, 구리 막과 질화티타늄 막의 적층, 구리 막과 질화탄탈 막의 적층 등을 사용할 수 있다. 상기 적층 구조에 있어서, 상층에 형성되는 몰리브덴 막이나 질화티타늄 막, 질화탄탈 막 등의 질화물 막은 배리어 메탈로서의 효과를 가진다.

[0037] 또한, 게이트 전극(51) 위에는 반도체 막이나 배선을 형성하기 때문에, 단절이나 단선을 방지하기 위하여 단부가 테이퍼 상태가 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않지만 이 공정으로 게이트 전극에 접속

하는 배선도 동시에 형성할 수 있다.

[0038] 다음, 게이트 전극(51) 위에, 게이트 절연막(52a, 52b), 미결정 반도체 막(53), 베퍼층(54)을 순차로 형성한다(도 2b 참조).

[0039] 미결정 반도체 막(53)을 수소 플라즈마를 작용시키면서(작용시킨) 게이트 절연막(52b) 표면에 형성하여도 좋다. 수소 플라즈마를 작용시킨 게이트 절연막 위에 미결정 반도체 막을 형성하면, 미결정의 결정 성장을 촉진할 수 있다. 또한, 게이트 절연막 및 미결정 반도체 막의 계면에 있어서의 격자 변형을 저감할 수 있고, 게이트 절연막 및 미결정 반도체 막의 계면 특성을 향상시킬 수 있다. 따라서, 얻어지는 미결정 반도체 막은 전기 특성 및 신뢰성이 높은 것으로 할 수 있다.

[0040] 또한, 게이트 절연막(52a, 52b), 미결정 반도체 막(53) 및 베퍼층(54)을 대기에 노출시키지 않고 연속적으로 형성하여도 좋다. 게이트 절연막(52a, 52b), 미결정 반도체 막(53) 및 베퍼층(54)을 대기에 노출시키지 않고 연속적으로 형성함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.

[0041] 게이트 절연막(52a, 52b)은 각각 CVD법이나 스퍼터링법 등을 사용하여, 산화규소 막, 질화규소 막, 산화질화규소 막, 또는 질화산화규소 막으로 형성할 수 있다. 여기서는 게이트 절연막(52a, 52b)으로서 질화규소 막 또는 질화산화규소 막과 산화규소 막 또는 산화질화규소 막의 순서로 적층하여 형성하는 형태를 나타낸다. 또한, 게이트 절연막을 2층으로 하지 않고, 기판 측으로부터 질화규소 막 또는 질화산화규소 막과, 산화규소 막 또는 산화질화규소 막과, 질화규소 막 또는 질화산화규소 막의 순서로 3층 적층하여 형성할 수 있다. 또한, 게이트 절연막을 산화규소 막, 질화규소 막, 산화질화규소 막, 또는 질화산화규소 막의 단층으로 형성할 수 있다. 또한, 주파수가 1GHz 이상의 마이크로파 플라즈마 CVD 장치를 사용하여 게이트 절연층을 형성하는 것이 바람직하다. 마이크로파 플라즈마 CVD 장치를 사용하여 형성한 산화질화규소 막, 질화산화규소 막은 내열이 높고, 이 후에 형성되는 박막 트랜지스터의 신뢰성을 높일 수 있다.

[0042] 게이트 절연막의 3층 적층 구조의 예로서, 게이트 전극 위에 1층째로서 질화규소 막 또는 질화산화규소 막과, 2층째로서 산화질화규소 막과, 3층째로서 질화규소 막을 적층으로 하여, 최상층의 질화규소 막 위에 미결정 반도체 막을 형성하여도 좋다. 이 경우, 1층째의 질화규소 막 또는 질화산화규소 막은 막 두께가 50nm보다 두꺼운 것이 좋고, 나트륨 등의 불순물을 차단하는 배리어, 게이트 전극의 힐록(hilllock)의 방지, 게이트 전극의 산화 방지 등의 효과를 가진다. 3층째의 질화규소 막은 미결정 반도체 막의 밀착성 향상, 미결정 반도체 막에 레이저 조사를 행하는 LP 처리를 행할 때, 산화 방지로서의 효과를 가진다.

[0043] 이와 같이, 게이트 절연막의 표면에 극박막의 질화규소 막과 같은 질화막을 형성함으로써, 미결정 반도체 막의 밀착성을 향상시킬 수 있다. 질화막은 플라즈마 CVD법에 의하여 성막하여도 좋고, 마이크로파에 의한 고밀도이며 저온의 플라즈마 처리에 의하여 질화 처리를 행하여도 좋다. 또한, 반응실에 실란 플러시 처리를 행할 때에 질화규소 막, 질화산화규소 막을 형성하여도 좋다.

[0044] 여기서 산화질화규소막이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 농도 범위로서 산소가 55atoms% 내지 65atoms%, 질소가 1atoms% 내지 20atoms%, Si가 25atoms% 내지 35atoms%, 수소가 0.1atoms% 내지 10atoms%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화규소막이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 농도 범위로서 산소가 15atoms% 내지 30atoms%, 질소가 20atoms% 내지 35atoms%, Si가 25atoms% 내지 35atoms%, 수소가 15atoms% 내지 25atoms%의 범위로 포함되는 것을 가리킨다.

[0045] 미결정 반도체 막(53)은 비정질과 결정 구조(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체를 포함하는 막이다. 이 반도체는 자유 에너지적으로 안정적인 제 3 상태를 가지는 반도체이며, 단거리 질서를 가지고, 격자 변형을 가지는 결정질이고, 그 막의 표면으로부터 본 입경이 0.5nm 내지 20nm의 기둥 형상 또는 침(針) 형상 결정이 기판 표면에 대하여 법선 방향으로 성장한다. 또한, 미결정 반도체와 비정질 반도체가 혼재한다. 미결정 반도체의 대표예인 미결정 실리콘은 그 라만 스펙트럼이 단결정 실리콘을 나타내는 521cm^{-1} 보다도 저파수 측으로 시프트한다. 즉, 단결정 실리콘을 나타내는 521cm^{-1} 와 아모페스 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(맹글링 본드)를 종단하기 위하여 수소 또는 할로겐을 적어도 1atom% 또는 그 이상 포함시킨다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희소 가스 원소를 포함시켜 격자 변형을 더욱 촉진시킴으로써, 안정성이 증가되고 양호한 미결정 반도체 막이 얻어진다. 이와 같은 미결정 반도체 막에 관한 기술은 예를 들어, 미국 특허 4,409,134호에서 개시(開示)된다.

[0046]

이 미결정 반도체 막은 주파수가 수 MHz 내지 수 백MHz 의 고주파 플라즈마 CVD법, 또는 주파수가 1GHz 이상의 마이크로파 플라즈마 CVD 장치에 의하여 형성할 수 있다. 대표적으로는 SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등의 수소화 규소를 수소로 희석하여 미결정 반도체 막을 형성할 수 있다. 또한, 수소화 규소 및 수소에 더하여, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 복수 종류의 희소 가스 원소로 희석하여 미결정 반도체 막을 형성할 수 있다. 이 때의 수소화 규소에 대하여 수소의 유량비율을 5배 이상 200배 이하, 바람직하게는 50배 이상 150배 이하, 보다 바람직하게는 100배로 한다.

[0047]

또한, 미결정 반도체 막은 가전자(價電子) 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때 약한 n형의 전기 전도성을 나타내기 때문에, 박막 트랜지스터의 채널 형성 영역으로서 기능하는 미결정 반도체 막에 대해서는 p형을 부여하는 불순물 원소를, 성막과 동시에, 혹은 성막을 한 후에 첨가함으로써, 임계 값 제어를 할 수 있게 된다. p형을 부여하는 불순물 원소로서는 대표적으로는 봉소가 있고, B_2H_6 , BF_3 등의 불순물 기체를 1ppm 내지 1000ppm, 바람직하게는 1ppm 내지 100ppm의 비율로 수소화 규소에 혼입시키면 좋다. 그리고 봉소의 농도를, 예를 들어, $1 \times 10^{14} \text{ atoms/cm}^3$ 내지 $6 \times 10^{16} \text{ atoms/cm}^3$ 로 하면 좋다.

[0048]

또한, 미결정 반도체 막의 산소 농도를, $5 \times 10^{19} \text{ cm}^3$ 이하, $1 \times 10^{19} \text{ cm}^3$ 이하, 질소 및 탄소의 농도를 각각 $1 \times 10^{18} \text{ cm}^3$ 이하로 하는 것이 바람직하다. 산소, 질소 및 탄소가 미결정 반도체 막에 혼입되는 농도를 저감함으로써, 미결정 반도체 막이 n형화되는 것을 방지할 수 있다.

[0049]

미결정 반도체 막(53)은 0nm보다 두껍고, 50nm이하, 바람직하게는 0nm 보다 두껍고 20nm이하로 형성한다.

[0050]

미결정 반도체 막(53)은 이 후에 형성되는 박막 트랜지스터의 채널 형성 영역으로서 기능한다. 미결정 반도체 막(53)의 두께를 상기 범위 내로 함으로써, 이 후에 형성되는 박막 트랜지스터는 완전 공핍형이 된다. 또한, 미결정 반도체 막은 미결정으로 구성되기 때문에, 비정질 반도체 막과 비교하여 저항이 낮다. 그래서, 미결정 반도체 막을 사용한 박막 트랜지스터는 전류 전압 특성을 나타내는 곡선의 상승 부분의 경사가 급준해지고, 스위칭 소자로서의 응답성이 뛰어나, 고속 동작이 가능해진다. 또한, 박막 트랜지스터의 채널 형성 영역에 미결정 반도체 막을 사용함으로써, 박막 트랜지스터의 임계 값의 변동을 억제할 수 있다. 따라서, 전기 특성의 변동이 적은 액정 표시 장치를 제작할 수 있다.

[0051]

또한, 미결정 반도체 막은 비정질 반도체 막과 비교하여 이동도가 높다. 따라서, 표시 소자의 스위칭으로서, 채널 형성 영역이 미결정 반도체 막으로 형성되는 박막 트랜지스터를 사용함으로써, 채널 형성 영역의 면적, 즉 박막 트랜지스터의 면적을 축소할 수 있다. 따라서, 1화소당 나타내는 박막 트랜지스터의 면적이 작아져, 화소의 개구율을 높일 수 있다. 이 결과, 해상도가 높은 장치를 제작할 수 있다.

[0052]

또한, 미결정 반도체 막은 하측으로부터 세로 방향으로 성장하는 침 형상 결정이다. 미결정 반도체 막에는 비정질과 결정의 구조가 혼재되어, 결정 영역과 비정질 영역 사이에 국부 응력에 의한 크랙(crack)이 발생하여, 틈이 생기기 쉽다. 이 틈에 새로운 라디칼이 개입되어 결정 성장을 일으킬 수 있다. 그러나, 상방의 결정면이 커짐으로써, 상방을 향하여 침 형상으로 성장하기 쉽다. 이와 같이 미결정 반도체 막은 세로 방향으로 성장하여도, 비정질 반도체 막의 형성 속도에 비하여 1/10 내지 1/100의 속도이다.

[0053]

버퍼층(54)은 SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등의 규소 기체(수소화 규소 기체, 할로겐화 규소 기체)를 사용하여, 플라즈마 CVD법에 의하여 형성할 수 있다. 또한, 상기 실란에, 헬륨, 아르곤, 크립톤, 네온 중에서 선택된 1종 또는 복수 종류의 희소 가스 원소로 희석하여 비정질 반도체 막을 형성할 수 있다. 수소화 규소의 유량의 1배 이상 20배 이하, 바람직하게는 1배 이상 10배 이하, 더 바람직하게는 1배 이상 5배 이하의 유량의 수소를 사용하여, 수소를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 상기 수소화 규소와 질소 또는 암모니아를 사용함으로써, 질소를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 상기 수소화 규소와, 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)을 사용함으로써, 불소, 염소, 브롬, 혹은 요오드를 포함하는 비정질 반도체 막을 형성할 수 있다.

[0054]

또한, 버퍼층(54)은 타깃으로서 비정질 반도체를 사용하여 수소, 또는 희소 가스로 스퍼터링함으로써 비정질 반도체 막을 형성할 수 있다. 이 때, 암모나아, 질소, 질소 또는 N_2O 를 분위기 중에 포함시킴으로써, 질소를 포함하는 비정질 반도체 막을 형성할 수 있다. 또한, 분위기 중에 불소, 염소, 브롬, 또는 요오드를 포함하는 기체(F_2 , Cl_2 , Br_2 , I_2 , HF , HCl , HBr , HI 등)를 포함시킴으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정

질 반도체 막을 형성할 수 있다.

[0055] 또한, 베퍼층(54)으로서, 미결정 반도체 막(53)의 표면에 플라즈마 CVD법 또는 스퍼터링법에 의하여 비정질 반도체 막을 형성한 후, 비정질 반도체 막의 표면을 수소 플라즈마, 질소 플라즈마, 또는 할로겐 플라즈마, 희소 가스(헬륨, 아르곤, 크립톤, 네온)에 의한 플라즈마로 처리하여, 비정질 반도체 막의 표면을 수소화, 질소화, 또는 할로겐화하여도 좋다.

[0056] 베퍼층(54)은 비정질 반도체 막으로 형성하는 것이 바람직하다. 그래서, 주파수가 수 MHz 내지 수 백MHz의 고주파 플라즈마 CVD법, 또는 마이크로파 플라즈마 CVD법으로 형성하는 경우에는 비정질 반도체 막이 되도록, 성막 조건을 제어하는 것이 바람직하다.

[0057] 베퍼층(54)은 대표적으로는 10nm 이상 50nm 이하의 두께로 형성하는 것이 바람직하다. 또한, 베퍼층에 포함되는 질소, 탄소, 및 산소의 총 농도를 1×10^{20} atoms/cm³ 내지 15×10^{20} atoms/cm³로 하는 것이 바람직하다. 상기 농도라면 막 두께가 10nm 이상 50nm 이하라도 베퍼층(54)을, 고저항 영역으로서 기능시킬 수 있다.

[0058] 베퍼층(54)은 막 두께를 150nm 이상 200nm 이하로 하고, 포함되는 탄소, 질소, 산소의 각각의 농도는 3×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하로 하여도 좋다.

[0059] 미결정 반도체 막(53)의 표면에, 베퍼층으로서 비정질 반도체 막, 혹은 수소, 질소, 또는 할로겐을 포함하는 비정질 반도체 막을 형성함으로써, 미결정 반도체 막(53)에 포함되는 결정립의 표면의 자연 산화를 방지할 수 있다. 미결정 반도체 막(53)의 표면에 베퍼층을 형성함으로써, 결정립의 산화를 방지할 수 있다. 베퍼층에는 수소, 및/또는 불소가 혼입됨으로써, 산소가 미결정 반도체 막에 침입되는 것을 방지하는 효과가 있다.

[0060] 또한, 베퍼층(54)은 비정질 반도체 막을 사용하여, 또는 수소, 질소, 혹은 할로겐을 포함하는 비정질 반도체 막을 사용하여 형성하기 때문에, 채널 형성 영역으로서 기능하는 미결정 반도체 막보다 저항이 높다. 그래서, 이후에 형성되는 박막 트랜지스터에 있어서, 소스 영역 및 드레인 영역과, 미결정 반도체 막 사이에 형성되는 베퍼층은 고저항 영역으로서 기능한다. 그래서, 박막 트랜지스터의 오프 전류를 저감할 수 있다. 상기 박막 트랜지스터를 액정 표시 장치의 스위칭 소자로서 사용한 경우, 액정 표시 장치의 콘트라스트를 향상시킬 수 있다.

[0061] 다음, 베퍼층(54)에 있어서, 미결정 반도체 막(53)의 채널 형성 영역과 중첩하는 영역에 채널 보호층(80)을 형성한다(도 2c 참조). 채널 보호층(80)도, 게이트 절연막(52a 52b), 미결정 반도체 막(53), 베퍼층(54)을 대기 에 노출시키지 않고 연속적으로 형성하여도 좋다. 적층하는 박막을 대기에 노출시키지 않고 연속적으로 성막하면 생산성이 향상된다.

[0062] 채널 보호층(80)으로서는 무기 재료(산화규소, 질화규소, 산화질화규소, 질화산화규소 등)를 사용할 수 있다. 감광성 또는 비감광성의 유기 재료(유기 수지 재료)(폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트, 벤조시클로부텐 등), 혹은 복수 종류로 이루어지는 막, 또는 이들 막의 적층 등을 사용할 수 있다. 또한, 실록산을 사용하여도 좋다. 제작 방법으로서는 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 사용할 수 있다. 또한, 습식법인, 스펀 코팅법 등의 도포법, 액적토출법이나, 인쇄법(스크린 인쇄나 오프셋 인쇄 등 패턴이 형성되는 방법)을 사용할 수도 있다. 채널 보호층(80)은 형성 후에 에칭에 의하여 형상을 가공하여 형성하여도 좋고, 액적토출법 등에 의하여 선택적으로 형성하여도 좋다.

[0063] 다음, 미결정 반도체 막(53) 및 베퍼층(54)을 에칭에 의하여 가공하여, 미결정 반도체 막(61), 및 베퍼층(62)의 적층을 형성한다(도 2d 참조). 미결정 반도체 막(61) 및 베퍼층(62)은 포토리소그래피 기술 또는 액적토출법에 의하여 마스크를 형성하고, 상기 마스크를 사용하여 미결정 반도체 막(53) 및 베퍼층(54)을 에칭함으로써, 형성 할 수 있다. 또한, 도 2d는 도 4b의 A-B의 단면도에 상당한다.

[0064] 미결정 반도체 막(61), 베퍼층(62)의 단부를 테이퍼 상태를 가지는 형상으로 에칭할 수 있다. 그 단부의 테이퍼 각은 30° 내지 90° 바람직하게는 45° 내지 80°로 한다. 이에 따라, 단차(段差) 형상에 의한 배선의 단선을 방지할 수 있다.

[0065] 다음, 게이트 절연막(52b), 미결정 반도체 막(61), 베퍼층(62), 채널 보호층(80) 위에 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63) 및 도전막(65a 내지 65c)을 형성한다(도 3a 참조). 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63) 및 도전막(65a 내지 65c) 위에 마스크(66)를 형성한다. 마스크(66)는 포토리소그래피 기술 또는 잉크젯법에 의하여 형성한다.

[0066] 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63)은 n채널형 박막 트랜지스터를 형성하는 경우에는 대표적

인 불순물 원소로서 인을 첨가하면 좋고, 수소화규소에 PH_3 등의 불순물 기체를 가하면 좋다. 또한, p채널형 박막 트랜지스터를 형성하는 경우에는 대표적인 불순물 원소로서 봉소를 첨가하면 좋고, 수소화규소에 B_2H_6 등의 불순물 기체를 가하면 좋다. 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63)은 미결정 반도체 막, 또는 비정질 반도체로 형성할 수 있다. 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63)은 막 두께 2nm 내지 50nm(바람직하게는 10nm 내지 30nm)로 하면 좋다.

[0067] 도전막은 알루미늄, 혹은 구리, 실리콘, 티타늄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 혹은 헬륨 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체 막과 접하는 층의 막을, 티타늄, 탄탈, 몰리브덴, 텅스텐, 혹은 이들 원소의 질화물로 형성하고, 그 위에 알루미늄 혹은 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 혹은 알루미늄 합금의 상면 및 하면을, 티타늄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물의 사이에 둔 적층 구조로 하여도 좋다. 여기서는 도전막으로서는 도전막(65a 내지 65c)의 3층이 적층된 구조의 도전막을 나타내고, 도전막(65a, 65c)에 몰리브덴 막, 도전막(65b)에 알루미늄 막을 사용한 적층 도전막이나, 도전막(65a, 65c)에 티타늄 막, 도전막(65b)에 알루미늄 막을 사용한 적층 도전막을 나타낸다.

[0068] 도전막(65a 내지 65c)은 스팍터링법이나 전공 증착법으로 형성한다. 또한, 도전막(65a 내지 65c)은 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 스크린 인쇄법, 잉크젯법 등을 사용하여 토출, 소성함으로써 형성하여도 좋다.

[0069] 다음, 마스크(66)를 사용하여 도전막(65a 내지 65c)을 에칭하여 분리함으로써, 소스 전극 및 드레인 전극(71a 내지 71c)을 형성한다(도 3b 참조). 본 실시형태의 도 3a 내지 도 3c에 도시하는 바와 같이, 도전막(65a 내지 65c)을 웨트 에칭하면, 도전막(65a 내지 65c)은 등방적으로 에칭되므로, 마스크(66)의 단부와, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부는 더욱 일치하지 않고 더욱 후퇴한다. 다음, 마스크(66)를 사용하여 일 도전형을 부여하는 불순물이 첨가된 반도체 막(63)을 에칭하여, 소스 영역 및 드레인 영역(72)을 형성한다(도 3c 참조). 또한, 베퍼층(62)은 채널 보호층(80)이 채널 스토퍼로서 기능하기 때문에 에칭되지 않는다.

[0070] 소스 전극 및 드레인 전극(71a 내지 71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치되지 않아 어긋나고, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부의 외측에, 소스 영역 및 드레인 영역(72)의 단부가 형성된다. 그 후, 마스크(66)를 제거한다. 또한, 도 3c는 도 4c의 A-B의 단면도에 상당한다. 도 4c에 도시하는 바와 같이, 소스 영역 및 드레인 영역(72)의 단부는 소스 전극 및 드레인 전극(75c)의 단부의 외측에 위치하는 것을 알 수 있다. 또한, 소스 영역 및 드레인 영역(72)의 면적은 소스 전극 및 드레인 전극(71a 내지 71c)의 면적보다 넓다는 것을 알 수 있다. 또한, 소스 전극 또는 드레인 전극의 한 쪽은 소스 배선 또는 드레인 배선으로서도 기능한다.

[0071] 도 3c에 도시하는 바와 같이, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부와, 소스 영역 및 드레인 영역(72)의 단부는 일치되지 않아 어긋나는 형상이 됨으로써, 소스 전극 및 드레인 전극(71a 내지 71c)의 단부의 거리가 떨어지므로, 소스 전극 및 드레인 전극 사이의 누설 전류나 단락을 방지할 수 있다. 또한, 소스 영역 및 드레인 영역은 소스 전극 및 드레인 전극의 단부보다도 연장되고, 대향하는 소스 영역 및 드레인 영역의 거리는 대향하는 소스 전극과 드레인 전극의 거리보다 짧다. 따라서, 신뢰성 및 내압이 높은 박막 트랜지스터를 제작할 수 있다.

[0072] 상술한 공정에 의하여, 채널 스토퍼(보호)형의 박막 트랜지스터(74)를 형성할 수 있다.

[0073] 베퍼층(62)에 있어서, 소스 영역 및 드레인 영역(72) 아래의 베퍼층(62)과 미결정 반도체 막(61)의 채널 형성 영역 위의 베퍼층(62)은 동일 재료이며, 동시에 형성되는 연속막이다. 미결정 반도체 막(61) 위의 베퍼층(62)은 포함되는 수소에 따라 외부의 공기, 에칭 잔사를 차단함으로써, 미결정 반도체 막(61)을 보호한다.

[0074] 일 도전형을 부여하는 불순물을 포함하지 않는 베퍼층(62)을 형성함으로써, 소스 영역 및 드레인 영역에 포함되는 일 도전형을 부여하는 불순물과 미결정 반도체 막(61)의 임계 값 전압 제어용의 일 도전형을 부여하는 불순물이 서로 혼입되지 않도록 할 수 있다. 일 도전형을 부여하는 불순물이 혼입되면, 재결합 중심이 생기므로, 누설 전류가 흘러 버려, 오프 전류 저감의 효과를 얻을 수 없게 된다.

[0075] 상술한 바와 같이, 베퍼층 및 채널 보호층을 형성함으로써, 누설 전류가 저감된 고내압의 채널 스토퍼형 박막 트랜지스터를 제작할 수 있다. 따라서, 15V의 전압을 인가하는 액정 표시장치에 사용하는 박막 트랜지스터의 경우라도 신뢰성이 높으므로 바람직하게 사용할 수 있다.

[0076] 다음, 소스 전극 혹은 드레인 전극(71c)에 접하는 화소 전극(77)을 형성한다. 소스 전극 및 드레인 전극(71a 내지 71c), 소스 영역 및 드레인 영역(72), 채널 보호층(80), 게이트 절연막(52b), 및 화소 전극(77) 위에 절연막(76)을 형성한다. 절연막(76)은 게이트 절연막(52a, 52b)과 마찬가지로 형성할 수 있다. 또한, 절연막(76)은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하기 위한 막이므로, 치밀한 막인 것이 바람직하다.

[0077] 베퍼층(62)은 대표적으로는 10nm 이상 50nm 이하의 두께로 형성하는 것이 바람직하다. 또한, 미결정 반도체 막(61)의 채널 형성 영역 위의 베퍼층(62)은 예칭되지 않으므로 베퍼층(62)의 막 두께를 두껍게 형성할 필요가 없고, 성막 시간을 단축할 수 있다. 또한, 베퍼층에 포함되는 질소, 탄소, 및 산소의 총 농도를 1×10^{20} atoms/cm³ 내지 15×10^{20} atoms/cm³로 하는 것이 바람직하다. 상기 농도라면 막 두께가 10nm 이상 50nm 이하라도 베퍼층(62)을, 고저항 영역으로서 기능시킬 수 있다.

[0078] 그러나, 베퍼층(62)은 막 두께를 150nm 이상 200nm 이하로 하고, 포함되는 탄소, 질소, 산소의 농도는 3×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하로 하여도 좋다. 이 경우, 절연막(76)에 질화실리콘 막을 사용함으로써, 베퍼층(62) 중의 산소 농도를 5×10^{19} atoms/cm³ 이하, 바람직하게는 1×10^{19} atoms/cm³ 이하로 할 수 있다.

[0079] 다음에, 절연막(76)을 예칭하여 화소 전극(77)의 일부를 노출시킨다. 화소 전극(77)의 노출 영역에 접하도록 액정 소자를 형성하여, 박막 트랜지스터(74)와 액정 소자를 전기적으로 접속할 수 있다. 예를 들어, 화소 전극(77) 위에 배향막을 형성하고, 마찬가지로 배향막을 형성한 대향 전극을 대치시켜 배향막 간에 액정층을 형성하면 좋다.

[0080] 화소 전극(77)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물 등의 투광성을 가지는 도전성 재료를 사용할 수 있다.

[0081] 또한, 화소 전극(77)으로서, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항(sheet resistance)이 $10000\Omega/\square$ 이하, 과장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0082] 도전성 고분자로서는 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유전체, 폴리피롤 또는 그 유전체, 폴리티오펜 또는 그 유전체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0083] 또한, 소스 영역 및 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부를 일치시키는 형상으로 하여도 좋다. 도 26에 소스 영역 및 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부가 일치하는 형상의 채널 스톱형의 박막 트랜지스터(79)를 도시한다. 소스 전극 및 드레인 전극의 예칭 및 소스 영역 및 드레인 영역의 예칭을 드라이 예칭으로 행하면 박막 트랜지스터(79)와 같은 형상으로 할 수 있다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체 막을 소스 전극 및 드레인 전극을 마스크로서 예칭하여, 소스 영역 및 드레인 영역을 형성하여도 박막 트랜지스터(79)와 같은 형상으로 할 수 있다.

[0084] 채널 스톱형의 박막 트랜지스터로 함으로써, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 미결정 반도체 막으로 채널 형성 영역을 구성함으로써 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 내지 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 박막 트랜지스터를 화소부의 화소 스위칭용 소자로서, 또한 주사선(게이트선) 측의 구동 회로를 형성하는 소자로서 이용할 수 있다.

[0085] 본 실시형태에 의하여, 전기 특성 및 신뢰성이 높은 박막 트랜지스터를 가지는 액정 표시장치를 제작할 수 있다.

[0086] (실시형태 2)

[0087] 본 실시형태는 실시형태 1에 있어서 박막 트랜지스터의 형상이 상이한 예이다. 따라서, 다른 부분에 대해서는 실시형태 1과 마찬가지로 행할 수 있고, 실시형태 1과 동일 부분 또는 같은 기능을 가지는 부분, 및 공정의 반복되는 설명은 생략한다.

- [0088] 본 실시형태에서는 액정 표시장치에 사용되는 박막 트랜지스터 및 그 제작 공정에 대하여, 도 5 내지 도 6d, 및 도 27을 사용하여 설명한다. 도 5와 도 27은 박막 트랜지스터 및 화소 전극을 도시하는 단면도이고, 도 6a 내지 도 6d는 1 화소에 있어서의 박막 트랜지스터 및 화소 전극의 접속 영역의 평면도이다. 도 5 및 도 27은 도 6a 내지 도 6d에 있어서의 선 Q-R의 박막 트랜지스터 및 그 제작 공정을 도시하는 단면도에 상당한다.
- [0089] 본 실시형태의 보텀 게이트 구조의 채널 스톱형(채널 보호형이라고도 한다) 박막 트랜지스터(274)를 도 5 내지 도 6d에 도시한다.
- [0090] 도 5에 있어서, 기판(250) 위에, 게이트 전극(251), 게이트 절연막(252a, 252b), 미결정 반도체 막(261), 베퍼층(262), 채널 보호층(280), 소스 영역 및 드레인 영역(272), 소스 전극 및 드레인 전극(271a 내지 271c)을 포함하는 채널 스톱형 박막 트랜지스터(274)가 형성되고, 박막 트랜지스터(274)를 덮도록 절연막(276)이 형성된다. 절연막(276)에 형성된 콘택트 홀에 있어서 소스 전극 및 드레인 전극(271c)에 접하여 화소 전극(277)이 형성된다. 또한, 도 5는 도 6d에 대응한다.
- [0091] 미결정 반도체 막(261)의 채널 형성 영역 위에 베퍼층(262)을 통하여 채널 보호층(280)을 형성하는 구조이므로, 미결정 반도체 막(261)의 채널 형성 영역 위의 베퍼층(262)에 대한 공정시에 있어서의 테미지(예칭시의 플라즈마에 의한 라디칼이나 예칭제에 인한 막 감소나, 산화 등)를 방지할 수 있다. 따라서, 박막 트랜지스터(274)의 신뢰성을 향상시킬 수 있다. 또한, 미결정 반도체 막(261)의 채널 형성 영역 위의 베퍼층(262)이 예칭되지 않으므로, 베퍼층(262)의 막 두께를 두껍게 형성할 필요가 없어 성막 시간을 단축할 수 있다.
- [0092] 이하, 제작 방법을 도 6a 내지 도 6d를 사용하여 설명한다. 기판(250) 위에 게이트 전극(251)을 형성한다(도 6a 참조). 게이트 전극(251) 위에 게이트 절연막(252a, 252b)을 형성하고, 미결정 반도체 막(261), 베퍼층(262)을 형성한다. 베퍼층(262)에 있어서, 미결정 반도체 막의 채널 형성 영역과 중첩하는 영역에 채널 보호층(280)을 형성한다(도 6b 참조).
- [0093] 실시형태 1에서는 채널 보호층(80)을 형성한 후, 미결정 반도체 막(53)과 베퍼층(54)을 섬 형상의 미결정 반도체 막(61) 및 베퍼층(62)에 예칭 공정에 의하여 가공하는 예를 나타냈지만, 본 실시형태에서는 미결정 반도체 막 및 베퍼층의 예칭 공정도 소스 전극 및 드레인 전극 및 일 도전형을 부여하는 불순물이 첨가된 반도체 막과 동일 공정에서 행하는 예를 나타낸다. 따라서, 미결정 반도체 막, 베퍼층, 일 도전형을 부여하는 불순물이 첨가된 반도체 막, 소스 전극 및 드레인 전극은 같은 형상을 반영하여 형성된다. 이와 같이, 예칭 공정을 한꺼번에 행하면, 공정수가 간략화되고, 또 예칭 공정에 사용하는 마스크의 개수도 감소시킬 수 있다.
- [0094] 미결정 반도체 막, 베퍼층, 일 도전형을 부여하는 불순물이 첨가된 반도체 막, 도전막을 예칭하여, 미결정 반도체 막(261), 베퍼층(262), 소스 영역 및 드레인 영역(272), 소스 전극 및 드레인 전극(271a 내지 271c)을 형성하고, 채널 스톱형 박막 트랜지스터(274)를 형성한다(도 6c 참조). 박막 트랜지스터(274) 위를 덮는 절연막(276)을 형성하고 소스 전극 또는 드레인 전극(271c)에 도달하는 콘택트 홀을 형성한다. 콘택트 홀에 화소 전극(277)을 형성하여, 박막 트랜지스터(274)와 화소 전극(277)을 전기적으로 접속한다(도 6d 참조).
- [0095] 또한, 소스 영역 및 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부가 일치하는 형상으로 하여도 좋다. 도 27에 소스 영역 및 드레인 영역의 단부와 소스 전극 및 드레인 전극의 단부가 일치하는 형상의 채널 스톱형의 박막 트랜지스터(279)를 도시한다. 소스 전극 및 드레인 전극의 예칭 및 소스 영역 및 드레인 영역의 예칭을 드라이 예칭으로 행하면 박막 트랜지스터(279)와 같은 형상으로 할 수 있다. 또한, 일 도전형을 부여하는 불순물이 첨가된 반도체 막을 소스 전극 및 드레인 전극을 마스크로서 예칭함으로써, 소스 영역 및 드레인 영역을 형성하여도 박막 트랜지스터(279)와 같은 형상으로 할 수 있다.
- [0096] 채널 스톱형의 박막 트랜지스터로 함으로써, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 미결정 반도체 막으로 채널 형성 영역을 구성함으로써 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 내지 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 의 전계 효과 이동도를 얻을 수 있다. 따라서, 이 박막 트랜지스터를 화소부의 화소 스위칭용 소자로서, 또한 주사선(게이트선)측의 구동 회로를 형성하는 소자로서 이용할 수 있다.
- [0097] 본 실시형태에 의하여, 전기 특성 및 신뢰성이 높은 박막 트랜지스터를 가지는 액정 표시장치를 제작할 수 있다.
- [0098] (실시형태 3)
- [0099] 본 실시형태에서는 미결정 반도체 막에 레이저 광을 조사하는 제작 공정의 예를 설명한다.
- [0100] 기판 위에 게이트 전극을 형성하고, 게이트 전극을 덮도록 게이트 절연막을 형성한다. 또한, 게이트 절연막 위

에 미결정 반도체 막으로서 미결정 실리콘(Si)막을 퇴적한다. 미결정 반도체 막의 두께는 1nm 이상 15nm 미만, 보다 바람직하게는 2nm 이상 10nm 이하로 하면 좋다. 특히, 막 두께 5nm(4nm 내지 8nm)이면, 레이저 광에 대하여 흡수율이 높으므로 생산성이 향상된다.

[0101] 게이트 절연막 위에 플라즈마 CVD법 등으로 미결정 반도체 막을 형성하고자 하는 경우, 게이트 절연막과, 결정을 포함하는 반도체 막의 계면 부근에, 반도체 막보다 비정질 성분을 많이 포함하는 영역(여기서는 계면 영역이라고 부른다)이 형성될 수 있다. 또한, 플라즈마 CVD법 등으로 막 두께 10nm 정도 이하의 극히 얇은 미결정 반도체 막을 형성하고자 하는 경우, 미결정립을 포함하는 반도체 막을 형성할 수는 있지만, 막 전체에 걸쳐 균일하게 양질의 미결정립을 포함하는 반도체 막을 얻는 것은 어렵다. 이와 같은 경우에 있어서, 이하에 나타내는 레이저 광을 조사하는 레이저 처리는 유효하다.

[0102] 다음, 미결정 실리콘 막의 표면 측으로부터 레이저 광을 조사한다. 레이저 광은 미결정 실리콘 막이 용해되지 않는 에너지 밀도로 조사한다. 즉, 본 실시형태에 의한 레이저 처리(Laser Process 이하 "LP"라고 한다)는 복사(輻射) 가열에 의하여 미결정 실리콘 막을 용융시키지 않고 행하는 고상 결정 성장에 의한 것이다. 즉, 퇴적된 세미 아모퍼스 실리콘 막이 액상이 되지 않는 임계 영역을 이용하는 것이며, 그 의미에 있어서 "임계 성장"이라고도 할 수 있다.

[0103] 레이저 광은 미결정 실리콘 막과 게이트 절연막의 계면까지 작용시킬 수 있다. 이에 따라, 미결정 실리콘 막의 표면 측에 있어서의 결정을 핵으로 하여, 상기 표면으로부터 게이트 절연막의 계면을 향해 고상 결정 성장이 진행되어 대략 기둥 형상의 결정이 성장한다. LP 처리에 의한 고상 결정 성장은 결정의 입경을 확대시키는 것이 아니라, 오히려 막의 두께 방향에 있어서의 결정성을 개선하는 것이다.

[0104] LP 처리는 직사각형 장체 형상으로 집광(선형 레이저 광)함으로써, 예를 들어 730mm×920mm의 유리 기판 위의 미결정 실리콘 막을 한번의 레이저 광 조사로 처리할 수 있다. 이 경우, 선형 레이저 광의 중첩하는 비율(오버 랩률)을 0% 내지 90%(바람직하게는 0% 내지 67%)로 하여 행한다. 이에 따라, 기판 1장당 처리 시간이 단축되어, 생산성을 향상시킬 수 있다. 레이저 광의 형상은 선형에 한정되지 않고 면 형상으로 하여도 마찬가지로 처리할 수 있다. 또한, 본 LP 처리는 상기 유리 기판의 크기에 한정되지 않고, 다양한 크기에 적용할 수 있다.

[0105] LP 처리에 의하여, 게이트 절연막의 계면 영역의 결정성이 개선되어, 본 실시형태의 박막 트랜지스터와 같은 보텀 게이트 구조를 가지는 박막 트랜지스터의 전기적 특성을 향상시키는 작용을 가진다.

[0106] 이와 같은 임계 성장에 있어서는 종래의 저온 폴리실리콘에서 볼 수 있는 표면의 요철(리지(ridge)라고 불리는 볼록 형상체)이 형성되지 않고, LP 처리 후의 실리콘 표면은 평활성이 유지되는 점도 특징이다.

[0107] 본 실시형태와 같이, 성막 후의 미결정 실리콘 막에 직접적으로 레이저 광을 작용시켜 얻어지는 결정성의 실리콘 막은 종래에 있어서의 퇴적된 상태인 미결정 실리콘 막, 정도 가열에 의하여 개질된 미결정 실리콘 막(상기 비특허문헌 1 참조)과는 그 성장 메커니즘 및 막질이 분명히 상이하다. 본 명세서에서는 성막 후의 미결정 반도체 막에 LP 처리를 행하여 얻어지는 결정성의 반도체 막을 LPSAS 막이라고 부른다.

[0108] LPSAS 막 등의 미결정 반도체 막을 형성한 후, 플라즈마 CVD법에 의하여 베퍼충으로서 비정질 실리콘(a-Si:H)막을 300°C 내지 400°C의 온도로 형성한다. 이 성막 처리에 의하여 수소가 LPSAS 막에 공급되어, LPSAS 막을 수소화한 것과 동등한 효과를 얻을 수 있다. 즉, LPSAS 막 위에 비정질 실리콘 막을 퇴적함으로써, LPSAS 막에 수소를 확산시켜 데글링 본드의 종단을 할 수 있다.

[0109] 그 이후의 공정은 실시형태 1과 마찬가지로, 채널 보호층을 형성하고, 그 위에 마스크를 형성한다. 다음, 마스크를 사용하여 미결정 반도체 막, 및 베퍼충을 에칭하여 분리한다. 다음, 일 도전형을 부여하는 불순물이 첨가된 반도체 막을 형성하고, 도전막을 형성하고, 그 도전막 위에 마스크를 형성한다. 다음, 그 마스크를 사용하여 도전막을 에칭하여 분리함으로써, 소스 전극 및 드레인 전극을 형성한다. 또한, 동일 마스크를 사용하여 채널 보호층을 에칭 스토퍼로서 에칭하여, 소스 영역 및 드레인 영역을 형성한다.

[0110] 이상의 공정에 의하여, 채널 스토퍼 형 박막 트랜지스터를 형성할 수 있고, 채널 스토퍼 형 박막 트랜지스터를 가지는 액정 표시장치를 제작할 수 있다.

[0111] 또한, 본 실시형태는 실시형태 1 또는 실시형태 2와 자유롭게 조합할 수 있다.

[0112] (실시형태 4)

- [0113] 본 실시형태는 실시형태 1 내지 실시형태 3에 있어서, 액정 표시장치의 제작 공정의 예를 자세히 설명한다. 따라서, 실시형태 1 내지 실시형태 3과 동일 부분 또는 같은 기능을 가지는 부분, 및 공정의 반복되는 설명은 생략한다.
- [0114] 실시형태 1 내지 실시형태 3에 있어서, 미결정 반도체 막을 형성하기 전에, 반응실의 클리닝, 및 플러싱(세정) 처리(수소를 플러싱 물질로서 사용한 수소 플러싱, 실란을 플러싱 물질로서 사용한 실란 플러싱 등)를 행하여도 좋다. 플러싱 처리에 의하여, 반응실의 산소, 질소, 불소 등의 불순물에 의한 성막하는 막에 대한 오염을 방지할 수 있다.
- [0115] 플러싱 처리에 의하여, 반응실의 산소, 질소, 불소 등의 불순물을 제거할 수 있다. 예를 들어, 플라즈마 CVD 장치로, 모노 실란을 플러싱 물질로서 사용하여, 가스 유량 8SLM 내지 10SLM을 챔버에 5분 내지 20분간, 바람직 하게는 10분 내지 15분 계속 도입함으로써 실란 플러싱 처리를 행한다. 또한, 1SLM은 1000sccm, 즉, $0.06\text{m}^3/\text{h}$ 이다.
- [0116] 클리닝은 예를 들어 불소 라디칼로 행할 수 있다. 또한, 불소 라디칼은 반응실의 외측에 형성된 플라즈마 발생 기에, 불화탄소, 불화질소, 또는 불소를 도입하고, 해리하고, 불소 라디칼을 반응실에 도입함으로써, 반응실 내를 클리닝할 수 있다.
- [0117] 플러싱 처리는 게이트 절연막, 베퍼충, 채널 보호층, 일 도전형을 부여하는 불순물이 첨가된 반도체 막의 형성 전에 행하여도 좋다. 또한, 플러싱 처리는 클리닝 후에 행하면 효과적이다.
- [0118] 반응실은 기판을 반입하여 성막하기 전에, 각 반응실의 내벽을 형성하는 종류의 막으로 보호막을 형성하여, 코팅(프리 코팅 처리라고도 한다)을 행하여도 좋다. 프리 코팅 처리는 반응실 내에 성막 가스를 흘려 플라즈마 처리함으로써, 미리 반응실 내를 보호막에 의하여 얇게 덮는 처리이다. 예를 들어, 미결정 반도체 막으로서 미결정 실리콘 막을 형성하기 전에, 반응실 내를 $0.2\text{ }\mu\text{m}$ 내지 $0.4\text{ }\mu\text{m}$ 의 비정질 실리콘 막으로 덮는 프리 코팅 처리를 행하면 좋다. 프리 코팅 처리 후에도 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하여도 좋다. 클리닝 처리 및 프리 코팅 처리를 행하는 경우에는 반응실 내로부터 기판을 반출할 필요가 있지만, 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하는 경우는 플라즈마 처리를 행하지 않으므로 기판을 반입한 상태라도 좋다.
- [0119] 미결정 실리콘 막을 형성하는 반응실 내에 비정질 실리콘 막의 보호막을 형성하고, 성막하기 전에 수소 플라즈마 처리를 행하면, 보호막이 에칭되어 극히 소량의 실리콘이 기판 위에 퇴적되어 결정 성장의 핵이 될 수 있다.
- [0120] 프리 코팅 처리에 의하여, 반응실의 산소, 질소, 불소 등의 불순물에 의한 형성하는 막에 대한 오염을 방지할 수 있다.
- [0121] 프리 코팅 처리는 게이트 절연막, 일 도전형을 부여하는 불순물이 첨가된 반도체 막을 형성하기 전에 행하여도 좋다.
- [0122] 또한, 게이트 절연막, 미결정 반도체 막, 베퍼충의 형성 방법의 예를 자세히 설명한다.
- [0123] 본 발명에 사용할 수 있는 플라즈마 CVD 장치의 예에 대하여, 도 10a 및 도 10b를 사용하여 설명한다. 도 10a 및 도 10b는 연속적으로 성막할 수 있는 마이크로파 플라즈마 CVD 장치의 상단면(上段面)을 도시하는 모식도이며, 공통실(共通室; 1120)의 주변에 로드실(1110), 언로드실(1115), 및 반응실(1)(1111) 내지 반응실(4)(1114)을 구비한 구성이 된다. 공통실(1200)과 각 실 사이에는 게이트 벨브(1122 내지 1127)가 구비되어, 각 실에서 행해지는 처리가 서로 간섭하지 않도록 구성된다. 또한, 반응실의 개수는 4개로 한정되지 않고, 보다 적어도 또는 많아도 좋다. 반응실이 많으면, 적층하는 막의 종류에 따라 반응실을 구별할 수 있으므로, 반응실의 클리닝의 횟수를 감소시킬 수 있다. 도 10a는 반응실을 4개 가지는 예이며, 도 10b는 반응실을 3개 가지는 예이다.
- [0124] 도 10a 및 도 10b의 플라즈마 CVD 장치를 사용하여, 게이트 절연층, 미결정 반도체 막, 베퍼충 및 채널 보호층의 형성 예를 설명한다. 기판은 로드실(1110), 언로드실(1115)의 카세트(1128, 1129)에 장전(裝填)되어, 공통 실(1120)의 반송(搬送) 수단(1121)에 의하여 반응실(1)(1111) 내지 반응실(4)(1114)에 반송된다. 이 장치에서 는 퇴적막 종류에 따라 반응실을 마련할 수 있으므로 복수의 상이한 피막을 대기에 노출시키지 않고, 연속적으로 형성할 수 있다. 또한, 반응실은 성막 공정 이외에, 에칭 공정이나 레이저 조사 공정을 행하는 반응실로서 사용하여도 좋다. 각종 공정을 행하는 반응실을 설치하면, 복수의 상이한 공정을 대기에 노출시키지 않고 행할 수 있다.

[0125] 반응실(1) 내지 반응실(4) 각각에 있어서, 게이트 절연막, 미결정 반도체 막, 베퍼층 및 채널 보호층을 적층으로 형성한다. 이 경우에는 원료 가스의 변환에 의하여 상이한 종류의 막을 연속적으로 복수 적층할 수 있다. 이 경우에는 게이트 절연막을 형성한 후, 반응실 내에 실란 등의 수소화규소를 도입하여, 잔류산소 및 수소화규소를 반응시키고, 반응물을 반응실 외로 배출함으로써, 반응실 내의 잔류 산소 농도를 저감시킬 수 있다. 이 결과, 미결정 반도체 막에 포함되는 산소의 농도를 저감시킬 수 있다. 또한, 미결정 반도체 막에 포함되는 결정립의 산화를 방지할 수 있다.

[0126] 또한, 플라즈마 CVD 장치에 있어서, 생산성을 향상시키기 위하여, 복수의 반응실에서 같은 막을 형성하여도 좋다. 복수의 반응실에서 같은 막을 형성할 수 있다면, 복수의 기판에 동시에 막을 형성할 수 있다. 예를 들어, 도 10a에 있어서, 반응실(1) 및 반응실(2)을 미결정 반도체 막을 형성하는 반응실로 하고, 반응실(3)을 비결정 반도체 막을 형성하는 반응실로 하고, 반응실(4)을 채널 보호층을 형성하는 반응실로 한다. 이와 같이, 복수의 기판을 동시에 처리하는 경우, 성막 속도가 늦은 막을 형성하는 반응실을 복수 설치함으로써 생산성을 향상시킬 수 있다.

[0127] 반응실은 기판을 반입하여 성막하기 전에, 클리닝, 플러싱(세정) 처리(수소 플러싱, 실란 플러싱 등), 각 반응실의 내벽을 형성하는 종류의 막으로 보호막을 형성하여, 코팅(프리 코팅 처리라고도 한다)을 행하면 바람직하다. 프리 코팅 처리는 반응실 내에 성막 가스를 흘려 플라즈마 처리를 행함으로써, 미리 반응실 내를 보호막에 의하여 얇게 덮는 처리이다. 예를 들어, 미결정 반도체 막으로서 미결정 실리콘 막을 형성하기 전에, 반응실 내를 $0.2\mu\text{m}$ 내지 $0.4\mu\text{m}$ 의 비정질 실리콘 막으로 덮는 프리 코팅 처리를 행하면 좋다. 프리 코팅 처리 후에도 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하여도 좋다. 클리닝 처리 및 프리 코팅 처리를 행하는 경우에는 반응실 내로부터 기판을 반출할 필요가 있지만, 플러싱 처리(수소 플러싱, 실란 플러싱 등)를 행하는 경우는 플라즈마 처리를 행하지 않으므로 기판을 반입한 상태라도 좋다.

[0128] 미결정 실리콘 막을 형성하는 반응실 내에 비정질 실리콘 막의 보호막을 형성하고, 성막 전에 수소 플라즈마 처리를 하면, 보호막이 애칭되어 극히 소량의 실리콘이 기판 위에 퇴적되어 결정 성장의 핵이 될 수 있다.

[0129] 이와 같이, 복수의 챔버가 접속된 마이크로파 플라즈마 CVD 장치에서, 동시에 게이트 절연막, 미결정 반도체 막, 베퍼층, 채널 보호층, 및 일 도전형을 부여하는 불순물이 첨가된 반도체 막을 형성할 수 있으므로, 양산성을 높일 수 있다. 또한, 어떤 반응실이 메인더너스나 클리닝을 행하더라도, 나머지의 반응실에 있어서 성막 처리가 가능해지고, 성막의 택트(tact)를 향상시킬 수 있다. 또한, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.

[0130] 이와 같은 구성의 마이크로파 플라즈마 CVD 장치를 사용하면, 각 반응실에서 종류가 유사한 막 또는 1종류의 막을 형성할 수 있고, 또 대기에 노출시키지 않고 연속적으로 형성할 수 있으므로, 전에 형성한 막의 잔류물이나 대기 중에 부유하는 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있다.

[0131] 또한, 마이크로파 발생기와 함께 고주파 발생기를 설치하여, 게이트 절연막, 미결정 반도체 막, 채널 보호층, 및 일 도전형을 부여하는 불순물이 첨가된 반도체 막을 마이크로파 플라즈마 CVD법으로 형성하여, 베퍼층을 고주파 플라즈마 CVD법으로 형성하여도 좋다.

[0132] 또한, 도 10a 및 도 10b에 도시하는 마이크로파 플라즈마 CVD 장치에는 로드실 및 언로드실이 각각 설치되지만, 하나로 하여 로드/언로드(L/UL)실로 하여도 좋다. 또한, 마이크로파 플라즈마 CVD 장치에 예비실을 설치하여도 좋다. 예비실에서 기판을 예비 가열함으로써, 각 반응실에 있어서 성막될 때까지의 가열 시간을 단축할 수 있으므로, 스루풋(through put)을 향상시킬 수 있다. 이들의 성막 처리는 그 목적에 따라 가스 공급부로부터 공급하는 가스를 선택하면 좋다.

[0133] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0134] (실시형태 5)

[0135] 본 실시형태에서는 실시형태 1 내지 실시형태 4에서 나타내는 박막 트랜지스터를 가지는 액정 표시장치의 예를 도 12 내지 도 25를 사용하여 설명한다. 도 12 내지 도 25의 액정 표시장치에 사용되는 TFT(628, 629)는 실시 형태 1 또는 실시 형태 2에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고 전기 특성 및 신뢰성이 높은 박막 트랜지스터이다. TFT(628)는 채널 보호층(608)을, TFT(629)는 채널 보호층(611)을 각각 가지고, 미결정 반도체 층막을 채널 형성 영역으로 하는 역 스태거 박막 트랜지스터이다.

[0136] 우선, VA(Vertical Alignment)형의 액정 표시장치에 대하여 나타낸다. VA형의 액정 표시장치란, 액정 표시패널

의 액정 분자의 배열을 제어하는 방식 중의 1종이다. VA형의 액정 표시장치는 전압이 인가되지 않을 때에 패널 면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 본 실시형태에서는 특히 화소(픽셀)를 복수의 영역(서브 픽셀)으로 나누어, 분자를 각각 다른 방향으로 배향하도록 의도되어 있다. 이것을 멀티 도메인(Multi-domain)화 또는 멀티 도메인 설계라고 한다. 이하의 설명에서는 멀티 도메인 설계가 고려된 액정 표시장치에 대하여 설명한다.

[0137] 도 13 및 도 14는 각각 화소 전극 및 대향 전극을 도시한다. 또한, 도 13은 화소 전극이 형성되는 기판 측의 평면도이고, 도면 중에 도시하는 절단선G-H에 대응하는 단면 구조를 도 12에 도시한다. 또한, 도 14는 대향 전극이 형성되는 기판 측의 평면도이다. 이하의 설명에서는 이들의 도면을 참조하여 설명한다.

[0138] 도 12는 TFT(628)와 그것에 접속하는 화소 전극(624), 및 유지 용량부(630)가 형성된 기판(600)과, 대향 전극(640) 등이 형성되는 대향 기판(601)이 중첩되고, 액정이 주입된 상태를 도시한다.

[0139] 대향 기판(601)에 있어서, 스페이서(642)가 형성되는 위치에는 차광막(632), 제 1 착색막(634), 제 2 착색막(636), 제 3 착색막(638), 대향 전극(640)이 형성된다. 이 구조에 의하여, 액정의 배향을 제어하기 위한 돌기(644)와 스페이서(642)의 높이를 다르게 한다. 화소 전극(624) 위에는 배향막(648)이 형성되고, 마찬가지로 대향 전극(640) 위에도 배향막(646)이 형성된다. 이 사이에 액정층(650)이 형성된다.

[0140] 스페이서(642)는 여기서는 기둥 형상 스페이서를 사용하여 나타냈지만, 비드(bead) 스페이서를 살포하여도 좋다. 또한, 스페이서(642)를 기판(600) 위에 형성되는 화소 전극(624) 위에 형성하여도 좋다.

[0141] 기판(600) 위에는 TFT(628)와 그것에 접속하는 화소 전극(624), 및 유지 용량부(630)가 형성된다. 화소 전극(624)은 TFT(628), 배선(618), 및 유지 용량부(630)를 덮는 절연막(620), 절연막(620)을 덮는 제 3 절연막(622)을 각각 관통하는 콘택트 홀(623)로 배선(618)과 접속된다. TFT(628)는 실시형태 1에서 나타내는 박막 트랜지스터를 적절히 사용할 수 있다. 또한, 유지 용량부(630)는 TFT(628)의 게이트 배선(602)과 마찬가지로 형성한 제 1 용량 배선(604)과, 게이트 절연막(606), 배선(616, 618)과 마찬가지로 형성한 제 2 용량 배선(617)으로 구성된다. 또한, 도 12 내지 도 15에 있어서는 TFT(628)는 미결정 반도체 막, 버퍼층, 소스 영역 또는 드레인 영역인 일 도전형을 부여하는 불순물이 첨가된 반도체 막, 소스 전극 또는 드레인 전극을 겸한 배선은 같은 에칭 공정으로 가공되어, 대략 같은 형상으로 적층되는 예이다.

[0142] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩됨으로써, 액정 소자가 형성된다.

[0143] 도 13에 기판(600) 위의 구조를 도시한다. 화소 전극(624)은 실시형태 1에서 나타낸 재료를 사용하여 형성한다. 화소 전극(624)에는 슬릿(625)을 형성한다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다.

[0144] 도 13에 도시하는 TFT(629)와 그것에 접속하는 화소 전극(626), 및 유지 용량부(631)는 각각 TFT(628), 화소 전극(624), 및 유지 용량부(630)와 마찬가지로 형성할 수 있다. TFT(628)와 TFT(629)는 모두 배선(616)과 접속된다. 이 액정 표시패널의 화소(픽셀)는 화소 전극(624)과 화소 전극(626)에 의하여 구성된다. 화소 전극(624)과 화소 전극(626)은 서브 픽셀이다.

[0145] 도 14는 대향 기판 측의 구조를 도시한다. 차광막(632) 위에 대향 전극(640)이 형성된다. 대향 전극(640)은 화소 전극(624)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 대향 전극(640) 위에는 액정의 배향을 억제하는 돌기(644)가 형성된다. 또한, 차광막(632)의 위치에 맞추어 스페이서(642)가 형성된다.

[0146] 이 화소 구조의 등가 회로를 도 15에 도시한다. TFT(628)와 TFT(629)는 모두 게이트 배선(602), 배선(616)과 접속된다. 이 경우, 용량 배선(604)과 용량 배선(605)의 전위를 다르게 함으로써 액정 소자(651)와 액정 소자(652)의 동작을 다르게 할 수 있다. 즉, 용량 배선(604)과 용량 배선(605)의 전위를 개별로 제어함으로써 액정의 배향을 정밀하게 제어하여 시야각을 넓힌다.

[0147] 슬릿(625)을 형성한 화소 전극(624)에 전압을 인가하면, 슬릿(625) 근방에는 전계의 변형(경사 전계)이 발생한다. 이 슬릿(625)과 대향 기판(601) 측의 돌기(644)를 교대로 서로 맞물리도록 배치함으로써, 경사 전계를 효과적으로 발생시켜서 액정의 배향을 제어할 수 있다. 이에 따라, 액정이 배향되는 방향을 장소에 따라 다르게 할 수 있다. 즉, 멀티 도메인화함으로써 액정 표시패널의 시야각을 넓힌다.

[0148] 다음, 상기와는 다른 VA형의 액정 표시장치에 있어서, 도 16 내지 도 19를 사용하여 설명한다.

[0149] 도 16과 도 17은 VA형의 액정 표시장치의 화소 구조를 도시한다. 도 17은 기판(600)의 평면도이며, 도면 중에 도시하는 절단선 Y-Z에 대응하는 단면 구조를 도 16에 도시한다. 이하의 설명에서는 이 양쪽 도면을 참조하여

설명한다.

[0150] 이 화소 구조는 1개의 화소에 복수의 화소 전극이 있고, 각각의 화소 전극에 TFT가 접속된다. 각 TFT는 상이한 게이트 신호로 구동되도록 구성된다. 즉, 멀티 도메인 설계된 화소에 있어서, 개개의 화소 전극에 인가하는 신호를 독립적으로 제어하는 구성을 가진다.

[0151] 화소 전극(624)은 콘택트 홀(623)에 있어서, 배선(618)으로 TFT(628)와 접속된다. 또한, 화소 전극(626)은 콘택트 홀(627)에 있어서, 배선(619)으로 TFT(629)와 접속된다. TFT(628)의 게이트 배선(602)과 TFT(629)의 게이트 배선(603)에는 상이한 게이트 신호를 줄 수 있도록 분리된다. 한편, 데이터 선으로서 기능하는 배선(616)은 TFT(628)와 TFT(629)에서 공통으로 사용된다. TFT(628)와 TFT(629)는 실시형태 1에서 나타내는 박막 트랜지스터를 적절히 사용할 수 있다. 또한, 용량 배선(690)이 형성된다. 또한, 도 16 내지 도 25에 있어서, TFT(628) 및 TFT(629)는 소스 영역 또는 드레인 영역인 일 도전형을 부여하는 불순물이 첨가된 반도체 막, 소스 전극 또는 드레인 전극을 겹치는 배선은 같은 에칭 공정에서 가공되어, 대략 같은 형상으로 적층하는 예이다.

[0152] 화소 전극(624)과 화소 전극(626)의 형상은 상이하고, 슬릿(625)에 의하여 분리된다. V자형으로 넓어진 화소 전극(624)의 외측을 둘러싸도록 화소 전극(626)이 형성된다. 화소 전극(624)과 화소 전극(626)에 인가하는 전압의 타이밍을 TFT(628) 및 TFT(629)에 의하여 다르게 함으로써, 액정의 배향을 제어한다. 이 화소 구조의 등가 회로를 도 19에 도시한다. TFT(628)는 게이트 배선(602)과 접속되고, TFT(629)는 게이트 배선(603)과 접속된다. 게이트 전극(602)과 게이트 전극(603)은 상이한 게이트 신호를 줌으로써, TFT(628)와 TFT(629)의 동작 타이밍을 다르게 할 수 있다.

[0153] 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성된다. 또한, 제 2 착색막(636)과 대향 전극(640) 사이에는 평탄화막(637)이 형성되어, 액정의 배향혼란을 방지한다. 도 18에 대향 기판 측의 구조를 도시한다. 대향 전극(640)은 상이한 화소 사이에서 공통화되어 있는 전극이지만, 슬릿(641)이 형성된다. 이 슬릿(641)과, 화소 전극(624) 및 화소전극(626) 측의 슬릿(625)을 교대로 서로 맞물리도록 배치함으로써, 기울기 전계를 효과적으로 발생시켜 액정의 배향을 제어할 수 있다. 이에 따라, 액정이 배향되는 방향을 장소에 따라 다르게 할 수 있어, 시야각을 넓힌다.

[0154] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩함으로써, 제 1 액정 소자가 형성된다. 또한, 화소 전극(626)과 액정층(650)과 대향 전극(640)이 중첩함으로써, 제 2 액정 소자가 형성된다. 또한, 1 화소에 제 1 액정 소자와 제 2 액정 소자가 형성된 멀티 도메인 구조이다.

[0155] 다음, 횡전계 방식의 액정 표시장치에 대하여 나타낸다. 횡전계 방식은 셀 내의 액정 분자에 대하여 수평 방향으로 전계를 가함으로써 액정을 구동하여 계조 표현하는 방식이다. 이 방식에 의하면, 시야각을 약 180도까지 넓힐 수 있다. 이하의 설명에서는 횡전계 방식을 채용하는 액정 표시장치에 대하여 설명한다.

[0156] 도 20은 TFT(628)와 그것에 접속하는 화소 전극(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩하여 액정을 주입한 상태를 도시한다. 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성된다. 화소 전극은 기판(600) 측에 있으므로 대향 기판(601) 측에는 형성되지 않는다. 기판(600)과 대향 기판(601) 사이에 액정층(650)이 형성된다.

[0157] 기판(600) 위에는 제 1 화소 전극(607) 및 제 1 화소 전극(607)에 접속되는 용량 배선(604), 및 실시형태 1에서 나타내는 TFT(628)가 형성된다. 제 1 화소 전극(607)은 실시형태 1에서 나타내는 화소 전극(77)과 같은 재료를 사용할 수 있다. 또한, 제 1 화소 전극(607)은 대략 화소의 형상으로 구획화한 형상으로 형성한다. 또한, 제 1 화소 전극(607) 및 용량 배선(604) 위에는 게이트 절연막(606)이 형성된다.

[0158] TFT(628)의 배선(616), 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 표시 패널에 있어서, 비디오 신호를 입력하는 데이터 선이고, 일방향으로 연장되는 배선임과 동시에 TFT(628)의 소스 영역과 접속되어, 소스 및 드레인의 한 쪽의 전극이 된다. 배선(618)은 소스 및 드레인의 다른 쪽의 전극이 되고, 제 2 화소 전극(624)과 접속되는 배선이다.

[0159] 배선(616), 배선(618) 위에 제 2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는 절연막(620)에 형성되는 콘택트 홀에 있어서, 배선(618)에 접속되는 제 2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시형태 1에서 나타내는 화소 전극(77)과 같은 재료를 사용하여 형성한다.

[0160] 이렇게 함으로써, 기판(600) 위에 TFT(628)와 그것에 접속되는 제 2 화소 전극(624)이 형성된다. 또한, 유지 용량은 제 1 화소 전극(607)과 제 2 화소 전극(624) 사이에서 형성된다.

[0161] 도 21은 화소 전극의 구성을 도시하는 평면도이다. 도 21에 도시하는 절단선 O-P에 대응하는 단면 구조를 도 20에 도시한다. 화소 전극(624)에는 슬릿(625)이 형성된다. 슬릿(625)은 액정의 배향을 제어하기 위한 것이다. 이 경우, 전계는 제 1 화소 전극(607)과 제 2 화소 전극(624) 사이에서 발생한다. 제 1 화소 전극(607)과 제 2 화소 전극(624) 사이에는 게이트 절연막(606)이 형성되지만, 게이트 절연막(606)의 막 두께는 50nm 내지 200nm이고, 2μm 내지 10μm인 액정층의 두께와 비교하여 충분히 얇기 때문에 실질적으로 기판(600)과 평행한 방향(수평 방향)에 전계가 발생한다. 이 전계에 의하여 액정의 배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용함으로써 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어떤 상태라도 수평이기 때문에, 보는 각도에 따른 콘트라스트 등의 영향은 적고, 시야각이 넓어지게 된다. 또한, 제 1 화소 전극(607)과 제 2 화소 전극(624)은 모두 투광성인 전극이므로 개구율을 향상시킬 수 있다.

[0162] 다음, 횡전계 방식의 액정 표시장치의 다른 일례에 대하여 나타낸다.

[0163] 도 22와 도 23은 IPS형의 액정 표시장치의 화소 구조를 도시한다. 도 23은 평면도이며, 도면 중에 도시하는 절단선 I-J에 대응하는 단면 구조를 도 22에 도시한다. 이하의 설명에서는 이 양쪽의 도면을 참조하여 설명한다.

[0164] 도 22는 TFT(628)와 그것에 접속하는 화소 전극(624)이 형성된 기판(600)과, 대향 기판(601)을 중첩하여 액정을 주입한 상태를 도시한다. 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 평탄화막(637) 등이 형성된다. 화소 전극은 기판(600) 측에 있으므로 대향 기판(601) 측에는 형성되지 않는다. 기판(600)과 대향 기판(601) 사이에 액정층(650)이 형성된다.

[0165] 기판(600) 위에는 공통 전위선(609) 및 실시형태 1에서 나타내는 TFT(628)가 형성된다. 공통 전위선(609)은 박막 트랜지스터(628)의 게이트 배선(602)과 동시에 형성할 수 있다. 또한, 제 1 화소 전극(607)은 대략 화소의 형상으로 구획화한 형상으로 형성한다.

[0166] TFT(628)의 배선(616), 배선(618)이 게이트 절연막(606) 위에 형성된다. 배선(616)은 액정 표시 패널에 있어서, 비디오 신호를 입력하는 데이터 선이고, 일방향으로 연장되는 배선임과 동시에 TFT(628)의 소스 영역과 접속되어, 소스 및 드레인의 한 쪽의 전극이 된다. 배선(618)은 소스 및 드레인의 다른 쪽의 전극이 되고, 제 2 화소 전극(624)과 접속되는 배선이다.

[0167] 배선(616), 배선(618) 위에 제 2 절연막(620)이 형성된다. 또한, 절연막(620) 위에는 절연막(620)에 형성되는 콘택트 홀(623)에 있어서, 배선(618)에 접속되는 제 2 화소 전극(624)이 형성된다. 화소 전극(624)은 실시형태 1에서 나타내는 화소 전극(77)과 같은 재료를 사용하여 형성한다. 또한, 도 23에 도시하는 바와 같이, 화소 전극(624)은 공통 전위선(609)과 동시에 형성한 빗 형상의 전극과 횡전계가 발생하도록 형성된다. 또한, 화소 전극(624)의 빗살의 부분이 공통 전위선(609)과 동시에 형성한 빗 형상의 전극과 교대로 서로 맞물리도록 형성된다.

[0168] 화소 전극(624)에 인가되는 전위와 공통 전위선(609)의 전위 사이에 전계가 발생하면, 이 전계에 의하여 액정의 배향이 제어된다. 이 기판과 대략 평행한 방향의 전계를 이용함으로써 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 어떤 상태라도 수평이기 때문에, 보는 각도에 따른 콘트라스트 등의 영향은 적고, 시야각이 넓어지게 된다.

[0169] 이렇게 함으로써, 기판(600) 위에 TFT(628)와 그것에 접속되는 화소 전극(624)이 형성된다. 유지 용량은 공통 전위선(609)과 용량 전극(615) 사이에 게이트 절연막(606)을 형성하고, 이것에 의하여 형성된다. 용량 전극(615)과 화소 전극(624)은 콘택트 홀(633)을 통하여 접속된다.

[0170] 다음, TN형의 액정 표시장치의 형태에 대하여 나타낸다.

[0171] 도 24와 도 25는 TN형의 액정 표시장치의 화소 구조를 도시한다. 도 25는 평면도이며, 도면 중에 도시하는 절단선 K-L에 대응하는 단면 구조를 도 24에 도시한다. 이하의 설명에서는 이 양쪽의 도면을 참조하여 설명한다.

[0172] 화소 전극(624)은 콘택트 홀(623)에 의하여, 배선(618)으로 TFT(628)와 접속된다. 데이터 선으로서 기능하는 배선(616)은 TFT(628)와 접속된다. TFT(628)는 실시형태 1에 나타내는 TFT의 어느 것을 적용할 수 있다.

[0173] 화소 전극(624)은 실시형태 1에서 나타내는 화소 전극(77)을 사용하여 형성된다.

[0174] 대향 기판(601)에는 차광막(632), 제 2 착색막(636), 대향 전극(640)이 형성된다. 또한, 제 2 착색막(636)과 대향 전극(640) 사이에는 평탄화막(637)이 형성되어, 액정의 배향혼란을 방지한다. 액정층(650)은 화소 전극(624)과 대향 전극(640) 사이에 배향막(648) 및 배향막(646)을 통하여 형성된다.

- [0175] 화소 전극(624)과 액정층(650)과 대향 전극(640)이 중첩함으로써, 액정 소자가 형성된다.
- [0176] 또한, 기판(600) 또는 대향 기판(601)에 컬러 필터나 디스플레이네이션을 방지하기 위한 차폐막(블랙 매트릭스) 등이 형성되어도 좋다. 또한, 기판(600)의 박막 트랜지스터가 형성되는 면과 반대 쪽의 면에 편광판을 접합하고, 또한 대향 기판(601)의 대향 전극(640)이 형성되는 면과 반대 쪽의 면에 편광판을 접합한다.
- [0177] 상술한 공정에 의하여, 액정 표시장치를 제작할 수 있다. 본 실시형태의 액정 표시장치는 오프 전류가 적고, 전기 특성 및 신뢰성이 높은 박막 트랜지스터를 사용하기 때문에, 콘트라스트 비율 및 시인성이 높은 액정 표시장치이다.
- [0178] (실시형태 6)
- [0179] 다음, 본 발명의 액정 표시장치의 일 형태인 액정 표시패널(액정 패널이라고도 한다)의 구성에 대하여, 이하에 나타낸다.
- [0180] 도 9a에, 신호선 구동 회로(6013)만을 별도로 형성하고, 기판(6011) 위에 형성된 화소부(6012)와 접속하는 액정 표시패널의 형태를 도시한다. 화소부(6012) 및 주사선 구동 회로(6014)는 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성한다. 비정질 반도체 막을 사용한 박막 트랜지스터보다도 높은 이동도가 얻어지는 트랜지스터로 신호선 구동 회로를 형성함으로써, 주사선 구동 회로보다도 높은 구동 주파수가 요구되는 신호선 구동 회로의 동작을 안정시킬 수 있다. 또한, 신호선 구동 회로(6013)는 단결정의 반도체를 사용한 트랜지스터, 다결정의 반도체를 사용한 박막 트랜지스터, 또는 SOI를 사용한 트랜지스터라도 좋다. 화소부(6012)와, 신호선 구동 회로(6013)와, 주사선 구동 회로(6014)에, 각각 전원의 전위, 각종 신호 등이, FPC(6015)를 통하여 공급된다.
- [0181] 또한, 신호선 구동 회로 및 주사선 구동 회로를 화소부와 동일 기판 위에 형성하여도 좋다.
- [0182] 또한, 구동 회로를 별도로 형성하는 경우, 반드시 구동 회로가 형성된 기판을, 화소부가 형성된 기판 위에 접합할 필요는 없고, 예를 들어, FPC 위에 접합하도록 하여도 좋다. 도 9b에, 신호선 구동 회로(6023)만을 별도로 형성하고, 기판(6021) 위에 형성된 화소부(6022) 및 주사선 구동 회로(6024)와 접속되는 액정 표시 패널의 형태를 나타낸다. 화소부(6022) 및 주사선 구동 회로(6024)는 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로(6023)는 FPC(6025)를 통하여 화소부(6022)와 접속된다. 화소부(6022)와, 신호선 구동 회로(6023)와, 주사선 구동 회로(6024)에, 각각 전원의 전위, 각종 신호 등이, FPC(6025)를 통하여 공급된다.
- [0183] 또한, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을, 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 화소부와 동일 기판 위에 형성하고, 나머지 부분을 별도로 형성하고 화소부와 전기적으로 접속하도록 하여도 좋다. 도 9c에, 신호선 구동 회로가 가지는 아날로그 스위치(6033a)를, 화소부(6032), 주사선 구동 회로(6034)와 동일 기판(6031) 위에 형성하고, 신호선 구동 회로가 가지는 시프트 레지스터(6033b)를 별도로 다른 기판에 형성하고 접속하는 액정 표시장치 패널의 형태를 나타낸다. 화소부(6032) 및 주사선 구동 회로(6034)는 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성한다. 신호선 구동 회로가 가지는 시프트 레지스터(6033b)는 FPC(6035)를 통하여 화소부(6032)와 접속된다. 화소부(6032)와, 신호선 구동 회로와, 주사선 구동 회로(6034)에, 각각 전원의 전위, 각종 신호 등이, FPC(6035)를 통하여 공급된다.
- [0184] 도 9a 내지 도 9c에 도시하는 바와 같이, 본 발명의 액정 표시장치는 구동 회로의 일부 또는 전부를, 화소부와 동일 기판 위에, 미결정 반도체 막을 사용한 박막 트랜지스터를 사용하여 형성할 수 있다.
- [0185] 또한, 별도로 형성한 기판의 접속 방법은 특히 한정되지 않고, 공지의 COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 또한 접속하는 위치는 전기적인 접속이 가능하면, 도 9a 내지 도 9c에 도시한 위치에 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등을 별도로 형성하고, 접속하도록 하여도 좋다.
- [0186] 또한, 본 발명에서 사용하는 신호선 구동 회로는 시프트 레지스터와 아날로그 스위치만을 가지는 형태에 한정되지 않는다. 시프트 레지스터와 아날로그 스위치에 더하여, 버퍼, 레벨 시프터, 소스 플로어 등, 다른 회로를 가져도 좋다. 또한, 시프트 레지스터와 아날로그 스위치는 반드시 설치할 필요는 없고, 예를 들어, 시프트 레지스터 대신에 디코더 회로와 같은 신호선을 선택을 할 수 있는 다른 회로를 사용하여도 좋고, 아날로그 스위치 대신에 래치 등을 사용하여도 좋다.
- [0187] 다음, 본 발명의 액정 표시장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 11a 및 도 11b를 사용하여 설명한다. 도 11a는 제 1 기판(4001) 위에 형성된 미결정 반도체 막을 가지는 박막 트랜지스터

(4010) 및 액정 소자(4013)를, 제 2 기판(4006)과의 사이에 썰재(4005)로 밀봉한, 패널의 상면도이고, 도 11b는 도 11a의 M-N에 있어서의 단면도에 상당한다.

[0188] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 썰재(4005)가 형성된다. 또한 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서 화소부(4002)와, 주사선 구동 회로(4004)란, 제 1 기판(4001)과 썰재(4005)와 제 2 기판(4006)에 의하여, 액정(4008)과 함께 밀봉된다. 또한, 제 1 기판(4001) 위의 썰재(4005)에 의하여 둘러싸인 영역과는 상이한 영역에, 별도 준비된 기판 위에 다결정 반도체 막으로 형성된 신호선 구동 회로(4003)가 실장된다. 또한, 본 실시형태에서는 다결정 반도체 막을 사용한 박막 트랜지스터를 가지는 신호선 구동 회로를, 제 1 기판(4001)에 접합하는 예에 대하여 설명하지만, 단결정 반도체를 사용한 트랜지스터로 신호선 구동 회로를 형성하고, 접합하도록 하여도 좋다. 도 11b에서는 신호선 구동 회로(4003)에 포함되는 다결정 반도체 막으로 형성된 박막 트랜지스터(4009)를 예시한다.

[0189] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 가지고, 도 11b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)를 예시한다. 박막 트랜지스터(4010)는 미결정 반도체 막을 사용한 박막 트랜지스터에 상당하고, 실시형태 1 내지 실시형태 4에 나타내는 공정으로 마찬가지로 제작할 수 있다.

[0190] 또한, 4013은 액정 소자에 상당하여, 액정 소자(4013)가 가지는 화소 전극(4030)은 박막 트랜지스터(4010)와 배선(4040)을 통하여 전기적으로 접속된다. 또한, 액정 소자(4013)의 대향 전극(4031)은 제 2 기판(4006) 위에 형성된다. 화소 전극(4030)과 대향 전극(4031)과 액정(4008)이 겹치는 부분이 액정 소자(4013)에 상당한다.

[0191] 또한, 제 1 기판(4001), 제 2 기판(4006)으로서는 유리, 금속(대표적으로는 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플로라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름의 사이에 둔 구조의 시트를 사용할 수도 있다.

[0192] 또한, 4035는 구(球)형의 스페이서로서 화소 전극(4030)과 대향 전극(4031) 사이의 거리(셀 갭)를 재어하기 위하여 형성된다. 또한, 절연막을 선택적으로 예칭함으로써 얻어지는 스페이서를 사용하여도 좋다.

[0193] 또한, 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004), 또는 화소부(4002)에 주어지는 각종 신호 및 전위는 배선(4014, 4015)을 통하여 FPC(4018)로부터 공급된다.

[0194] 본 실시형태에서는 접속 단자(4016)가, 액정 소자(4013)가 가지는 화소 전극(4030)과 같은 도전막으로 형성된다. 또한, 배선(4014, 4015)은 배선(4041)과 동일 도전막으로 형성된다.

[0195] 접속 단자(4016)는 FPC(4018)가 가지는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속된다.

[0196] 또한, 도시하지 않지만 본 실시형태에 나타낸 액정 표시장치는 배향막, 편광판을 가지고, 또한 컬러 필터나 차폐막을 가져도 좋다.

[0197] 또한, 도 11a 및 도 11b에 있어서, 신호선 구동 회로(4003)를 별도로 형성하고, 제 1 기판(4001)에 실장하는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.

[0198] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0199] (실시형태 7)

[0200] 본 발명에 의하여 얻어지는 액정 표시장치에 의하여, 액정 표시 모듈(액정 모듈이라고도 한다)에 사용할 수 있다. 즉, 이들을 표시부에 내장한 모든 전자 기기에 본 발명을 실시할 수 있다.

[0201] 이와 같은 전자 기기로서는 비디오 카메라, 디지털 카메라 등의 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 카네비게이션 시스템, 프로젝터, 카스테레오, 퍼스널용 컴퓨터, 휴대 정보 단말(모바일 컴퓨터, 휴대전화 또는 전자서적 등) 등을 들 수 있다. 이들의 일례를 도 7a 내지 도 7c에 도시한다.

[0202] 도 7a는 텔레비전 장치이다. 액정 모듈을, 도 7a에 도시하는 바와 같이, 하우징에 내장하고, 텔레비전 장치를 완성시킬 수 있다. FPC까지 설치된 액정 표시 패널을 액정 표시 모듈이라고도 한다. 액정 표시 모듈에 의하여, 주화면(2003)이 형성되고, 그 이외의 부속 설비로서 스피커부(2009), 조작 스위치 등이 구비된다. 상술한 바와 같이, 텔레비전 장치를 완성시킬 수 있다.

[0203] 도7a에 도시하는 바와 같이, 하우징(2001)에 액정 표시 소자를 이용한 액정 표시용 패널(2002)이 포함되고, 수신기(2005)에 의하여 일반적인 TV 방송의 수신을 비롯하여, 모뎀(2004)을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 또는 양방향(송신자와 수신자 사이, 또는 수신자들 사이)의 정보 통신을 할 수도 있다. 텔레비전 장치의 조작은 하우징에 내장된 스위치 또는 별도의 원격 제어기(2006)로 행할 수 있고, 이 원격 제어 장치에도 출력하는 정보를 표시하는 표시부(2007)가 형성되어도 좋다.

[0204] 또한, 텔레비전 장치에도, 주화면(2003) 이외에, 서브 화면(2008)을 제 2 액정 표시용 패널을 사용하여 형성하고, 채널이나 음량 등을 표시하는 구성이 부가되어도 좋다.

[0205] 도 8은 텔레비전 장치의 주요한 구성을 도시하는 블록도이다. 액정 표시패널에는 화소부(901)가 형성된다. 신호선 구동 회로(902)와 주사선 구동 회로(903)는 액정 표시패널에 COG 방식에 의하여 실장되어도 좋다.

[0206] 그 이외의 외부 회로의 구성으로서, 영상 신호의 입력 측에서는 튜너(904)에서 수신한 신호 중, 영상 신호를 증폭하는 영상 신호 증폭 회로(905)와, 거기서 출력되는 신호를 적색, 녹색, 청색의 각 색깔에 대응한 색 신호로 변환하는 영상 신호 처리 회로(906)와, 그 영상 신호를 드라이버 IC의 입력 사양으로 변환하기 위한 컨트롤 회로(907) 등을 가진다. 컨트롤 회로(907)는 주사선 측과 신호선 측에 각각 신호가 출력한다. 디지털 구동하는 경우에는 신호선 측에 신호 분할 회로(908)를 형성하고, 입력 디지털 신호를 8개로 분할하여 공급하는 구성으로 하여도 좋다.

[0207] 튜너(904)에서 수신한 신호 중, 음성 신호는 음성 신호 증폭 회로(909)로 보내지고, 그 출력은 음성 신호 처리 회로(910)를 통하여 스피커(913)에 공급된다. 제어 회로(911)는 수신국(수신 주파수)이나 음량의 제어 정보를 입력부(912)로부터 받아, 튜너(904)나 음성 신호 처리 회로(910)에 신호를 송출한다.

[0208] 물론, 본 발명은 텔레비전 장치에 한정되지 않고, 퍼스널 컴퓨터의 모니터를 비롯하여, 철도역이나 공항 등에 있어서의 정보 표시판이나, 가두에 있어서의 광고 표시판 등의 대면적 표시 매체로서도 다양한 용도에 적용할 수 있다.

[0209] 도 7b에는 휴대 전화기(2301)의 일례를 도시한다. 이 휴대 전화기(2301)는 표시부(2302), 조작부(2303) 등을 포함하여 구성된다. 표시부(2302)에 있어서는 상기 실시형태에서 설명한 액정 표시장치를 적용함으로써, 신뢰성 및 양산성을 높일 수 있다.

[0210] 또한, 도 7c에 도시하는 휴대형 컴퓨터는 본체(2401), 표시부(2402) 등을 포함한다. 표시부(2402)에, 상기 실시형태에 나타내는 액정 표시장치를 적용함으로써, 신뢰성 및 양산성을 높일 수 있다.

도면의 간단한 설명

[0211] 도 1은 본 발명의 액정 표시장치를 설명하는 도면.

[0212] 도 2a 내지 도 2d는 본 발명의 액정 표시장치의 제작 방법을 설명하는 도면.

[0213] 도 3a 내지 도 3c는 본 발명의 액정 표시장치의 제작 방법을 설명하는 도면.

[0214] 도 4a 내지 도 4d는 본 발명의 액정 표시장치의 제작 방법을 설명하는 도면.

[0215] 도 5는 본 발명의 액정 표시장치를 설명하는 도면.

[0216] 도 6a 내지 도 6d는 본 발명의 액정 표시장치의 제작 방법을 설명하는 도면.

[0217] 도 7a 내지 도 7c는 본 발명이 적용되는 전자 기기를 도시하는 도면.

[0218] 도 8은 본 발명이 적용되는 전자 기기의 주요한 구성을 도시하는 블록도.

[0219] 도 9a 내지 도 9c는 본 발명의 액정 표시장치를 설명하는 도면.

[0220] 도 10a 및 도 10b는 본 발명의 플라즈마 CVD장치를 설명하는 도면.

[0221] 도 11a 및 도 11b는 본 발명의 액정 표시장치를 설명하는 도면.

[0222] 도 12는 본 발명의 액정 표시장치를 설명하는 도면.

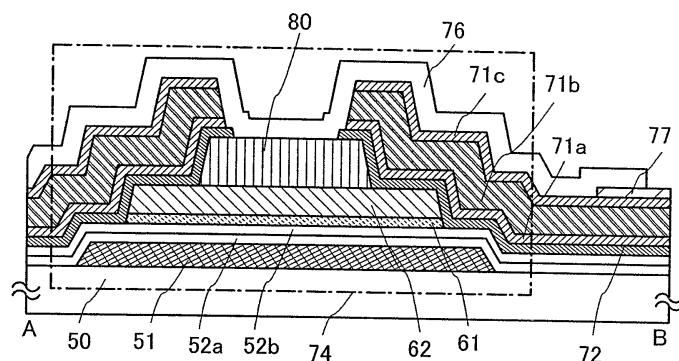
[0223] 도 13은 본 발명의 액정 표시장치를 설명하는 도면.

[0224] 도 14는 본 발명의 액정 표시장치를 설명하는 도면.

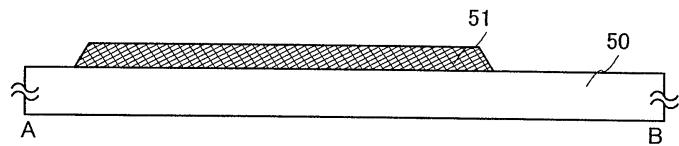
- [0225] 도 15는 본 발명의 액정 표시장치를 설명하는 도면.
- [0226] 도 16은 본 발명의 액정 표시장치를 설명하는 도면.
- [0227] 도 17은 본 발명의 액정 표시장치를 설명하는 도면.
- [0228] 도 18은 본 발명의 액정 표시장치를 설명하는 도면.
- [0229] 도 19는 본 발명의 액정 표시장치를 설명하는 도면.
- [0230] 도 20은 본 발명의 액정 표시장치를 설명하는 도면.
- [0231] 도 21은 본 발명의 액정 표시장치를 설명하는 도면.
- [0232] 도 22는 본 발명의 액정 표시장치를 설명하는 도면.
- [0233] 도 23은 본 발명의 액정 표시장치를 설명하는 도면.
- [0234] 도 24는 본 발명의 액정 표시장치를 설명하는 도면.
- [0235] 도 25는 본 발명의 액정 표시장치를 설명하는 도면.
- [0236] 도 26은 본 발명의 액정 표시장치를 설명하는 도면.
- [0237] 도 27은 본 발명의 액정 표시장치를 설명하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

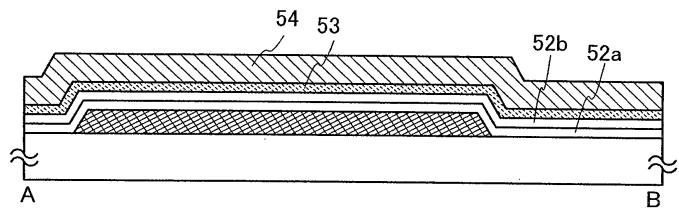
- | | | |
|--------|---------------------|---------------------|
| [0238] | 50: 기판 | 51: 게이트 전극 |
| [0239] | 51a: 게이트 절연막 | 51b: 게이트 절연막 |
| [0240] | 61: 미결정 반도체 막 | 62: 버퍼층 |
| [0241] | 71a: 소스 전극 및 드레인 전극 | 71b: 소스 전극 및 드레인 전극 |
| [0242] | 71c: 소스 전극 및 드레인 전극 | 72: 소스 영역 및 드레인 영역 |
| [0243] | 74: 박막 트랜지스터 | 76: 절연막 |
| [0244] | 77: 화소 전극 | 80: 채널 보호층 |

도면**도면1**

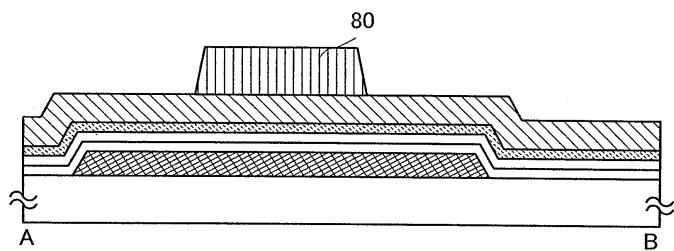
도면2a



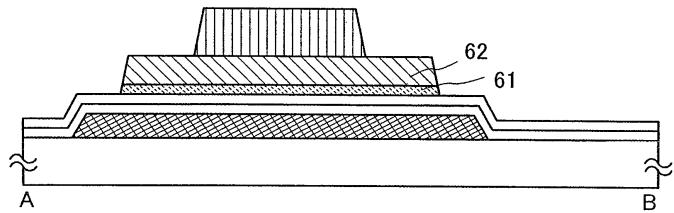
도면2b



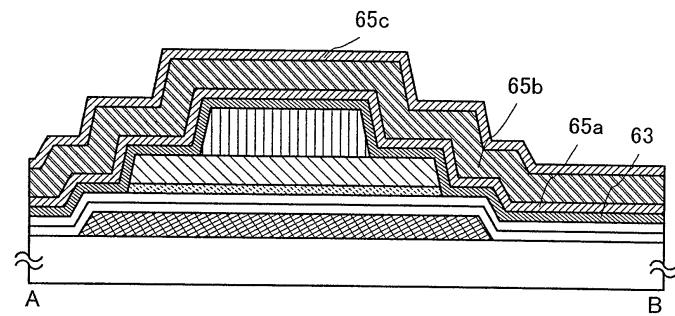
도면2c



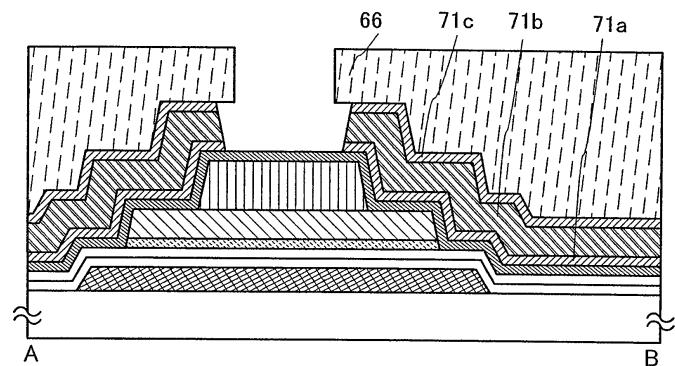
도면2d



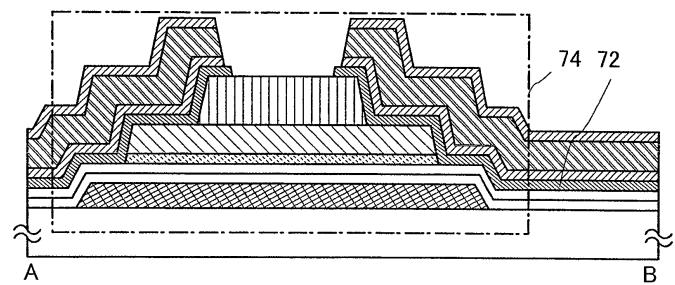
도면3a



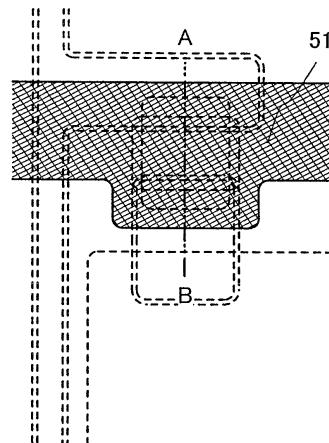
도면3b



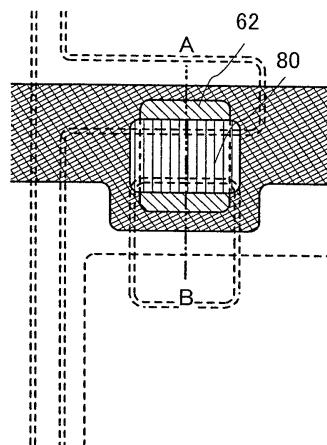
도면3c



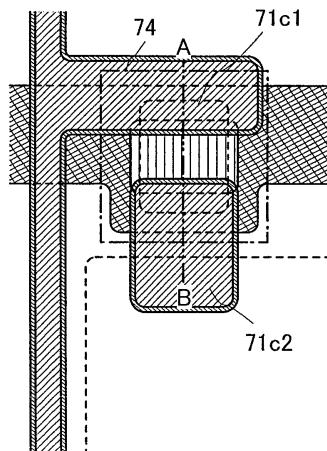
도면4a



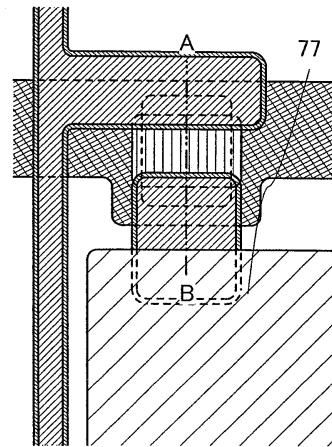
도면4b



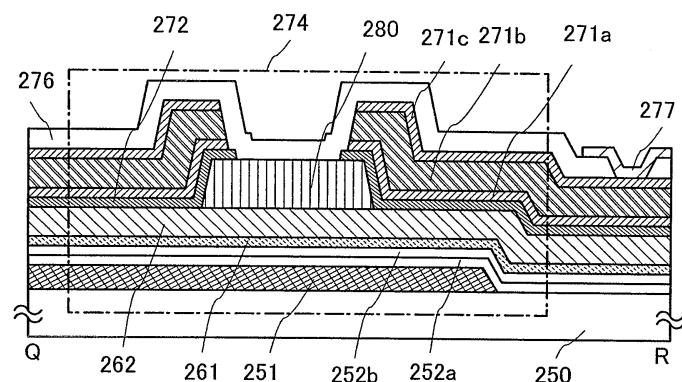
도면4c



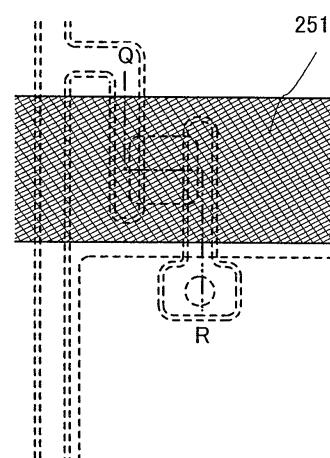
도면4d



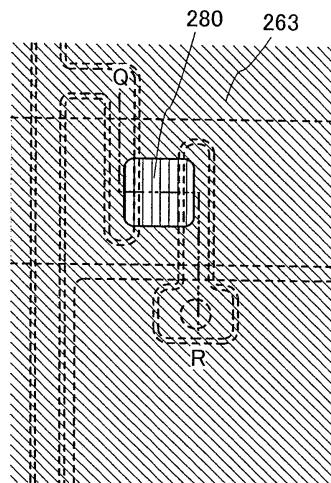
도면5



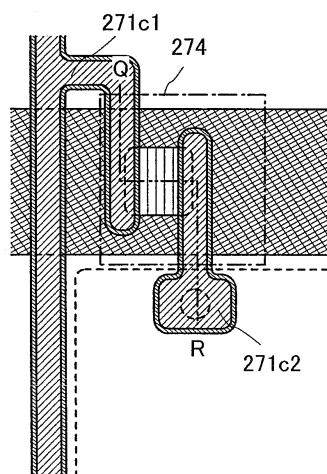
도면6a



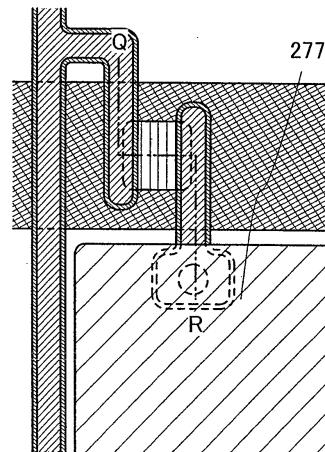
도면6b



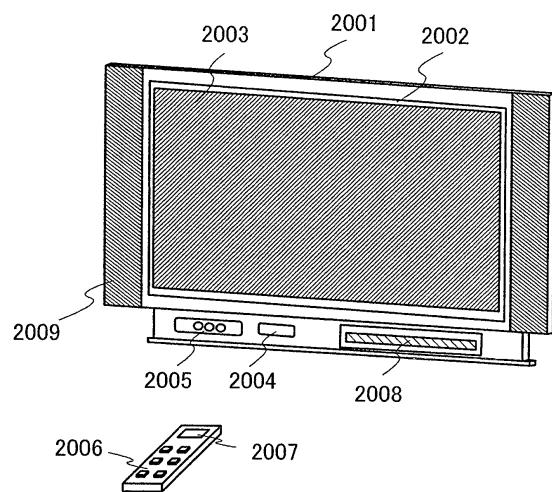
도면6c



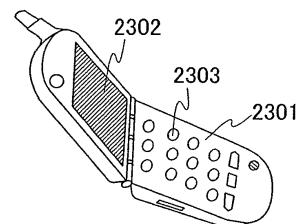
도면6d



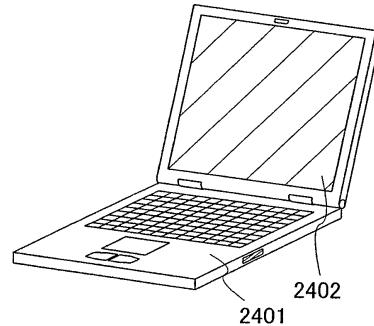
도면7a



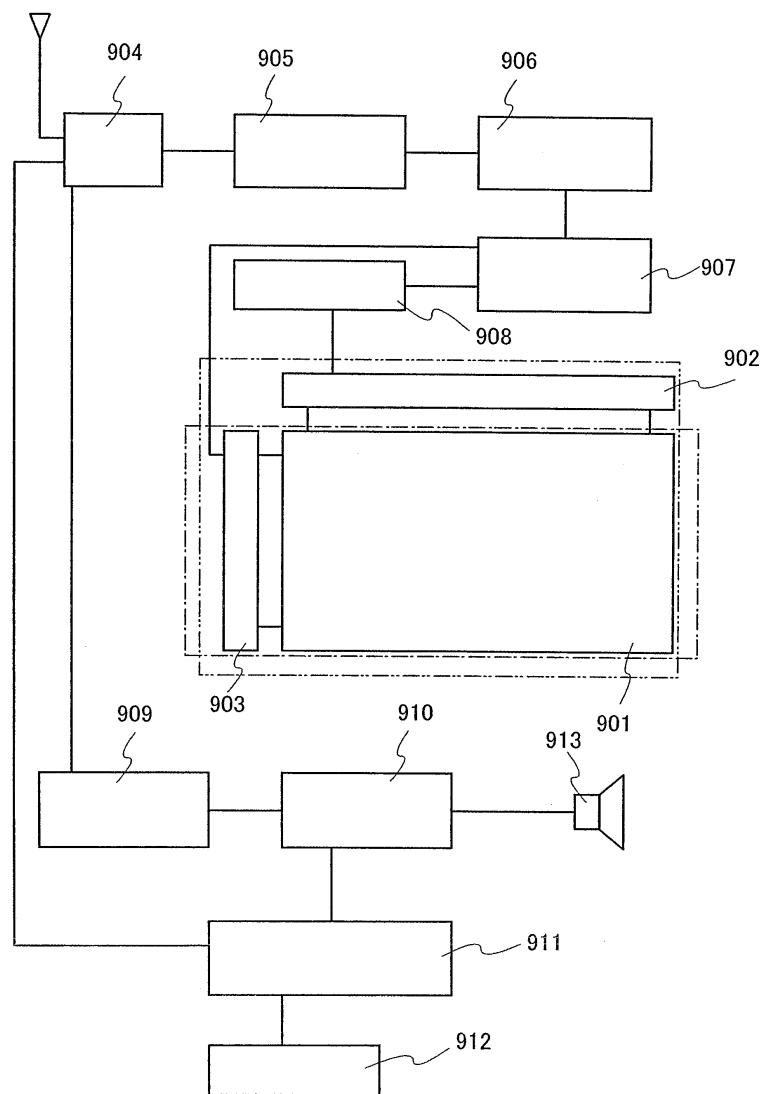
도면7b



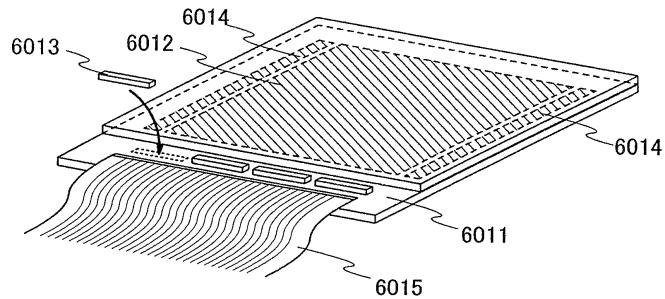
도면7c



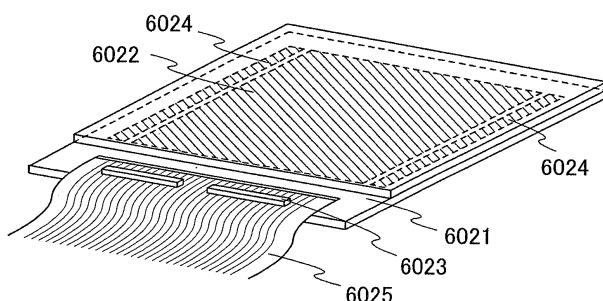
도면8



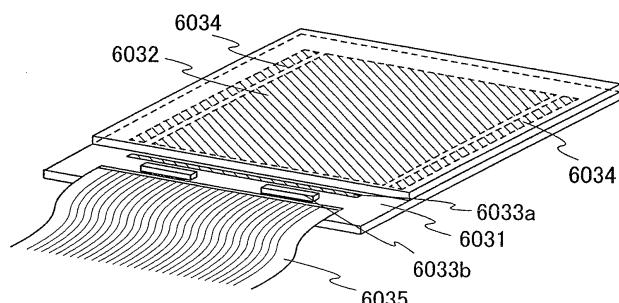
도면9a



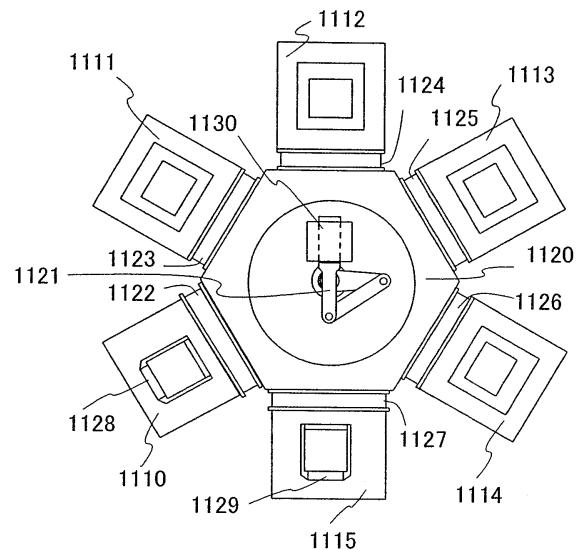
도면9b



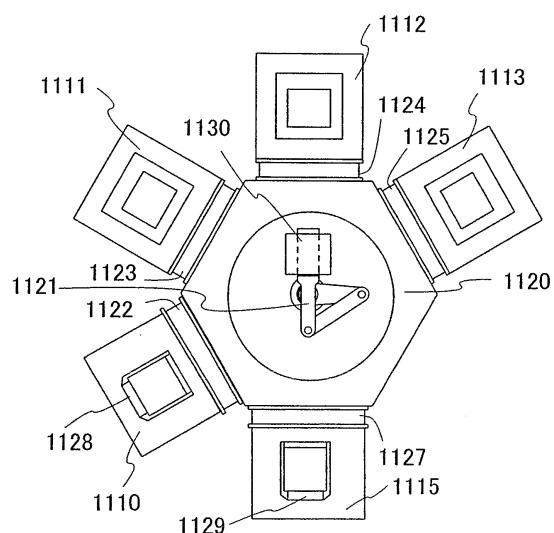
도면9c



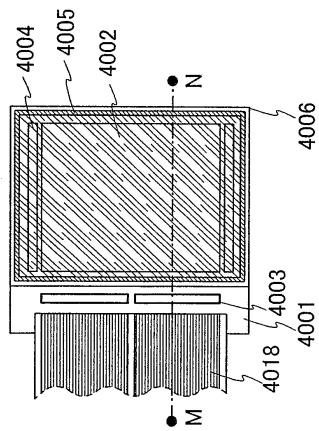
도면10a



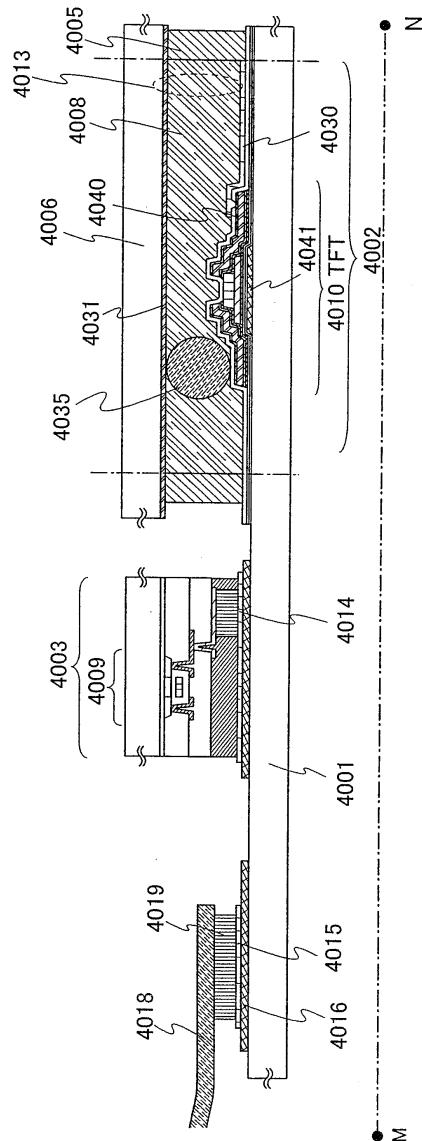
도면10b



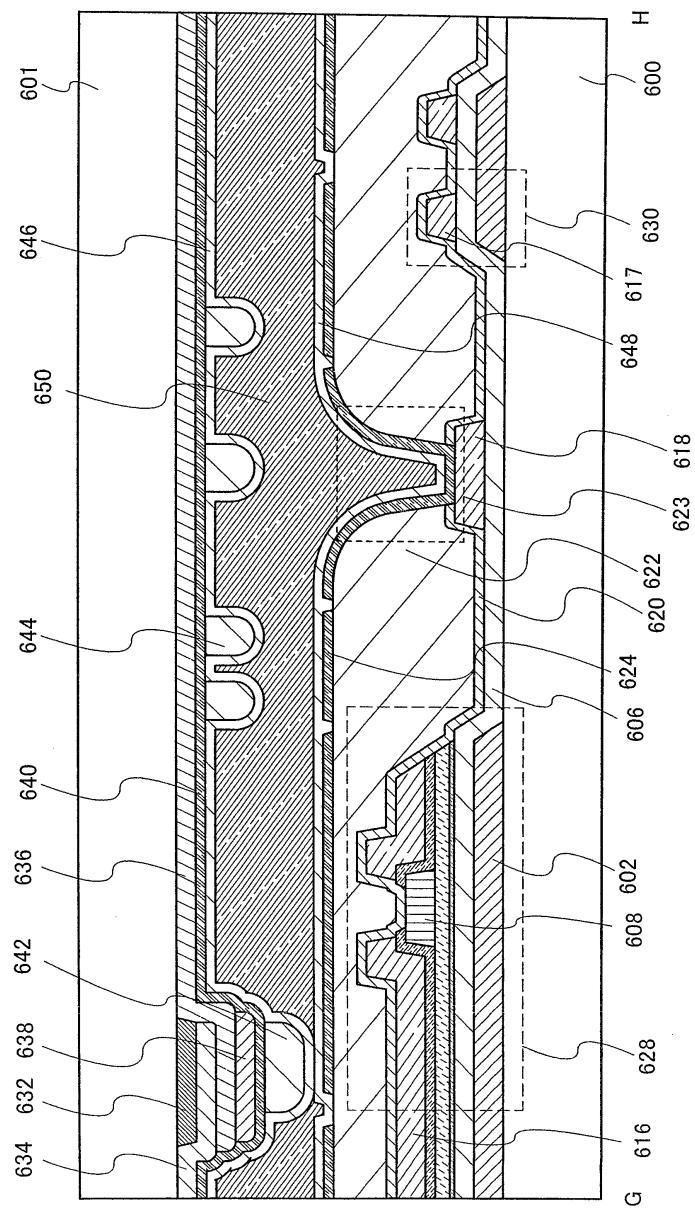
도면11a



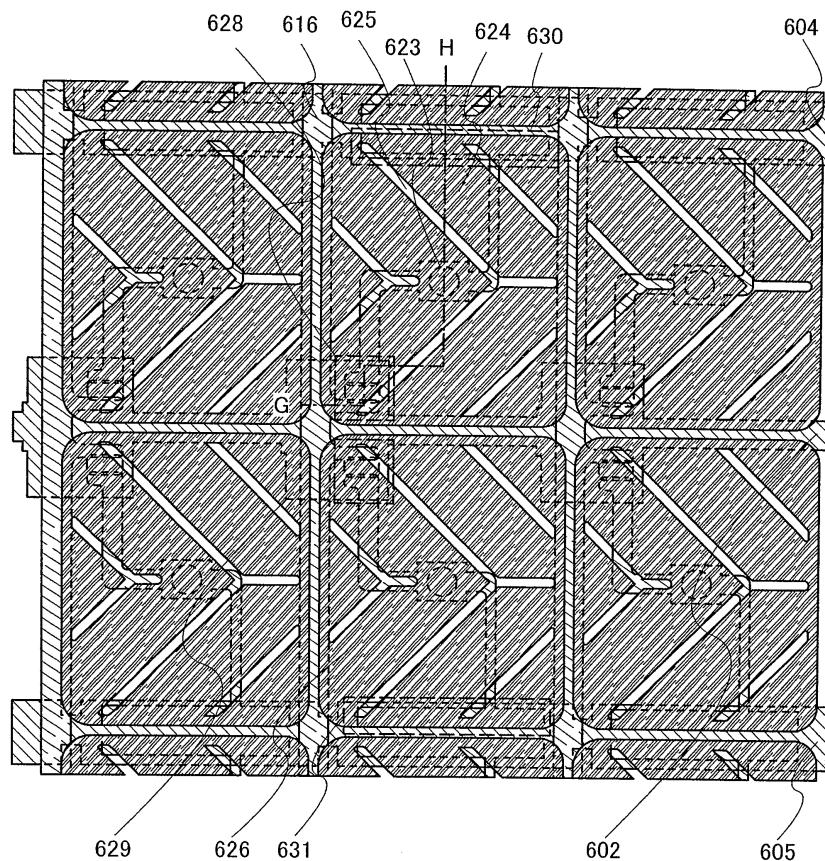
도면11b



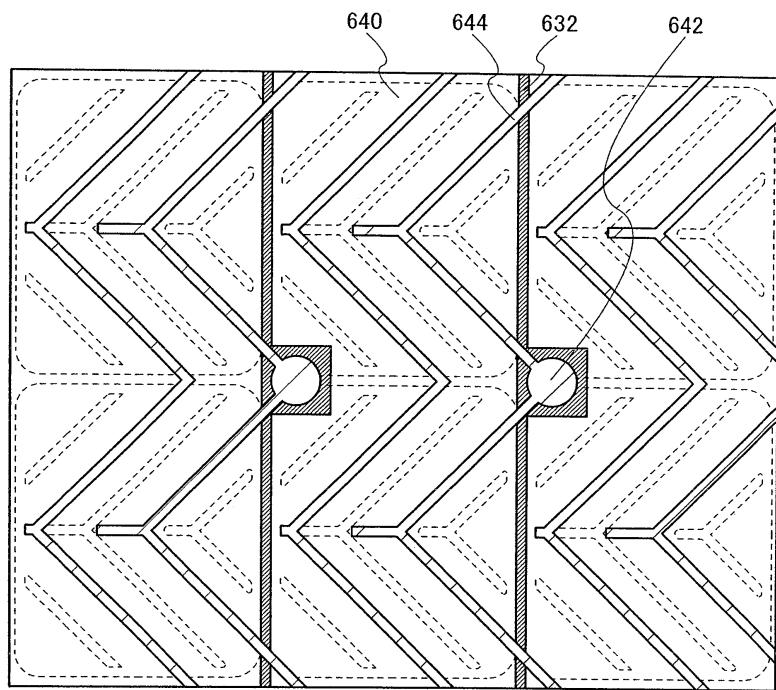
도면12



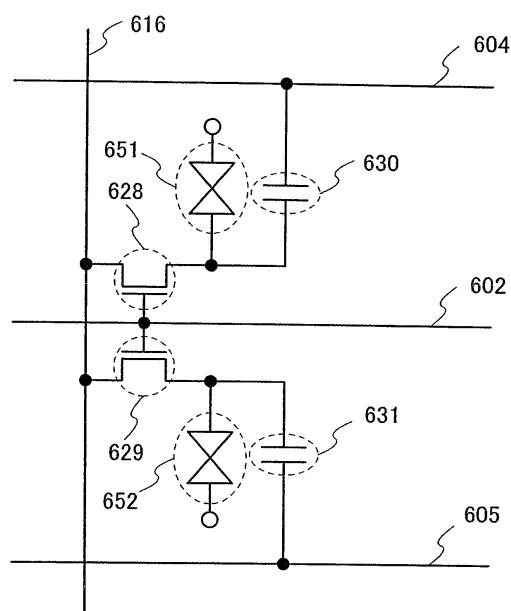
도면13



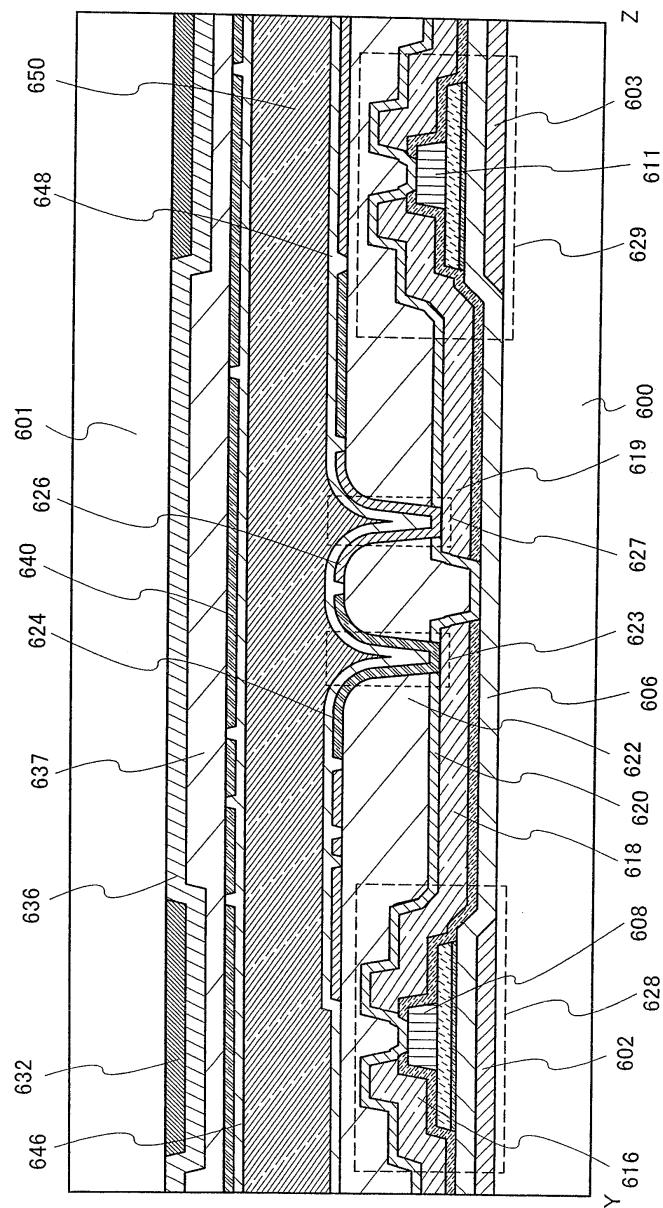
도면14



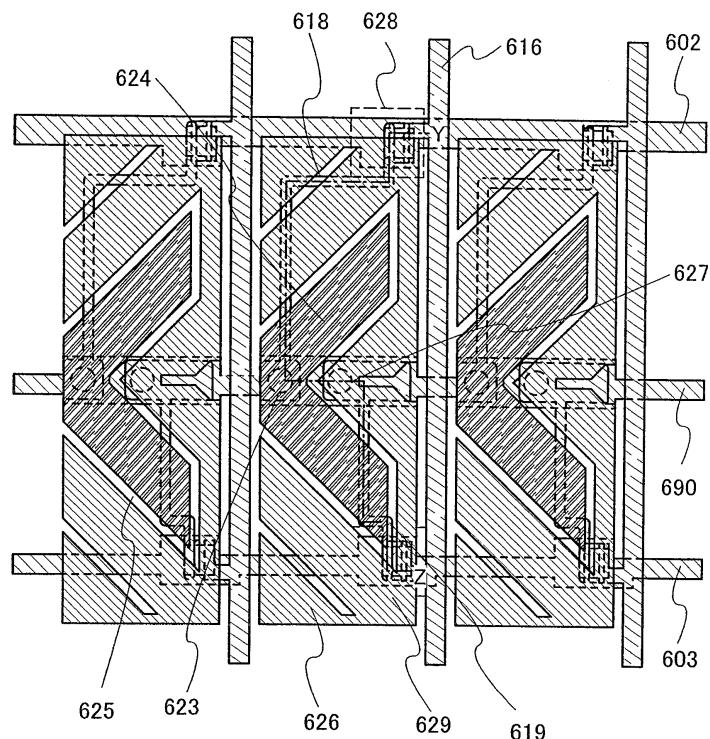
도면15



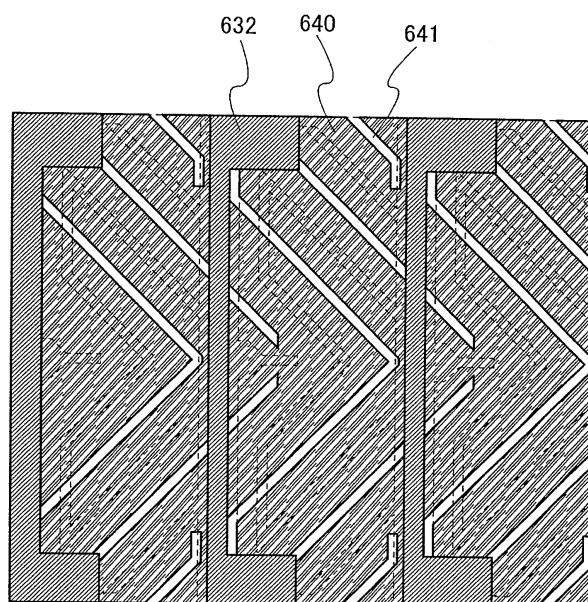
도면16



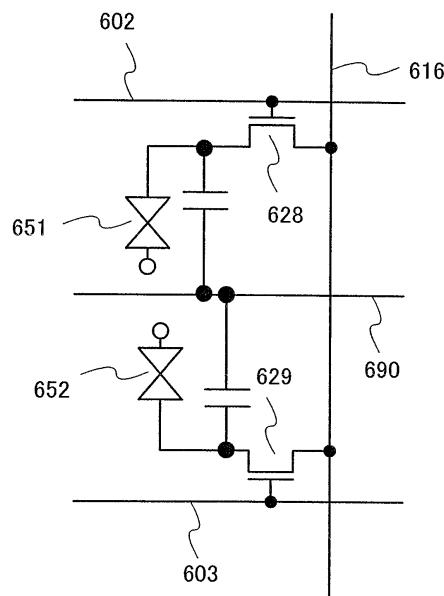
도면17



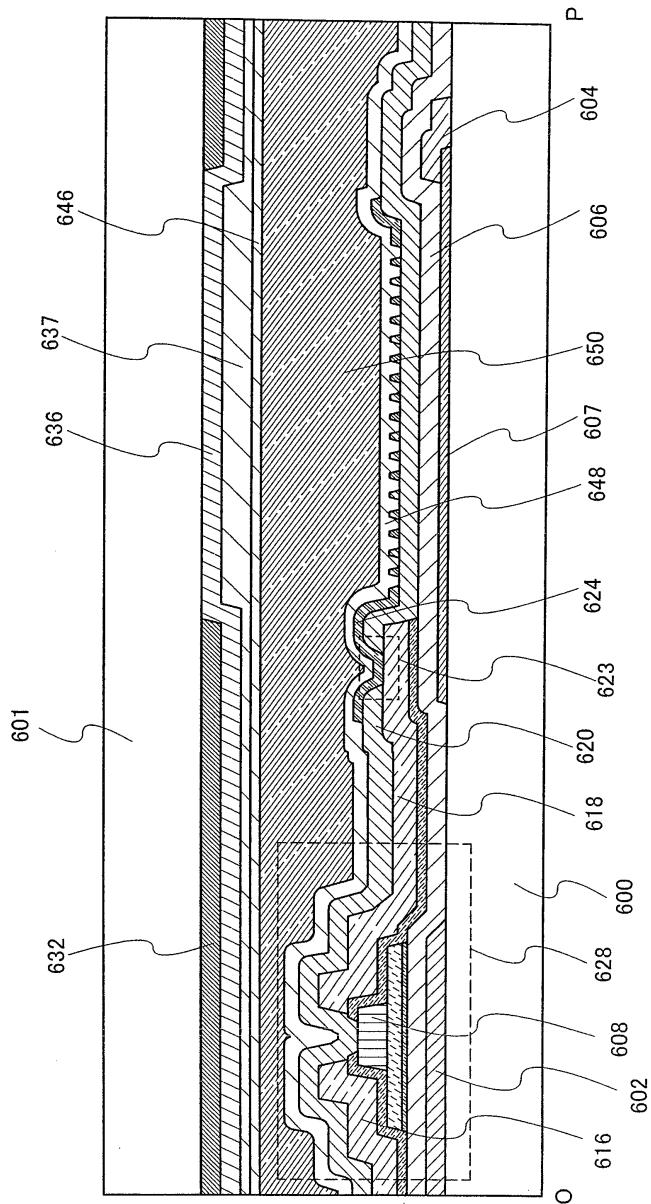
도면18



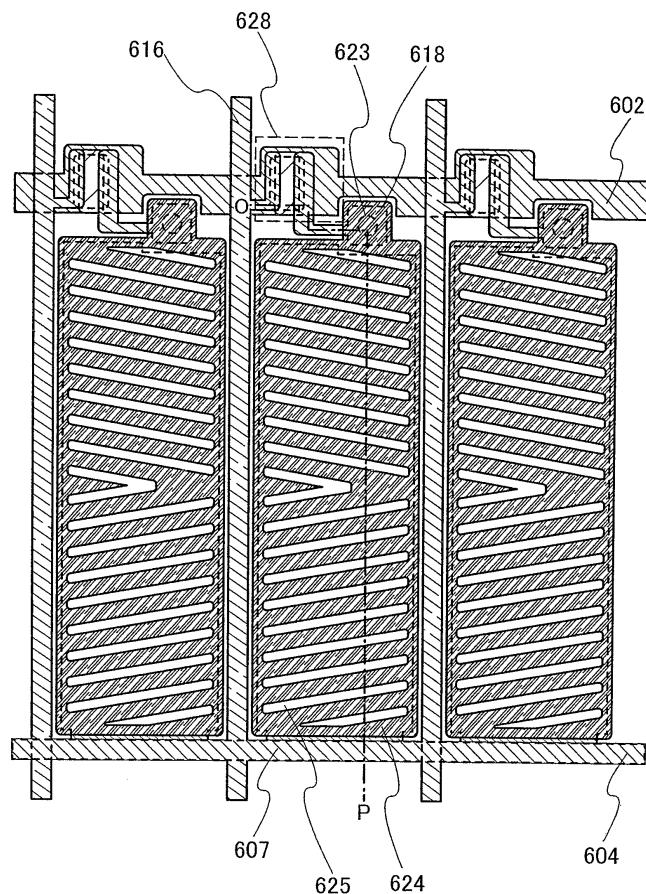
도면19



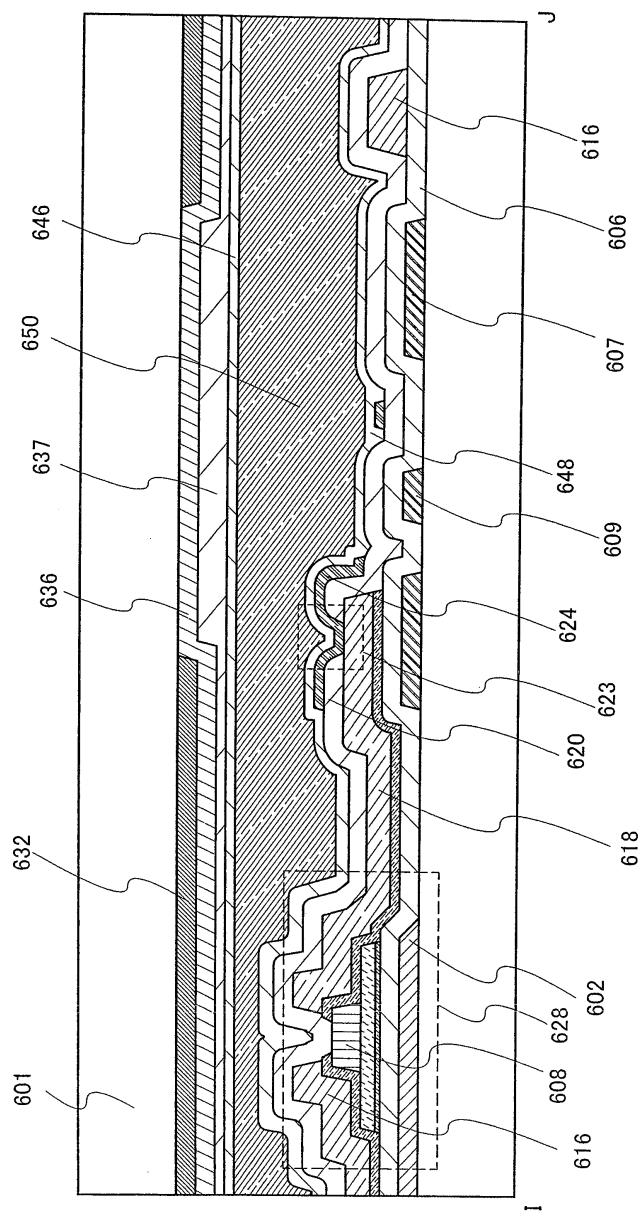
도면20



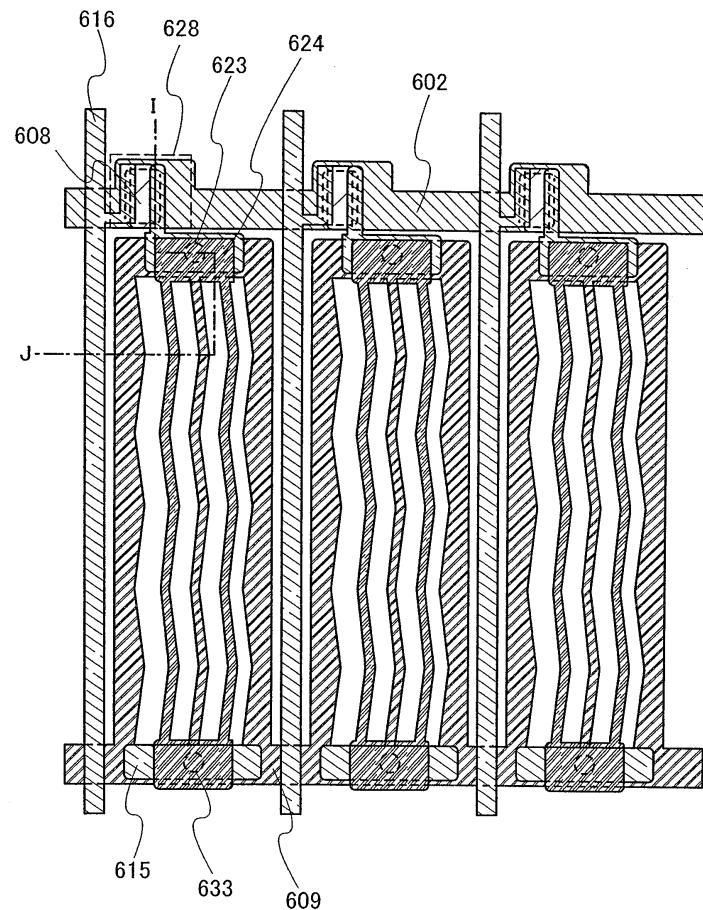
도면21



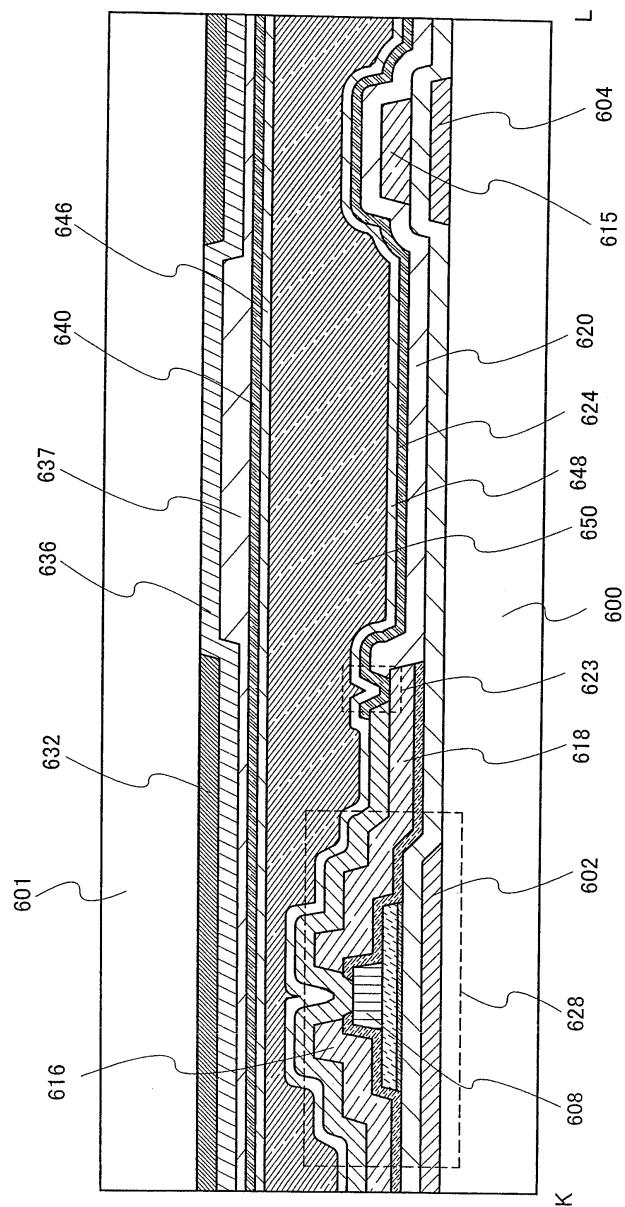
도면22



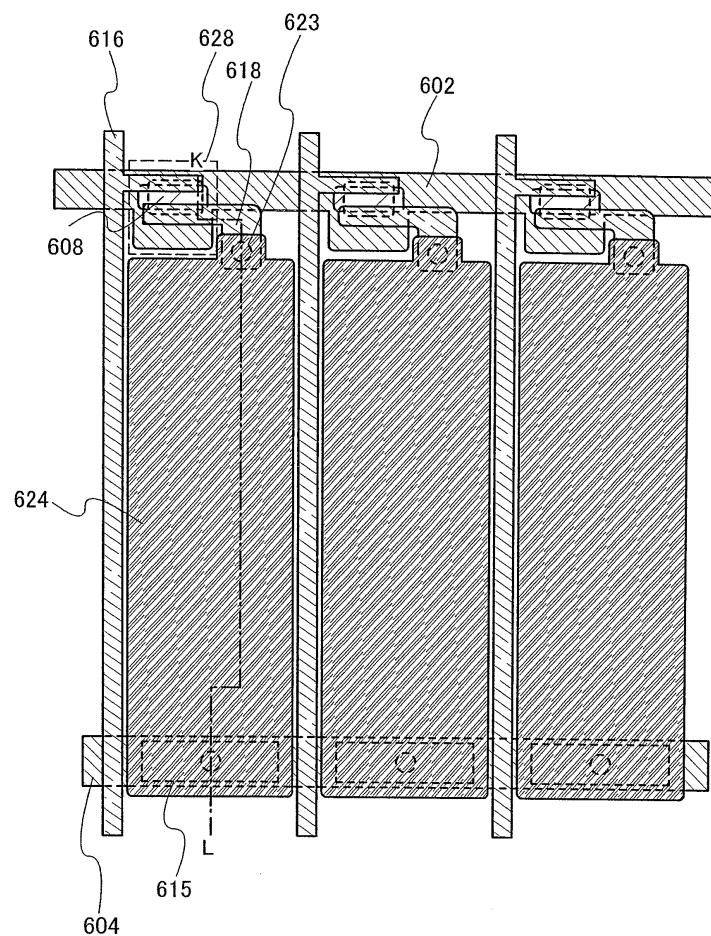
도면23



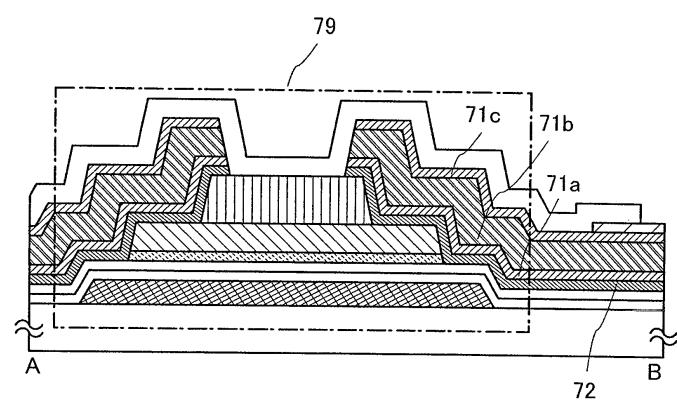
도면24



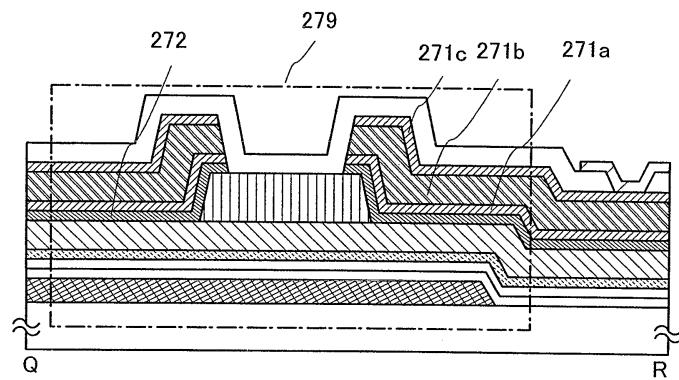
도면25



도면26



도면27



专利名称(译)	液晶显示器		
公开(公告)号	KR101581171B1	公开(公告)日	2015-12-30
申请号	KR1020080069627	申请日	2008-07-17
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이		
发明人	야마자키순페이		
IPC分类号	G02F1/136		
CPC分类号	H01L29/4908 G02F1/1368 H01L27/12 H01L29/458 H01L29/786 H01L29/78696		
代理人(译)	张本勋		
优先权	2007190219 2007-07-20 JP		
其他公开文献	KR1020090009728A		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种具有电特性和高可靠性的薄膜晶体管的液晶显示装置，以及批量生产该液晶显示装置的方法。沟道停止型的反交错薄膜晶体管包括栅电极，栅电极上的栅极绝缘膜和栅极绝缘膜上的沟道形成区，其中反向交错的薄膜晶体管具有沟道停止型反向交错型薄膜晶体管。沟道保护层和缓冲层上的源区和漏区，以及缓冲层上的源区和漏区，在缓冲层上方的微晶半导体膜的沟道形成区上方的沟道保护层，并且具有源电极和漏电极。

