



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월17일
(11) 등록번호 10-1473843
(24) 등록일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2012-0043420
(22) 출원일자 2012년04월25일
심사청구일자 2012년04월25일
(65) 공개번호 10-2013-0120283
(43) 공개일자 2013년11월04일
(56) 선행기술조사문헌
KR1020040020421 A*
KR1020080063020 A
KR1020110120705 A*
JP2009027265 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이주영
경기 과천시 후곡로 50, 419동 1802호 (금촌동,
후곡마을아파트)
(74) 대리인
박장원

전체 청구항 수 : 총 6 항

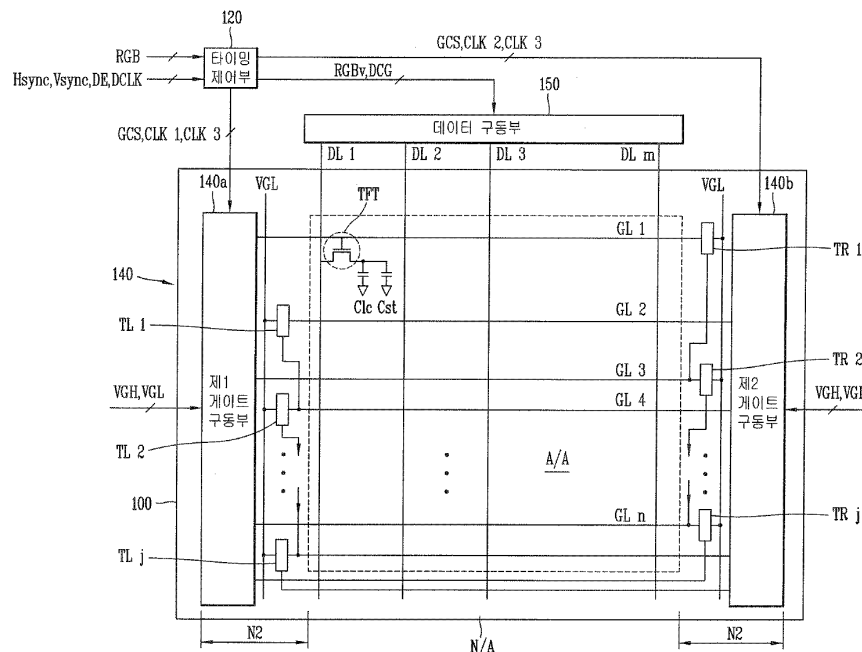
심사관 : 추장희

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 게이트 구동신호를 공급하는 게이트 구동부가 액정패널상에 형성되는 게이트 인 패널(gate-in-panel, GIP)구조의 액정표시장치에서 게이트 구동부가 차지하는 영역을 최소화하여 네로우 베젤(narrow-bezel)을 구현하고, 신호지연에 의한 화질저하문제를 개선한 GIP 방식 듀얼 게이트 구조 액정표시장치(뒷면에 계속)

대표도



치에 관한 것이다.

본 발명의 실시예에 따른 액정표시장치는, 액정패널내에 내장되며 제1 및 제3 클록신호에 대응하여 게이트 하이전압을 기수번째 게이트 배선에 인가하는 제1 게이트 구동부와, 제2 및 제4 클록신호에 대응하여 게이트 하이전압을 우수번째 게이트 배선의 일측에 인가하는 제2 게이트 구동부를 포함한다. 또한, 타 기수번째 게이트 배선의 전압레벨에 대응하여 이전 기수번째 게이트 배선을 방전시키는 L-방전회로와, 타 우수번째 게이트 배선의 전압레벨에 대응하여 이전 우수번째 게이트 배선을 방전시키는 R-방전회로를 구비한다.

따라서, 본 발명은 듀얼 GIP 방식 액정표시장치에서 게이트 구동전압을 두 게이트 구동부에서 동시에 출력하는 것이 아닌 교번으로 출력하는 구조를 통해 스테이지의 개수를 줄임으로서 게이트 구동부가 차지하는 영역을 최소화할 수 있다.

특허청구의 범위

청구항 1

복수의 게이트 배선이 형성된 액정패널;

외부시스템으로부터 타이밍 신호를 인가받아 제1 내지 제4 클럭신호를 생성하는 타이밍 제어부;

상기 제1 및 제3 클럭신호에 대응하여 게이트 하이전압을 n (n 은 자연수) 및 $n+2$ 번째 게이트 배선의 일측에 인가하는 제1 게이트 구동부;

상기 제2 및 제4 클럭신호에 대응하여 상기 게이트 하이전압을 $n+1$ 및 $n+3$ 번째 게이트 배선의 일측에 인가하는 제2 게이트 구동부;

제1 전극이 상기 $n+1$ 번째 게이트 배선과 연결되고, 제2 전극에 게이트 로우 전압이 인가되며, 게이트 전극이 상기 $n+3$ 번째 게이트 배선 또는 더미배선과 연결되는 복수의 트랜지스터로 이루어지는 L-방전회로; 및

제1 전극이 상기 n 번째 게이트 배선과 연결되고, 제2 전극에 게이트 로우 전압이 인가되며, 게이트 전극이 상기 $n+2$ 번째 게이트 배선 또는 더미배선과 연결되는 복수의 트랜지스터로 이루어지는 R-방전회로

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 내지 제4 클럭신호는,

각각 2 수평기간($2H$)의 하이구간을 가지며, 전후 신호간 1 수평기간($1H$)이 중첩되는 것을 특징으로 액정표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제 1 항에 있어서,

상기 제1 및 제2 게이트 구동부는,

상기 액정패널의 비표시영역에 내장되는 것을 특징으로 하는 액정표시장치.

청구항 10

복수의 게이트 배선이 형성된 액정패널;

외부시스템으로부터 타이밍 신호를 인가받아 제1 내지 제6 클럭신호를 생성하는 타이밍 제어부;

상기 제1, 제3 및 제 5 클럭신호에 대응하여 게이트 하이전압을 n (n 은 자연수), $n+2$ 및 $n+4$ 번째 게이트 배선의 일측에 인가하는 제1 게이트 구동부;

상기 제2, 제4 및 제6 클럭신호에 대응하여 상기 게이트 하이전압을 $n+1$, $n+3$ 및 $n+5$ 번째 게이트 배선의 일측에 인가하는 제2 게이트 구동부;

제1 전극이 상기 $n+1$ 번째 게이트 배선과 연결되고, 제2 전극에 게이트 로우 전압이 인가되며, 게이트 전극이 상기 $n+4$ 번째 게이트 배선 또는 더미배선과 연결되는 복수의 트랜지스터로 이루어지는 L-방전회로; 및

제1 전극이 상기 n 번째 게이트 배선과 연결되고, 제2 전극에 게이트 로우 전압이 인가되며, 게이트 전극이 상기 $n+3$ 번째 게이트 배선 또는 더미배선과 연결되는 복수의 트랜지스터로 이루어지는 R-방전회로

를 포함하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 제1 내지 제6 클럭신호는,

각각 3 수평기간(3H)의 하이구간을 가지며, 전후 신호간 2 수평기간(2H)이 중첩되는 것을 특징으로 액정표시장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

제 10 항에 있어서,

상기 제1 및 제2 게이트 구동부는,

상기 액정패널의 비표시영역에 내장되는 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 게이트 구동신호를 공급하는 게이트 구동부가 액정패널상에 형성되는 게이트 인 패널(gate-in-panel, GIP)구조의 액정표시장치에서 게이트 구동부가 차지하는 영역을 최소화하여 네로우 베젤(narrow-bezel)을 구현하고, 신호지연에 의한 화질저하문제를 개선한 GIP 방식 듀얼 게이트 구조 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근, 전자정보 표시장치분야에서는 평판표시장치(Flat Display Device)가 기존의 음극선관 표시장치(CRT)등을 대체하고 있으며, 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 있다. 이러한 평판표시장치들 중, 액정표시장치는 양산화 기술, 구동수단의 용이성, 고화질의 구현 및 대면적 화면의 실현이라는 이유로 인해 현재 가장 많이 사용되고 있다.

[0003] 특히, 스위칭 소자로서 박막트랜지스터(Thin Film Transistor)가 이용되는 액티브 매트릭스(active matrix)방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다. 전술한 박막트랜지스터의 턴-온/오프 동작을 제어하기 위해, 통상의 액정표시장치에는 주사신호를 생성 및 제공하는 게이트 구동부가 구비되며, 화상의 계조를 나타내기 위한 데이터신호를 제공하는 데이터 구동부가 구비된다.

[0004] 특히, 스위치 소자로서 박막 트랜지스터(Thin Film Transistor)가 이용되는 액티브 매트릭스(active matrix) 액정표시장치는 동적인 영상을 표시하기에 적합하다.

[0005] 도 1은 종래의 액정표시장치의 기본 구성을 나타낸 블록도이다.

[0006] 도시된 바와 같이, 종래의 액정표시장치는 화상을 표시하는 액정패널(1)과 구동부들(4,5)로 이루어진다.

[0007] 액정패널(1)은 글라스를 이용한 기판 상에 다수의 게이트배선(GL)과 다수의 데이터배선(DL)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소를 정의하며, 화소에 인가되는 데이터신호에 따라 화상을 표시한다. 이러한 액정패널(1)은 화소가 형성되어 화상을 구현하는 표시영역(A/A)과, 표시영역(A/A)을 둘러싸는 비표시영역(N/A)으로 구분된다.

[0008] 구동부(4,5)는 게이트 구동부(4) 및 데이터 구동부(5)를 포함한다. 게이트 구동부(4)는 타이밍 제어부(미도시)로부터 공급되는 게이트 제어신호(GCS)에 응답하여 액정패널(1)상에 배열된 화소의 스위칭 소자의 턴-온/오프(turn on/off)를 제어한다. 이러한 게이트 구동부(4)는 게이트배선(GL)을 통해 액정패널(1)에 게이트 구동전압(VG)을 출력하여 배선씩 순차적으로 화소의 스위칭 소자를 턴-온함으로써, 한 수평주기마다 데이터 구동회로(5)로부터 공급되는 데이터신호가 화소에 공급되도록 한다.

[0009] 데이터 구동부(5)는 타이밍 제어부로부터 공급되는 데이터 제어신호(DCS)에 응답하여 디지털 파형의 영상데이터를 아날로그 파형의 데이터신호로 변조한다. 다음으로, 하나의 수평기간에 해당하는 데이터신호는 수평주기마다 모든 데이터배선(DL)을 통해 동시에 액정패널(1)에 공급되어 각 화소가 화상의 계조를 표시하게 된다.

[0010] 이러한 구조의 액정표시장치에서, 게이트 구동부(4)는 데이터 구동부(5)에 비해 상대적으로 그 구조가 단순하다는 특징이 있으며, 액정표시장치의 부피와 무게, 그리고 제조비용절감을 위해 게이트 구동부를 별도의 IC로 구현하여 액정패널에 본딩(bonding)하는 방식이 아닌, 액정패널의 기판제조시 박막트랜지스터의 형태로 함께 비표시영역(N/A)상에 제조하는 게이트-인-패널(Gate-In-Panel, GIP)방식이 제안되었다.

[0011] 또한, 액정표시장치는 액정 응답속도의 한계에 따라 화질이 저하되는 모션 블러(motion blur)특성이 있다. 이를 극복하기 위해, 액정표시장치의 구동주파수를 60Hz 가 아닌 120Hz 이상으로 적용하는 방식이 제안되었다. 그러나, 120Hz 이상으로 액정표시장치를 구동하게 되면 하나의 1 수평기간(1H)이 그만큼 짧아지게 됨에 따라, 각 화소의 스위칭 소자를 턴-온하는 시간을 확보하기 어렵게 된다.

[0012] 이에 따라, 최근의 액정표시장치에는 도 1에 도시된 바와 같이 게이트 구동부(4)를 액정패널(10)의 좌우에 GIP 방식으로 내장하고, 각 전후 게이트 구동전압간 오버랩 구간을 두어 게이트 배선에 대한 프리차징(pre-charging)을 통해 스위칭 소자가 안정적으로 턴-온되도록 하는 구조가 적용되고 있다.

[0013] 그러나, 전술한 바와 같이 GIP 방식은 액정패널(1)상에 게이트 구동부(2a, 2b)가 박막트랜지스터를 통해 실장되는 것으로, 액정패널의 좌우측의 비표시영역(N/A)의 폭이 넓어지게 된다. 게이트 구동부(2a, 2b)가 액정패널(1)

의 양측에서 차지하는 영역($2 \times N1$)는 대략 9.5mm 정도이며, 대부분이 박막트랜지스터의 크기에 따라 이용되는 면적이다.

[0014] 도 2는 종래의 액정패널상에서 GIP 방식의 게이트 구동부 중 하나가 차지하는 영역을 설명하기 위한 도면이다. 도시된 바와 같이, 4상 구동 GIP 제1 게이트 구동부(2a)는 클록신호(CLK1 ~ CLK44) 및 스타트신호(Vst)배선영역(21)과, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)배선영역(22)과, 쉬프트레지스트 영역(23)과, 레벨 쉬프트 영역(24) 및 출력배선영역(25)으로 이루어진다.

[0015] 이러한 구조에 따라, 제1 게이트 구동부(2a)는 게이트 구동전압(VG)을 출력하는 하나의 스테이지가 세로(액정패널의 단축)방향으로 L1, 가로(액정패널의 장축)방향으로 N1 너비를 갖게 된다. 따라서, 듀얼 게이트 구조의 경우, 가로방향으로 $2 \times N1$ 너비의 영역을 차지하게 된다.

[0016] 최근에는 액정표시장치의 비표시영역(N/A)의 폭을 최소화하는 네로우 베젤(narrow bezel)구조가 선호되고 있으며, 따라서 5.5mm 이하의 네로우 베젤형 액정표시장치에는 전술한 듀얼 GIP 방식을 적용할 수 없다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로, GIP 방식의 듀얼 게이트 구조 액정표시장치에서 액정패널상의 게이트 구동부가 차지하는 영역을 최소화하여 네로우 베젤형 액정표시장치를 구현하는데 그 목적이 있다.

[0018] 또한, 본 발명은 120Hz 구동 액정표시장치에서 게이트 배선의 신호지연에 따른 방전기간 지연에 따른 화질저하 문제를 해결하는데 다른 목적이 있다.

과제의 해결 수단

[0019] 전술한 목적을 달성하기 위해, 본 발명의 제1 실시예에 따른 액정표시장치는, 복수의 게이트 배선이 형성된 액정패널; 외부시스템으로부터 타이밍 신호를 인가받아 제1 내지 제4 클록신호를 생성하는 타이밍 제어부; 상기 제1 및 제3 클록신호에 대응하여 게이트 하이전압을 n(n은 자연수) 및 n+2번째 게이트 배선의 일측에 인가하는 제1 게이트 구동부; 상기 제2 및 제4 클록신호에 대응하여 상기 게이트 하이전압을 n+1 및 n+3번째 게이트 배선의 일측에 인가하는 제2 게이트 구동부; n+3 게이트 배선의 전압레벨에 대응하여 상기 n+1 번째 게이트 배선의 타측에 게이트 로우전압을 인가하는 L-방전회로; 및 상기 n+2 번째 게이트 배선의 전압레벨에 대응하여 상기 n 번째 게이트 배선의 타측에 게이트 로우전압을 인가하는 R-방전회로를 포함한다.

[0020] 상기 제1 내지 제4 클록신호는, 각각 2 수평기간(2H)의 하이구간을 가지며, 전후 신호간 1 수평기간(1H)이 중첩되는 것을 특징으로 한다.

[0021] 상기 제1 게이트 구동부는, 서로 연결되고, 상기 제1 및 제3 클록신호 중, 어느 하나를 인가받아 동작하는 복수의 L-스테이지를 포함하고, 상기 L-방전회로는, 상기 복수의 L-스테이지 사이에 형성되는 것을 특징으로 한다.

[0022] 상기 제1 게이트 구동부는, 상기 R-방전회로와 연결되는 적어도 하나의 더미 L-스테이지를 더 포함하는 것을 특징으로 한다.

[0023] 상기 L-방전회로는, 상기 n+1 번째 게이트 배선과 연결되는 제1 전극; 상기 게이트 로우전압이 인가되는 제2 전극; 및 상기 n+3 번째 게이트 배선 또는 더미배선과 연결되는 게이트 전극을 포함하는 복수의 트랜지스터인 것을 특징으로 한다.

[0024] 상기 제2 게이트 구동부는, 서로 연결되고, 상기 제2 및 제4 클록신호 중, 어느 하나를 인가받아 동작하는 복수의 R-스테이지를 포함하고, 상기 R-방전회로는, 상기 복수의 R-스테이지 사이에 형성되는 것을 특징으로 한다.

[0025] 상기 제2 게이트 구동부는, 상기 L-방전회로와 연결되는 적어도 하나의 더미 R-스테이지를 더 포함하는 것을 특징으로 한다.

[0026] 상기 R-방전회로는, 상기 n 번째 게이트 배선과 연결되는 제1 전극; 상기 게이트 로우전압이 인가되는 제2 전극; 및 상기 n+2 번째 게이트 배선 또는 더미배선과 연결되는 게이트 전극을 포함하는 복수의 트랜지스터인 것을 특징으로 한다.

- [0027] 상기 제1 및 제2 게이트 구동부는, 상기 액정패널의 비표시영역에 내장되는 것을 특징으로 한다.
- [0028] 또한, 전술한 목적을 달성하기 위해, 본 발명의 제2 실시예에 따른 액정표시장치는, 복수의 게이트 배선이 형성된 액정패널; 외부시스템으로부터 타이밍 신호를 인가받아 제1 내지 제6 클록신호를 생성하는 타이밍 제어부; 상기 제1, 제3 및 제 5 클록신호에 대응하여 게이트 하이전압을 n (n 은 자연수), $n+2$ 및 $n+4$ 번째 게이트 배선의 일측에 인가하는 제1 게이트 구동부; 상기 제2, 제4 및 제6 클록신호에 대응하여 상기 게이트 하이전압을 $n+1$, $n+3$, $n+5$ 번째 게이트 배선의 일측에 인가하는 제2 게이트 구동부; 상기 $n+4$ 번째 게이트 배선의 전압레벨에 대응하여 상기 $n+1$ 번째 게이트 배선의 타측에 게이트 로우전압을 인가하는 R-방전회로; 및 상기 $n+3$ 번째 게이트 배선의 전압레벨에 대응하여 상기 n 번째 게이트 배선의 타측에 게이트 로우전압을 인가하는 L-방전회로를 포함한다.
- [0029] 상기 제1 내지 제6 클록신호는, 각각 3 수평기간($3H$)의 하이구간을 가지며, 전후 신호간 2 수평기간($2H$)이 중첩되는 것을 특징으로 한다.
- [0030] 상기 제1 게이트 구동부는, 서로 연결되고, 상기 제1, 제3 및 제5 클록신호 중, 어느 하나를 인가받아 동작하는 복수의 L-스테이지를 포함하고, 상기 L-방전회로는, 상기 복수의 L-스테이지 사이에 형성되는 것을 특징으로 한다.
- [0031] 상기 제1 게이트 구동부는, 상기 R-방전회로와 연결되는 적어도 하나의 더미 L-스테이지를 더 포함하는 것을 특징으로 한다.
- [0032] 상기 L-방전회로는, 상기 $n+1$ 번째 게이트 배선과 연결되는 제1 전극; 상기 게이트 로우전압이 인가되는 제2 전극; 및 상기 $n+4$ 번째 게이트 배선 또는 더미배선과 연결되는 게이트 전극을 포함하는 복수의 트랜지스터인 것을 특징으로 한다.
- [0033] 상기 제2 게이트 구동부는, 서로 연결되고, 상기 제2, 제4 및 제6 클록신호 중, 어느 하나를 인가받아 동작하는 복수의 R-스테이지를 포함하고, 상기 R-방전회로는, 상기 복수의 R-스테이지 사이에 형성되는 것을 특징으로 한다.
- [0034] 상기 제2 게이트 구동부는, 상기 L-방전회로와 연결되는 적어도 하나의 더미 R-스테이지를 더 포함하는 것을 특징으로 한다.
- [0035] 상기 R-방전회로는, 상기 n 번째 게이트 배선과 연결되는 제1 전극; 상기 게이트 로우전압이 인가되는 제2 전극; 및 상기 $n+3$ 번째 게이트 배선 또는 더미배선과 연결되는 게이트 전극을 포함하는 복수의 트랜지스터인 것을 특징으로 한다.
- [0036] 상기 제1 및 제2 게이트 구동부는, 상기 액정패널의 비표시영역에 내장되는 것을 특징으로 한다.

발명의 효과

- [0037] 본 발명의 바람직한 실시예에 따르면, 듀얼 GIP 방식 액정표시장치에서 게이트 구동전압을 두 게이트 구동부에서 동시에 출력하는 것이 아닌 교번으로 출력하는 구조를 통해 스테이지의 개수를 줄임으로서 게이트 구동부가 차지하는 영역을 최소화할 수 있는 효과가 있다.
- [0038] 또한, 본 발명은 게이트 구동부의 각 스테이지 대하여 별도의 방전수단을 구비하고 1 수평기간($1H$)마다 후단 스테이지의 출력과 동기하여 게이트 배선을 방전함으로써 방전기간 지연에 따른 액정표시장치의 화질저하문제를 해결할 수 있는 다른 효과가 있다.

도면의 간단한 설명

- [0039] 도 1은 종래의 액정표시장치의 기본 구성을 나타낸 블록도이다.
- 도 2는 종래의 액정패널상에서 GIP 방식의 게이트 구동부 중 하나가 차지하는 영역을 설명하기 위한 도면이다.
- 도 3은 본 발명의 제1 실시예에 따른 액정표시장치 및 이의 구동부를 도시한 도면이다.
- 도 4는 본 발명의 제1 실시예에 따른 액정패널상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.
- 도 5a는 방전회로를 구비하지 않은 GIP 방식 듀얼 게이트 구조 액정표시장치의 게이트 배선에 대한 전압변화를

도시한 도면이고, 도 5b는 본 발명의 제1 실시예에 따른 액정표시장치의 게이트 배선에 대한 전압변화를 도시한 도면이다.

도 6은 본 발명의 제2 실시예에 따른 액정패널상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.

도 7은 본 발명의 제2 실시예에 따른 액정패널상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.

도 8은 본 발명의 제2 실시예에 따른 액정표시장치의 게이트 배선에 대한 전압변화를 도시한 도면이다.

도 9는 본 발명의 제2 실시예에 따른 액정표시장치의 게이트 구동부 중 하나가 차지하는 영역을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 이하, 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및 이의 구동부를 설명하면 다음과 같다.
- [0041] 도 3은 본 발명의 제1 실시예에 따른 액정표시장치 및 이의 구동부를 도시한 도면이다.
- [0042] 도시된 바와 같이, 본 발명의 액정표시장치는 화상을 표시하는 액정패널(100)과, 외부시스템으로부터 타이밍 신호를 인가받아 각종 제어신호를 생성하는 타이밍 제어부(120)와, 제어신호에 대응하여 액정패널(100)을 제어하는 게이트 및 데이터구동부(140, 150)을 포함한다.
- [0043] 액정패널(100)은 글라스를 이용한 기판 상에 다수의 게이트배선(GL)과 다수의 데이터배선(DL)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소를 정의한다. 각 화소에는 박막트랜지스터(TFT)와 액정캐패시터(Clc) 및 스토리지캐패시터(Cst)가 구비되며, 모든 화소들은 하나의 표시영역(A/A)을 이루게 된다. 화소가 정의되지 않은 영역은 비표시영역(N/A)으로 구분된다.
- [0044] 타이밍 제어부(120)는 외부시스템으로부터 전송되는 영상신호(RGB)와, 클럭신호(DCLK), 수평동기신호(Hsync), 수직동기신호(Vsync) 및 데이터 인에이블 신호(DE)등의 타이밍 신호를 인가받아 게이트 구동부(140) 및 데이터 구동부(150)의 제어신호를 생성한다.
- [0045] 여기서, 수평동기신호(Hsync)는 화면의 한 수평선을 표시하는 데 걸리는 시간을 나타내는 신호이고, 수직동기신호(Vsync)는 한 프레임의 화면을 표시하는 데 걸리는 시간을 나타내는 신호이다. 또한, 데이터 인에이블 신호(DE)는 액정패널(100)에 정의된 화소에 데이터전압을 공급하는 기간을 나타내는 신호이다.
- [0046] 또한, 타이밍 제어부(120)는 입력되는 타이밍 신호에 동기하여 게이트 구동부(140)의 제어신호(GCS) 및 데이터 구동부(150)의 제어신호(DCS)를 생성한다.
- [0047] 그 밖에 타이밍 제어부(120)는 게이트 구동부(140)의 각 스테이지의 구동 타이밍을 결정하는 복수의 클럭신호(CLK 1 ~ CLK 4)를 생성하고, 게이트 구동부(140)에 제공한다. 여기서, 제1 내지 제4 클럭신호(CLK 1 ~ CLK 4)는 하이구간이 2 수평기간(2H)동안 진행되며, 서로간 1 수평기간(1H)이 중첩되는 신호이다.
- [0048] 그리고, 타이밍 제어부(120)는 입력받은 영상데이터(RGB DATA)를 데이터 구동부(150)가 처리가능한 형태로 정렬 및 변조하여 출력한다. 여기서, 정렬된 영상데이터(RGBv)는 화질개선을 위한 색좌표 보정 알고리즘이 적용된 형태일 수 있다.
- [0049] 게이트 구동부(140)는 액정패널(100)의 양단, 비표시영역(N/A)에 두 개가 구비된다. 각 게이트 구동부(140a, 140b)는 쉬프트레지스터를 포함하는 복수의 스테이지로 이루어진다. 이러한 게이트 구동부(140)는 액정패널(100)의 기판 제조시 박막패턴 형태로 비표시영역상에 게이트-인-패널(Gate-In-Panel, GIP)방식으로 내장된다.
- [0050] 이러한 제1 및 제2 게이트 구동부(140a, 140b)는 타이밍 제어부(120)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(100)에 형성된 다수의 게이트 배선(GL 1 ~ GL n)을 통해 2 수평기간(2H)마다 교번으로 게이트 하이전압(VGH)을 출력한다. 여기서, 출력된 게이트 하이전압(VGH)은 2 수평기간(2H)동안 유지되고 전후 게이트 하이전압(VGH)이 1 수평기간(1H) 동안 중첩된다. 이는 게이트 배선(GL 1 ~ GL n)을 프리차징(pre-charging)하기 위한 것으로, 데이터전압 인가시 보다 안정적인 화소 충전을 진행할 수 있다.
- [0051] 이를 위해, 제1 게이트 구동부(140a)에는 각각 2 수평기간(2H)을 갖는 제1 및 제3 클럭신호(CLK 1, CLK 3)가 인

가되고, 제2 게이트 구동부(140b)에는 제1 및 제3 클럭신호(CLK 1, CLK 3)와 1 수평기간(1H)이 중첩되며, 2 수평기간(2H)을 갖는 제2 및 제4 클럭신호(CLK 2, CLK 4)가 인가된다.

[0052] 일 예로서, 제1 게이트 구동부(140a)가 n 번째 게이트 배선(GL n)으로 게이트 하이전압(VGH)을 출력하면, 1 수평기간(1H) 후 제2 게이트 구동부(140b)는 n+1 번째 게이트 배선(GL n+1)으로 게이트 하이전압(VGH)을 출력한다.

[0053] 다음으로, 1 수평기간(1H) 후 다시 제1 게이트 구동부(140a)가 n+2 번째 게이트 배선(GL n+2)으로 게이트 하이전압(VGH)을 출력하면, 이와 동시에 제1 게이트 구동부(140a)는 n 번째 게이트 배선(GL n)으로 게이트 로우전압(VGL)을 출력하여 박막 트랜지스터(TFT)를 턴-오프 함으로서 액정캐패시터(C1c)에 충전된 데이터전압이 1 프레임동안 유지되도록 한다.

[0054] 특히, 본 발명은 게이트 배선(GL n)의 전압이 게이트 하이전압(VGH)에서 로우전압(VGL)으로 전환되는 시점에 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)를 더 구비하여 게이트 배선(GL n)의 방전지연을 최소화 하는 것을 특징으로 한다.

[0055] 전술한 방전회로는 각 게이트 배선(GL 1 ~ GL n)에 대응하여 그 끝단과 연결되며, 기수번째 게이트 배선(GL 2n-1)과 연결되는 R 방전회로(TR 1 ~ TR j, j는 자연수)는 제2 게이트 구동부(140b)에 인접하여 구비되고, 우수번째 게이트 배선(GL 2n)과 연결되는 L 방전회로(TL 1 ~ TL j)는 제1 게이트 구동부(140a)에 인접하여 구비된다.

[0056] 여기서, 각 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)는 하나의 게이트 배선(GL n)을 기준으로 2번째 이후의 배선(GL n+2)과 연결되어 게이트 로우전압(VGL)을 해당 게이트 배선(GL n)에 인가하는 구조이다.

[0057] 이러한 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)는 게이트 구동부(140)를 구성하는 각 스테이지 사이에 박막트랜지스터로 형성된다. 이에 따라 각 게이트 구동부(140a, 140b)가 액정패널(100)의 비표시영역(N/A)에서 차지하는 면적(2 X N2)이 줄어들어 네로우 베젤(narrow bezel)을 구현 할 수 있다.

[0058] 이러한 게이트 구동부(140)의 스테이지 및 방전회로의 보다 상세한 구조를 후술하도록 한다.

[0059] 데이터 구동부(150)는 타이밍 제어부(120)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 디지털 형태의 변조 영상데이터(RGBv)를 기준전압(Vref)에 따라 선택적으로 아날로그 형태의 데이터전압(VDATA)으로 변환한다. 데이터전압(VDATA)은 하나의 수평배선씩 래치되고, 하나의 수평기간(1H)동안 모든 데이터 배선(DL 1 ~ DL m)을 통해 동시에 액정패널(100)에 입력된다.

[0060] 전술한 구조에 따라, 본 발명의 실시예에 따른 통합형 구동회로를 포함하는 액정표시장치는 양 게이트 구동부에서 게이트 구동전압을 동시에 출력하는 것이 아닌 교번으로 출력하여 스테이지의 개수를 줄이되, 각 스테이지 사이에 별도의 방전수단을 구비하여 게이트 배선의 방전을 보조함으로서 방전기간 지연을 최소화한다.

[0061] 이하, 도면을 참조하여 본 발명의 제1 실시예에 따른 게이트 구동부 및 방전회로의 구조를 보다 상세하게 설명하도록 한다.

[0062] 도 4는 본 발명의 제1 실시예에 따른 액정패널상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.

[0063] 도시된 바와 같이, 본 발명의 게이트 구동부는 액정패널의 일단에 형성되는 제1 게이트 구동부(140a) 및 타단에 형성되는 제2 게이트 구동부(140b)를 포함한다. 또한, 방전회로는 제1 게이트 구동부(140a)의 각 스테이지 사이에 형성되는 복수의 L-방전 트랜지스터 (TL 1 ~ TL j) 및 제2 제 게이트 구동부(140b)의 각 스테이지 사이에 형성되는 복수의 R-방전트랜지스터(TR 1 ~ TR j)를 포함한다.

[0064] 각 스테이지에는 4상 방식으로 제1 내지 제4 클럭신호(CLK 1 ~ CLK 4)와, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 인가되며, 도시하지는 않았지만, 전원전압(VDD) 및 접지전압(GND)이 인가될 수 있다. 특히, 제1 내지 제4 클럭신호(CLK 1 ~ CLK 4)는 하이구간이 2 수평기간(2H)동안 진행되며, 서로 1 수평기간(1H)이 중첩되는 신호이다. 또한, 게이트 하이전압(VGH)은 표시영역(A/A)의 박막트랜지스터를 턴-온하는 전압이며, 게이트 로우전압(VGL)은 박막트랜지스터를 턴-오프하는 전압이다.

[0065] 제1 게이트 구동부(140a)는 제1 및 제3 클럭신호(CLK 1, CLK 3)와, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 인가 받으며, 게이트 스타트 펄스(GSP)에 대응하는 제1 스타트전압(Vst 1)에 따라 다수의 기수 게이트 배선(GL 2n-1)에 게이트 구동전압을 출력한다. 게이트 구동전압 중, 박막트랜지스터를 턴-온하는 게이트 하이전압(VGH)은 2 수평기간(2H)씩 출력된다. 또한, 전후 게이트 하이전압(VGH)은 서로 1 수평기간(1H)씩 중첩된다.

- [0066] 이러한 제1 게이트 구동부(140a)는 출력단과 제1 스타트전압(V_{st1})단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) L-스테이지(STL 1 ~ STL k)와, 더미 L-스테이지(DTL)로 이루어진다.
- [0067] 제2 게이트 구동부(140b)는 제2 및 제4 클럭신호(CLK 2, CLK 4)와, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 인가 받으며, 게이트 스타트 펄스(GSP)에 대응하는 제2 스타트전압(V_{st2})에 따라 다수의 우수번째 게이트 배선(GL 2n)에 게이트 구동전압을 출력한다.
- [0068] 이러한 제2 게이트 구동부(140b)는 출력단과 제2 스타트전압(V_{st2})단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) R-스테이지(STR 1 ~ STR k)와, 더미 R-스테이지(DTR)로 이루어진다.
- [0069] 또한, 각 L-스테이지(STL 1 ~ STL k)와 더미 L-스테이지(DTL) 사이에는 L-방전 트랜지스터(TL 1 ~ TL j)가 구비된다.
- [0070] L-방전 트랜지스터(TL 1 ~ TL j)의 제1 전극은 R-스테이지(STR 1 ~ STR k)의 출력단과 연결된 우수번째 게이트 배선(GL 2n)과 연결된다. 제2 전극은 게이트 로우전압(VGL) 공급배선이 연결된다. 또한, 게이트 전극은 R-스테이지(STR 1 ~ STR k) 또는 더미 R-스테이지(DTL)의 출력단과 연결되는 우수번째 게이트 배선과 연결되며, 제1 전극과 연결된 배선의 후순위의 우수번째 게이트 배선(GL 2n+2) 또는 더미 게이트 배선(DGL 1)과 연결된다.
- [0071] 즉, 제1 L-방전 트랜지스터(TL 1)의 제1 전극은 제2 게이트 배선(GL 2)과 연결되며, 게이트 전극은 제4 게이트 배선(GL 4)과 연결되고, 제2 전극에는 게이트 로우전압(VGL)이 인가되는 구조이다.
- [0072] R-방전 트랜지스터(TR 1 ~ TR j)의 제1 전극은 L-스테이지(STL 1 ~ STL)의 출력단과 연결된 기수번째 게이트 배선(GL 2n-1)과 연결된다. 제2 전극은 게이트 로우전압(VGL) 공급배선이 연결된다. 또한, 게이트 전극은 L-스테이지(STL 1 ~ STL k) 또는 더미 L-스테이지(DTL)의 출력단과 연결되는 기수번째 게이트 배선과 연결되며, 제1 전극과 연결된 배선의 후순위의 기수번째 게이트 배선(GL 2n+1) 또는 더미 게이트 배선(DGL 2)과 연결된다.
- [0073] 여기서, 전술한 더미 L,R-스테이지(DTL, DTR)는 이후의 L,R-스테이지(STL k, STR k)가 존재하지 않음에 따라, 마지막 방전 트랜지스터를 구동하기 위해 구비되는 것이다.
- [0074] 즉, 제1 R-방전 트랜지스터(TR 1)의 제1 전극은 제1 게이트 배선(GL 1)과 연결되며, 게이트 전극은 제3 게이트 배선(GL 3)과 연결되고, 제2 전극에는 게이트 로우전압(VGL)이 인가되는 구조이다.
- [0075] 이하, 전술한 구조의 4상 방식 게이트 구동부 및 방전회로의 구동방법을 설명하면 다음과 같다.
- [0076] 제1 및 제2 스타트전압(V_{st1} , V_{st2})이 각각 제1 및 제2 게이트 구동부(140a, 140b)에 인가되면, 먼저 제1 게이트 구동부(140a)의 제1 L-스테이지(STL 1)가 제1 클럭신호(CLK 1)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제1 게이트 배선(GL 1)으로 출력한다.
- [0077] 다음으로, 제2 게이트 구동부(140b)의 제1 R-스테이지(STR 1)가 제2 클럭신호(CLK 2)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제2 게이트 배선(GL 2)으로 출력한다.
- [0078] 여기서, 제1 클럭신호(CLK 1)와 제2 클럭신호(CLK 2)는 1 수평기간(1H)이 중첩되는 신호이며, 따라서 제1 게이트 배선에 인가된 게이트 하이전압(VGH)의 후반부와 제2 게이트 배선에 인가된 게이트 하이전압(VGH)의 전반부는 1 수평기간(1H)이 중첩된다. 이 중첩되는 구간동안 데이터 구동부는 데이터 배선을 통해 각 화소에 데이터전압을 인가하게 된다.
- [0079] 다음으로, 제2 L-스테이지(STL 2)가 제3 클럭신호(CLK 3)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제3 게이트 배선(GL 3)으로 출력한다.
- [0080] 또한, 제3 클럭신호(CLK 3)와 제2 클럭신호(CLK 2)는 1 수평기간(1H)이 중첩되는 신호이므로, 제3 게이트 배선(GL 3)에 인가된 게이트 하이전압(VGH)의 전반부는 제2 게이트 배선(GL 2)에 인가된 게이트 하이전압(VGH)의 후반부와 1 수평기간(1H)이 중첩된다.
- [0081] 이때, 제1 L-스테이지(STL 1)은 제1 클럭신호(CLK 1)에 대응하여 제1 게이트 배선(GL1)으로 게이트 로우전압(VGL)을 출력하고, 동시에 제3 게이트 배선(GL 3)의 끝단과 연결된 제1 R-방전 트랜지스터(TR 1)의 게이트 단에 게이트 하이전압(VGH)이 인가된다. 따라서, 제1 R-방전 트랜지스터(TR 1)가 턴-온된다. 제1 방전 트랜지스터(TR 1)의 제2 전극은 게이트 로우전압(VGL)배선과 연결되어 있으며, 제1 게이트 배선(GL 1)에 충전된 게이트 하이전압(VGH)은 게이트 로우전압(VGL)으로 천이된다.
- [0082] 즉, 제1 게이트 배선(GL 1)의 양측에서 동시에 게이트 로우전압(VGL)이 인가되어 배선저항에 따른 신호지연이

최소화되며, 제1 게이트 배선(GL 1)은 신속하게 방전되게 된다. 이후의 게이트 배선의 충전 및 방전 동작도 동일한 형태로 진행된다.

- [0083] 도 5a는 방전회로를 구비하지 않은 듀얼 게이트 구조 GIP 방식 액정표시장치의 게이트 배선에 대한 전압변화를 도시한 도면이고, 도 5b는 본 발명의 제1 실시예에 따른 액정표시장치의 게이트 배선에 대한 전압변화를 도시한 도면이다.
- [0084] 도 5a에 도시된 바와 같이, 방전회로를 구비하지 않은 듀얼 게이트 구조 GIP 방식 액정표시장치의 경우, 각 게이트 배선(GL 1 ~ GL n)은 2 수평기간(2H) 동안 게이트 하이전압(VGH)레벨로 충전된 후, 다시 게이트 로우전압(VGL)레벨로 방전되며, 각 게이트 배선(GL 1 ~ GL n)간 1 수평기간(1H) 동안 중첩된다. 여기서, 데이터전압은 전후 게이트 배선(GL n-1 ~ GL n)의 중첩기간(d)에 각 화소로 인가된다.
- [0085] 이때, 충전 전후 게이트 배선(GL 1 ~ GL n)의 배선저항에 따른 신호지연이 발생하여 전압레벨이 완만한 형태인 것을 알 수 있다(a). 특히, 방전시 신호지연은 화소에 기입된 데이터전압에 영향을 주어 화질저하에 주 원인이 된다.
- [0086] 그러나, 도 5b를 참조하면, 본 발명의 제1 실시예에 따른 방전회로를 구비한 액정표시장치는 게이트 배선(GL 1 ~ GL n)의 방전시, 방전 트랜지스터에 의해 게이트 배선의 양측단에서 게이트 로우전압(VGL)이 인가되어 급격한 경사형태로 전압레벨이 천이되게 된다(b).
- [0087] 한편, 전술한 4상 구동방식 이외에도, 120Hz 이상의 주파수로 동작하는 액정표시장치는 안정적인 구동을 위해 클럭신호를 더 세분화한 6상 구동방식이 적용될 수 있다.
- [0088] 이하, 도면을 참조하여 본 발명의 제2 실시예에 따른 6상 구동 듀얼 GIP 방식 액정표시장치의 및 이의 구동부를 설명하도록 한다.
- [0089] 도 6은 본 발명의 제2 실시예에 따른 액정패널상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.
- [0090] 도시된 바와 같이, 본 발명의 제2 실시예는 전술한 제1 실시예와 대비하여, 120Hz 동작시 보다 안정적인 구동을 위해 6상의 클럭신호(CLK 1 ~ CLK 6)를 이용하는 것이라는 차이점이 있다.
- [0091] 본 발명의 제2 실시예에 따른 액정표시장치는 액정패널(200)과, 외부시스템으로부터 타이밍 신호를 인가받아 각종 제어신호를 생성하는 타이밍 제어부(220)와, 제어신호에 대응하여 액정패널(100)을 제어하는 게이트 및 데이터구동부(240, 250)를 포함한다.
- [0092] 특히, 타이밍 제어부(220)는 입력되는 타이밍 신호에 동기하여 게이트 구동부(240)의 제어신호(GCS) 및 데이터구동부(250)의 제어신호(DCS)를 생성한다. 또한, 타이밍 제어부(120)는 게이트 구동부(140)의 각 스테이지의 구동 타이밍을 결정하는 복수의 클럭신호(CLK 1 ~ CLK 6)를 생성한다. 여기서, 제1 내지 제6 클럭신호(CLK 1 ~ CLK 6)는 하이구간이 3 수평기간(3H)동안 진행되며, 서로간 2 수평기간(2H)이 중첩되는 신호이다. 제1,3,5 클럭신호(CLK 1, CLK 3, CLK 5)는 제1 게이트 구동부(240a)에 제공되고, 제2,4,6 클럭신호(CLK 2, CLK 4, CLK 6)는 제1 게이트 구동부(240b)에 제공된다.
- [0093] 그리고, 타이밍 제어부(220)는 입력받은 영상데이터(RGB DATA)를 데이터 구동부(150)가 처리가능한 형태로 정렬 및 변조하여 출력한다.
- [0094] 게이트 구동부(240)는 액정패널(200)의 양단, 비표시영역(N/A)에 두 개가 구비된다. 각 게이트 구동부(240a, 240b)는 쉬프트레지스터를 포함하는 복수의 스테이지로 이루어진다. 이러한 게이트 구동부(240)는 액정패널(200)의 기관 제조시 박막패턴 형태로 비표시영역상에 게이트-인-패널(Gate-In-Panel, GIP)방식으로 형성된다.
- [0095] 이러한 제1 및 제2 게이트 구동부(240a, 240b)는 타이밍 제어부(220)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정패널(200)에 형성된 다수의 게이트 배선(GL 1 ~ GL n)을 통해 3 수평기간(3H)마다 교번으로 게이트 하이전압(VGH)을 출력한다. 여기서, 출력된 게이트 하이전압(VGH)은 3 수평기간(3H)동안 유지되고 전후 게이트 하이전압(VGH)이 2 수평기간(2H) 동안 중첩된다. 이는 게이트 배선(GL 1 ~ GL n)을 프리차징(pre-charging)하기 위한 것으로, 데이터전압 인가시 보다 안정적인 화소 충전을 진행할 수 있다.
- [0096] 이를 위해, 제1 게이트 구동부(240a)에는 각각 3 수평기간(3H)을 갖는 제1, 제3 및 제5 클럭신호(CLK 1, CLK 3, CLK 5)가 인가되고, 제2 게이트 구동부(240b)에는 이와 2 수평기간(2H)씩 중첩되며, 3 수평기간(3H)을 갖는 제2, 제4 및 제6 클럭신호(CLK 2, CLK 4, CLK 6)가 인가된다.

- [0097] 일 예로서, 제1 게이트 구동부(240a)가 n 번째 게이트 배선(GL n)으로 게이트 하이전압(VGH)을 출력하면, 1 수평기간(1H) 후 제2 게이트 구동부(240b)는 $n+1$ 번째 게이트 배선(GL $n+1$)으로 게이트 하이전압(VGH)을 출력하며, 1수평기간(1H)후 제1 게이트 구동부(240a)가 $n+2$ 번째 게이트 배선(GL $n+2$)으로 게이트 하이전압(VGH)을 출력한다.
- [0098] 다음으로, 1 수평기간(1H)후 제2 게이트 구동부(240b)가 $n+3$ 번째 게이트 배선(GL $n+3$)으로 게이트 하이전압(VGH)을 출력하고, 이후 제1 게이트 구동부(240a)가 $n+4$ 번째 게이트 배선(GL $n+4$)으로 게이트 하이전압(VGH)을 출력하는 동시에, 제1 게이트 구동부(240a)는 n 번째 게이트 배선(GL n)으로 게이트 로우전압(VGL)을 출력하여 박막 트랜지스터(TFT)를 턴-오프 함으로서 액정패시터(C1c)에 충전된 데이터전압이 1 프레임동안 유지되도록 한다.
- [0099] 이에 따라, n 번째 게이트 배선(GL n)의 전압이 게이트 하이전압(VGH)에서 로우전압(VGL)으로 전환되는 시점에 게이트 로우전압(VGL)을 인가하는 방전회로(TL j , TR j)가 활성화되어 게이트 배선(GL n)을 방전시킴으로서 방전지연이 최소화된다.
- [0100] 전술한 방전회로는 각 게이트 배선(GL 1 ~ GL n)에 대응하여 그 끝단과 연결되며, 기수번째 게이트 배선(GL $2n-1$)과 연결되는 R 방전회로(TR 1 ~ TR j , j 는 자연수)는 제2 게이트 구동부(240b)에 인접하여 구비되고, 우수번째 게이트 배선(GL $2n$)과 연결되는 L 방전회로(TL 1 ~ TL j)는 제1 게이트 구동부(240a)에 인접하여 구비된다.
- [0101] 여기서, 각 방전회로(TL 1 ~ TL j , TR 1 ~ TR j)는 하나의 게이트 배선(GL n)을 기준으로 3번째 이후의 배선(GL $n+3$)과 연결되어 게이트 로우전압(VGL)을 해당 게이트 배선(GL n)에 인가하는 구조이다.
- [0102] 이러한 방전회로(TL 1 ~ TL j , TR 1 ~ TR j)는 게이트 구동부(240)를 구성하는 각 스테이지 사이에 박막트랜지스터로 형성된다. 이에 따라 각 게이트 구동부(240a, 240b)가 액정패널(200)의 비표시영역(N/A)에서 차지하는 면적($2 \times N3$)이 줄어들게 된다.
- [0103] 이러한 게이트 구동부(240)의 스테이지 및 방전회로의 보다 상세한 구조를 후술하도록 한다.
- [0104] 데이터 구동부(250)는 타이밍 제어부(220)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 디지털 형태의 변조 영상데이터(RGBv)를 기준전압(Vref)에 따라 선택적으로 아날로그 형태의 데이터전압(VDATA)으로 변환한다. 데이터전압(VDATA)은 하나의 수평배선씩 래치되고, 하나의 수평기간(1H) 동안 모든 데이터 배선(DL 1 ~ DL m)을 통해 동시에 액정패널(200)에 입력된다.
- [0105] 전술한 구조에 따라, 본 발명의 실시예에 따른 통합형 구동회로를 포함하는 액정표시장치는 양 게이트 구동부에서 게이트 구동전압을 동시에 출력하는 것이 아닌 교번으로 출력하여 스테이지의 개수를 줄이되, 각 스테이지 사이에 별도의 방전수단을 구비하여 게이트 배선의 방전을 보조함으로서 방전기간 지연을 최소화한다.
- [0106] 이하, 도면을 참조하여 본 발명의 제2 실시예에 따른 게이트 구동부 및 방전회로의 구조를 보다 상세하게 설명하도록 한다.
- [0107] 도 7은 본 발명의 제2 실시예에 따른 액정패널상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.
- [0108] 게이트 구동부는 액정패널의 일단에 형성되는 제1 게이트 구동부(240a) 및 타단에 형성되는 제2 게이트 구동부(240b)를 포함한다. 또한, 방전회로는 제1 게이트 구동부(240a)의 각 스테이지 사이에 형성되는 복수의 L-방전 트랜지스터 (TL 1 ~ TL j) 및 제2 게이트 구동부(240b)의 각 스테이지 사이에 형성되는 복수의 R-방전트랜지스터(TR 1 ~ TR j)를 포함한다.
- [0109] 각 스테이지에는 6상 방식으로 제1 내지 제6 클록신호(CLK 1 ~ CLK 6)와, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)이 인가되며, 도시하지는 않았지만, 전원전압(VDD) 및 접지전압(GND)이 인가될 수 있다. 특히, 제1 내지 제6 클록신호(CLK 1 ~ CLK 6)는 하이구간이 3 수평기간(3H)동안 진행되며, 서로 2 수평기간(2H)이 중첩되는 신호이다. 또한, 게이트 하이전압(VGH)은 표시영역(A/A)의 박막트랜지스터를 턴-온하는 전압이며, 게이트 하이전압(VGH)은 그 박막트랜지스터를 턴-오프하는 전압이다.
- [0110] 제1 게이트 구동부(240a)는 제1, 제3 및 제5 클록신호(CLK 1, CLK 3, CLK 5)와, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 인가 받으며, 게이트 스타트 펄스(GSP)에 대응하는 제1 스타트전압(Vst 1)에 따라 다수의 기수 게이트 배선(GL $2n-1$)에 게이트 구동전압을 출력한다. 게이트 구동전압 중, 박막트랜지스터를 턴-온 하는 게이트 하이전압(VGH)은 3 수평기간(3H)씩 출력된다. 또한, 전후 게이트 하이전압(VGH)은 서로 2 수평기간(2H)

씩 중첩된다.

- [0111] 이러한 제1 게이트 구동부(240a)는 출력단과 제1 스타트전압(Vst 1)단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) L-스테이지(STL 1 ~ STL k)와, 두 개의 더미 L-스테이지(DTL)로 이루어진다.
- [0112] 제2 게이트 구동부(240b)는 제2, 제4 및 제6 클록신호(CLK 2, CLK 4, CLK 6)와, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 인가 받으며, 게이트 스타트 펄스(GSP)에 대응하는 제2 스타트전압(Vst 2)에 따라 다수의 우수번째 게이트 배선(GL 2n)에 게이트 구동전압을 출력한다.
- [0113] 이러한 제2 게이트 구동부(240b)는 출력단과 제2 스타트전압(Vst 2)단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) R-스테이지(STR 1 ~ STR k)와, 제1 및 제2 더미 R-스테이지(DTR 1, DTR 2)로 이루어진다.
- [0114] 또한, 각 L-스테이지(STL 1 ~ STL k)와, 더미 L-스테이지(DTL)사이에는 L-방전 트랜지스터(TL 1 ~ TL j)가 구비된다.
- [0115] 여기서, 전술한 더미 L,R-스테이지(DTL, DTR)는 이후의 L,R-스테이지(STL k, STR k)가 존재하지 않음에 따라, 마지막 방전 트랜지스터를 구동하기 위해 구비되는 것이다.
- [0116] L-방전 트랜지스터(TL 1 ~ TL j)의 제1 전극은 R-스테이지(STR 1 ~ STR k) 및 더미 R-스테이지(DTL)의 출력단과 연결되는 우수번째 게이트 배선(GL 2n)과 연결된다. 게이트 전극은 제1 전극 보다 후순위의 게이트 배선과 연결된다. 그리고, L-방전 트랜지스터(TL 1 ~ TL j)의 제2 전극에는 게이트 로우전압(VGL) 공급배선이 연결된다.
- [0117] 즉, 제1 L-방전 트랜지스터(TL 1)의 제1 전극은 제2 게이트 배선(GL 2)과 연결되며, 게이트 전극은 제4 게이트 배선(GL 4)와 연결되고, 제2 전극에는 게이트 로우전압(VGL)이 인가되는 구조이다.
- [0118] 또한, 각 R-스테이지(STR 1 ~ STR k)와 더미 R-스테이지(DTR) 사이에는 R-방전 트랜지스터(TR 1 ~ TR j)가 구비된다.
- [0119] R-방전 트랜지스터(TR 1 ~ TR j)의 제1 전극은 L-스테이지(STL 1 ~ STL k)의 출력단과 연결되는 우수번째 게이트 배선(GL 2n)과 연결된다.
- [0120] 게이트 전극은 제1 전극 보다 후순위의 게이트 배선과 연결된다. 그리고, L-방전 트랜지스터(TL 1 ~ TL j)의 제2 전극에는 게이트 로우전압(VGL) 공급배선이 연결된다.
- [0121] 즉, 제1 R-방전 트랜지스터(TR 1)의 제1 전극은 제1 게이트 배선(GL 1)과 연결되며, 게이트 전극은 제3 게이트 배선(GL 3)과 연결되고, 제2 전극에는 게이트 로우전압(VGL)이 인가되는 구조이다.
- [0122] 이하, 전술한 구조의 6상 방식 게이트 구동부 및 방전회로의 구동방법을 설명하면 다음과 같다.
- [0123] 제1 및 제2 스타트전압(Vst 1, Vst2)이 각각 제1 및 제2 게이트 구동부(140a, 140b)에 인가되면, 먼저 제1 게이트 구동부(140a)의 제1 L-스테이지(STL 1)가 제1 클록신호(CLK 1)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제1 게이트 배선(GL 1)으로 출력한다.
- [0124] 다음으로, 제2 게이트 구동부(140b)의 제1 R-스테이지(STR 1)가 제2 클록신호(CLK 2)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제2 게이트 배선(GL 2)으로 출력한다.
- [0125] 여기서, 제1 클록신호(CLK 1)와 제2 클록신호(CLK 2)는 2 수평기간(2H)동안 중첩되는 신호이며, 따라서 제1 게이트 배선(GL 1)에 인가된 게이트 하이전압(VGH)의 후반부와 제2 게이트 배선(GL 2)에 인가된 게이트 하이전압(VGH)의 전반부는 2 수평기간(2H)이 중첩되게 된다.
- [0126] 다음으로, 제2 L-스테이지(STL 2)가 제3 클록신호(CLK 3)에 대응하여 게이트 하이전압(VGH)을 제3 게이트 배선(GL 3)으로 출력하고, 이후, 제2 R-스테이지(STR 2)가 제4 클록신호(CLK 4)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제4 게이트 배선(GL 4)으로 출력한다.
- [0127] 이때, 제1 L-스테이지(STL 1)은 제1 클록신호(CLK 1)에 대응하여 제1 게이트 배선(GL1)으로 게이트 로우전압(VGL)을 출력하고, 동시에 제4 게이트 배선(GL 4)의 끝단과 연결된 제1 R-방전 트랜지스터(TR 1)의 게이트 단에 게이트 하이전압(VGH)이 인가된다. 따라서, 제1 R-방전 트랜지스터(TR 1)가 턴-온된다. 제1 방전 트랜지스터(TR 1)의 제2 전극은 게이트 로우전압(VGL)배선과 연결되어 있으며, 따라서 제1 게이트 배선(GL 1)에 충전된 게이트 하이전압(VGH)이 게이트 로우전압(VGL)으로 천이된다.

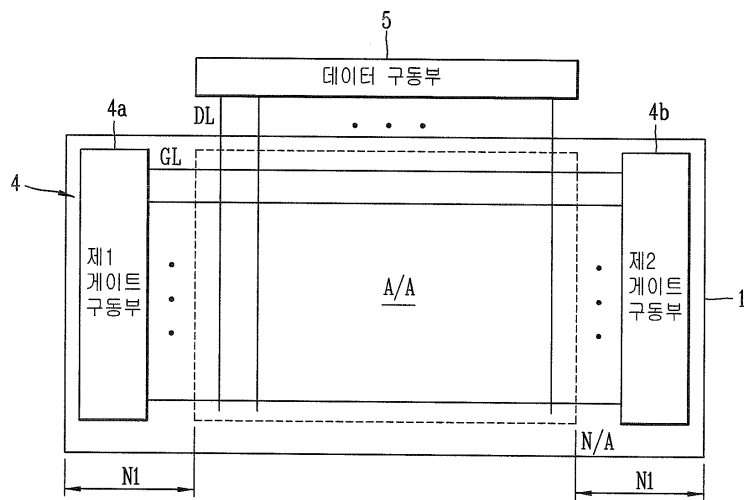
- [0128] 즉, 제1 게이트 배선(GL 1)의 양측에서 동시에 게이트 로우전압(VGL)이 인가되어 배선저항에 따른 신호지연이 최소화되며, 제1 게이트 배선(GL 1)은 신속하게 방전되게 된다. 이후의 게이트 배선에 대한 충전 및 방전 동작도 동일한 형태로 진행된다.
- [0129] 도 8은 본 발명의 제2 실시예에 따른 액정표시장치의 게이트 배선에 대한 전압변화를 도시한 도면이다.
- [0130] 도 8에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 방전회로를 구비한 액정표시장치에서 각 게이트 배선(GL 1 ~ GL n)은 3 수평기간(3H) 동안 게이트 하이전압(VGH)레벨로 충전된 후, 다시 게이트 로우전압(VGL)레벨로 방전된다. 이때, 이웃한 게이트 배선(GL 1 ~ GL n)간에는 2 수평기간(2H)씩 중첩되며, 동일 게이트 구동부와 연결되는 배선들간에는 1 수평기간(1H)씩 중첩된다. 여기서, 데이터전압(d)은 게이트 배선(GL n-1 ~ GL n)들간 중첩기간 중, 1 수평기간(1H)동안에 각 화소로 인가된다.
- [0131] 특히, 도시된 바와 같이 게이트 배선의 방전시에는 양측단으로 게이트 로우전압(VGL)이 인가되어 급격한 경사형태를 가지며, 게이트 로우전압(VGL)레벨로 천이되게 된다(c).
- [0132] 따라서, 전술한 도 5a에 도시된 방전회로를 구비하지 않은 듀얼 GIP 방식 액정표시장치의 게이트 배선의 전압레벨과 비교하여 보면, 종래에는 충전 전후 게이트 배선(GL 1 ~ GL n)의 배선저항에 따른 신호지연이 발생하여 전압레벨이 완만한 형태(a)인 반면, 본 발명의 제2 실시예에 따른 액정표시장치의 게이트 배선에 대한 전압은 방전시 전압레벨이 급격하게 천이되는 것을 확인할 수 있다.
- [0133] 도 9는 본 발명의 제2 실시예에 따른 액정표시장치의 게이트 구동부 중 하나가 차지하는 영역을 설명하기 위한 도면이다.
- [0134] 도시된 바와 같이, 6상 구동 GIP 제1 게이트 구동부(240a)는 클럭신호(CLK 1 ~ CLK 6) 및 스타트신호(Vst)배선 영역(241)과, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)배선영역(242)과, 쉬프트레지스트 영역(243)과, 레벨 쉬프트 영역(244) 및 출력배선영역(245)으로 이루어진다.
- [0135] 또한, 출력배선영역(245)과 인접하여 게이트 배선에 게이트 로우전압(VGL)을 출력하는 방전회로영역(245)가 더 형성되어 있다.
- [0136] 이러한 구조에 따라, 제1 게이트 구동부(240a)는 게이트 구동전압(VG)을 출력하는 하나의 스테이지가 세로(액정패널의 단축)방향으로 L2, 가로(액정패널의 장축)방향으로 N3 너비를 갖게 된다. 따라서, 듀얼 게이트 구조의 경우, 게이트 구동부는 가로방향으로 2 X N3 너비의 영역을 차지하게 된다.
- [0137] 이는, 도 2에 도시된 종래의 액정표시장치 게이트 구동부와 대비하여 볼 때, 세로방향으로 차지하는 면적은 넓어지나(L1 < L2), 가로방향으로 차지하는 면적은 좁아진 것으로서(N1 > N3), 액정패널의 양측의 비표시영역을 줄일 수 있어 네로우 베젤 구조를 구현할 수 있음을 알 수 있다.
- [0138] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

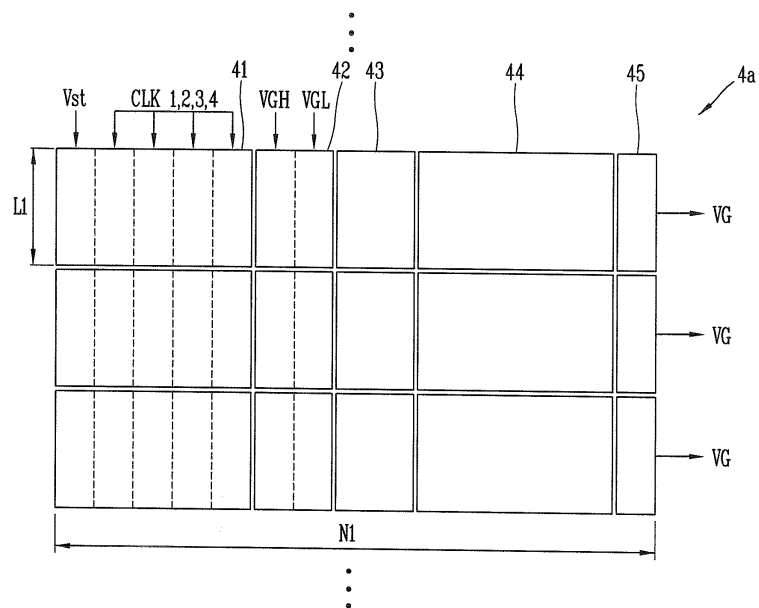
- [0139] 액정패널 : 100 타이밍 제어부 : 120
- 게이트 구동부 : 140 데이터 구동부 : 150
- A/A : 표시영역 N/A : 비표시영역
- TL 1 ~ TL j : L-방전회로(방전 트랜지스터)
- TR 1 ~ TR j : R-방전회로(방전 트랜지스터)
- TFT : 박막트랜지스터 Clc : 액정캐패시터
- Cst : 스토리지캐패시터

도면

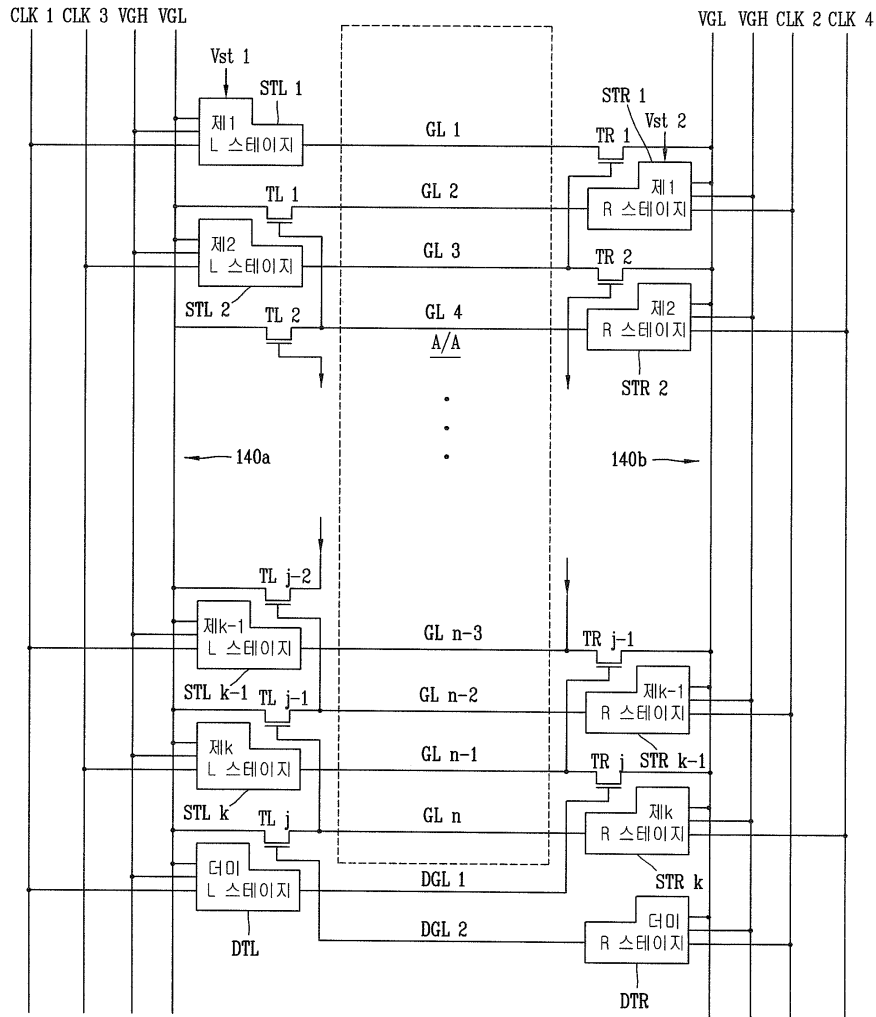
도면1



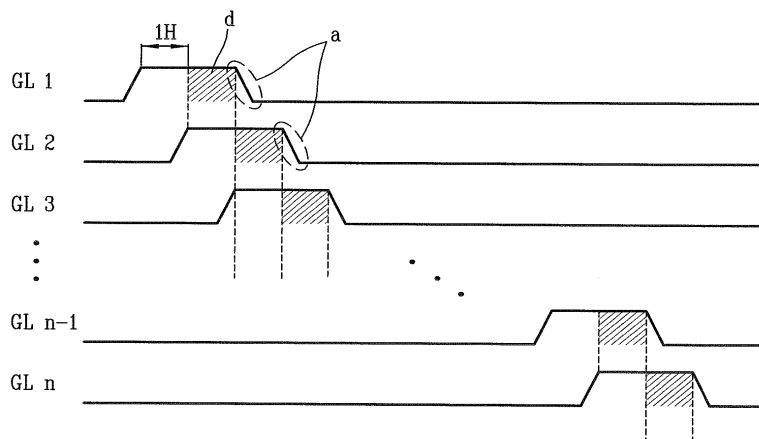
도면2



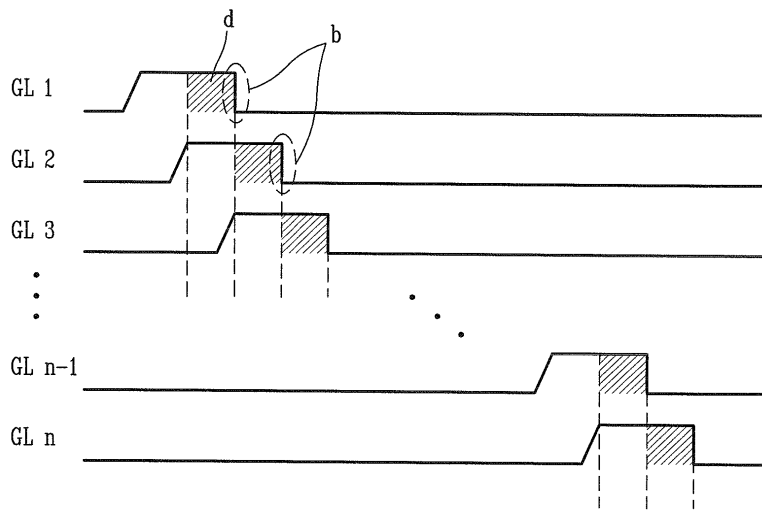
도면4



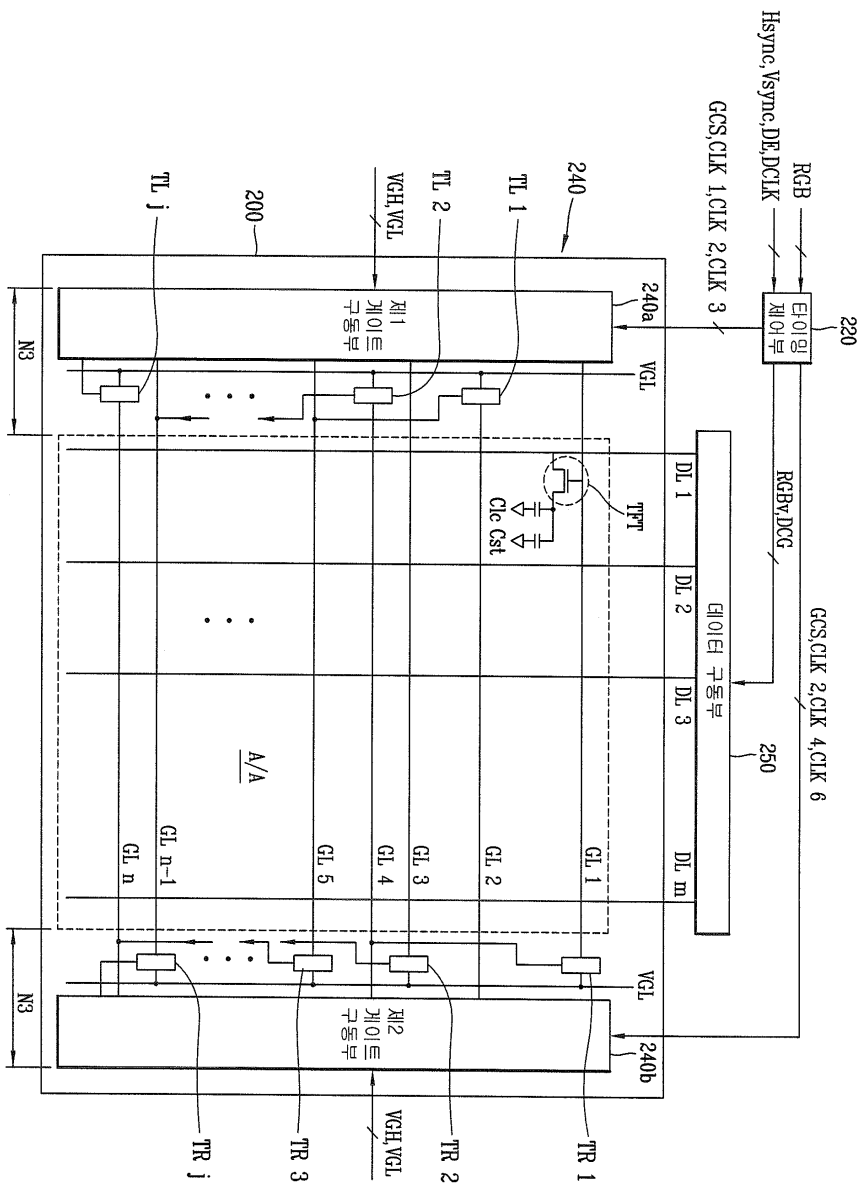
도면5a



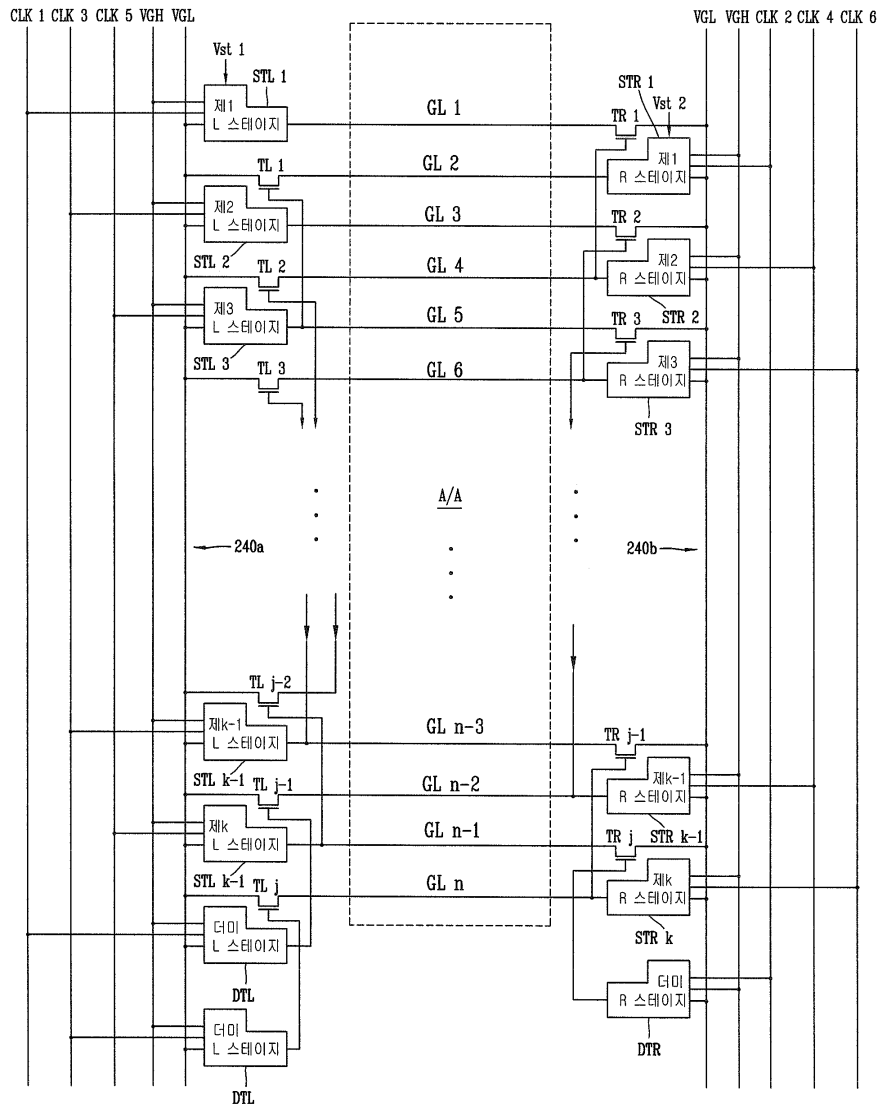
도면5b



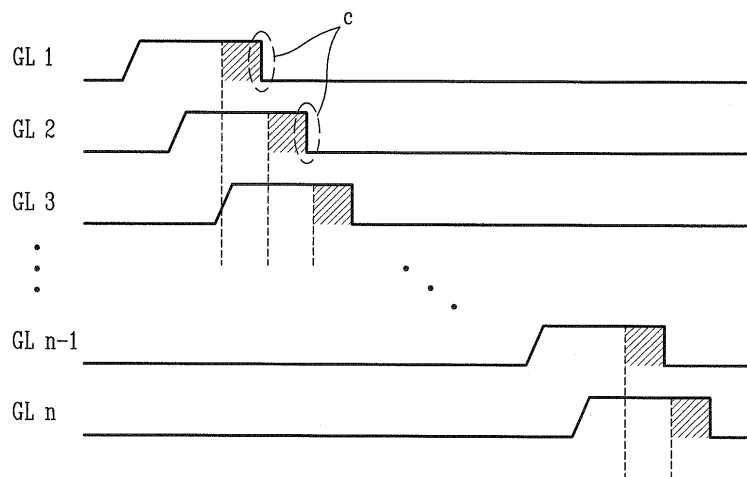
도면6



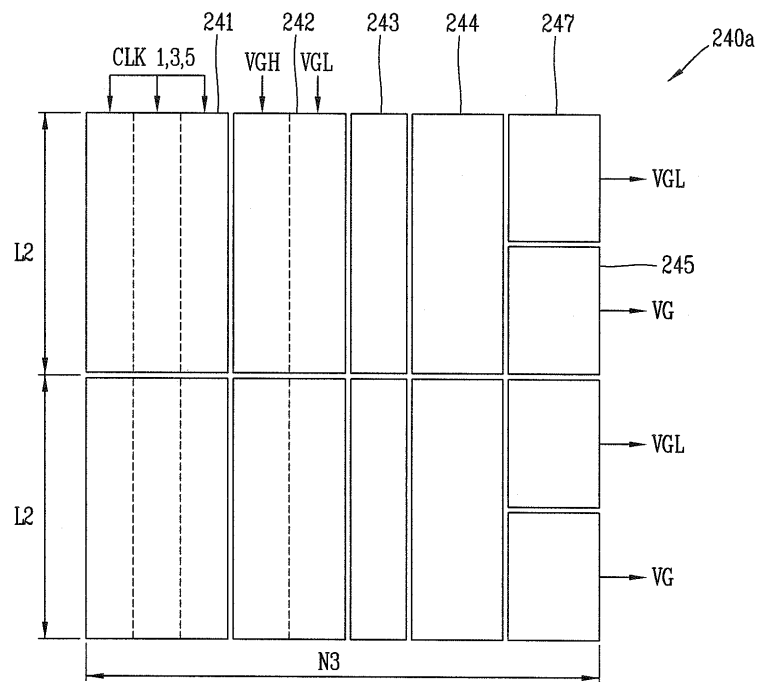
도면7



도면8



도면9



本发明最小化，在于在面板提供栅极驱动信号的栅极的栅极驱动器（栅极线板，GIP）结构，在液晶面板中，由液晶显示装置所占据的栅极驱动区域上形成，其中所述液晶显示并且，实现窄边框的GIP型双栅结构液晶显示装置和由信号延迟引起的图像质量劣化问题得到改善。根据本发明的实施例的液晶显示器包括液晶面板，并且响应于施加到栅极高电压施加到奇数编号的栅极线在第一和第三时钟信号，所述第二和第四时钟并入一第一栅极驱动单元以及第二栅极驱动器，用于响应于该信号将栅极高电压施加到奇数栅极线的一侧。此外，用于响应于栅极线以排出先前奇数栅极线的电压电平的其它奇数和L-放电电路，对应于所述第二栅极线的另一优良的电压电平R-放电电路放电先前最佳条栅极布线。因此，本发明可以最小化通过减少的级数通过该结构，用于输出的交流，而不是在同一时间的栅极驱动电压输出从GIP双模式的液晶显示装置两者的栅极驱动器上由栅极驱动器所占据的面积。

