



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월06일
(11) 등록번호 10-1171414
(24) 등록일자 2012년07월30일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
- (21) 출원번호 10-2009-0044383
(22) 출원일자 2009년05월21일
심사청구일자 2009년05월21일
(65) 공개번호 10-2010-0006527
(43) 공개일자 2010년01월19일
(30) 우선권주장
JP-P-2008-179361 2008년07월09일 일본(JP)
- (56) 선행기술조사문헌
KR1020020041426 A*
KR1020010006187 A*
KR1020020048854 A*
KR1020020063498 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 저팬 디스플레이 센트럴
일본국 사이타마켄 후카야시 하타라초 1초메 9반
치 2
(72) 발명자
후지모토 다카미쓰
일본 도쿄도 미나토구 고난 4조메 1-8 도시바 마
쓰시마 디스플레이 테크놀로지 컴퍼니, 리미티드
지적재산부 내
모리따 신
일본 도쿄도 미나토구 고난 4조메 1-8 도시바 마
쓰시마 디스플레이 테크놀로지 컴퍼니, 리미티드
지적재산부 내
(74) 대리인
이중희, 장수길

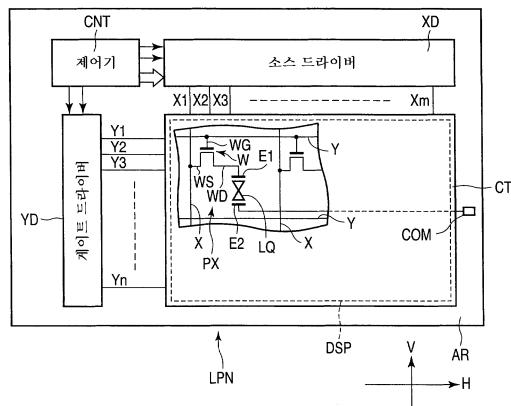
전체 청구항 수 : 총 5 항

심사관 : 윤성주

(54) 발명의 명칭 액정 디스플레이 디바이스

(57) 요약

액정 디스플레이 디바이스의 어레이 기판(AR)은 절연 기판(30), 제1 방향으로 연장하는 절연 기판(30) 상의 게이트선(Y), 게이트선을 덮도록 배열된 제1 절연막(IL1), 각각의 픽셀의 제1 절연막 상에 배열된 픽셀 전극(E1), 제1 절연막 상에 배열되고 제2 방향을 따라 픽셀 전극들 사이에 연장한 소스선, 픽셀 전극 및 소스선을 덮도록 배열된 제2 절연막(IL2), 및 각각의 픽셀의 픽셀 전극에 대향하고 게이트선에 대향하는 방식으로 제2 절연막 상에 배열되고 픽셀 전극에 대향하는 슬릿(SL)을 포함한 공통 전극(E2)을 포함한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

제1 기판과 제2 기판 사이에 액정층이 놓여지도록 구성된 액정 디스플레이 디바이스로서,

상기 제1 기판은

절연 기판;

제1 방향으로 연장되는, 상기 절연 기판 상의 게이트선;

상기 게이트선을 덮도록 배열된 제1 절연막;

각각의 픽셀에서 상기 제1 절연막 상에 배열된 픽셀 전극;

상기 제1 절연막 상에 배열되고 상기 제1 방향과 교차하는 제2 방향을 따라 상기 픽셀 전극들 사이에 연장되는 소스선;

상기 픽셀 전극 및 상기 소스선을 덮도록 배열된 제2 절연막; 및

상기 픽셀 각각의 픽셀 전극에 대향하고 상기 게이트선에 대향하는 방식으로 상기 제2 절연막 상에 배열되고, 상기 픽셀 전극에 대향하도록 형성된 슬릿을 포함한 공통 전극을 포함하고,

상기 공통 전극은 상기 제2 절연막에서의 상기 픽셀 전극과 상기 소스선 사이에 형성된 트렌치 내에 배열되고,

상기 공통 전극은 상기 픽셀 전극을 둘러싸는 방식으로 형성된 트렌치 내에 배열되는, 액정 디스플레이 디바이스.

청구항 2

제1항에 있어서,

상기 공통 전극은 상기 소스선에 대향하도록 배열되고, 상기 픽셀이 매트릭스로 배열된 전체 디스플레이 영역에 걸쳐 형성되는 액정 디스플레이 디바이스.

청구항 3

제1항에 있어서,

상기 제2 기판은 상기 게이트선 및 상기 소스선에 대향하는 격자 형태의 광차폐층을 포함하는 액정 디스플레이 디바이스.

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 제1 절연막 상에 배열되고, 상기 픽셀 전극에 연결된 드레인 전극을 포함하는 스위칭 소자를 더 포함하는 액정 디스플레이 디바이스.

청구항 7

제1항에 있어서,

상기 픽셀 전극 및 상기 공통 전극은 광 투과성 전기 전도재로 형성되는 액정 디스플레이 디바이스.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 일반적으로 액정 디스플레이 디바이스에 관한 것으로, 보다 구체적으로 액정 디스플레이 디바이스를 구성하는 기판들 중 한 기판 상에 픽셀 전극 및 공통 전극을 구비하도록 구성된 액정 디스플레이 디바이스에 관한 것이다.

배경 기술

[0002] 최근, 플랫 패널 디스플레이 디바이스는 활발하게 발전해왔다. 특히, 액정 디스플레이 디바이스는, 가벼운 무게, 작은 두께 및 저전력 소비와 같은 특징을 이용함으로써 다양한 분야에 적용된다. 액정 디스플레이 디바이스는 액정층이 한 쌍의 기판 사이에 놓여지도록 구성된다. 액정층을 통과하는 광의 변조율이 픽셀 전극과 공통 전극 사이의 전기장에 의해 제어되어, 이미지를 디스플레이한다.

[0003] 액정 디스플레이 디바이스의 분야에서, 프린지 전기장(fringe electric field)을 포함하는 횡 전기장을 이용하는 구조가 시야각의 증가 관점에서 특히 주목받아왔다.

[0004] IPS(in-plane switching) 모드 또는 FFS(fringe field switching) 모드와 같은 횡 전기장 모드의 액정 디스플레이 디바이스는 어레이 기판 상에 형성되는 픽셀 전극 및 공통 전극을 포함하고, 액정 분자는 어레이 기판의 주표면에 실질적으로 평행한 횡 전기장을 생성함으로써 스위칭된다(일본 특허 출원 공개 공보 제2007-86205호 참조).

발명의 내용

과제 해결수단

[0005] (발명의 요약)

[0006] 본 발명의 양상에 따르면, 제1 기판과 제2 기판 사이에 액정층이 놓여지도록 구성되고, 상기 제1 기판은 절연 기판; 제1 방향으로 연장되는, 상기 절연 기판 상의 게이트선; 상기 게이트선을 덮도록 배열된 제1 절연막; 각각의 픽셀에서 상기 제1 절연막 상에 배열된 픽셀 전극; 상기 제1 절연막 상에 배열되고 상기 제1 방향과 교차하는 제2 방향을 따라 상기 픽셀 전극들 사이에 연장되는 소스선; 상기 픽셀 전극 및 상기 소스선을 덮도록 배열된 제2 절연막; 및 상기 픽셀 각각의 픽셀 전극에 대향하고 상기 게이트선에 대향하는 방식으로 상기 제2 절연막 상에 배열되고, 상기 픽셀 전극에 대향하도록 형성된 슬릿을 포함한 공통 전극을 포함하고, 상기 공통 전극은 상기 제2 절연막에서의 상기 픽셀 전극과 상기 소스선 사이에 형성된 트렌치 내에 배열되고, 상기 공통 전극은 상기 픽셀 전극을 둘러싸는 방식으로 형성된 트렌치 내에 배열되는, 액정 디스플레이 디바이스가 제공된다.

발명의 실시를 위한 구체적인 내용

[0007] 명세서 일부를 구성하고 이에 인용된 첨부한 도면은 본 발명의 현재 바람직한 실시예를 나타내며, 상술한 일반적인 설명 및 이하에 주어진 바람직한 실시예의 상세한 설명과 함께 본 발명의 원리를 설명하기 위해 제공된다.

[0008] 본 발명의 실시예에 따른 액정 디스플레이 디바이스는 첨부한 도면을 참조하여 이제부터 설명될 것이다. 픽셀 전극 및 공통 전극이 기판들 중 한 기판 상에 제공되고 액정 분자가 픽셀 전극과 공통 전극 사이에 생성된 횡 전기장(또는 기판 중 하나의 주표면에 실질적으로 평행한 전기장)을 주로 이용하여 스위칭되는 액정 모드의 액정 디스플레이 디바이스의 일례로서 FFS 모드 액정 디스플레이 디바이스가 이하에 설명된다.

[0009] 도 1에 도시된 바와 같이, 액정 디스플레이 디바이스는 활성 매트릭스 타입 액정 디스플레이 디바이스이고 액정 디스플레이 패널 LPN을 포함한다. 액정 디스플레이 패널 LPN은 제1 기판인 어레이 기판 AR, 제2 기판이고 어레이 기판 AR에 대향하도록 배열된 대향 기판 CT, 및 어레이 기판 AR과 대향 기판 CT 사이에 개재된 액정층 LQ를 포함한다. 이 액정 디스플레이 패널 LPN은 이미지를 디스플레이하는 디스플레이 영역 DSP를 포함한다. 디스플레이 영역 DSP는 $m \times n$ 의 매트릭스로 배열된 복수의 픽셀 PX로 구성된다.

- [0010] 어레이 기판 AR은 디스플레이 영역 DSP에서, 제1 전극이고 픽셀 PX 각각과 관련하여 배열된 ($m \times n$) 개의 픽셀 전극 E1; 제1 방향인 픽셀 PX의 로우 방향 H로 연장한 n개의 게이트선 Y (Y1~Yn); 제2 방향인 픽셀 PX의 컬럼 방향 V로 연장한 m개의 소스선(X1~Xm); 픽셀 PX 각각에서 게이트선 Y와 소스선 X 간의 교차점을 포함하는 영역에 배열되는 ($m \times n$) 개의 스위칭 소자 W; 및 제2 전극이고 층간 절연막을 개재하여 픽셀 전극 E1에 대향하도록 배열된 공통 전극 E2를 포함한다.
- [0011] 각각의 스위칭 소자 W는 예를 들면, 박막 트랜지스터로 구성된다. 스위칭 소자 W의 게이트 전극 WG는 게이트선 Y에 전기적으로 연결된다. 스위칭 소자 W의 소스 전극 WS는 소스선 X에 전기적으로 연결된다. 스위칭 소자 W의 드레인 전극 WD는 픽셀 전극 E1에 전기적으로 연결된다.
- [0012] 액정 디스플레이 디바이스는 게이트 드라이버 YD, 소스 드라이버 XD 및 컨트롤러 CNT를 포함한다. 게이트 드라이버 YD 및 소스 드라이버 XD의 적어도 일부는 어레이 기판 AR의 디스플레이 영역 DSP의 주변 영역에 배열될 수도 있다. 게이트 드라이버 YD는 디스플레이 영역 DSP에서 나온 n개의 게이트선 Y에 연결된다. 소스 드라이버 XD는 디스플레이 영역 DSP에서 나온 m개의 소스선에 연결된다. 게이트 드라이버 YD는 컨트롤러 CNT에 의한 제어에 기초하여 n개의 게이트선 Y에 스캐닝 신호(구동 신호)를 연속적으로 공급한다. 소스선 드라이버 XD는 각각의 로우의 스위칭 소자 W가 스캐닝 신호에 의해 턴온될 때의 타이밍에 컨트롤러 CNT에 의한 제어에 기초하여 m개의 소스선 X에 비디오 신호(구동 신호)를 공급한다. 따라서, 각각의 로우의 픽셀 전극 E1은 관련 스위칭 소자 W를 통해 공급된 비디오 신호에 대응하는 픽셀 전위로 설정된다. 공통 전극 E2은 공통 전위의 공통 배선 COM에 전기적으로 연결된다.
- [0013] 어레이 기판 AR의 구조는 더 자세히 후술될 것이다.
- [0014] 도 2~5에 도시된 바와 같이, 어레이 기판 AR은 유리판과 같은 광 투과율을 갖는 절연 기판(20)을 사용함으로써 형성된다. 특히, 어레이 기판 AR에서, 게이트선 Y는 절연 기판(20) 상에 배열된다. 절연 기판(20) 및 게이트선 Y은 제1 절연막 IL1으로 도포된다. 제1 절연막 IL1은 실리콘 질화물(SiN)과 같은 무기재로 형성된다.
- [0015] 소스선 X는 제1 절연막 IL1 상에 배열된다. 소스선 X는 제1 절연막 IL1을 개재하여 게이트선 Y와 실질적으로 직각이다. 게이트선 Y 및 소스선 X는 몰리브덴, 알루미늄, 텉스텐 또는 티타늄과 같은 전기 전도재로 형성된다.
- [0016] 픽셀 전극 E1은 제1 절연막 IL1 상에 배열된다. 달리 말하면, 픽셀 전극 E1은 소스선 X와 동일한 층에 배열된다. 각각의 소스선 X은 로우 방향 H에서 이웃하는 픽셀 전극 E1 사이에 배열된다. 픽셀 전극 E1은 소스선 X 등의 재료와 상이한 재료로 형성되고, 예를 들면, 인듐 주석 산화물(ITO) 또는 인듐 아연 산화물(IZO)과 같은 광 투과성의 전기 전도재로 형성된다. 픽셀 전극 E1은 각각의 픽셀의 픽셀 형태에 대응하는 섬 형태(island shape), 예를 들면 실질적으로 직사각형 형태로 형성된다.
- [0017] 스위칭 소자 W의 반도체층 SC은 예를 들면, 폴리실리콘 또는 아몰퍼스 실리콘으로 형성될 수 있다. 반도체층 SC은 게이트 전극 WG에 대향하도록 제1 절연막 IL1 상에 배열된다.
- [0018] 게이트 전극 WG은 게이트선 Y와 함께 일체로 형성된다. 소스 전극 WS은 소스선 X와 함께 일체로 형성되고 반도체층 SC의 소스 영역과 접촉된다. 드레인 전극 WD은 픽셀 전극 E1에 연결되고 반도체층 SC의 드레인 영역과 접촉된다. 특히, 스위칭 소자 W의 픽셀 전극 E1 및 드레인 전극 WD은 관통-호울(through-hole)을 개입시키지 않고 직접적으로 연결된다. 소스 전극 WS 및 드레인 전극 WD은 제1 절연막 IL1 상에 배열되고, 소스선 X와 동일한 재료로 형성될 수 있다.
- [0019] 픽셀 전극 E1, 소스선 X, 및 스위칭 소자 W의 소스 전극 WS 및 드레인 전극 WD은 제2 절연막 IL2으로 도포된다. 제2 절연막 IL2은 실리콘 질화물(SiN)과 같은 무기재로 형성된다.
- [0020] 공통 전극 E2은 제2 절연막 IL2 상에 배열된다. 공통 전극 E2은 제2 절연막 IL2를 개재하여 각각의 픽셀 PX의 픽셀 전극 E1에 대향한다. 특히, 제2 절연막 IL2는 공통 전극 E2와 픽셀 전극 E1 사이에 놓인 층간 절연막으로서 기능한다.
- [0021] 공통 전극 E2에서, 픽셀 전극 E1에 대향하는 슬릿 SL이 형성된다. 공통 전극 E2의 슬릿 SL 각각은 예를 들면, 실질적으로 직사각형 형태를 갖는다. 공통 전극 E2은 픽셀 전극 E1처럼 ITO 또는 IZO와 같은 광 투과성의 전기 전도재로 형성된다.
- [0022] 상술한 바와 같이, 공통 전극 E2는 공통 배선 COM에 전기적으로 연결된다. 예를 들면, 공통 배선 COM은 절연 기판(20) 상에, 즉, 게이트선 Y 등과 동일한 층에 배열될 수도 있고, 게이트선 Y 등과 동일한 재료로 형성될 수

도 있다. 제1 절연막 IL1 및 제2 절연막 IL2은 공통 배선 COM과 공통 전극 E2 사이에 개재되고, 공통 배선 COM과 공통 전극 E2은 제1 절연막 IL1 및 제2 절연막 IL2를 관통하는 관통-호울을 경유하여 전기적으로 연결된다.

[0023] 액정층 LQ와 접촉한 어레이 기판 AR의 표면은 배향막 AL1으로 도포된다.

[0024] 한편, 대향 기판 CT는 유리판과 같은 광 투과성의 절연 기판(30)을 사용함으로써 형성된다. 도 3에 도시된 바와 같이, 대향 기판 CT은 절연 기판(30)의 내부 표면 상(즉, 액정층 LQ에 대향하는 표면 상)에, 픽셀 PX을 분리하는 블랙 매트릭스(32)를 포함한다.

[0025] 블랙 매트릭스(32)는 어레이 기판 AR 상에 제공된 스위칭 소자 W의 게이트선 Y, 소스선 X 및 배선부 등에 대향하도록 절연 기판(30) 상에 격자 형상으로 배열된다. 블랙 매트릭스(32)는 예를 들면, 검은 색의 수지로 형성된다.

[0026] 특히, 컬러-디스플레이-타입 액정 디스플레이 디바이스에서, 대향 기판 CT는 블랙 매트릭스(32)에 의해 둘러싸인 영역에 배열된 색 필터층(34)을 포함한다. 색 필터층(34)은 절연 기판(30) 상에 배열되고 상이한 색 예를 들면, 적색, 청색 및 녹색의 3원색의 컬러 수지로 형성된다. 적색 수지, 청색 수지 및 녹색 수지가 각각 적색 픽셀, 청색 픽셀 및 녹색 픽셀에 관련하여 배열된다.

[0027] 횡 전기장을 이용한 상술한 액정 모드에서, 액정층 LQ와 접촉하고 있는 대향 기판 CT의 표면은 평탄한 것이 바람직하다. 따라서, 대향 기판 CT는 색 필터층(34)의 표면 상의 불균일함을 평탄화하도록 비교적 큰 막 두께로 배열된 오버코트층을 갖는 것이 바람직하다.

[0028] 액정층 LQ와 접촉하고 있는 대향 기판 CT의 표면은 배향막 AL2로 도포된다.

[0029] 상술한 대향 기판 CT 및 어레이 기판 AR은 그의 배향막 AL1 및 배향막 AL2가 서로 대향하도록 배열된다. 이 시점에서, 미리결정된 캡은 어레이 기판 AR의 배향막 AL1과 대향 기판 CT의 배향막 AL2 간의 스페이서(미도시됨) (예를 들면, 수지 재료를 사용함으로써 기판 중 하나 상에 일체로 형성된 기둥 모양의 스페이서)에 의해 생성된다. 액정층 LQ는 캡 내에 봉합된 액정 분자 LM을 포함한 액정 혼합물로 형성된다.

[0030] 배향막 AL1과 배향막 AL2은 액정층 LQ에 포함된 액정 분자 LM의 정렬을 제한하도록 러빙 처리(rubbing treatment)를 한다. 액정 분자 LM는 배향막 AL1 및 배향막 AL2에 의해 야기된 제한적 힘에 의해 정렬된다. 배향막 AL1 및 배향막 AL2 각각의 러빙 방향은 공통 전극 E2에 형성된 슬릿 SL 각각의 주축에 비평행 및 비수직한다.

[0031] 전위차가 픽셀 전극 E1과 공통 전극 E2 사이에 생성되지 않는 경우(즉, 전기장이 픽셀 전극 E1과 공통 전극 E2 사이에 생성되지 않는 경우)에 전기장이 없는 시점에, 액정 분자 LM는 그 주축 D가 배향막 AL1 및 배향막 AL2의 러빙 방향에 평행하도록 정렬된다.

[0032] 액정 디스플레이 디바이스는 액정 디스플레이 패널 LPN의 외부 표면 중 하나(즉, 액정층 LQ와 접촉하고 있는 표면에 대향한 어레이 기판 AR의 표면)에 제공된 광학 소자 OD1와, 액정 디스플레이 패널 LPN의 다른 외부 표면(즉, 액정층 LQ와 접촉하고 있는 표면에 대향한 대향 기판 CT의 표면)에 제공된 광학 소자 OD2를 포함한다. 광학 소자 OD1 및 광학 소자 OD2 각각은 편광판을 포함한다. 예를 들면, 전기장이 없을 때 액정 패널 LPN의 투과도가 최소로 감소하는(즉, 블랙 스크린이 디스플레이 되는) 노멀 블랙 모드가 실현된다.

[0033] 도 4 및 도 5에 도시되지 않았지만, 액정 디스플레이 디바이스는 액정 디스플레이 패널 LPN의 어레이 기판 AR 측에 배열된 백라이트 유닛 BL을 포함한다.

[0034] 이 액정 디스플레이 디바이스에서, 전위차가 픽셀 전극 E1과 공통 전극 E2 사이에서 생성될 때(즉, 공통 전위와 상이한 전위의 전압이 픽셀 전극 E1에 인가되는 전압 인가 시간에), 전기장은 픽셀 전극 E1과 공통 전극 E2 사이에서 생성된다. 이 때, 액정 모듈 LM이 러빙 방향에서 전기장에 평행한 방향으로 정렬되도록 구동된다.

[0035] 액정 모듈 LM의 주축 D의 방향이 러빙 방향으로부터 가변되면, 액정층 LQ를 통과하는 광의 변조율이 변한다. 따라서, 백라이트 유닛 BL로부터의 액정 디스플레이 패널 LPN을 통과하는 백라이트의 일부가 제2 광학 소자 OD2를 관통하고, 흰색 스크린이 디스플레이된다. 달리 말하면, 액정 디스플레이 패널 LPN의 투과도가 전기장의 크기에 따라 변한다. 횡 전기장을 이용하는 액정 모드에서, 백라이트가 이 방식으로 선택적으로 전송되고, 이미지가 디스플레이된다.

[0036] 상술한 바와 같이, 횡 전기장을 이용하는 액정 모드에서, 수직 전기장을 이용하는 액정 모드와 달리, 카운터 전극 측은 전기적으로 부동 상태로 설정되고 어레이 기판 측의 전기장에 의해 쉽게 영향을 받고 대전된다. 특히,

배선부에 대향하도록 배열된 블랙 매트릭스(32)는 게이트선 Y의 게이트 전위의 영향에 의해 쉽게 대전되는 경향이 있다.

[0037] 특히, 게이트 전위 레벨이 시프트하는 시점에, 블랙 매트릭스(32)의 전위가 또한 시프트하고, 원하지 않은 수직 전기장은 배선부 근처에서 일시적으로 형성될 수 있다. 다른 경우에, 액정 분자를 구동하는데 필요한 실질적인 횡 전기장과 다른 원하지 않은 횡 전기장이 생성된다. 한 번 대전된 블랙 매트릭스(32)의 전위는 시간이 지나 감에 따라서 그라운드 레벨(그라운드 전위)로 감소하지만, 광 누설 또는 플리커(flicker)가 감소하는데 필요한 시간 동안 발생하여, 디스플레이 품질의 저하를 야기한다.

[0038] 본 실시예에서, 도 4의 라인 B-B를 따라 취해진 단면도인 도 4에 도시된 바와 같이, 공통 전극 E2이 제1 절연막 IL1과 제2 절연막 IL2를 개재하여 게이트선 Y에 대향하도록 배열된다.

[0039] 특히, 공통 전위로 설정된 공통 전극 E2은 게이트선 Y과 대향 기판 CT 사이에 놓인다. 도 4의 단면이 대향 기판 CT 측에서 보여질 경우에, 게이트선 Y는 제1 절연막 IL1, 제2 절연막 IL2 및 공통 전극 E2으로 도포된다. 달리 말하면, 도 2의 평면도에서, 게이트선 Y은 공통 전극 E2를 오버랩한다.

[0040] 상술한 구조를 이용하여, 공통 전극 E2가 게이트선 Y로부터 게이트 전위에 의해 생성된 전기장을 차폐하기 때문에, 대향 기판 측 상의 블랙 매트릭스(32)의 대전이 억제될 수 있다.

[0041] 따라서, 기입부 근처에서 광 누설 또는 플리커의 발생이 방지될 수 있고, 양호한 디스플레이 품질이 실현될 수 있다.

[0042] 상술한 공통 전극 E2은 픽셀 PX 각각의 적어도 픽셀 전극 E1 및 게이트선 Y에 대향하도록 배열된다. 더욱이, 공통 전극 E2은 전체 디스플레이 영역 DSP에 걸쳐 형성될 수도 있다. 바꾸어 말하자면, 공통 전극 E2은 전체 디스플레이 영역 DSP를 도포하도록 형성될 수도 있다. 이 경우에, 공통 전극 E2은 모든 픽셀 PX에 공통이고, 도 2의 라인 C-C를 따라 취해진 단면도인 도 5에 도시된 바와 같이, 소스선 X에 대향하도록 배열된다. 물론, 이 경우에 공통 전극 E2는 픽셀 전극 E1과 게이트선 Y 사이의 영역 및 픽셀 전극 E1과 소스선 X 사이의 영역에 대향하도록 연장한다. 이 경우에, 도 2의 평면도에서, 공통 전극 E2는 픽셀 전극 E1, 게이트선 Y 및 소스선 X를 오버랩한다.

[0043] 이 방식으로 배열된 공통 전극 E2는 상술한 바와 같이 광 투과성의 전기 전도재로 형성되기 때문에, 액정 분자는 원하는 횡 전기장을 이용함으로써 공통 전극 E2가 픽셀 전극 E1에 대향하는 영역 뿐만아니라, 픽셀 전극 E1과 게이트선 Y 사이의 영역 및 픽셀 전극 E1과 게이트선 Y 사이의 영역에서도 구동될 수 있고, 이 영역은 디스플레이하는데 기여한다. 따라서, 디스플레이에 기여하는 픽셀 PX 각각의 개구율이 증가될 수 있고 픽셀 PX 각각의 투과도 또는 조도가 증가될 수 있다.

[0044] 공통 전극 E2이 전체 디스플레이 영역 DSP에 걸쳐 형성되는 경우에, 소스선 X로부터 생성된 전기장을 차폐하고 대향 기판 측 상의 블랙 매트릭스(32)의 대전을 억제할 수 있다. 따라서, 제1 절연막 IL1, 제2 절연막 IL2 및 공통 전극 E2으로 게이트선 Y를 덮는 상술한 경우에서와 동일한 이로운 효과를 획득할 수 있다.

[0045] 한편, 도 5에 도시된 바와 같이, 픽셀 전극 E1 및 소스선 X은 제1 절연막 IL1 상의 동일한 층에 형성된다. 픽셀 전극 E1과 소스선 X가 제1 절연막 IL1 상의 동일한 층에 서로 가까이 배열되는 경우에, 픽셀 전극 E1과 소스선 X 사이에 전기적 커플링은 무시할 수 없게 된다. 원하지 않은 커플링이 발생할 경우에, 원하는 픽셀 전위가 획득될 수 없고, 디스플레이 결함이 발생할 수도 있다. 더욱이, 커플링을 제거하기 위해 픽셀 전극 E1과 소스선 X 사이에 큰 거리가 확보될 경우에, 개구율은 감소할 수도 있다.

[0046] 상술한 원하지 않은 커플링이 발생하는 경우에, 본 실시예에서, 도 6에 도시된 바와 같이 트렌치 G가 제2 절연막 IL2의 픽셀 전극 E1과 소스선 X 사이에 형성되고, 공통 전극 E2가 이 트렌치 G에 또한 배열된다. 특히, 공통 전위로 설정된 공통 전극 E2는 동일한 층에 배열된 픽셀 전극 E1과 소스선 X 사이에 놓인다. 공통 전극 E2는 픽셀 전극 E1과 소스선 X 사이의 차폐에 영향을 미치기 때문에, 원하지 않은 커플링은 억제될 수 있다.

[0047] 따라서, 양호한 디스플레이 품질이 실현될 수 있다. 더욱이, 픽셀 전극 E1과 소스선 X 사이의 거리를 증가시킬 필요가 없고, 개구율의 감소가 억제될 수 있다.

[0048] 제2 절연막 IL2에 형성된 트렌치 G가 설명된다. 도 7에 도시된 바와 같이, 공통 전극 E2가 트렌치 G 내에 배열되기 때문에, 물론, 트렌치 G는 하부 전기 전도층을 관통하지 않도록 형성된다. 예를 들면, 제2 절연막 IL2의 관통-호울을 형성하는 공정에서, 트렌치 G는 하프톤 노광(half-tone exposure)을 이용한 포토리소그래피 단계에서 제1 절연막 IL1를 관통하지 않을 만큼의 깊이 DE를 갖도록 형성된다. 트렌치 G의 깊이 DE는 도 7의 파선에

의해 표시된 바와 같이, 막 형성시 제2 절연막 IL2의 두께와 도 7의 실선에 의해 표시된 바와 같이, 포토리소그래피 단계 이후의 두께 사이의 차이에 대응한다.

[0049] 특히, 도 7에 도시된 바와 같이, 트렌치 G와 제1 절연막 IL1 사이에 남겨진 제2 절연막 IL2의 두께 T1은 픽셀 전극 E1의 두께 t2보다 작고 소스선 X의 두께 t3보다 작다($T1 < t2$, $T1 < t3$). 더욱이, 두께 T1은 픽셀 전극 E1 상의 제2 절연막 IL2의 두께 T2보다 작고 소스선 X 상의 제2 절연막 IL2의 두께 T3보다 작다($T1 < T2$, $T1 < T3$).

[0050] 트렌치 G를 형성함으로써, 공통 전극 E2은 픽셀 전극 E1과 소스선 X 사이에 놓여지도록 형성될 수 있고, 픽셀 전극 E1과 소스선 X 사이의 커플링이 억제될 수 있다.

[0051] 도 8에 도시된 바와 같이, 트렌치 G는 픽셀 전극 E1을 둘러싸도록 형성될 수 있다. 특히, 트렌치 G는 픽셀 전극 E1과 소스선 X 사이 뿐만아니라 픽셀 전극 E1과 게이트선 Y 사이에서도 형성될 수도 있기에, 실질적으로 루프 형태로 형성될 수도 있다. 이 경우에, 공통 전극 E2은 픽셀 전극 E1을 둘러싸는 트렌치 G에 또한 형성된다.

[0052] 이 구조를 채택하는 경우에, 픽셀 전극 E1과 배선부 사이의 차폐 효과는 더 향상될 수 있고, 원하는 픽셀 전위가 안정적으로 획득될 수 있다.

[0053] 픽셀 전극 E1과 소스선 X 사이에 형성된 트렌치 G의 깊이가 하부 전기 전도층(또는 배선)을 관통하지 않도록 설정되면 충분하다. 예를 들면, 트렌치 G에 배열된 공통 전극 E2에 의한 차폐 효과를 더 향상시키기 위해, 트렌치 G는 제2 절연막 IL2를 관통할 만큼의 깊이를 갖고 제1 절연막 IL1의 내부에 도달하도록(즉, 제1 절연막 IL1을 관통하지 않을 만큼의 두께 만큼) 형성될 수도 있다.

[0054] 상술한 트렌치 G의 깊이는 하부 배선을 차단하지 않거나 공통 전극 E2와 다른 배선 사이의 단락을 방지하도록 설정된다. 선 파손 또는 단락 어느 것도 발생하지도 않는 위치에 트렌치 G를 제공하는 경우에, 트렌치 G는 제2 절연막 IL2와 제1 절연막 IL1 모두를 관통할 수도 있다.

[0055] 상술한 바와 같이, 본 실시예는 양호한 디스플레이 품질을 실현할 수 있는 액정 디스플레이 디바이스를 제공할 수 있다.

[0056] 본 발명은 상술한 실시예에 직접적으로 한정되지 않는다. 실제로, 구성 요소는 본 발명의 사상으로부터 벗어나지 않고서 수정되고 구현될 수 있다. 다양한 발명이 본 실시예에 개시된 구성 요소를 적절히 조합함으로써 만들어질 수 있다. 예를 들면, 일부 구성 요소는 본 실시예에 개시된 모든 구성 요소에서 생략될 수도 있다. 더욱이, 다른 실시예의 구성 요소가 적절히 조합될 수도 있다.

도면의 간단한 설명

[0057] 도 1은 본 발명의 실시예에 따라 횡 전기장을 이용하는 액정 모드의 액정 디스플레이 디바이스 구조를 개략적으로 도시한 도면;

[0058] 도 2는 도 1의 액정 디스플레이 디바이스에 적용된 픽셀 구조를 개략적으로 도시한 평면도;

[0059] 도 3은 도 2의 라인 A-A를 따라 취해진 도 2의 픽셀의 단면 구조를 도시한 단면도;

[0060] 도 4는 도 2의 라인 B-B를 따라 취해진 도 2의 픽셀의 단면 구조를 도시한 단면도;

[0061] 도 5는 도 2의 라인 C-C를 따라 취해진 도 2의 픽셀의 단면 구조를 도시한 단면도;

[0062] 도 6은 본 실시예에 적용가능한 어레이 기판의 다른 구조를 개략적으로 도시한 단면도;

[0063] 도 7은 도 6에 도시된 트렌치 영역을 확대된 크기로 도시한 단면도; 및

[0064] 도 8은 본 실시예에 적용가능한 어레이 기판의 또 다른 구조를 개략적으로 도시한 평면도.

[0065] <도면의 주요 부분에 대한 부호의 설명>

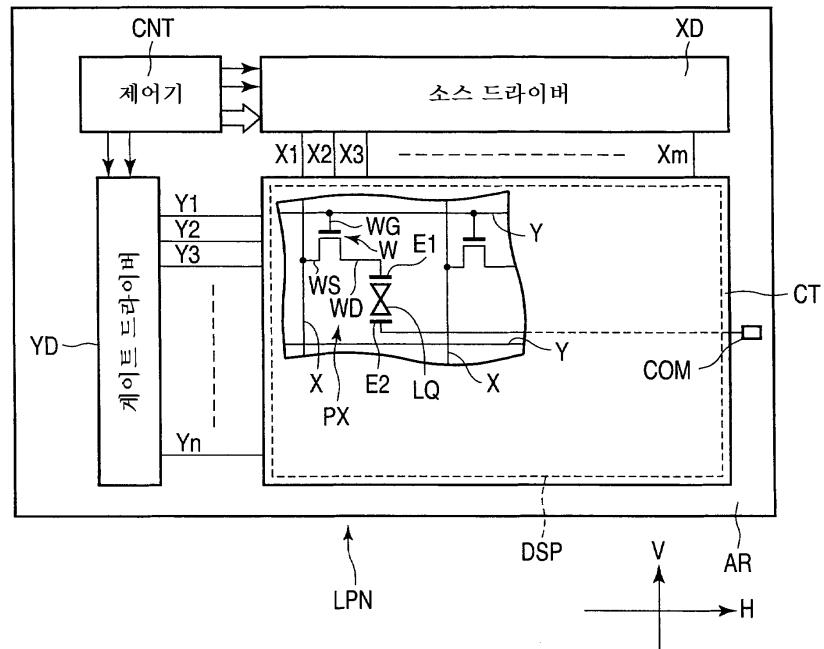
[0066] 20, 30: 절연 기판

[0067] 32: 블랙 매트릭스

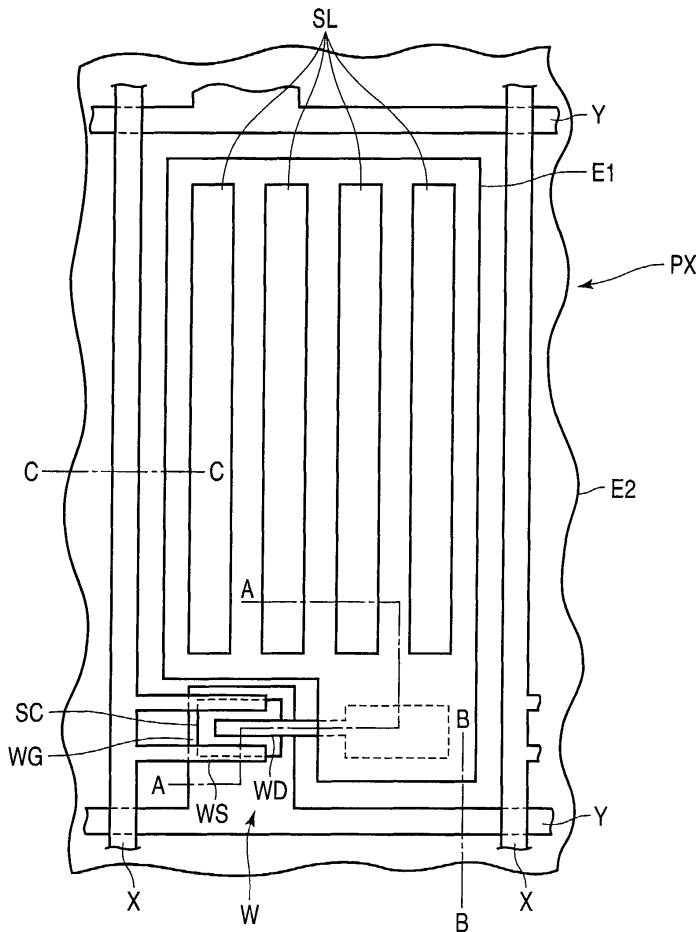
[0068] 34: 색 필터층

도면

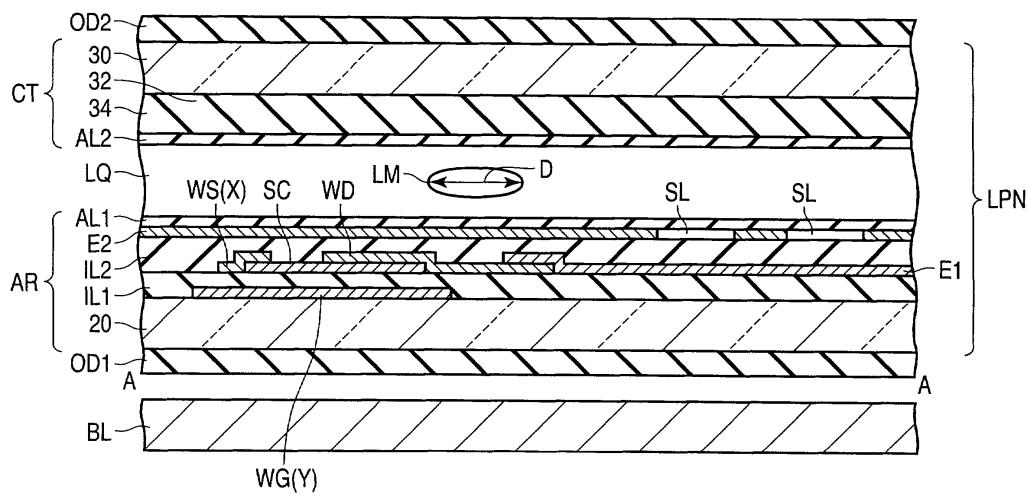
도면1



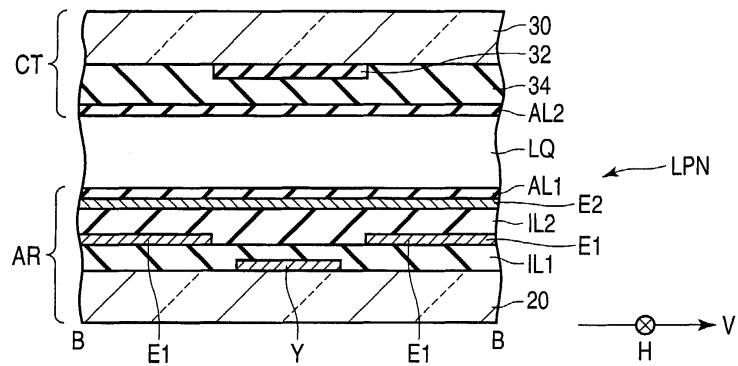
도면2



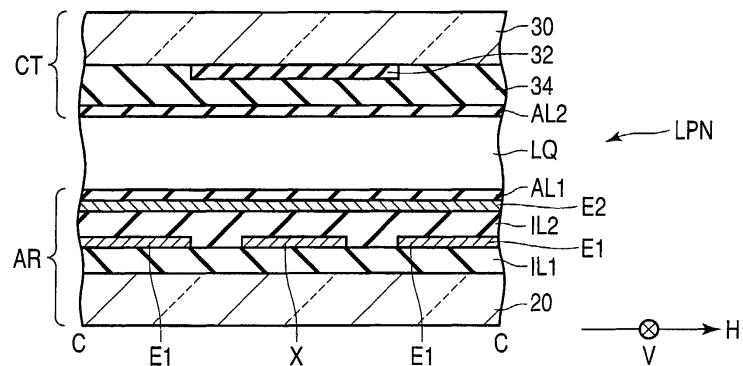
도면3



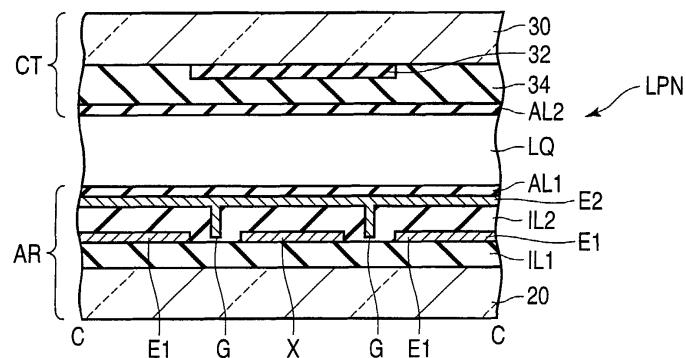
도면4



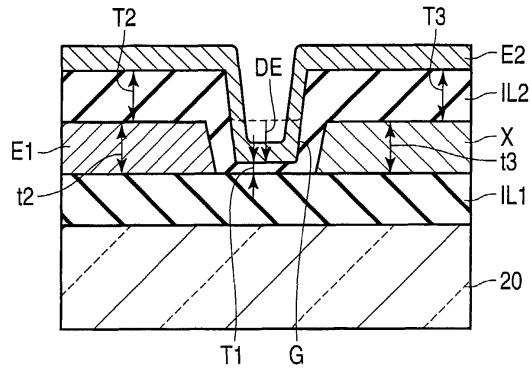
도면5



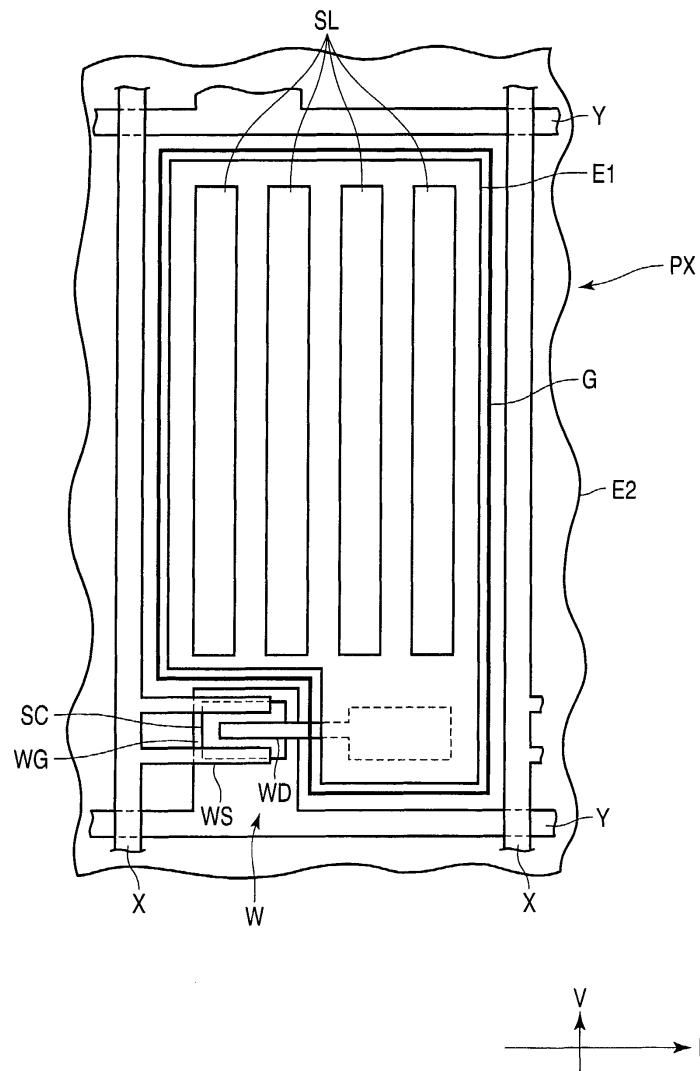
도면6



도면7



도면8



专利名称(译)	标题 : 液晶显示装置		
公开(公告)号	KR101171414B1	公开(公告)日	2012-08-06
申请号	KR1020090044383	申请日	2009-05-21
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	FUJIMOTO TAKAMITSU 후지모또다까미쯔 MORITA SHIN 모리따신		
发明人	후지모또다까미쯔 모리따신		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/133512 G02F2001/134318 G02F1/134363 G02F2001/136218		
代理人(译)	CHANG, SOO KIL LEE , JUNG HEE		
优先权	2008179361 2008-07-09 JP		
其他公开文献	KR1020100006527A		
外部链接	Espacenet		

摘要(译)

该液晶显示装置的阵列基板 (AR) 具有绝缘基板30，栅极线 (Y) ，布置成覆盖所述栅极线的第一绝缘膜 (IL1)，其在第一方向上延伸，每一个像素电极 (E1) 设置在像素的第一绝缘膜上，像素电极在相反侧的源极线，所述像素电极和第二绝缘膜 (IL2) 的方式的第二绝缘膜布置为覆盖源极线，并且在每个像素中的像素电极之间延伸，并面对栅极线的方向的像素电极并且公共电极E2包括与像素电极相对的狭缝SL它包括。

