



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월06일
(11) 등록번호 10-0935789
(24) 등록일자 2009년12월29일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0028736

(22) 출원일자 2008년03월28일

심사청구일자 2008년03월28일

(65) 공개번호 10-2008-0088483

(43) 공개일자 2008년10월02일

(30) 우선권주장

JP-P-2007-00089664 2007년03월29일 일본(JP)

JP-P-2007-00210328 2007년08월10일 일본(JP)

(56) 선행기술조사문헌

KR1020040110694 A

JP2004185006 A

JP2001027893 A

JP11237606 A

전체 청구항 수 : 총 20 항

(73) 특허권자

가시오계산기 가부시킴가이샤

일본국 도쿄도 시부야구 혼마치 1초메 6반 2고

(72) 발명자

야마나카, 시게루

일본국 도쿄도 하마라시 사카에초 3초메 2반 1고

가시오계산기 가부시킴가이샤 하마라기쥬츠센터내

히라야마, 류이치

일본국 도쿄도 하마라시 사카에초 3초메 2반 1고

가시오계산기 가부시킴가이샤 하마라기쥬츠센터내

요시노, 켄

일본국 도쿄도 하마라시 사카에초 3초메 2반 1고

가시오계산기 가부시킴가이샤 하마라기쥬츠센터내

(74) 대리인

김문중, 손은진

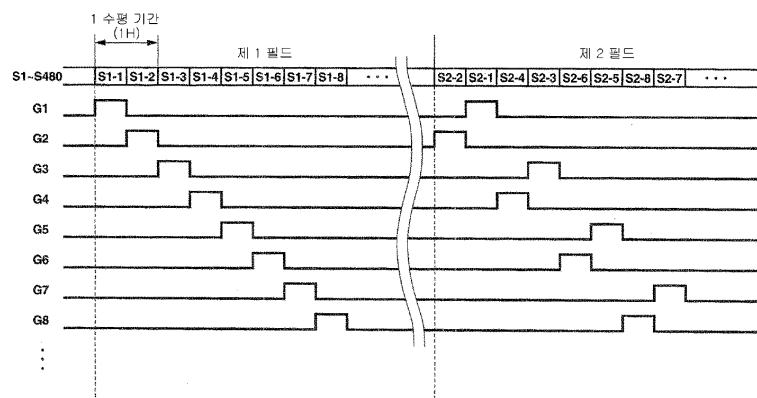
심사관 : 이성현

(54) 액티브 매트릭스형 표시장치의 구동회로, 구동방법 및 액티브 매트릭스형 표시장치

(57) 요약

2개의 화소마다 1개의 신호선을 배치하며, 상기 신호선을 사이에 두고 인접하는 2개의 화소가 상기 신호선을 공용하는 동시에 각각 다른 주사선에 스위칭소자를 통하여 접속되어 있는 액티브 매트릭스형 표시장치의 구동방법에 있어서, 다른 신호선에 접속되어 인접 배치된 2개의 화소에 대응하는 2개의 주사선을 순차 선택하는 제 1 구동스텝과, 상기 2개의 주사선의 선택순서를 상기 제 1 구동스텝과는 역으로 하는 제 2 구동스텝을 갖는다.

대표도



특허청구의 범위

청구항 1

2개의 화소마다 1개의 신호선을 배치하고, 상기 신호선을 사이에 두고 인접하는 2개의 화소가 상기 신호선을 공유하는 동시에 각각 다른 주사선에 스위칭소자를 통해 접속되어 있는 액티브 매트릭스형 표시장치의 구동회로에 있어서,

상기 각 주사선을 선택하는 주사선 구동회로와,

상기 신호선에, 표시해야 할 정보에 따른 신호를 출력하는 신호선 구동회로를 구비하고,

상기 주사선 구동회로는 다른 신호선에 접속되고 인접 배치된 2개의 화소에 대응하는 2개의 주사선을 순차 선택하는 제 1 구동부와, 상기 2개의 주사선의 선택순서를 상기 제 1 구동부와는 역으로 하는 제 2 구동부를 구비하는 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동회로.

청구항 2

제 1 항에 있어서,

상기 제 1 구동부와 상기 제 2 구동부를 소정기간마다 전환하는 제어부를 구비하는 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동회로.

청구항 3

제 2 항에 있어서,

상기 소정기간은 $2j$ 주사기간(j : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동회로.

청구항 4

제 2 항에 있어서,

상기 소정기간은 제 1 소정기간과 제 2 소정기간을 포함하고,

상기 제 1 소정기간은 $2j$ 주사기간(j : 1이상의 정수)이며,

상기 제 2 소정기간은 k 필드(k : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동회로.

청구항 5

제 2 항에 있어서,

상기 소정기간은 k 필드(k : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동회로.

청구항 6

제 1 항에 있어서,

상기 신호선 구동회로는 상기 주사선 구동회로에 의한 상기 주사선의 선택순서에 따른 신호를 상기 신호선에 출력하는 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동회로.

청구항 7

2개의 화소마다 1개의 신호선을 배치하고, 상기 신호선을 사이에 두고 인접하는 2개의 화소가 상기 신호선을 공유하는 동시에 각각 다른 주사선에 스위칭소자를 통해 접속되어 있는 액티브 매트릭스형 표시장치의 구동방법에 있어서,

다른 신호선에 접속되고 인접 배치된 2개의 화소에 대응하는 2개의 주사선을 순차 선택하는 제 1 구동스텝과,

상기 2개의 주사선의 선택순서를 상기 제 1 구동스텝과는 역으로 하는 제 2 구동스텝을 갖는 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 제 1 구동스텝과 상기 제 2 구동스텝을 소정기간마다 전환 제어하는 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 소정기간은 $2j$ 주사기간(j : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동방법.

청구항 10

제 8 항에 있어서,

상기 소정기간은 제 1 소정기간과 제 2 소정기간을 포함하고,

상기 제 1 소정기간은 $2j$ 주사기간(j : 1이상의 정수)이며,

상기 제 2 소정기간은 k 필드(k : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동방법.

청구항 11

제 8 항에 있어서,

상기 소정기간은 k 필드(k : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동방법.

청구항 12

제 7 항에 있어서,

상기 각 신호선에 출력하는 표시해야 할 정보에 따른 신호를 상기 주사선의 선택순서에 따라 출력하는 것을 특징으로 하는 액티브 매트릭스형 표시장치의 구동방법.

청구항 13

2개의 화소마다 1개의 신호선을 배치하고, 상기 신호선을 사이에 두고 인접하는 2개의 화소가 상기 신호선을 공유하는 동시에 각각 다른 주사선에 스위칭소자를 통해 접속되어 있는 표시패널과,

상기 각 주사선을 선택하는 주사선 구동회로와,

상기 신호선에, 표시해야 할 정보에 따른 신호를 출력하는 신호선 구동회로를 구비하고,

상기 주사선 구동회로는 다른 신호선에 접속되고 인접 배치된 2개의 화소에 대응하는 2개의 주사선을 순차 선택하는 제 1 구동부와, 상기 2개의 주사선의 선택순서를 상기 제 1 구동부와는 역으로 하는 제 2 구동부를 구비하는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 14

제 13 항에 있어서,

상기 제 1 구동부와 상기 제 2 구동부를 소정기간마다 전환하는 제어부를 구비하는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 15

제 14 항에 있어서,

상기 소정기간은 $2j$ 주사기간(j : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 16

제 14 항에 있어서,

상기 소정기간은 제 1 소정기간과 제 2 소정기간을 포함하고,

상기 제 1 소정기간은 $2j$ 주사기간(j : 1이상의 정수)이며,

상기 제 2 소정기간은 k 필드(k : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 17

제 14 항에 있어서,

상기 소정기간은 k 필드(k : 1이상의 정수)인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 18

제 13 항에 있어서,

상기 신호선 구동회로는 상기 주사선 구동회로에 의한 상기 주사선의 선택순서에 따른 신호를 상기 신호선에 출력하는 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 19

제 13 항에 있어서,

상기 표시패널은 복수의 화소를 스트라이프 형상으로 배열한 스트라이프 배열의 표시패널인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

청구항 20

제 13 항에 있어서,

상기 표시패널은 복수의 화소를 델타 형상으로 배열한 델타 배열의 표시패널인 것을 특징으로 하는 액티브 매트릭스형 표시장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 1개의 신호선을 인접하는 2개의 화소가 공용하는 타입의 액티브 매트릭스형 표시장치의 구동회로, 구동방법, 및 그와 같은 구동회로를 이용한 액티브 매트릭스형 표시장치에 관한 것이다.

배경 기술

- <2> 근래에는 스위칭소자로서 박막 트랜지스터(TFT)를 이용한 액티브 매트릭스형 표시장치가 개발되고 있다.
- <3> 상기 액티브 매트릭스형 표시장치는, 매트릭스형상으로 배치된 복수의 화소를 행마다 순차적으로 주사하기 위한 주사신호를 발생하는 주사선 구동회로(이하, 게이트드라이버라고 칭한다)를 갖는다. 게이트드라이버는, 상기 각 화소에 영상신호를 부여하는 신호선 구동회로(이하, 소스드라이버라 칭한다)에 비하면 동작주파수는 낮다. 이로 인해, 상기 각 화소에 대응한 TFT를 형성하기 위한 공정과 동일한 공정으로 상기 TFT와 상기 게이트드라이버를 동시에 형성했다고 해도 상기 게이트드라이버는 그 스펙을 만족시키는 것이 가능하다.
- <4> 또한, 액티브 매트릭스형 표시장치의 각 화소는 상기 TFT에 접속된 화소전극과 공통전압(V_{com})이 인가되는 공통전극을 갖고 있다. 그리고, 액티브 매트릭스형 표시장치에서는 한 방향의 전계가 길게 인가됨으로써 발생하는 액정의 열화 현상을 방지하기 위해 소스드라이버로부터의 영상신호(V_{sig})의 극성을 공통전압(V_{com})에 대하여 프레임마다, 라인마다, 또는 도트마다 반전시키는 반전구동이 일반적으로 실행되고 있다.
- <5> 그런데, 액티브 매트릭스형 표시장치의 실장(實裝)에 있어서는 다수의 화소가 배열된 표시패널(표시화면)의 주위에 상기 게이트드라이버나 소스드라이버 등이 배치된다. 그리고, 표시화면 내의 주사선(이하, 게이트라인이라 칭한다) 및 신호선(이하, 소스라인이라 칭한다)과, 상기 게이트드라이버나 소스드라이버를 전기적으로 접속하기 위한 배선은 상기 표시화면의 외측을 둘러쳐서 쌍방이 접속되어 있다. 이때, 이것들 배선의 둘러침면적을

적제하는 것, 즉, 표시패널 이외의 면적축소(협프레임)를 완수하는 것이, 상기 액티브 매트릭스형 표시장치를 조립하는 정보기기 소형화의 관점에서 강하게 요망되고 있다.

- <6> 그로 인해, 특히 표시패널 상하 방향의 협프레임화의 요구에 대하여 소스라인의 점유면적을 작게 할 수 있기 때문에, 소스라인 수를 반으로 한 화소결선의 구성이 고려되고 있다(예를 들면, 일본국 특개 2004-185006호 공보의 도 5).
- <7> 도 19는 그와 같은 협프레임을 달성하기 위한 한 수법으로서 고려된 표시화면내에 있어서의 화소결선 예의 개략도이다. 이것은 1개의 소스라인을 인접하는 2개의 화소(200)로 공용하는 것이다. 이 경우, 이들 2개 화소(200)의 TFT(202)는 각각 다른 게이트라인에 접속되어 있다. 예를 들면 도 19에 있어서 좌측 윗쪽의 적색(R) 화소(200)의 TFT(202)는 게이트라인(G1)과 소스라인(S1)에 접속되고, 그 오른쪽에 인접하는 녹색(G) 화소(200)의 TFT(202)는 게이트라인(G2)과 소스라인(S1)에 접속되어 있다.
- <8> 도 20은 이와 같은 화소결선에 있어서, 복수의 소스라인(S1, S2, S3, ...)에 출력되는 표시해야 할 정보에 따른 영상신호(Vsig)의 조합 출력순서와, 복수의 게이트라인(G1, G2, G3, ...)의 선택순서로 이루어지는 흐름을 나타내는 도면이다. 동일도면에 나타내는 바와 같이, 게이트라인이 화소 행수의 2배이므로, 복수의 게이트라인(G1, G2, G3, ...)은, 그 순번대로 1/2수평기간(1/2H) 마다 1개의 게이트라인이 선택되어 간다(H신호로 되어 간다). 그리고, 그 선택된 게이트라인에 대응하는 화소(200) 각각에 기입해야 할 영상신호(Vsig)의 조합이, 1/2수평기간에 복수의 소스라인(S1, S2, S3, ...)에 한 번에 출력된다. 예를 들면, 게이트라인(G1)이 선택되어 있는 1/2수평기간 중에는 “S-1” 으로 이루어지는 영상신호(Vsig)의 조합이 복수의 소스라인(S1, S2, S3, ...)에 출력되고, 다음의 게이트라인(G2)이 선택되어 있는 1/2수평기간 중에는 “S-2” 로 이루어지는 영상신호(Vsig)의 조합이 복수의 소스라인(S1, S2, S3, ...)에 출력된다는 상태이다.
- <9> 도 21은 각 화소(200)에 영상신호(Vsig)를 기입하는 순서를 나타내는 도면이다. 상기 화소결선에 있어서, 각 화소(200)로의 영상신호(Vsig)의 기입은 도 20에 나타내는 바와 같이 게이트라인의 배열 순서대로 실행되기 때문에, 도 21에 나타내는 바와 같은 것이 된다.
- <10> 상기한 바와 같은 소스라인 수를 반으로 하기 위한 화소결선에서는 화소사이에 소스라인이 있는 부분과 없는 부분이 있고, 소스라인이 없는 부분에는 소스라인이 있는 부분에 비해서 화소간의 기생용량이 크게 존재한다. 도 22는 이때의 등가 회로를 나타내는 도면이다. 이 화소간 기생용량(204)이 존재하는 화소사이에서는 전압리크가 발생하고, 이것에 의해, 먼저 쓰여진 화소(200)의 전위가 후에 쓰여진 화소(200)의 전위의 영향을 받아 변화된다. 이 전위의 변화는 화면상에서는 표시불균일로 되어 나타난다. 도 21에 나타낸 바와 같이 화소 기입순서는 고정이므로, 상기 리크발생에 의한 표시불균일은 항상 같은 부분에서 발생하게 된다.
- <11> 도 23은 상기 표시불균일의 예를 나타내는 도면이다. 동일도면은 알기 쉽게 하기 위해서 G화소(200)에 대해서만 나타낸 것이다. 여기서, 게이트라인의 주사 순서는 G1→G2→G3→...→G8이다. 또한, 도 23에 있어서 검게 칠한 다른 색의 화소(200)에 있어서도 먼저 쓰여진 화소(200)의 전위가 변화되어 버리는 것은 마찬가지이다(자세한 것은 후술하도록 한다).
- <12> 이하, 상기 화소 전위 변동에 대해서 더욱 상세하게 설명한다. 도 24는 표시패널을 TFT LCD로 했을 경우의 각 화소의 구성을 나타내는 도면이다. 각 화소(200)는 게이트라인에 접속되는 TFT(202)를 통하여 소스라인에 접속된 화소전극과 공통전압(Vcom)이 인가되는 공통전극(도시하지 않음)과의 사이에 액정(도시하지 않음)이 협지되어 구성되어 있다. 그리고, 액정 용량(Clc)에 전하를 필드 기간(논인터레이스 방식의 경우에는 프레임 기간)에 걸쳐 유지하는 것으로 대응하는 표시를 실현한다. 액정 용량(Clc)이나 TFT를 통한 전류리크의 대책을 위해 액정 용량(Clc)과 병렬로 보조 용량(Cs)을 설치하고 있다.
- <13> 도 25a는 도 24에 있어서의 게이트드라이버에 의한 게이트라인(G1~G4)의 주사 흐름을 나타내는 도면이고, 도 25b는 1/2수평기간(1/2H)마다 공통전압(Vcom)의 극성이 반전되는 수평라인 반전구동을 실시하는 경우에 있어서의, 먼저 기입된 도 22의 예를 들어 소스라인(S3)에 접속되는 녹색화소(F)(이하, G선(先)화소라 칭한다) 및 후에 기입된 도 22의 예를 들어 소스라인(S2)에 접속되는 적색화소(L)(이하, R후(後)화소라 칭한다)의 화소 전위 파형을 나타내는 도면이다.
- <14> 이하, 화소에 걸리는 전압이 클수록 투과율이 내려가는(어두워지는) 노멀리-화이트(normaly white)모드의 액정 표시장치인 경우에 대하여 기술한다. 그리고, 도 25b는 공통전압(Vcom)의 진폭을 5.0V, G선화소(F)의 기입전압[영상신호(Vsig)]을 공통전압(Vcom)에 대하여 2.0V(중간조), R후화소(L)의 기입전압(영상신호(Vsig))을 공통전압 Vcom에 대하여 4.0V(흑색, 암)로 한 경우를 나타내고 있다. 또한, TFT(202)가 온(ON)에서 오프(OFF)이 될

때에 발생하는 인입전압(피드스루 전압) ΔV 의 영향은 공통전압(V_{com})의 조정(V_{com} 을 ΔV 분 아래 쪽으로 시프트한다)에 의해 취소할 수 있으므로, 도 25b의 파형에는 기재하고 있지 않다(이하에 설명하는 다른 화소 전위 파형의 도면에 있어서도 마찬가지임).

<15> 표시화면에 있어서의 1행분의 화소에 영상신호를 기입하기 위한 기간을 1수평기간으로 했을 경우, 도 25a에 나타내는 바와 같이, 1수평기간에 2개의 게이트라인이 순차 선택된다. 결국, 게이트라인 1개가 선택되는 기간을 1주사기간이라고 하면 1수평기간은 2주사기간에 해당한다(1주사기간은 상술한 1/2수평기간에 상당한다). 그리고, 1수평기간에 선택되는 2개의 게이트라인은, 각 필드에 있어서, 1수평기간마다 순차 전환되어 간다. 이때, 도 25b에 나타내는 바와 같이, 선택된 게이트라인에 접속된 TFT(202)가 온되어 대응하는 화소(200)에 소스라인으로부터 인가되는 영상신호(V_{sig})가 기입된다. 따라서, G선택화소(F)의 기입타이밍은 도 25b의 W_6 가 되고, R후 화소(L)의 기입타이밍은 W_R 이 된다. 이들의 기입타이밍에서 기입된 화소전위가 다음 필드에서 리라이트 될 때까지 유지된다.

<16> 도 25b는 상기 화소간 기생용량(204)이 0인 경우의 이상적인 상태에 있어서의 화소 전위 파형이다. 그러나, 상기한 바와 같이, 소스라인이 없는 부분에는 화소간 기생용량(204)이 존재해 버린다. 도 26a는 화소간 기생용량(204)을 고려한 경우의 도 25b와 같은 전압조건에서의 화소 전위 파형을 나타내는 도면이다. 또, 도 26b는 화소간 기생용량(204)을 고려한 경우의 공통전압(V_{com})의 진폭이 5.0V, G선택화소(F)의 기입전압은 공통전압(V_{com})에 대하여 2.0V, R후화소(L)의 기입전압은 공통전압(V_{com})에 대하여 1.0V(백색, 명)라고 했을 경우의 화소 전위 파형을 나타내는 도면이다.

<17> 즉, 도 26a 및 도 26b에 나타내는 바와 같이, G선택화소(F)에 있어서는, 게이트라인(G1)의 선택에 의해 기입된 화소 전위가, 게이트라인(G2)의 선택에 의한 R후화소(L)의 기입 시에 V_c 값, 공통전압(V_{com})에 대하여 멀어지는 방향(어두워지는 방향)으로 시프트 되어 버린다. 이 V_c 의 크기는,

$$V_c = (V_{sig}(Fn-1) + V_{sig}(Fn)) \times C_{pp} / (C_s + C_{lc} + C_{pp}) \times \alpha \quad \dots(1)$$

<19> 과 같이 나타낼 수 있다. 이러한 (1)의 식에 있어서, $V_{sig}(Fn)$ 는 현재 필드의 R후화소(L)의 기입전압, $V_{sig}(Fn-1)$ 는 이전 필드의 R후화소(L)의 기입전압이다. 따라서, 도 26a의 경우에는 $V_{sig}(Fn-1) + V_{sig}(Fn) = 8.0V$, 도 26b의 경우에는 $V_{sig}(Fn-1) + V_{sig}(Fn) = 2.0V$ 가 된다. 또한, C_{pp} 는 화소간 기생용량(204)의 용량치, C_s 는 보조 용량(C_s)의 용량치, C_{lc} 는 액정 용량(C_{lc})의 용량치, α 는 비례 계수이고, 패널 구조 등에 따라서 정해지는 값이다.

<20> 이와 같이, $V_{sig}(Fn-1) + V_{sig}(Fn)$ 가 클수록, 전위 변동의 값(V_c)은 커지게 되고, V_{com} 의 진폭의 크기에는 관계가 없다.

<21> 이상은, 소스라인에 따른 방향으로 인접하는 화소 사이에서 공통전압(V_{com})의 극성(액정에 인가되는 전압의 극성)이 다른 수평라인 반전구동의 경우이다. 즉, 예를 들어 도 21에 있어서, 게이트라인(G1 또는 G2)에 접속되는 화소의 사이, 게이트라인(G3) 또는 게이트라인(G4)에 접속되는 화소의 사이, 게이트라인(G5) 또는 게이트라인(G6)에 접속되는 화소의 사이, 게이트라인(G7) 또는 게이트라인(G8)에 접속되는 화소의 사이에서, 공통전압(V_{com})의 극성을 반전시킨다.

<22> 그런데, 공통전극(V_{com})의 극성반전에는, 소스라인을 따른 방향에 인접하는 화소간 및 게이트라인을 따른 방향에 인접하는 화소 사이에서 공통전압(V_{com})의 극성이 다른 도트 반전구동이라는 구동방법도 존재한다. 이 경우, 상하 좌우에 인접하는 화소 사이에서 공통전압(V_{com})의 극성이 반전하도록, 도 21의 게이트라인(G1)과 게이트라인(G2)의 사이, 게이트라인(G3)과 게이트라인(G4)의 사이, 게이트라인(G5)과 게이트라인(G6)의 사이, 게이트라인(G7)과 게이트라인(G8)의 사이, 에 공통전압(V_{com})의 극성을 반전시킨다.

<23> 그리고, 수평라인 반전구동, 도트 반전구동 중 어느 것에 있어서도, 각 화소에 있어서의 공통전압(V_{com})의 극성은 필드마다 반전된다.

<24> 이와 같은 도트 반전구동을 실시하는 경우에는 도 27a 및 도 27b에 나타내는 바와 같이 이루어진다. 여기서, 도 27a는 화소간 기생용량(204)을 고려한 경우의 공통전압(V_{com})의 진폭이 5.0V, G선택화소(F)의 기입전압은 공통전압(V_{com})에 대하여 2.0V(중간조), R후화소(L)의 기입전압은 공통전압(V_{com})에 대하여 4.0V(흑색)로 한 경우의 화소 전위 파형을 나타내는 도면이고, 도 27b는 화소간 기생용량(204)을 고려한 경우의 공통전압(V_{com})의 진폭이 5.0V, G선택화소(F)의 기입전압은 공통전압(V_{com})에 대하여 2.0V, R후화소(L)의 기입전압은 공통전압(V_{com})에 대하여 1.0V(백색)로 한 경우의 화소 전위 파형을 나타내는 도면이다.

- <25> 즉, 도 27a 및 도 27b에 나타내는 바와 같이, 도트 반전구동을 실시하는 경우에도 상기 수평라인 반전구동을 실시하는 경우와 동일하게, G선화소(F)에 있어서는 게이트라인(G1)의 선택에 따라 기입된 화소전위가 게이트라인(G2)의 선택에 따른 R후화소(L)의 기입 시에, Vc분 시프트한다.
- <26> 이 경우에도, $V_{sig}(F_{n-1}) + V_{sig}(F_n)$ 가 클수록 전위 변동의 값(Vc)은 커지게 되고, Vcom의 진폭의 크기에는 관계가 없는 것은 수평라인 반전구동의 경우와 마찬가지로이다.
- <27> 단, 수평라인 반전구동에서는 공통전압(Vcom)과의 전위차가 커지도록 전위 변동하는 것에 비해, 도트 반전구동에서는 공통전압(Vcom)과의 전위차가 작아지도록 전위 변동한다.
- <28> 따라서, 전압의 무인가시에 백색 표시로 하고 전압의 인가 시에 흑색표시로 하는 노멀리 화이트 모드에 있어서는, 이상과 같은 Vc분의 변동에 따른 G선 화소는 수평라인 반전구동의 경우는 실제의 표시보다도 어두워져 버린다. 또, 도트 반전구동의 경우는 실제의 표시보다도 밝아져 버린다. 이것에 대하여, G후화소의 화소전위는 정상전압이 기입되므로, G래스터와 같은 표시로 하면 어느 쪽의 반전구동의 경우에도 세로 방향으로 1개 걸러 명암의 녹색이 표시되게 되어 버린다.
- <29> 마찬가지로의 Vc분의 변동이 R선화소 및 B선화소에 있어서도 발생한다.
- <30> 또한, 상기의 것은 화소(200)를 스트라이프 배열로 한 경우에 한정되지 않고 델타 배열로 한 경우에도 마찬가지이다.
- <31> 상기 일본국 특개 2004-185006호 공보에 개시된 수법에서는, 이와 같은 화소간 기생용량(204)에 기인하여 먼저 기입된 화소에 발생하는 전위 변동에 의한 표시불균일의 문제에 대처할 수 없다.

발명의 내용

해결 하고자하는 과제

- <32> 본 발명은, 이러한 종래의 과제를 감안해서 이루어진 것으로, 화소간 기생용량이 존재하는 경우의 표시불균일이 시인되기 어렵게 되는 액티브 매트릭스형 표시장치의 구동회로, 구동방법 및 액티브 매트릭스형 표시장치를 제공하는 것을 목적으로 한다.

과제 해결수단

- <33> 본 발명의 바람직한 상태의 액티브 매트릭스형 표시장치의 구동회로의 하나는, 2화소마다 1개의 신호선을 배치하고, 상기 신호선을 사이에 두고 인접하는 2개의 화소가, 상기 신호선을 공용하는 동시에 각각 다른 주사선에 스위칭소자를 통하여 접속되어 있는 액티브 매트릭스형 표시장치의 구동회로에 있어서,
- <34> 상기 복수의 주사선을 선택하는 주사선 구동회로와,
- <35> 상기 복수의 신호선에, 표시해야 할 정보에 따른 신호를 출력하는 신호선구동회로를 구비한다.
- <36> 그리고, 상기 주사선 구동회로는, 다른 신호선에 접속되어 인접 배치된 2개의 화소에 대응하는 2개의 주사선을 순차 선택하는 제 1 구동부와, 상기 2개의 주사선의 선택순서를 상기 제 1 구동부와는 역으로 하는 제 2 구동부를 구비한다.
- <37> 또, 본 발명의 바람직한 형태의 액티브 매트릭스형 표시장치의 구동방법의 하나는, 2화소마다 1개의 신호선을 배치하고, 상기 신호선을 사이에 두고 인접하는 2개의 화소가, 상기 신호선을 공용하는 동시에 각각 다른 주사선에 스위칭소자를 통하여 접속되어 있는 액티브 매트릭스형 표시장치의 구동방법에 있어서,
- <38> 다른 신호선에 접속되어 인접 배치된 2개의 화소에 대응하는 2개의 주사선을 순차 선택하는 제 1 구동스텝과, 상기 2개의 주사선의 선택순서를 상기 제 1 구동스텝과는 역으로 하는 제 2 구동스텝을 갖는다.
- <39> 또한, 본 발명의 바람직한 형태의 액티브 매트릭스형 표시장치의 하나는, 2 화소마다 1개의 신호선을 배치하고, 상기 신호선을 사이에 두고 인접하는 2개의 화소가 상기 신호선을 공용하는 동시에 각각 다른 주사선에 스위칭소자를 통하여 접속되어 있는 표시패널과,
- <40> 상기 복수의 주사선을 선택하는 주사선 구동회로와,
- <41> 상기 복수의 신호선에 표시해야 할 정보에 따른 신호를 출력하는 신호선구동회로를 구비한다.

<42> 그리고, 상기 주사선 구동회로는 다른 신호선에 접속되어 인접 배치된 2개의 화소에 대응하는 2개의 주사선을 순차 선택하는 제 1 구동부와, 상기 2개의 주사선의 선택순서를 상기 제 1 구동부와는 역으로 하는 제 2 구동부를 구비한다.

효 과

<43> 본 발명에 따르면, 화소간 기생용량이 존재하는 경우에 있어서도 표시불균일을 시인되기 어렵게 할 수 있다.

발명의 실시를 위한 구체적인 내용

<44> 이하, 본 발명을 실시하기 위한 최량의 형태를, 도면을 참조하여 설명한다. 그리고 모든 화소에 대하여 영상신호를 기입하기 위한 기간을 1필드, 1행분의 화소에 대하여 영상신호를 기입하기 위한 기간을 1수평기간, 게이트라인 1개분의 화소에 대하여 영상신호를 기입하기 위한 기간을 1주사기간으로서 설명한다.

<45> [제1 실시형태]

<46> 도 1a는 본 발명의 제 1 실시형태에 관련되는 액티브 매트릭스형 표시장치의 전체 구성을 나타내는 개략 구성도이고, 도 1b는 도 1a중의 LCD 패널(액정 표시패널)의 화소결선의 개략도이다.

<47> 즉, 본 실시형태에 관련되는 액티브 매트릭스형 표시장치는, 도 1a에 나타내는 바와 같이, 복수의 화소가 배치된 LCD 패널(표시패널)(10)과, 해당 LCD 패널(10)의 각 화소를 구동제어하는 드라이버회로(12)와, LCD 패널(10)에 공통전압(Vcom)을 인가하는 Vcom회로(14)로 구성되어 있다.

<48> LCD 패널(10)은 도 1b에 나타내는 바와 같이, 복수의 화소가 매트릭스형상으로 배치되어 있다. 또, 복수의 소스라인(신호선)(S1~S480)과 복수의 게이트라인(주사선)(G1~G480)이 서로 교차하도록 배치되어 있다. 그리고, 각 화소는 각각 스위칭소자로서의 TFT(18)를 통하여 소스라인 중의 어느 하나 및 게이트라인 중의 어느 하나와 접속되어 있다. 여기서, 각 화소는 1개의 소스라인을 인접하는 2개의 화소(16)가 공용하도록 배치되어 있다. 이 경우, 그들 2개의 화소(16)에 대응하는 각각의 TFT(18)는, 서로 다른 게이트라인에 접속되어 있다. 예를 들면, 도 1b에 있어서, 좌측 상단의 R화소(16)의 TFT(18)는 게이트라인(G1)과 소스라인(S1)에 접속되고, 그 우측의 G화소(16)의 TFT(18)는 게이트라인(G2)과 소스라인(S1)에 접속되어 있다. 그리고, 여기에서는, 화소(16)가 스트라이프 배열로 나열되고, 홀수열의 각 화소가 홀수 번째의 게이트라인에 접속되고, 짝수열의 각 화소가 짝수 번째의 게이트라인에 접속된 경우를 나타내고 있다.

<49> LCD 패널(10)의 복수의 소스라인(S1~S480) 및 복수의 게이트라인(G1~G480)은, 해당 LCD 패널(10)의 기관(도시하지 않음) 상을 둘러쳐진 배선(20)에 의해 드라이버회로(12)에 전기적으로 접속되어 있다.

<50> 도 2는 도 1a중의 드라이버회로(12)의 블록 구성도이다. 이 드라이버회로(12)는 같은 도면에 나타난 바와 같이, 게이트드라이버 블록(주사선 구동회로)(22), 소스드라이버 블록(신호선 구동회로)(24), 레벨 시프터 회로(26), 타이밍 제네레이터(이하, TG로 약기한다)부 로직 회로(28), 감마(이하, γ 라고 약기한다) 회로 블록(30), 차지 펌프/레귤레이터 블록(32), 아날로그 블록(34), 그 외의 블록으로 구성되어 있다.

<51> 여기서, 게이트드라이버 블록(22)은 LCD 패널(10)의 복수의 게이트라인 (G1~G480)을 선택하는 것이고, 소스드라이버 블록(24)은 LCD 패널(10)의 복수의 소스라인(S1~S480)에 표시해야 할 정보에 따른 영상신호(Vsig)를 출력하는 것이다.

<52> 레벨 시프터 회로(26)는, 외부로부터 공급되는 신호의 레벨을 소정 레벨로 시프트하는 것이다. TG부 로직 회로(28)는, 상기 레벨 시프터 회로(26)에 의해서 소정 레벨로 시프트된 신호 및 외부로부터 공급된 신호에 의거 하여 필요한 타이밍 신호나 제어 신호를 생성하여 해당 드라이버회로(12)내의 각 부로 공급하는 것이다.

<53> γ 회로 블록(30)은 상기 소스드라이버 블록(24)으로부터 출력되는 영상신호(Vsig)를 양호한 계조 특성으로 하도록 γ 보정을 거치기 위한 것이다.

<54> 차지 펌프/레귤레이터 블록(32)은 외부 전원으로부터 필요한 논리레벨의 각종 전압을 발생시키는 것이고, 아날로그 블록(34)은 이 차지 펌프/레귤레이터 블록(32)에서 발생된 전압으로부터 또한 각종의 전압을 발생시키는 것이다. 상기 Vcom 회로(14)는, 상기 아날로그 블록(34)에서 발생한 전압 VCOM으로부터 상기 공통전압(Vcom)을 발생한다. 그 밖의 블록에 대해서는, 직접 본원 발명과 직접적인 관계가 없기 때문에, 그 설명을 생략한다.

<55> 도 3은 본 제 1 실시형태에 있어서의, 복수의 소스라인(S1~S480)에 출력되는, 표시해야 할 정보에 따른 영상신호(Vsig)의 조합의 출력순서와, 복수의 게이트라인(G1~G480)(도면에서는 간략화를 위해서 게이트라인(G1~G8))

만을 추출하여 나타낸다)의 선택순서로 이루어지는 흐름을 나타내는 도면이다. 또한, 도 4a 및 도 4b는 각 화소(16)에 영상신호(Vsig)를 기입하는 순번을 나타내는 도면이다. 여기서, 도 4a는 편의적으로 제 1 필드(홀수 필드)를, 도 4b는 제 2 필드(짝수 필드)를 각각 나타내고 있다(제 1 필드와 제 2 필드는 교체되어도 좋다).

<56> 본 제 1 실시형태에 있어서는, 도 3에 나타내는 바와 같이, 복수의 게이트라인(G1~G480)의 선택순번을 필드마다 변화시키고 있다.

<57> 즉, 제 1 필드에서는, 종래와 같이, 게이트드라이버 블록(22)은 복수의 게이트라인(G1~G480)을 그 배열 순서대로 1/2수평기간(1/2H)마다 순차 선택하는(H신호로 하는) 제 1 구동을 실시한다. 그리고, 소스드라이버 블록(24)은 그 선택된 게이트라인에 대응하는 화소(16) 각각에 기입해야 할 영상신호(Vsig)의 조합을 1/2수평기간에 복수의 소스라인(S1~S480)에 한 번에 출력한다. 예를 들면, 게이트라인(G1)이 선택되어 있는 1/2수평기간 중에는 “S1-1”으로 된 영상신호(Vsig)의 조합이 복수의 소스라인(S1~S480)에 출력되고, 다음의, 게이트라인(G2)이 선택되어 있는 1/2수평기간 중에는 “S1-2”로 된 영상신호(Vsig)의 조합이 복수의 소스라인(S1~S480)에 출력된다고 하는 상태이다.

<58> 결국, 상단 측으로부터 2개씩 구분되는 게이트라인의 각 조에 있어서의 각 게이트라인의 선택순서(홀수 번째의 게이트라인을 선택한 후에 짝수 번째의 게이트라인을 선택)에 대응하여 소스드라이버 블록(24)은 1수평기간에 홀수열의 화소에 대응하는 데이터 → 짝수열의 화소에 대응하는 데이터의 순서로 출력한다.

<59> 따라서, 제 1 필드에서는, 상술한 바와 같은 소스라인 수를 반으로 한 화소결선에 있어서, 각 화소(16)로의 영상신호(Vsig)의 기입은, 도 3에 나타내는 바와 같이 게이트라인의 배열 순서대로 실행되므로, 도 4a에 나타내는 바와 같은 것이 된다. 이에 따라, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.

<60> 또한, 제 2 필드에서는 도 3에 나타내는 바와 같이, 게이트드라이버 블록(22)은 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인 조(組)의 선택순서를 제 1 필드와는 역으로 하는 제 2 구동을 실시한다. 즉, 우선, 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인(G1, G2)에 대하여, 제 1 필드와는 역순인 게이트라인(G2), 게이트라인(G1)의 순서로 선택하고, 이어서, 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인(G3, G4)에 대하여, 제 1 필드와는 역순인 게이트라인(G4), 게이트라인(G3)의 순서로 선택한다는 바와 같이, 2개씩의 게이트라인의 조에 있어서, 그 선택순서를 교체한다. 그리고 그 게이트라인의 선택순서의 교체에 수반하여 소스드라이버 블록(24)은 그 선택순서에 따라서 그 선택된 게이트라인에 대응하는 화소(16) 각각에 기입해야 할 영상신호(Vsig)의 조합을 1/2 수평기간에 복수의 소스라인(S1~S480)에 한 번에 출력한다.

<61> 결국, 상단측으로부터 2개씩으로 구분되는 게이트라인의 각 조에 있어서의 각 게이트라인의 선택순서(짝수 번째의 게이트라인을 선택한 후에 홀수 번째의 게이트라인을 선택)에 대응하여 소스드라이버 블록(24)은 1수평기간에 짝수열의 화소에 대응하는 데이터 → 홀수열의 화소에 대응하는 데이터 순으로 출력한다.

<62> 이에 따라, 예를 들면, 제 1 필드에서는 “S1-1” → “S1-2” → “S1-3” → “S1-4” → “S1-5” → “S1-6” → … 라는 영상신호(Vsig)의 조합순서로 출력하고 있던 것을, 제 2 필드에서는 “S1-2” → “S1-1” → “S1-4” → “S1-3” → “S1-6” → “S1-5” → … 라고 하는 영상신호(Vsig)의 조합순서로 출력하게 된다.

<63> 따라서, 제 2 필드에서는, 상기한 바와 같은 소스라인 수를 반으로 한 화소결선에 있어서, 각 화소(16)로의 영상신호(Vsig)의 기입은 도 3에 나타내는 바와 같이, 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인의 선택순서가 역으로 된 순번으로 실행되기 때문에, 도 4b에 나타내는 바와 같은 것이 된다. 이에 따라, 역시, 제 2 필드에 있어서도, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.

<64> 그러나, 제 2 필드에 있어서 전위가 변화되는 화소(16)는 제 1 필드에 있어서 전위가 변화하는 화소(16)와는 다르다. 즉, 상기 제 2 필드에 있어서는, 제 1 필드와는 영상신호(Vsig)의 기입순서가 반대로 되어 있기 때문에, 제 1 필드와 제 2 필드에서 서로 이웃하는 화소(16)로의 기입순서가 교체되게 된다. 이로 인해, 제 1 필드와 제 2 필드에서 전위차가 발생하는 화소의 위치가 반대가 되고, 결과적으로 화소 전위의 차이가 시간적으로 평균화되어 표시불균일이 경감된다.

<65> 도 5는, 상기와 같은 구동을 행하기 위한 게이트드라이버 블록(22)의 구체적인 구성을 나타내는 도면이다. 그리

고, 설명 및 도시의 간단화를 위해 여기에서는 게이트라인 8개로 설명한다. 이 경우, 해당 게이트드라이버 블록(22)은, 3비트 카운터(36)와, 32개의 AND 게이트(38~100)와, 4개의 NOT 게이트(102~108)와, 8개의 OR게이트(110~124)로 구성된다(그리고, 여기에서는, 논리 회로의 입력이 동시에 전환되는 경우에 발생하는 해저드 대책에 대해서는 본질적이지 않기 때문에, 간단함을 위하여 기재하지 않음. 이하 마찬가지로임.).

- <66> 즉, 3비트 카운터(36)에는 TG부 로직 회로(28)로부터 게이트 클록(clock)과 업/다운(이하, U/D로 약기함) 신호가 공급된다. U/D신호는 통상 표시인 비반전 시프트시에는 「1」, 상하가 반전된 표시를 실시하는 상하반전 시프트시에는 「0」이 되는 것이다. 이것은, 비반전 시프트시와 상하반전 시프트시에서는 게이트라인의 주사 방향이 상하 역으로 이루어지고, 그 결과, 먼저 기입되는 화소와 나중에 기입되는 화소가 반대로 이루어지기 때문에, 그것에 따라 동작을 전환할 필요가 있기 때문이다.
- <67> 그리고, 3비트 카운터(36)의 카운트값을 리셋하기 위한 리셋 신호가 해제되는 타이밍 후, 게이트 클록과 업/다운 신호에 따라서 3비트 카운터(36)가 카운트를 개시하도록 이루어져 있다.
- <68> 이 3비트 카운터(36)의 Q1출력은 디코드되는 짝수 번째의 라인(X2, X4, X6, X8)용의 AND 게이트(40, 44, 48, 52)에 부여되는 동시에, NOT 게이트(102)를 통하여 디코드되는 홀수 번째의 라인(X1, X3, X5, X7)용의 AND 게이트(38, 42, 46, 50)에 부여된다. 또한, 상기 3비트 카운터(36)의 Q2출력은 상기 라인(X3, X4, X7, X8)용의 AND 게이트(42, 44, 50, 52)에 부여되는 동시에, NOT 게이트(104)를 통하여 상기 라인(X1, X2, X5, X6)용의 AND 게이트(38, 40, 46, 48)에 부여된다. 그리고, 상기 3비트 카운터(36)의 Q3출력은 상기 라인(X5, X6, X7, X8)용의 AND 게이트(46, 48, 50, 52)에 부여되는 동시에, NOT 게이트(106)를 통하여 상기 라인(X1, X2, X3, X4)용의 AND 게이트(38, 40, 42, 44)에 부여된다.
- <69> 상기 라인(X1)용의 AND 게이트(38)의 출력은 게이트라인(G1, G2)용 제 1 AND 게이트(54, 56)에 부여된다. 상기 게이트라인(G1)용 제 1 AND 게이트(54)에는 TG부 로직 회로(28)로부터 필드 전환(이하, FI으로 약기함) 신호가 공급되고, 상기 게이트라인(G2)용 제 1 AND 게이트(56)에는 상기 FI신호가 NOT 게이트(108)를 통하여 공급된다.
- <70> 상기 라인(X2)용 AND 게이트(40)의 출력은 게이트라인(G1, G2)용 제 2 AND 게이트(58, 60)에 부여된다. 이들 게이트라인(G1, G2)용 제 2 AND 게이트(58, 60)에는, 상기 게이트라인(G1, G2)용 제 1 AND 게이트(54, 56)와는 반대로, 상기 게이트라인(G1)용 제 2 AND 게이트(58)에는 상기 FI신호가 상기 NOT 게이트(108)를 통하여 공급되고, 상기 게이트라인(G2)용 제 2 AND 게이트(60)에는 상기 FI신호가 공급되도록 이루어져 있다.
- <71> 그리고, 상기 게이트라인(G1)용 제 1 AND 게이트(54)의 출력과 상기 게이트라인(G1)용 제 2 AND 게이트(58)의 출력은 게이트라인(G1)용 OR게이트(110)에 공급되고, 해당 게이트라인(G1)용 OR게이트(110)의 출력은, TG부 로직 회로(28)로부터의, 소정의 타이밍 시에 게이트 출력을 허용하기 위한 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G1)용 제 3 AND 게이트(86)를 통하여 게이트라인(G1)에 공급된다. 또, 상기 게이트라인(G2)용 제 1 AND 게이트(56)의 출력과 상기 게이트라인(G2)용 제 2 AND 게이트(60)의 출력은 게이트라인(G2)용 OR게이트(112)에 공급되고, 상기 게이트라인(G2)용 OR게이트(112)의 출력이 상기 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G2)용 제 3 AND 게이트(88)를 통하여 게이트라인(G2)에 공급된다.
- <72> 이하, 마찬가지로 하여, 상기 라인(X3, X5, X7)용의 AND 게이트(42, 46, 50)의 출력은 게이트라인(G3, G4)용 제 1 AND 게이트(62, 64), 게이트라인(G5, G6)용 제 1 AND 게이트(70, 72), 게이트라인(G7, G8)용 제 1 AND 게이트(78, 80)에 부여되고, 상기 게이트라인(G3, G5, G7)용 제 1 AND 게이트(62, 70, 78)에는 상기 FI신호가 공급되며, 상기 게이트라인(G4, G6, G8)용 제 1 AND 게이트(64, 72, 80)에는 상기 FI신호가 상기 NOT 게이트(108)를 통하여 공급된다. 또, 상기 라인(X4, X6, X8)용 AND 게이트의 출력(44, 48, 52)은 게이트라인(G3, G4)용 제 2 AND 게이트(66, 68), 게이트라인(G5, G6)용 제 2 AND 게이트(74, 76), 게이트라인(G7, G8)용 제 2 AND 게이트(82, 84)에 부여되고, 상기 게이트라인(G3, G5, G7)용 제 2 AND 게이트(66, 74, 82)에는 상기 FI신호가 상기 NOT 게이트(108)를 통하여 공급되고, 상기 게이트라인(G4, G6, G8)용 제 2 AND 게이트(68, 76, 84)에는 상기 FI신호가 공급된다. 그리고, 상기 게이트라인(G3, G5, G7)용 제 1 AND 게이트(62, 70, 78)의 출력과 상기 게이트라인(G3, G5, G7)용 제 2 AND 게이트(66, 74, 82)의 출력은 게이트라인(G3, G5, G7)용 OR게이트(114, 118, 122)에 공급되고, 해당 게이트라인(G3, G5, G7)용 OR게이트(114, 118, 122)의 출력이 상기 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G3, G5, G7)용 제 3 AND 게이트(90, 94, 98)를 통하여 게이트라인(G3, G5, G7)에 공급된다. 또, 상기 게이트라인(G4, G6, G8)용 제 1 AND 게이트(64, 72, 80)의 출력과 상기 게이트라인(G4, G6, G8)용 제 2 AND 게이트(68, 76, 84)의 출력은 게이트라인(G4, G6, G8)용 OR게이트(116, 120, 124)에 공급되고, 상기 게이트라인(G4, G6, G8)용 OR게이트(116, 120, 124)의 출력이 상기 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G4, G6, G8)용 제 3 AND 게이트(92, 96, 100)를 통하여 게이트라인(G3, G5,

G7)에 공급된다.

- <73> 도 6a는 이와 같은 구성의 게이트드라이버 블록(22)의 비반전 시프트시의 제 1 필드의 흐름을 나타내는 도면이고, 도 6b는 마찬가지로 제 2 필드의 흐름을 나타내는 도면이다.
- <74> 비반전 시프트시에 제 1 필드에서는, 도 6a에 나타내는 바와 같이, 라인(X1~X8)에는, 게이트 클록 1발분에 해당하는 기간, 각각 차례로 H신호가 출력되게 된다. 즉, 타이밍적으로는 라인(X1)이 선택상태(H신호)→라인(X2)이 선택상태→라인(X3)이 선택상태→라인(X4)이 선택상태→라인(X5)이 선택상태→라인(X6)이 선택상태→라인(X7)이 선택상태→라인(X8)이 선택상태로 이루어져 간다.
- <75> 여기에서, 상기 제 1 필드에서는, 상기 FI신호로서 H신호가 공급되고 있다. 따라서, 라인(X1)이 선택상태로 되어 있는 기간에는 상기 게이트라인(G1)용 제 1 AND 게이트(54)만이 선택상태로 되어, G1용 OR게이트(110)와 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G1)용 제 3 AND 게이트(86)를 통하여 게이트라인(G1)이 선택상태로 된다. 또, 라인(X2)이 선택상태로 되어 있는 기간에는 상기 게이트라인(G2)용 제 2 AND 게이트(60)만이 선택상태가 되어 G2용 OR게이트(112)와 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G2)용 제 3 AND 게이트(88)를 통하여 게이트라인(G2)이 선택상태로 된다. 이하, 마찬가지로 하여 게이트라인(G3~G8)이 순차 선택상태가 되어 간다.
- <76> 그리고, 제 2 필드가 되면, 도 6b에 나타내는 바와 같이, 라인(X1~X8)에는 상기 제 1 필드와 동일하게, 라인(X1)→라인(X2)→라인(X3)→라인(X4)→라인(X5)→라인(X6)→라인(X7)→라인(X8)의 순서로 선택상태로 되어 간다.
- <77> 여기서, 해당 제 2 필드에서는, 상기 FI신호로서 L신호가 공급되고 있다. 따라서, 라인(X1)이 선택상태로 되어 있는 기간에는, 상기 게이트라인(G2)용 제 1 AND 게이트(56)만이 선택상태로 되어, G2용 OR게이트(112)와 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G2)용 제 3 AND 게이트(88)를 통하여 게이트라인(G2)이 선택상태로 된다. 또, 라인(X2)이 선택상태로 되어 있는 기간에는 상기 게이트라인(G1)용 제 2 AND 게이트(58)만이 선택상태로 되어, G1용 OR게이트(110)와 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G1)용 제 3 AND 게이트(86)를 통하여 게이트라인(G1)이 선택상태로 된다. 이하, 마찬가지로 하여, 게이트라인(G4)→게이트라인(G3)→게이트라인(G6)→게이트라인(G5)→게이트라인(G8)→게이트라인(G7)의 순서로 선택상태로 되어 간다.
- <78> 또, 도 7a는 도 5의 구성의 게이트드라이버 블록(22)의 상하반전 시프트시의 제 1 필드의 흐름을 나타내는 도면이고, 도 7b는 마찬가지로 제 2 필드의 흐름을 나타내는 도면이다(그리고 상하반전 시프트시에는, 리셋 신호가 도 6a 및 도 6b보다 1 게이트 클록분 빨리 하강하게 되어 있다). 또, 도 8a 및 도 8b는 이 상하반전 시프트시에 각 화소(16)에 영상신호(Vsig)를 기입하는 순번을 나타내는 도면이다. 여기에서, 도 8a는 제 1 필드를, 도 8b는 제 2 필드를 각각 나타내고 있다.
- <79> 상하반전 시프트시에, 제 1 필드에서는, 도 7a에 나타내는 바와 같이, 라인(X1~X8)에는 게이트 클록 1발분에 해당하는 기간, 각각 역방향으로 순번대로 H신호가 출력되게 된다. 즉, 타이밍적으로는, 라인(X8)이 선택상태→라인(X7)이 선택상태→라인(X6)이 선택상태→라인(X5)이 선택상태→라인(X4)이 선택상태→라인(X3)이 선택상태→라인(X2)이 선택상태→라인(X1)이 선택상태로 되어 간다.
- <80> 여기에서, 상기 제 1 필드에서는, 상기 FI신호로서 H신호가 공급되고 있다. 따라서, 라인(X8)이 선택상태로 되어 있는 기간에는, 상기 게이트라인(G8)용 제 2 AND 게이트(84)만이 선택상태로 되어, G8용 OR게이트(124)와 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G8)용 제 3 AND 게이트(100)를 통하여 게이트라인(G8)이 선택상태로 된다. 또, 라인(X7)이 선택상태로 되어 있는 기간에는 상기 게이트라인(G7)용 제 1 AND 게이트(78)만이 선택상태로 되어 G7용 OR게이트(122)와 게이트 인에이블 신호에 의해 제어되는 게이트라인(G7)용 제 3 AND 게이트(98)를 통하여 게이트라인(G7)이 선택상태로 된다. 이하, 마찬가지로 하여, 게이트라인(G6~G1)이 순차 선택상태가 되어 간다.
- <81> 따라서, 제 1 필드에서는, 각 화소(16)로의 영상신호(Vsig)의 기입은 도 7a에 나타내는 바와 같이 게이트라인의 역방향의 순번대로 실행되므로, 도 8a에 나타내는 것과 같이 된다. 이에 따라, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가, 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.
- <82> 그리고, 제 2 필드가 되면, 도 7b에 나타내는 바와 같이, 라인(X1~X8)에는, 상기 제 1 필드와 마찬가지로, 라인(X8)→라인(X7)→라인(X6)→라인(X5)→라인(X4)→라인(X3)→라인(X2)→라인(X1)의 순서로 선택상태로 되어 간

다.

- <83> 여기에서, 해당 제 2 필드에서는, 상기 FI신호로서 L신호가 공급되고 있다. 따라서, 라인(X8)이 선택상태로 되어 있는 기간에는, 상기 게이트라인(G7)용 제 2 AND 게이트(82)만이 선택상태로 되고, G7용 OR게이트(122)와 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G7)용 제 3 AND 게이트(98)를 통하여 게이트라인(G7)이 선택상태로 된다. 또, 라인(X7)이 선택상태로 되어 있는 기간에는 상기 게이트라인(G8)용 제 1 AND 게이트(80)만이 선택상태로 되어, G8용 OR게이트(124)와 게이트 인에이블 신호에 의해서 제어되는 게이트라인(G8)용 제 3 AND 게이트(100)를 통하여 게이트라인(G8)이 선택상태로 된다. 이하, 마찬가지로 하여, 게이트라인(G5)→게이트라인(G6)→게이트라인(G3)→게이트라인(G4)→게이트라인(G1)→게이트라인(G2)의 순서로 선택상태가 이루어져 간다.
- <84> 따라서, 제 2 필드에서는, 상기한 바와 같은 소스라인 수를 반으로 한 화소결선에 있어서, 각 화소(16)로의 영상신호(Vsig)의 기입은 도 7b에 나타내는 바와 같이, 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인의 선택순서가 역으로 된 역방향 순번으로 실행되므로, 도 8b에 나타내는 바와 같은 것이 된다. 이에 따라, 역시, 제 2 필드에 있어서도, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.
- <85> 그러나, 제 2 필드에 있어서 전위가 변화되는 화소(16)는 제 1 필드에 있어서 전위가 변화되는 화소(16)와는 다르다. 즉, 이 제 2 필드에 있어서, 제 1 필드와는 영상신호(Vsig)의 기입순서가 반대로 되어 있기 때문에, 제 1 필드와 제 2 필드에서, 서로 이웃하는 화소(16)로의 기입 순번이 교체되게 된다. 이로 인해, 제 1 필드와 제 2 필드에서 전위차가 발생하는 화소의 위치가 반대가 되고, 결과로서 화소 전위의 차이가 시간적으로 평균화되어 표시불균일이 경감된다.
- <86> 이상과 같이, 본 제 1 실시형태에 따르면, 게이트드라이버 블록(22)에 의해서 복수의 게이트라인을 순차 선택할 때의, 다른 소스라인에 접속되어 인접 배치된 2개의 화소에 대응하는 2개의 게이트라인의 선택순서를, 필드마다 교체하는 것으로써, 화소의 전위차를 시간적으로 평균화하는 것에 의해서 표시불균일을 저감할 수 있다.
- <87> 그리고, 소스드라이버 블록(24)으로부터 상기 복수의 소스라인에 출력하는 표시해야 할 정보에 따른 영상신호(Vsig)의 조합을, 제 2 필드에서는 도 3에 나타내는 바와 같이, 게이트라인의 선택순서의 교체에 따라서 홀수열과 짝수열 데이터의 순번을 교체하여 출력하고 있기 때문에, 호트러짐없이 표시를 행할 수 있다. 그리고 이 제 2 필드에서의 영상신호(Vsig)의 조합의 출력순서의 변경은, 특히 회로 구성을 상세하게 도시는 하지 않지만, 예를 들어 TG부 로직 회로(28)에서 적어도 1라인분의 영상신호(Vsig)의 조합을 유지하고, 홀수열과 짝수열 데이터의 순번을 교체하여 소스드라이버 블록(24)에 공급하도록 해도 좋고, 혹은, 소스드라이버 블록(24)내에서 홀수열과 짝수열 데이터의 순번을 교체하도록 해도 좋으며, 또는, 해당 액티브 매트릭스형 표시장치에 영상신호를 공급하는 측에서, 제 2 필드에 있어서는 영상신호의 홀수열과 짝수열 데이터의 순서를 교체하여 공급하도록 해도 좋다(이것은 상하반전 시프트시에 실시하는 조작과 기본적으로 같은 것임).
- <88> (상하반전 시프트를 실시하는 경우는 필드메모리가 필요하지만, 상하반전 시프트를 실시하지 않는 경우는 라인메모리로 실현 가능함)
- <89> [변형예]
- <90> 상기 제 1 실시형태에서는, 필드마다 다른 소스라인에 접속되어 인접 배치된 2개의 화소에 대응하는 2개의 게이트라인을 순차 선택하는 순서를 전환했지만, 도 9에 나타내는 바와 같이, 2개의 게이트라인마다(1H기간마다 즉 2주사기간마다) 전환하도록 해도 좋다.
- <91> 이와 같이 하면, 각 화소(16)로의 영상신호(Vsig)의 기입은, 제 1 필드는 도 10a에, 제 2 필드는 도 10b에 나타내는 바와 같은 순번이 되므로, 기생 용량에 의해서 영향을 받는 화소가 동일 필드 내에서도 세로로 일치하지 않기 때문에, 세로줄무늬를 보다 눈에 띄기 어렵게 할 수 있다.
- <92> 이러한 구동을 실현하는 회로예를 도 11에 나타낸다. 이는, 도 5에 있어서, 배타적논리합게이트(126)를 추가하여, FI신호와 Q2신호를 입력하고, FI신호 대신에 FI' 신호를 출력하도록 한 점을 제외하고 동일하다.
- <93> 비반전 시프트시에 있어서의 도 11의 회로 동작의 모습을 도 12a 및 도 12b에 나타낸다.
- <94> 그리고, 상하반전 시프트시에 있어서의 도 11의 회로 동작의 모습을 도 13a 및 도 13b에 나타낸다(그리고, 상하반전 시프트시에는, 리셋 신호가 도 12a 및 도 12b보다 1게이트 클록분 빨리 하강하게 되어 있다).

- <95> 이 회로에서는, 보다 바람직한 예로서, 2개의 게이트라인마다(1H기간마다 즉 2주사기간마다) 또한 필드마다 게이트라인의 선택순서를 전환하고 있게 된다.
- <96> 도 5의 게이트드라이버 블록에 간단한 변경을 실시하는 것에 의해서 이러한 구동을 실현할 수 있다.
- <97> 또, 이것은, 화소와 TFT가, 도 14에 나타내는 바와 같이 결선되는 구성의 LCD 패널(10)에 있어서도 적용할 수 있다.
- <98> 이 경우도, 도 15a 및 도 15b에 나타내는 바와 같은 순서가 되도록 게이트라인을 순차 선택한다. 도 14와 같은 화소결선의 경우, 구동을 실현하는 회로에는 도 5의 것을 사용할 수 있다. 그리고, 도 5에 나타내는 회로에는, 각각의 화소열마다 1개의 소스라인이 대응되도록 하는 동시에, 각각의 화소행마다 1개의 게이트라인이 대응되도록 액티브 매트릭스형 표시장치의 게이트드라이버에도 유용할 수 있어 잘 부합된다.
- <99> 이상과 같이, 본 변형예에 따르면, 이와 같은 구동을 실시하는 것에 의해서 동일 필드 내에 있어서도, 세로줄무늬 자체가 지그재그의 줄무늬가 되므로, 세로의 줄무늬 자체가 보이기 어렵게 된다는 효과가 있다.
- <100> 그리고 여기에서는, 필드마다에도 게이트라인의 선택순서를 전환하는 더욱 바람직한 예를 나타냈지만, 필드마다에는 게이트라인의 선택순서를 전환하지 않는 방법으로도 동일 필드 내에서 세로줄무늬 자체가 지그재그의 줄무늬가 되므로, 세로줄무늬 자체가 보이기 어렵게 된다는 효과는 있다. 그 때는, 도 11의 회로에 있어서, FI신호를 고정시키면 좋다.
- <101> 또한, 여기에서는, 2개의 게이트라인마다 전환했지만, 2j(j는 2이상의 정수) 게이트라인마다라도 좋다(주기는 짧은 것이 바람직함).
- <102> [제 2 실시형태]
- <103> 이어서, 본 발명의 제 2 실시형태를 설명한다.
- <104> 액티브 매트릭스형 표시장치에 있어서는, 도 1b에 나타내는 바와 같이 화소(16)를 가로세로로 정렬시킨 스트라이프 배열 이외에, RGB 3종류의 화소를 델타형상으로 배치한 델타 배열이 알려져 있다.
- <105> 도 16은 그러한 델타 배열을 적용한 LCD 패널의 화소결선의 개략도이다. 이 델타 배열에서는, 도 1b에 나타내는 바와 같이 복수의 소스라인(S1~S480)이 스트라이프 배열과 같이 직선 형상으로 형성되는 것이 아니라, 도 16에 나타내는 바와 같이, 화소(16)간을 누비도록 지그재그로 형성되고, 홀수 번째의 행에 대응하는 화소와 짝수 번째의 행에 대응하는 화소가 각각 열방향의 인접 화소 피치의 절반씩 어긋나도록 배치된다.
- <106> 도 17a는 본 제 2 실시형태에 있어서의 비반전 시프트시의 제 1 필드에 있어서 각 화소(16)에 영상신호(Vsig)를 기입하는 순번을 나타내는 도면이고, 도 17b는, 마찬가지로 제 2 필드에 있어서 각 화소(16)에 영상신호(Vsig)를 기입하는 순번을 나타내는 도면이다.
- <107> 본 제 2 실시형태에 있어서도, 도 3에 나타내는 바와 같이, 복수의 게이트라인(G1~G480)의 선택순번을 필드마다 변화시킨다.
- <108> 즉, 제 1 필드에서는, 게이트드라이버 블록(22)은 복수의 게이트라인(G1~G480)을 그 순번대로 1/2수평기간마다 순차 선택하는 제 1 구동을 실시한다. 그리고, 소스드라이버 블록(24)은 그 선택된 게이트라인에 대응하는 화소(16) 각각에 기입해야 할 영상신호(Vsig)의 조합을, 1/2수평기간에 복수의 소스라인(S1~S480)에 한 번에 출력한다. 따라서, 상기 제 1 필드에서는, 각 화소(16)로의 영상신호(Vsig)의 기입은, 도 3에 나타내는 바와 같이 게이트라인의 순번대로 실행되므로, 도 17a에 나타내는 바와 같은 것으로 된다. 이에 따라, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.
- <109> 또, 제 2 필드에서는, 도 3에 나타내는 바와 같이, 게이트드라이버 블록(22)은, 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인 조의 선택순서를 제 1 필드와는 역으로 하는 제 2 구동을 실시한다. 그리고 그 게이트라인의 선택순서의 교체에 수반하여, 소스드라이버 블록(24)은 그 선택순서에 따라서 그 선택된 게이트라인에 대응하는 화소(16) 각각에 기입해야 할 영상신호(Vsig)의 조합을 1/2수평기간에 복수의 소스라인(S1~S480)에 한 번에 출력한다. 따라서, 해당 제 2 필드에서는, 각 화소(16)로의 영상신호(Vsig)의 기입은, 도 3에 나타내는 바와 같이, 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인의 선택순서가 역으로 된 순번으로 실행되기 때문에, 도 17b에 나타내는 바와 같은 것이 된다. 이에 따라, 역시, 제 2 필드에 있어서도, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에

서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.

- <110> 그러나, 제 2 필드에 있어 전위가 변화하는 화소(16)는 제 1 필드에 있어 전위가 변화하는 화소(16)와는 다르다. 즉, 이 제 2 필드에 있어서는, 제 1 필드와는 영상신호(Vsig)의 기입순서가 반대로 되어 있기 때문에, 제 1 필드와 제 2 필드에서, 서로 이웃하는 화소(16)로의 기입순서가 교체되게 된다. 이로 인해, 제 1 필드와 제 2 필드에서 전위차의 발생하는 화소의 위치가 반대가 되고, 결과적으로 화소 전위의 차이가 시간적으로 평균화되어 표시불균일이 경감된다.
- <111> 또, 도 18a는 도 5의 구성의 게이트드라이버 블록(22)에 있어서의 상하반전 시프트시의 제 1 필드에 있어서 각 화소(16)에 영상신호(Vsig)를 기입하는 순번을 나타내는 도면이고, 도 18b는 마찬가지로 상하반전 시프트시의 제 2 필드에 있어서 각 화소(16)에 영상신호(Vsig)를 기입하는 순번을 나타내는 도면이다.
- <112> 상하반전 시프트시에, 제 1 필드에서는, 각 화소(16)로의 영상신호(Vsig)의 기입은, 도 7a에 나타내는 바와 같이 게이트라인의 역방향 순번대로 실행되기 때문에, 도 18a에 나타내는 바와 같은 것이 된다. 이에 따라, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.
- <113> 그리고, 제 2 필드가 되면, 각 화소(16)로의 영상신호(Vsig)의 기입은, 도 7b에 나타내는 바와 같이, 다른 소스라인에 접속되어 인접 배치된 2개의 화소(16)에 대응하는 2개의 게이트라인의 선택순서가 역으로 된 역방향 순번으로 실행되기 때문에, 도 18b에 나타내는 바와 같은 것이 된다. 이에 따라, 역시, 제 2 필드에 있어도, 소스라인이 없는 부분인 화소간 기생용량(204)이 존재하는 화소사이에서 전압리크가 발생하고, 먼저 쓰여진 화소(16)의 전위가 나중에 쓰여진 화소(16)의 전위의 영향을 받아 변화되어 버린다.
- <114> 그러나, 제 2 필드에 있어서 전위가 변화하는 화소(16)는 제 1 필드에 있어서 전위가 변화하는 화소(16)와는 다르다. 즉, 이 제 2 필드에 있어서는, 제 1 필드와는 영상신호(Vsig)의 기입순서가 반대로 되어 있기 때문에, 제 1 필드와 제 2 필드에서 서로 이웃하는 화소(16)로의 기입순서가 교체되게 된다. 이로 인해, 제 1 필드와 제 2 필드에서 전위차가 발생하는 화소의 위치가 반대가 되고, 결과로서 화소 전위의 차이가 시간적으로 평균화되어 표시불균일이 경감된다.
- <115> 이상과 같이, 델타 배열을 적용해도, 상기 제 1 실시형태와 같은 구동을 실시함으로써, 마찬가지로 표시불균일을 저감 할 수 있다.
- <116> 그리고, 화소(16)를 델타 배열로 한 경우가, 상기 제 1 실시형태와 같은 스트라이프 배열로 한 경우보다도 표시불균일(예를 들면, 도 16에 대응하는 세로줄무늬)이 사행하기 때문에, 스트라이프 배열에 비해서 눈에 띄기 어렵다는 효과도 있다.
- <117> 또, 제 1 실시형태의 변형예(도 9)에 나타낸 바와 같은 구동에 의해서 사행 시키는 방향을 더욱 복잡하게 하여 세로줄무늬를 보다 눈에 띄기 어렵게 하는 것도 가능하다.
- <118> 이상, 실시형태에 의거 하여 본 발명을 설명했지만, 본 발명은 상기한 실시형태에 한정되지 않고, 본 발명의 요지의 범위 내에서 여러 가지의 변형이나 응용이 가능한 것은 물론이다.
- <119> 예를 들면, 서로 이웃하는 화소사이에서의 기입순번이 필드마다 전환되면, 각 게이트라인(G1~G480)의 선택순서는 상기한 실시형태의 순서에는 한정되지 않는다.
- <120> 또, 상기한 실시형태에서는, 1필드마다 기입순번을 전환하였지만, 2필드마다(1프레임마다)의 전환에 있어서는, 거의 마찬가지로 효과를 얻을 수 있다.
- <121> 게다가, k필드(k는 3이상의 정수) 마다의 전환이어도 좋지만, 주기는 짧은 것이 바람직하다.
- <122> 여기에서는, 화소에 걸리는 전압이 클수록, 투과율이 내려가는(어두워지는) 노멀리-화이트 모드의 액정표시장치의 경우에 대해서 기술했지만, 화소에 걸리는 전압이 클수록, 투과율이 오르는(밝아지는) 노멀리-블랙 모드의 액정표시장치의 경우에 대해서도 적용 가능한 것은 물론이다.
- <123> 또, 여기에서는, 컬러 표시액정의 예로 설명했지만, 모노크롬(흑백) 표시액정에 있어서는 좋은 것은 말할 필요도 없다.
- <124> 그리고, 스위칭소자는 TFT에 한정되지 않고, 다이오드 등 이어도 좋은 것은 말할 필요도 없다. 또, 게이트라인

및 소스라인의 수는 도 1의 예에 한정되지 않는 것은 물론이다.

<125> 또, 액티브 매트릭스형 표시장치의 화소는 액정에 한정되지 않고 용량성 소자이면 화소간 기생용량이 발생하므로, 본 발명에 의해서 마찬가지로 표시불균일을 저감할 수 있다.

<126> 본 발명에 따르면, 화소간 기생용량이 존재하는 경우에 있어서도 표시불균일이 시인되기 어렵게 할 수 있다.

도면의 간단한 설명

<127> 도 1a는 본 발명의 제 1 실시형태와 관련되는 액티브 매트릭스형 표시장치의 전체 구성을 나타내는 개략 구성도이다.

<128> 도 1b는 도 1a중의 LCD 패널(표시패널)의 화소결선의 개략도이다.

<129> 도 2는 도 1a중의 드라이버회로의 블록 구성도이다.

<130> 도 3은 제 1 실시형태에 있어서의 복수의 소스라인에 출력되는 표시해야 할 정보에 따른 영상신호 조합의 출력 순서와 복수의 게이트라인의 선택순서로 이루어지는 흐름을 나타내는 도면이다.

<131> 도 4a는 제 1 실시형태에 있어서의 제 1 필드에 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<132> 도 4b는 제 1 실시형태에 있어서의 제 2 필드에 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<133> 도 5는 도 2중의 제 1 실시형태에 있어서의 게이트드라이버 블록의 구체적인 구성을 나타내는 도면이다.

<134> 도 6a는 도 5의 게이트드라이버 블록에 있어서의 비반전 시프트시의 제 1 필드의 흐름을 나타내는 도면이다.

<135> 도 6b는 도 5의 게이트드라이버 블록에 있어서의 비반전 시프트시의 제 2 필드의 흐름을 나타내는 도면이다.

<136> 도 7a는 도 5의 게이트드라이버 블록에 있어서의 상하반전 시프트시의 제 1 필드의 흐름을 나타내는 도면이다.

<137> 도 7b는 도 5의 게이트드라이버 블록에 있어서의 상하반전 시프트시의 제 2 필드의 흐름을 나타내는 도면이다.

<138> 도 8a는 제 1 실시형태에 있어서의 상하반전 시프트시의 제 1 필드에 있어서 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<139> 도 8b는 제 1 실시형태에 있어서의 상하반전 시프트시의 제 2 필드에 있어서 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<140> 도 9는 제 1 실시형태의 변형예에 있어서의 복수의 소스라인에 출력되는 표시해야 할 정보에 따른 영상신호 조합의 출력순서와 복수의 게이트라인의 선택순서로 이루어지는 흐름을 나타내는 도면이다.

<141> 도 10a는 제 1 실시형태의 변형예에 있어서의 제 1 필드에 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<142> 도 10b는 제 1 실시형태의 변형예에 있어서의 제 2 필드에 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<143> 도 11은 제 1 실시형태의 변형예에 있어서의 게이트드라이버 블록의 구체적인 구성을 나타내는 도면이다.

<144> 도 12a는 도 11의 게이트드라이버 블록에 있어서의 비반전 시프트시의 제 1 필드의 흐름을 나타내는 도면이다.

<145> 도 12b는 도 11의 게이트드라이버 블록에 있어서의 비반전 시프트시의 제 2 필드의 흐름을 나타내는 도면이다.

<146> 도 13a는 도 11의 게이트드라이버 블록에 있어서의 상하반전 시프트시의 제 1 필드의 흐름을 나타내는 도면이다.

<147> 도 13b는 도 11의 게이트드라이버 블록에 있어서의 상하반전 시프트시의 제 2 필드의 흐름을 나타내는 도면이다.

<148> 도 14는 LCD 패널(표시패널)의 다른 화소결선의 개략도이다.

<149> 도 15a는 도 14의 화소결선에 있어서의 제 1 필드에 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<150> 도 15b는 도 14의 화소결선에 있어서의 제 2 필드에 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

- <151> 도 16는 본 발명의 제 2 실시형태에 있어서의 델타 배열을 적용한 LCD 패널의 화소결선의 개략도이다.

<152> 도 17a는 본 발명의 제 2 실시형태에 있어서의 비반전 시프트시의 제 1 필드에 있어서 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<153> 도 17b는 본 발명의 제 2 실시형태에 있어서의 비반전 시프트시의 제 2 필드에 있어서 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<154> 도 18a는 본 발명의 제 2 실시형태에 있어서의 상하반전 시프트시의 제 1 필드에 있어서 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<155> 도 18b는 본 발명의 제 2 실시형태에 있어서의 상하반전 시프트시의 제 2 필드에 있어서 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<156> 도 19는 종래의 액티브 매트릭스형 표시장치에 있어서의 소스라인 수를 반으로 한 표시패널의 화소결선을 나타내는 개략도이다.

<157> 도 20은 도 19의 화소결선에 있어서의 주사 흐름을 나타내는 도면이다.

<158> 도 21은 도 19의 화소결선에 있어서 각 화소에 영상신호를 기입하는 순번을 나타내는 도면이다.

<159> 도 22는 도 19의 표시패널의 등가 회로를 나타내는 도면이다.

<160> 도 23은 도 19의 표시패널에서의 표시불균일의 예를 나타내는 도면이다.

<161> 도 24는 표시패널을 TFT LCD 패널로 한 경우의 각 화소의 구성을 나타내는 도면이다.

<162> 도 25a는 주사 흐름을 나타내는 도면이다.

<163> 도 25b는 화소간 기생용량이 없는 경우의 수평라인 반전구동에서의 화소 전위 파형을 나타내는 도면이다.

<164> 도 26a는 화소간 기생용량을 고려한 경우의 수평라인 반전구동에서의 화소 전위 파형을 나타내는 도면으로써, 공통전압의 진폭을 5.0V, G선화소의 기입전압을 공통전압에 대하여 2.0V, R후화소의 기입전압을 공통전압에 대하여 4.0V로 한 경우의 화소 전위 파형을 나타내는 도면이다.

<165> 도 26b는 화소간 기생용량을 고려한 경우의 수평라인 반전구동에서의 화소 전위 파형을 나타내는 도면으로써, 공통전압의 진폭을 5.0V, G선화소의 기입 전압을 공통전압에 대하여 2.0V, R후화소의 기입 전압을 공통전압에 대하여 1.0V로 한 경우의 화소 전위 파형을 나타내는 도면이다.

<166> 도 27a는 화소간 기생용량을 고려한 경우의 도트 반전구동에서의 화소 전위 파형을 나타내는 도면으로써, 공통 전압의 진폭을 5.0V, G선회화의 기입전압을 공통전압에 대하여 2.0V, R후화소의 기입전압을 공통전압에 대하여 4.0V로 한 경우의 화소 전위 파형을 나타내는 도면이다.

<167> 도 27b는 화소간 기생용량을 고려한 경우의 도트 반전구동에서의 화소 전위 파형을 나타내는 도면으로써, 공통 전압의 진폭을 5.0V, G선회화의 기입전압을 공통전압에 대하여 2.0V, R후화소의 기입전압을 공통전압에 대하여 1.0V로 한 경우의 화소 전위 파형을 나타내는 도면이다.

<168> 도면의 부호 설명

<169> 10: LCD패널	12: 드라이버회로
<170> 14: Vcom회로	16: 화소
<171> 18: TFT	20: 배선
<172> 22: 게이트드라이버 블록	24: 소스드라이버 블록
<173> 26: 레벨 시프터 회로	28: TG부 로직 회로
<174> 30: 감마(γ)회로 블록	32: 차지 펌프/레귤레이터 블록
<175> 34: 아날로그 블록	36: 3비트 카운터
<176> 38~100: AND 게이트	102~108: NOT 게이트

- <177>

110~124: OR 게이트

126: 배타적논리합게이트
- <178>

S1~S480: 소스라인(신호선)

G1~G480: 게이트라인(주사선)
- <179>

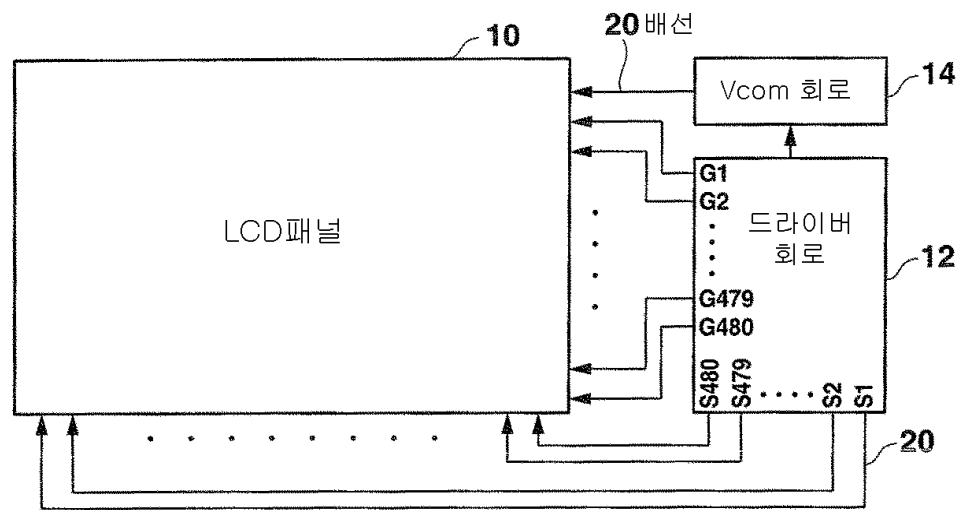
200: 화소

202: TFT
- <180>

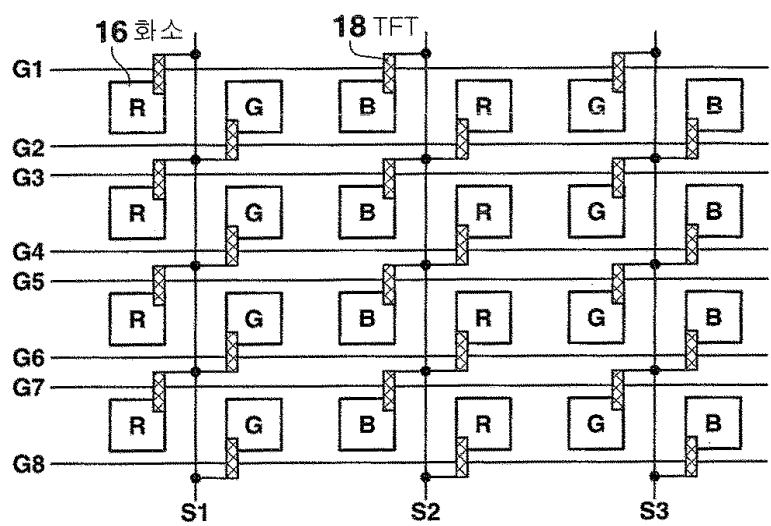
204: 화소간 기생용량

도면

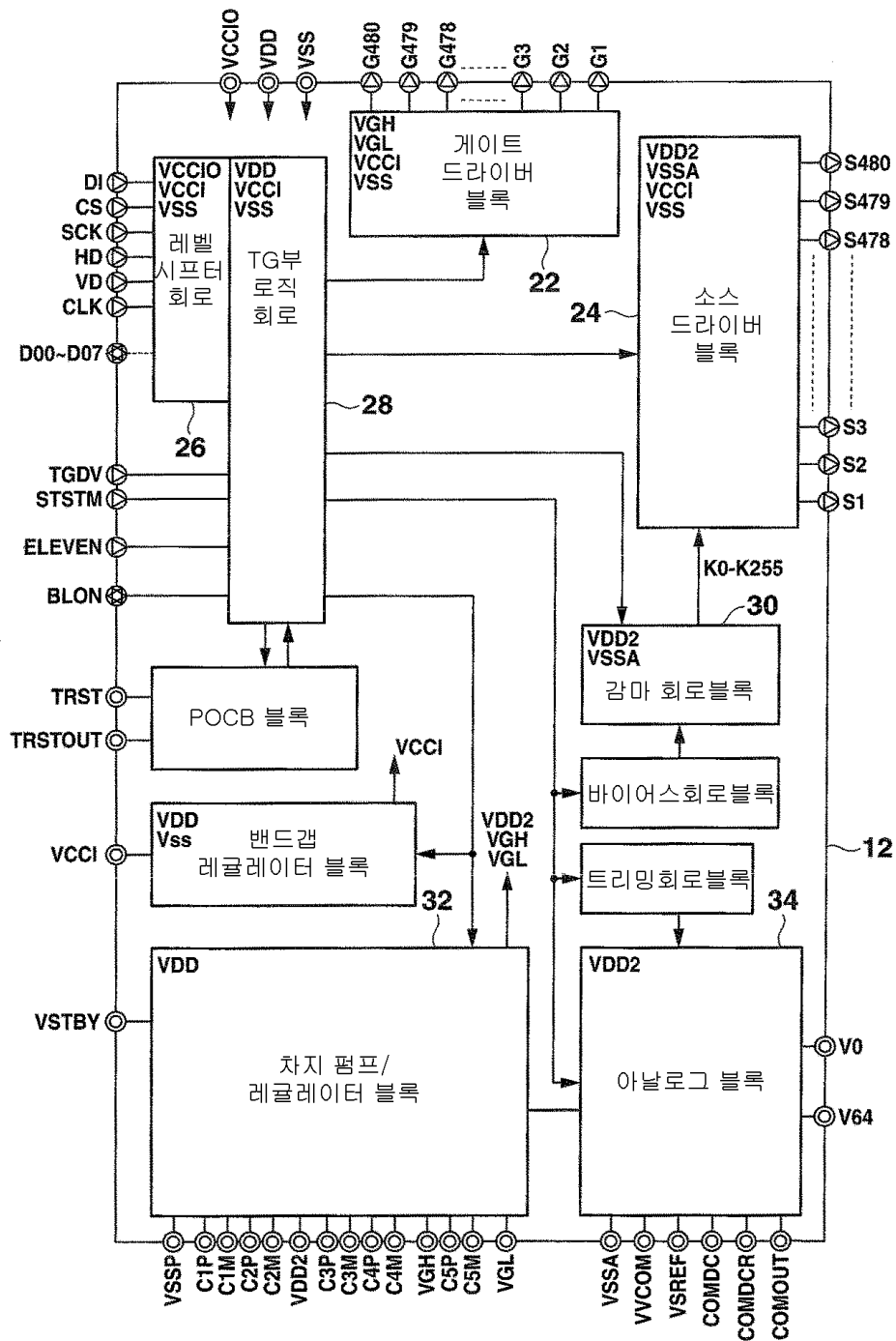
도면1a



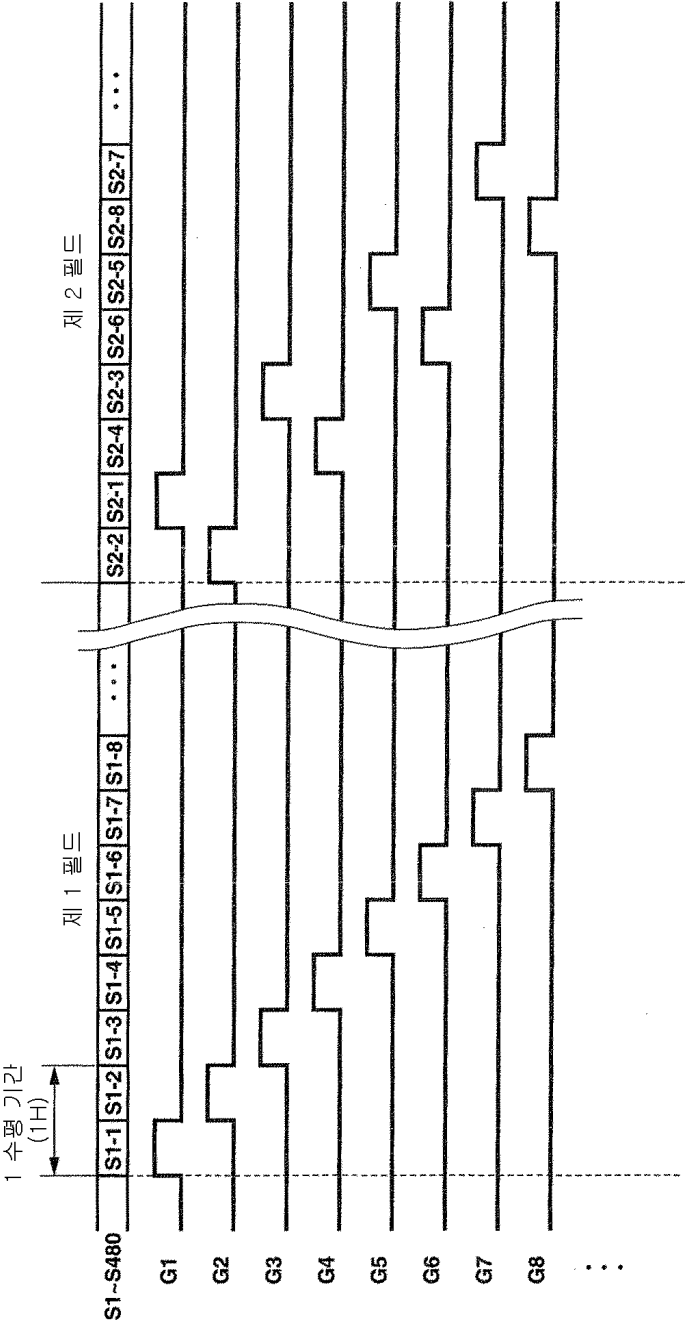
도면1b



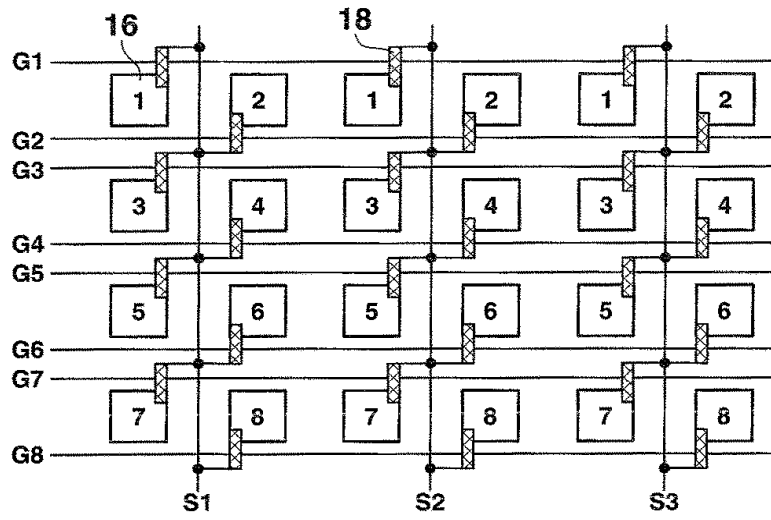
도면2



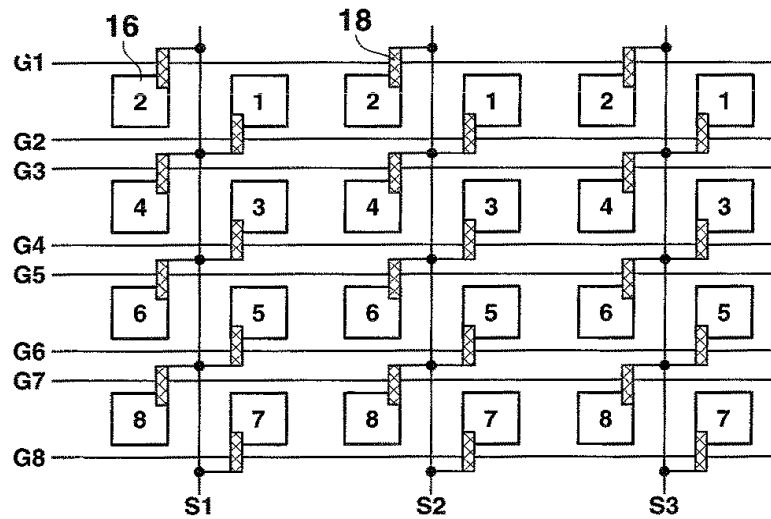
도면3



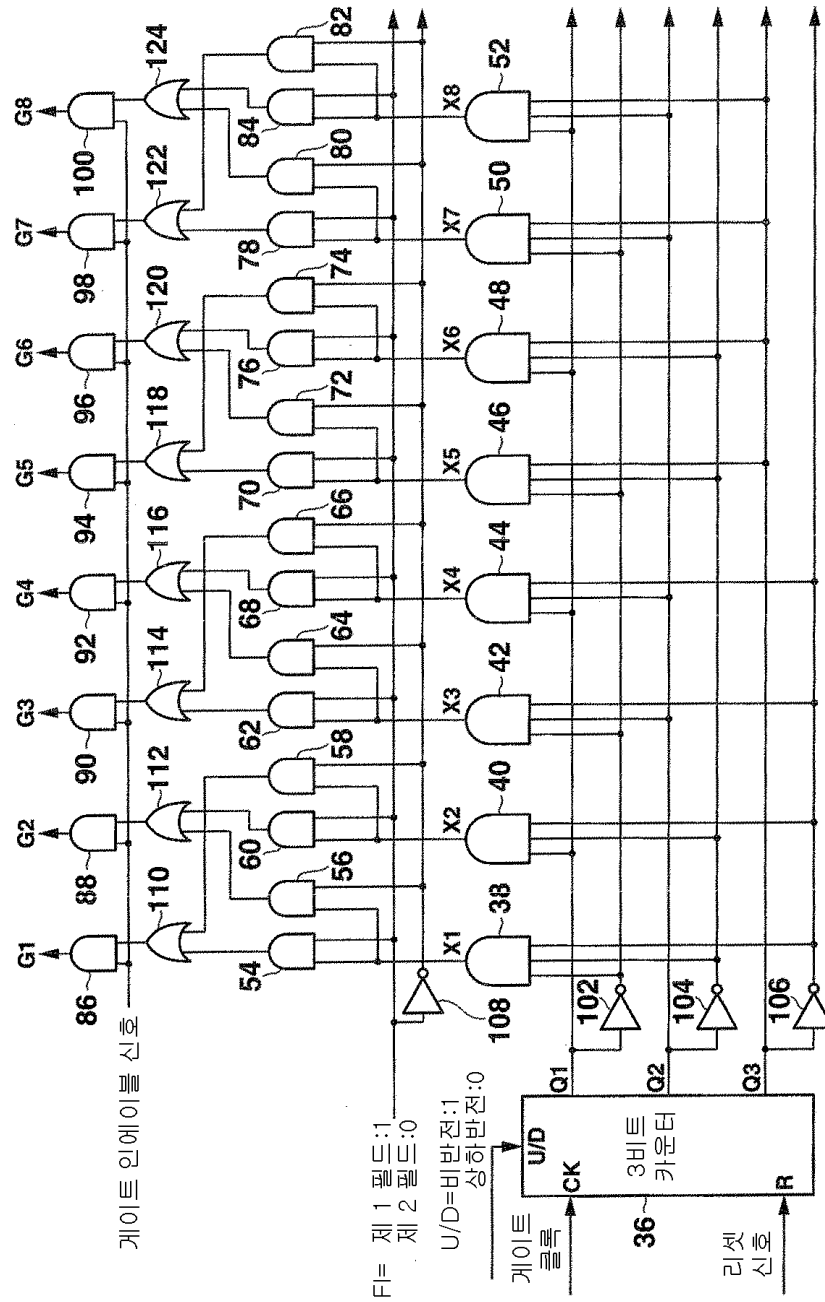
도면4a



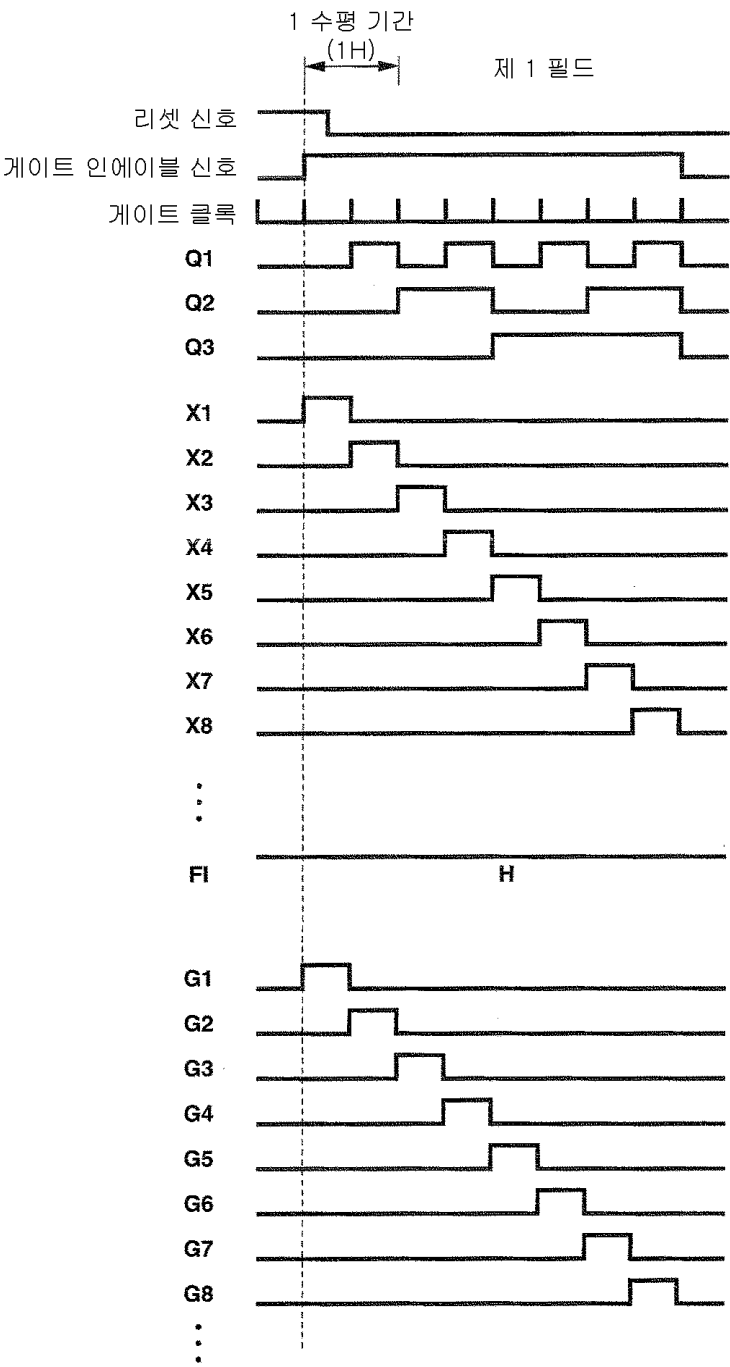
도면4b



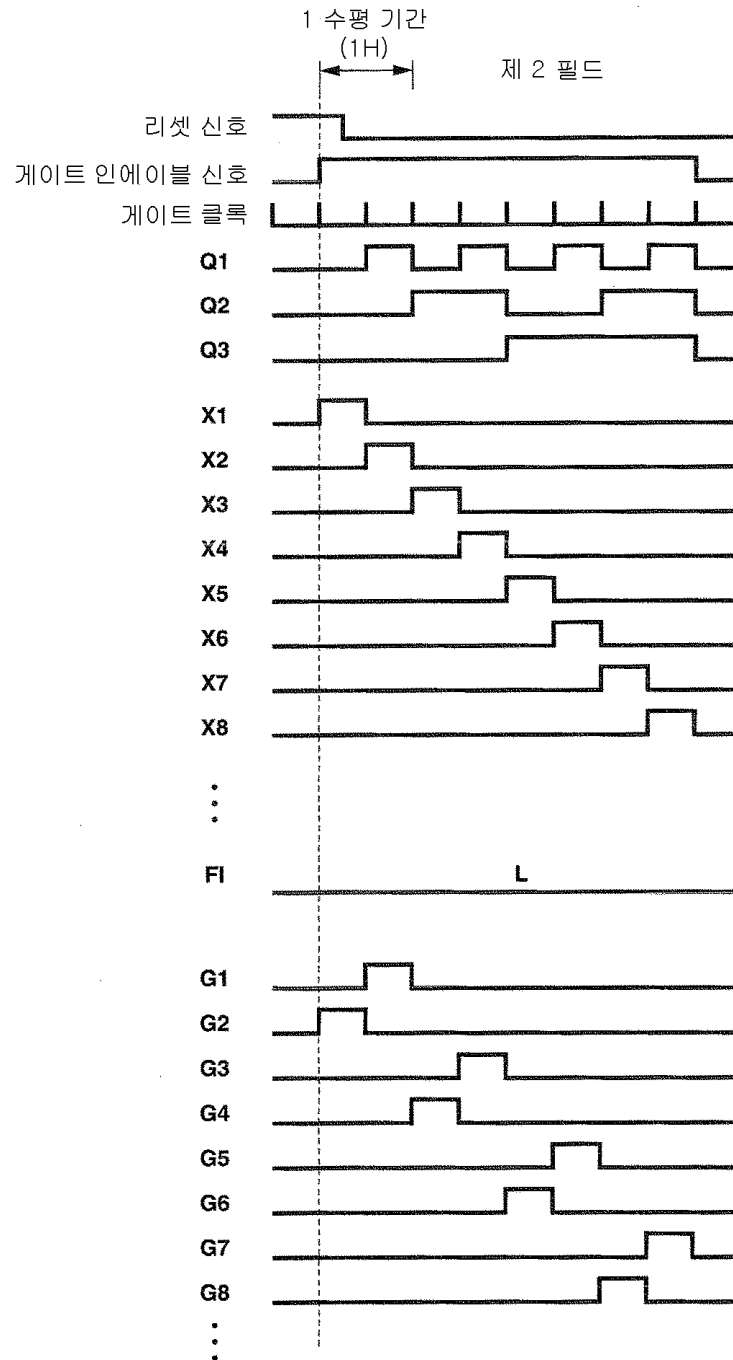
도면5



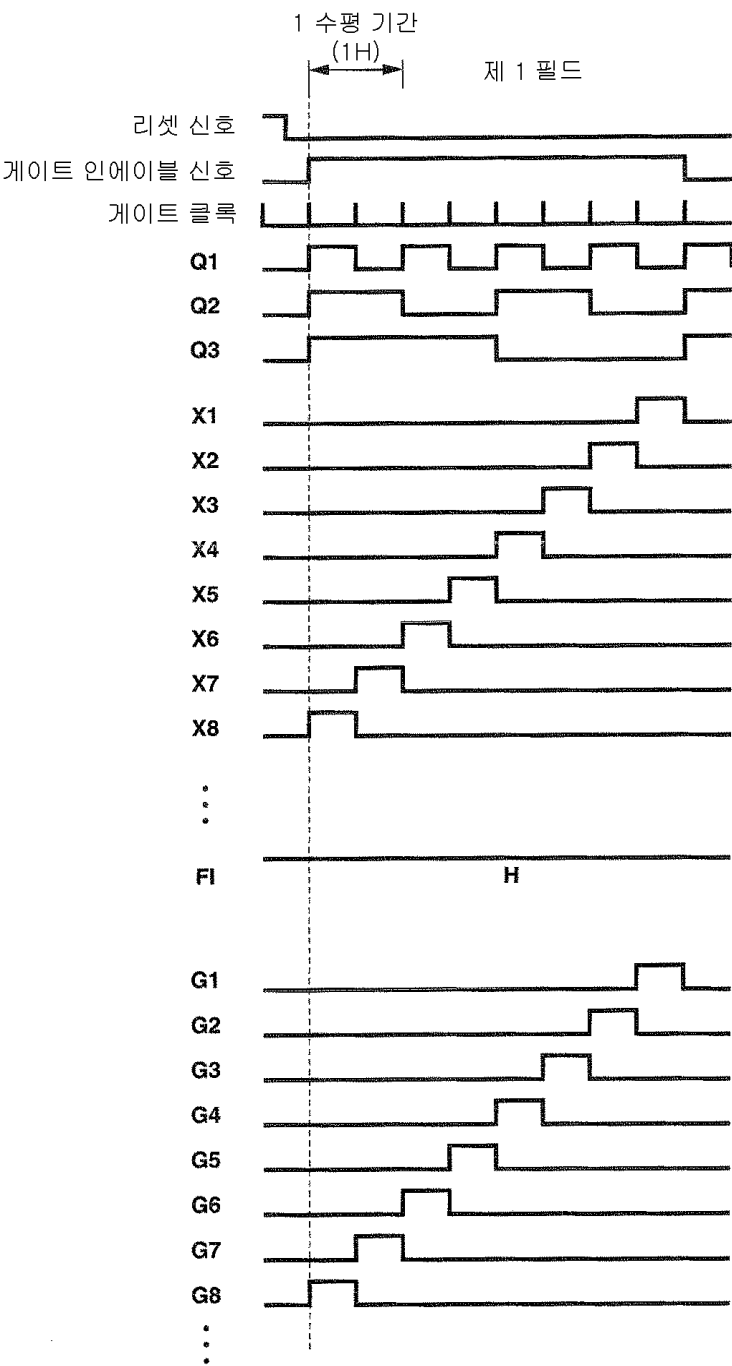
도면6a



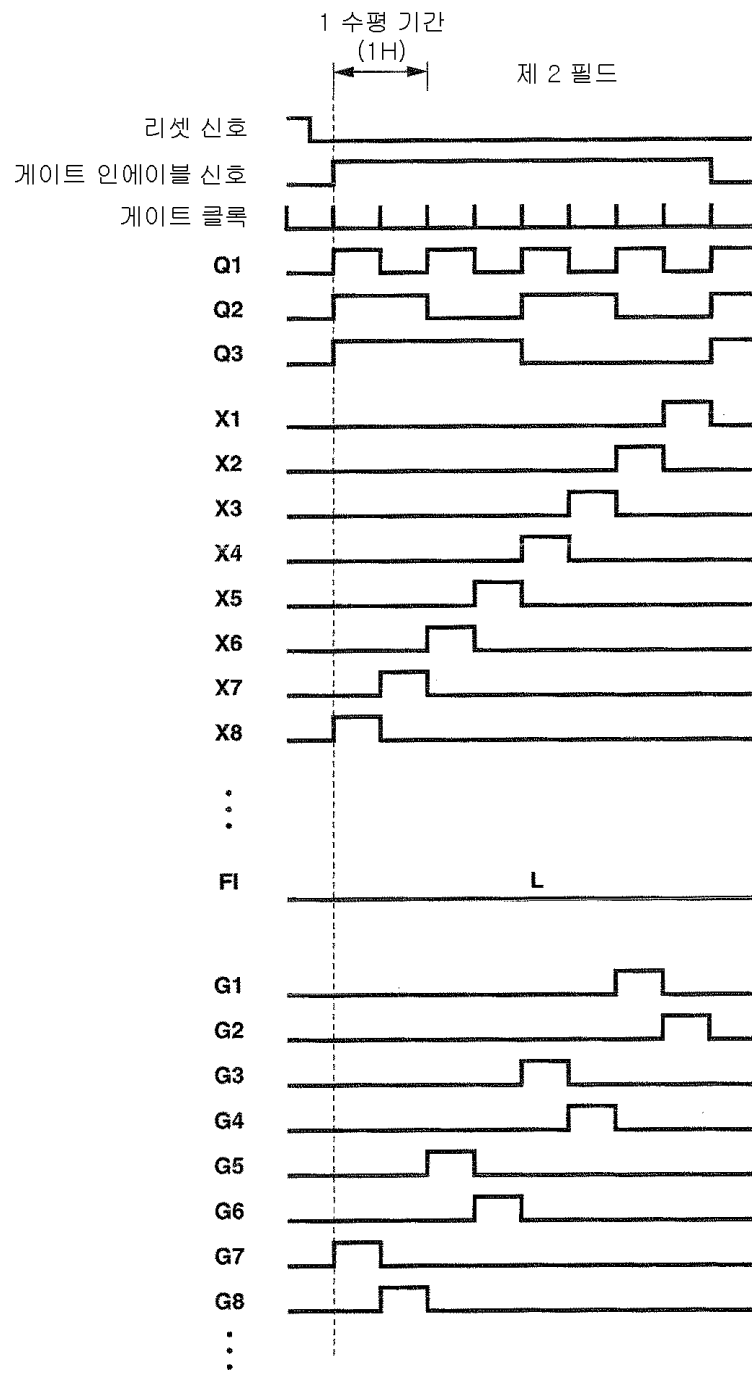
도면6b



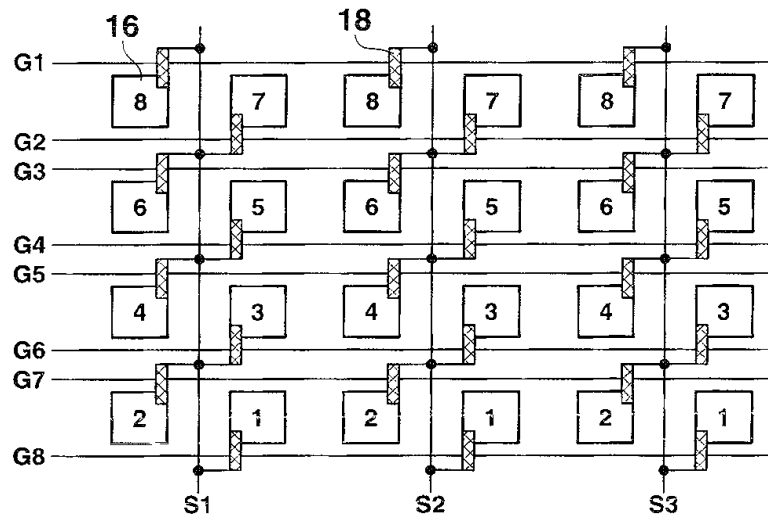
도면7a



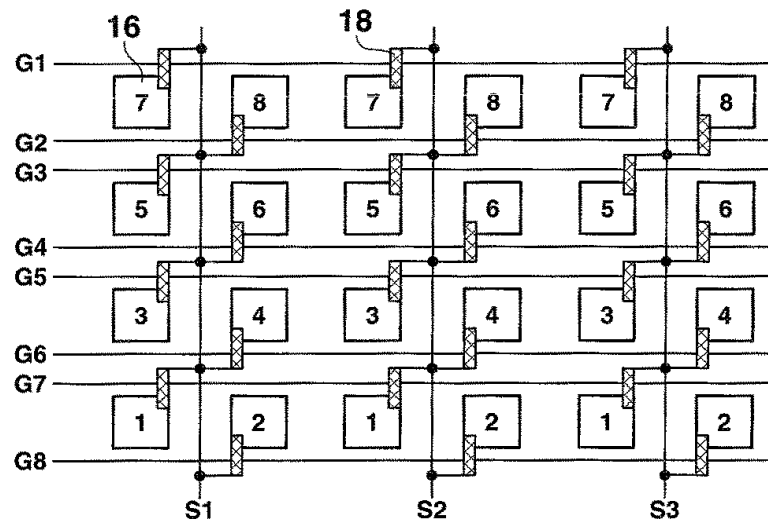
도면7b



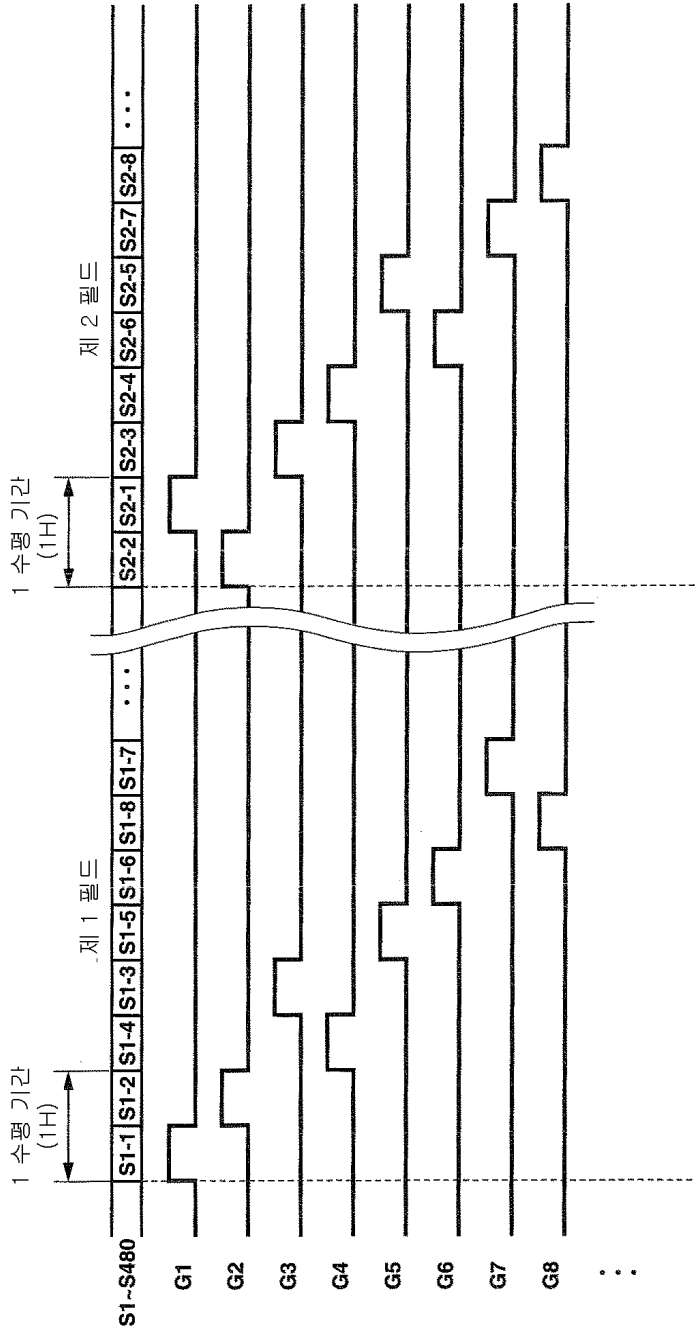
도면8a



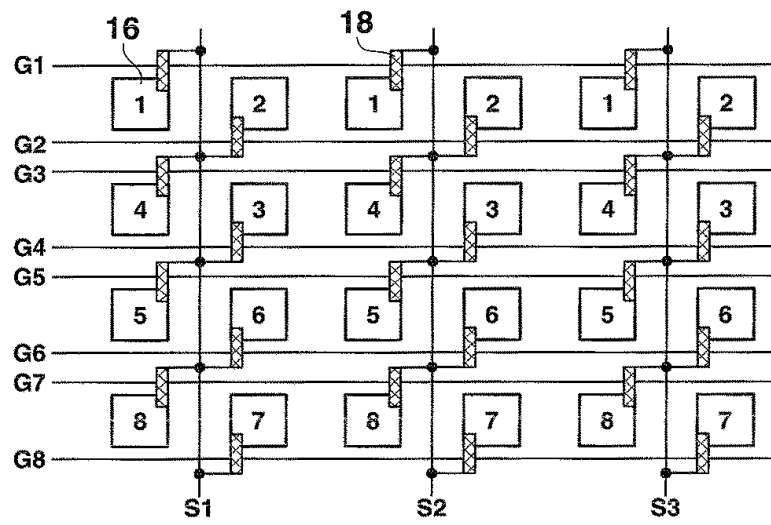
도면8b



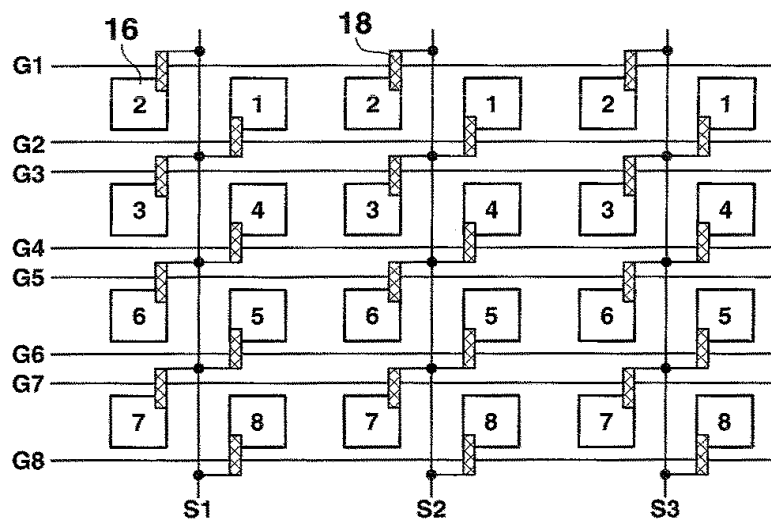
도면9



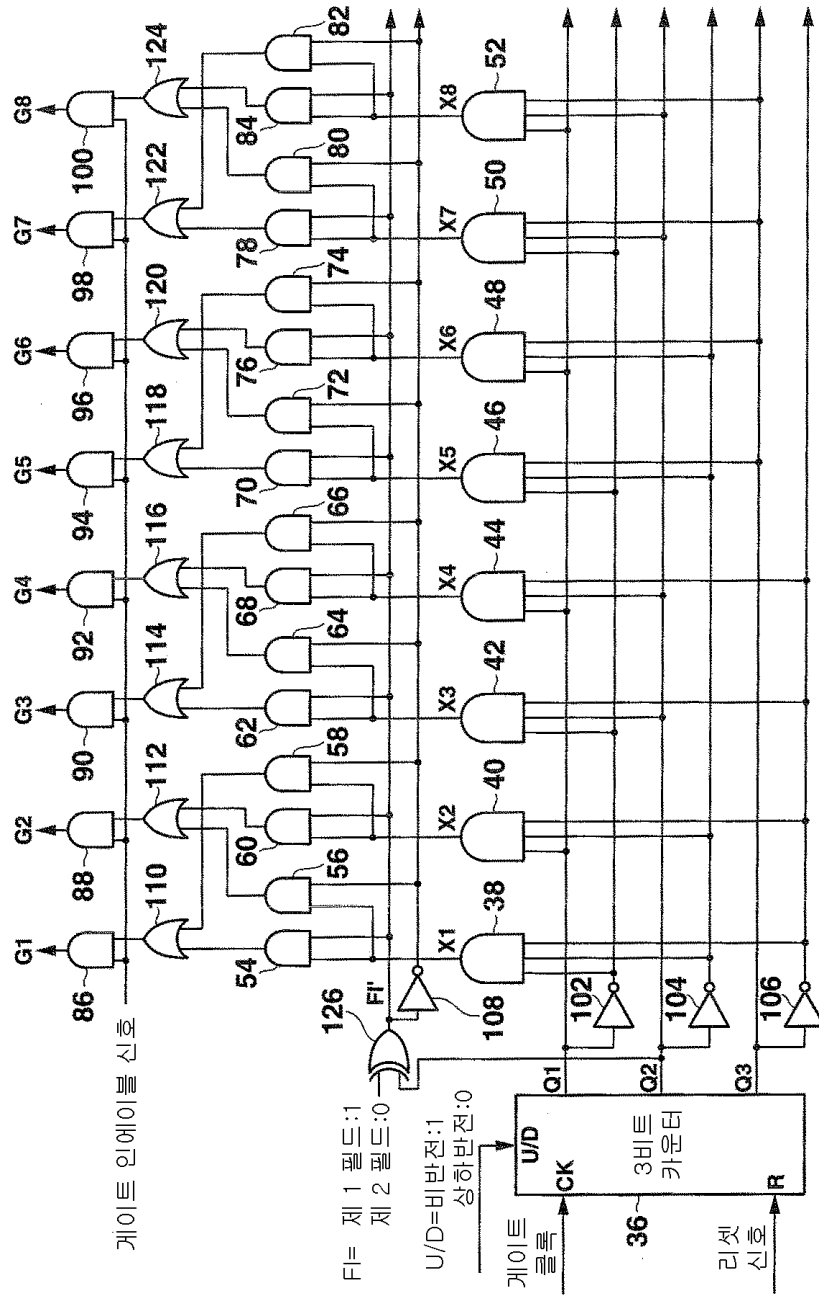
도면10a



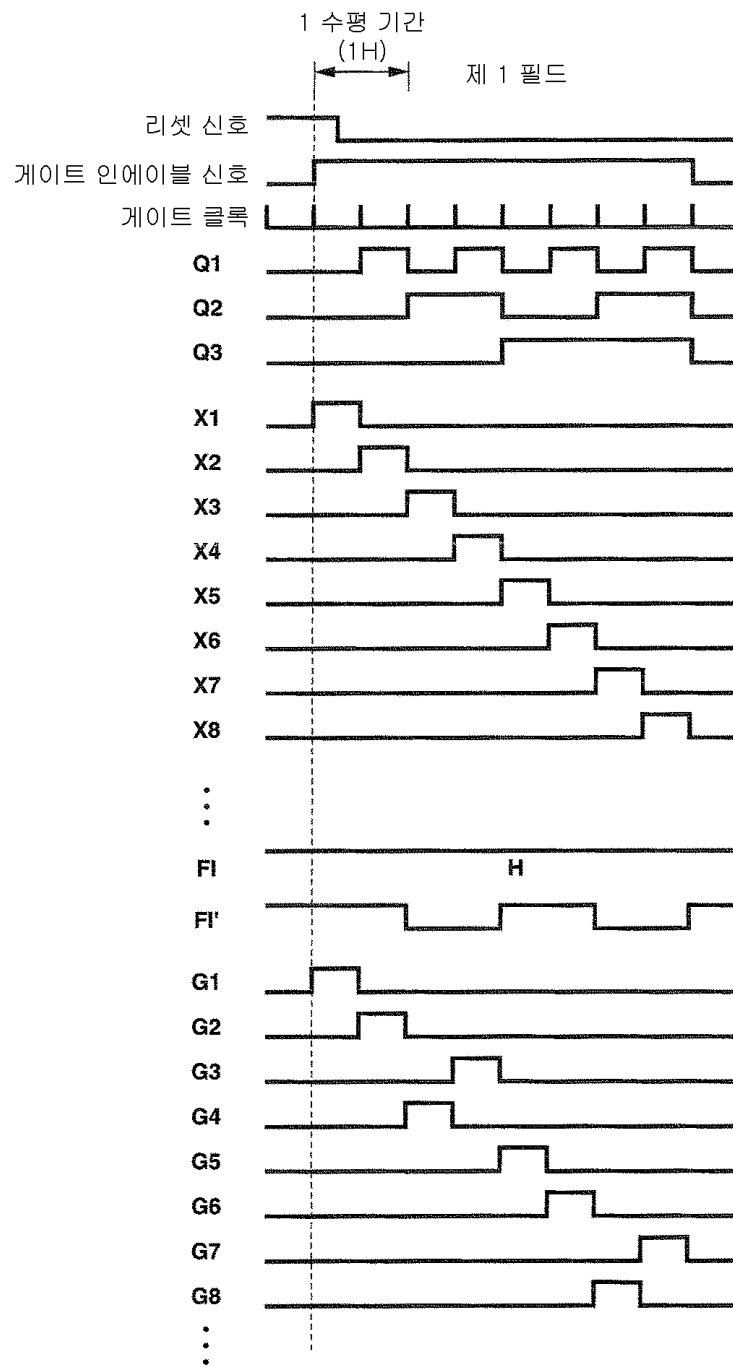
도면10b



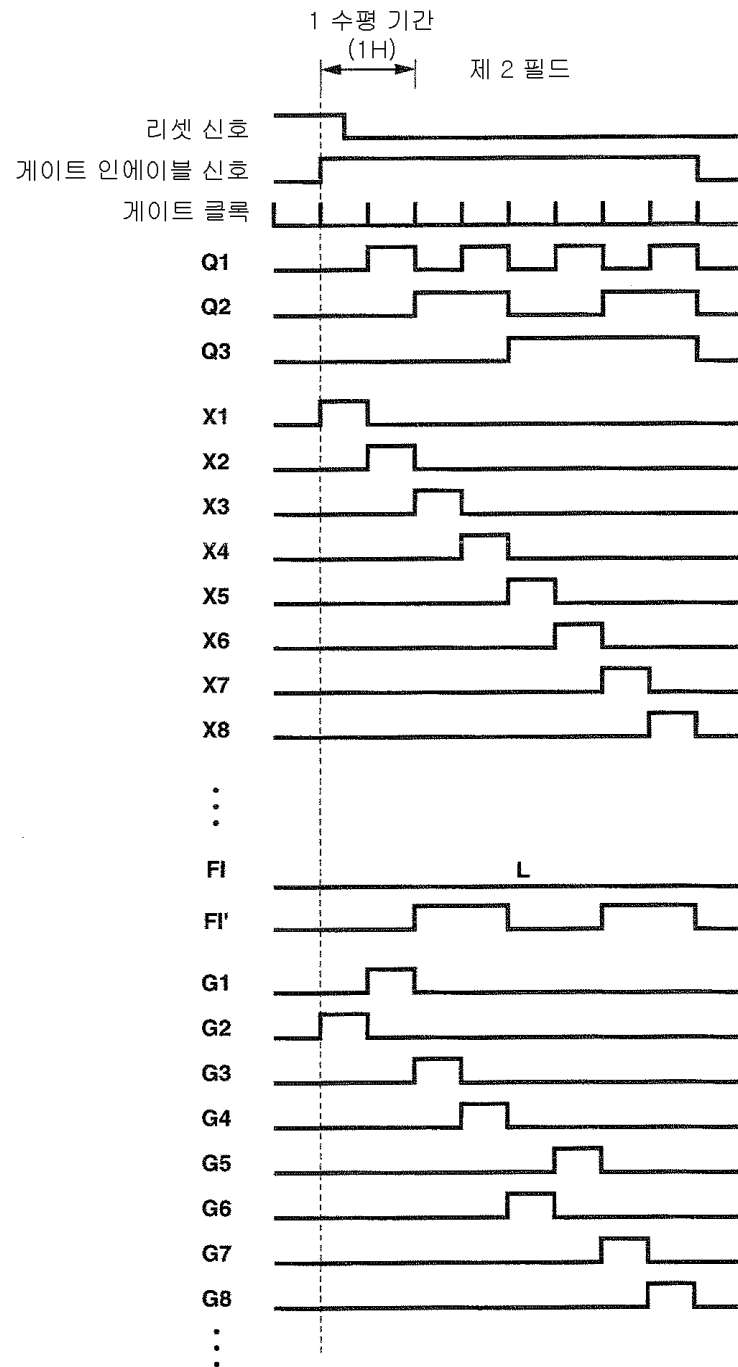
도면11



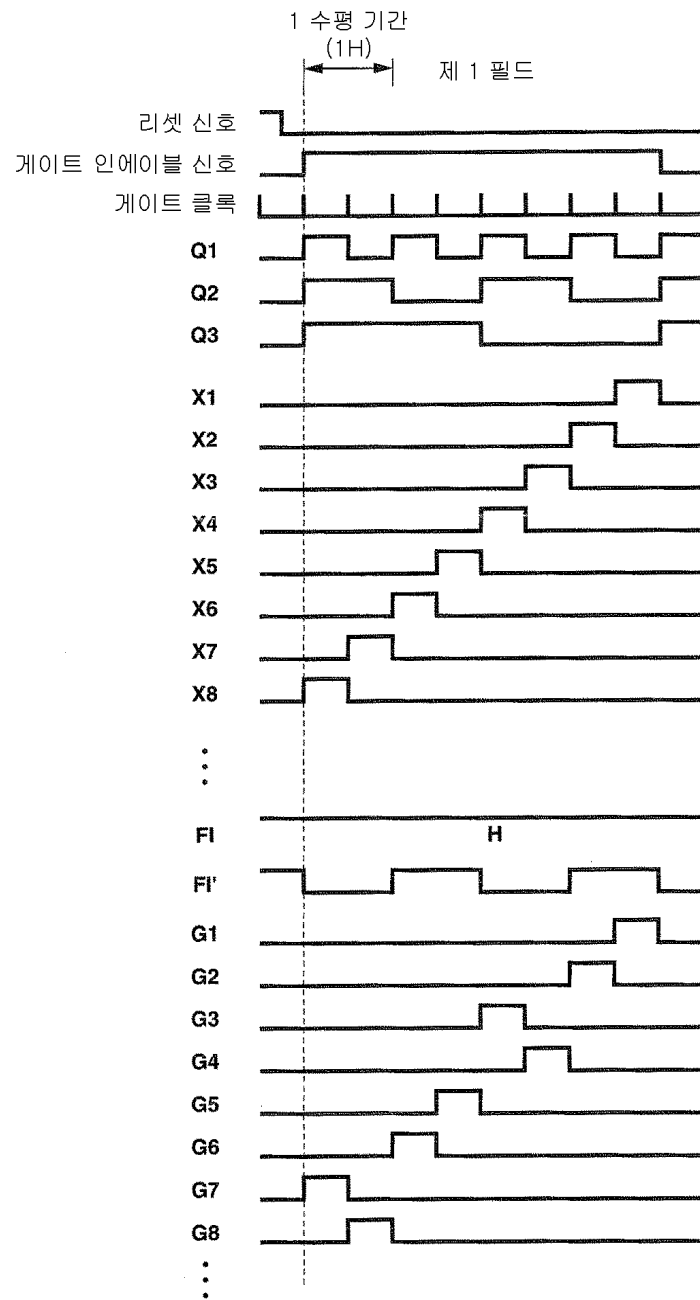
도면12a



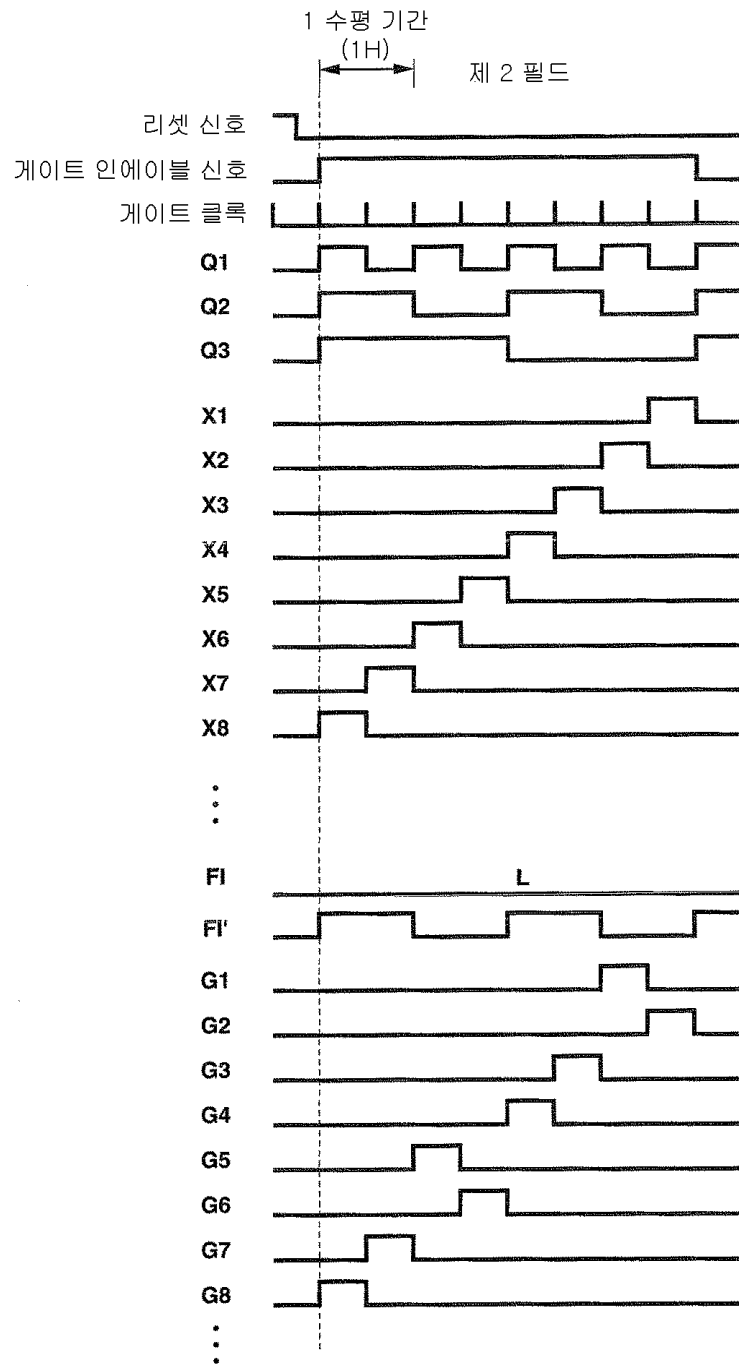
도면12b



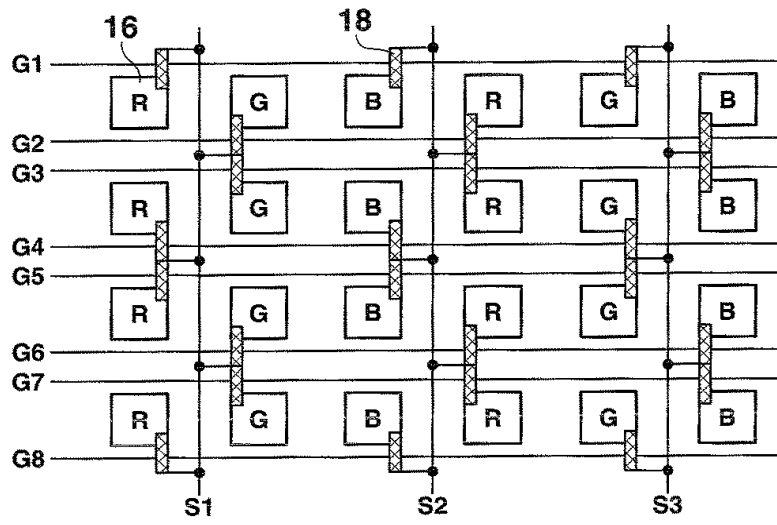
도면13a



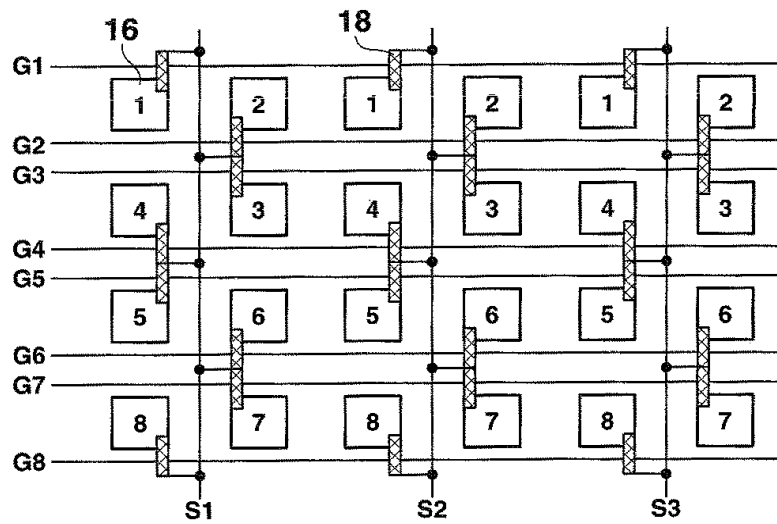
도면13b



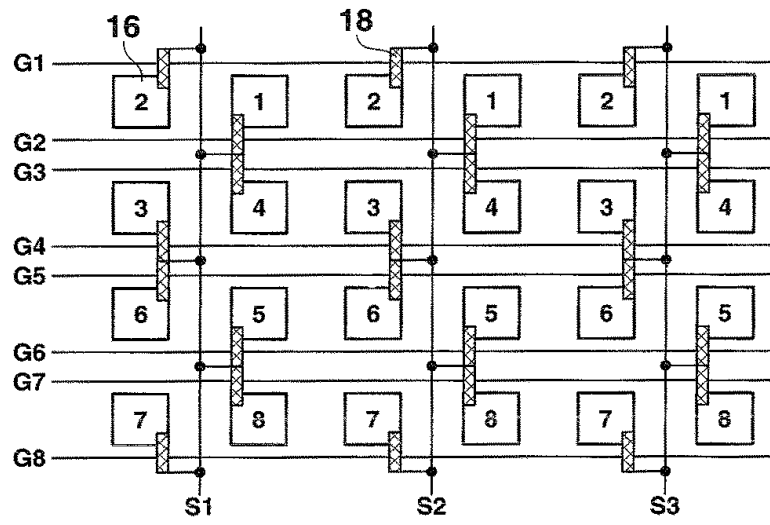
도면14



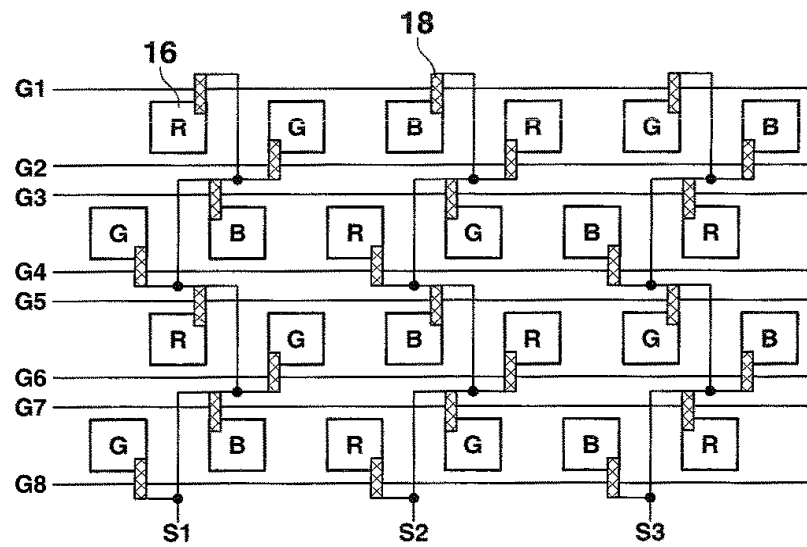
도면15a



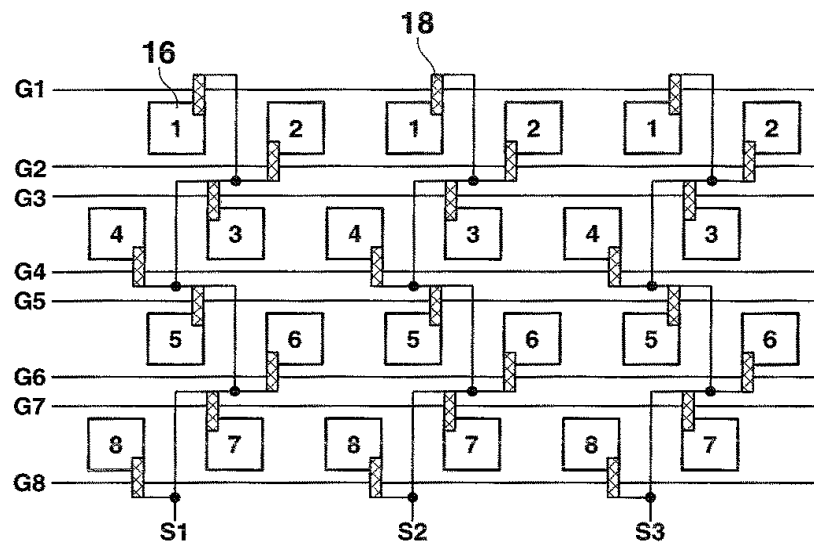
도면15b



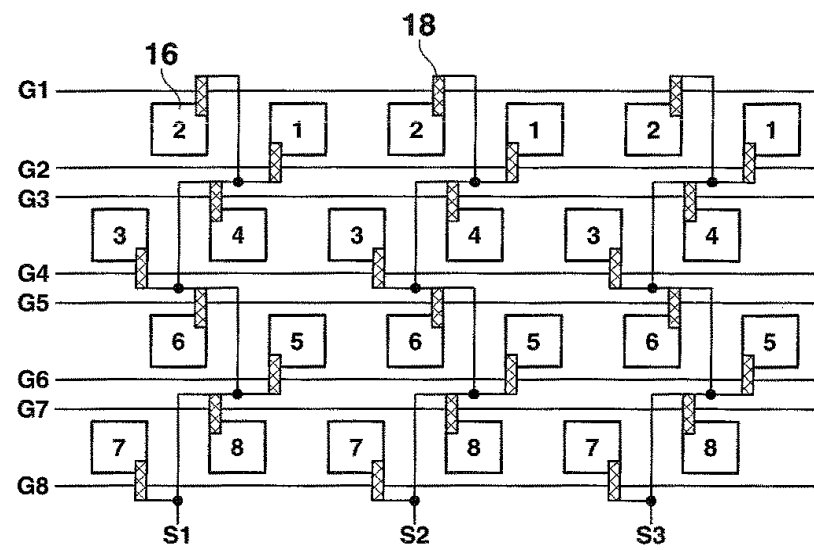
도면16



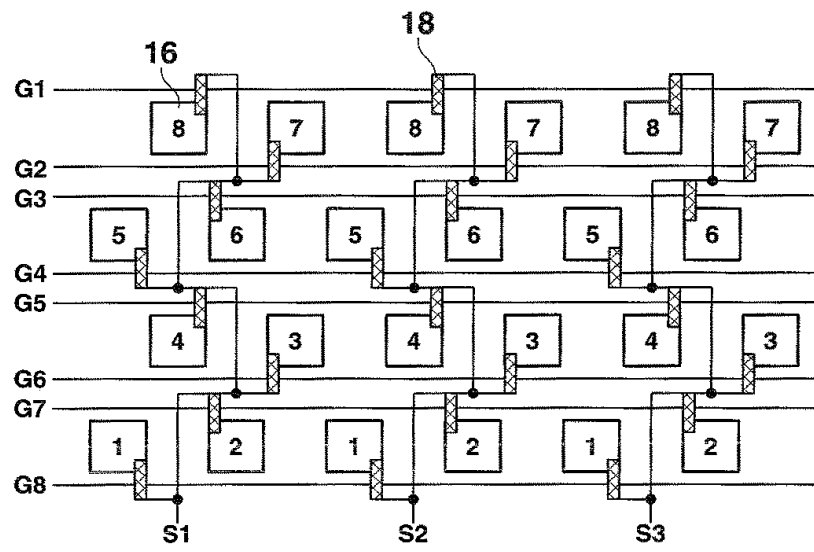
도면17a



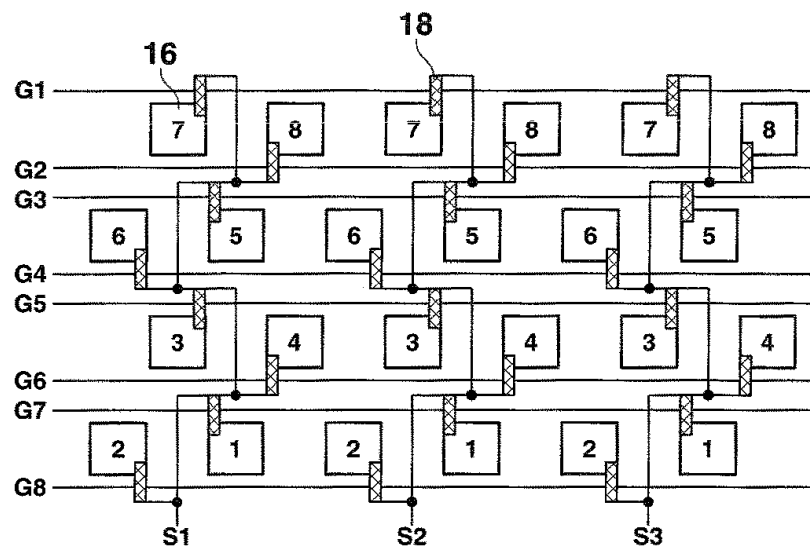
도면17b



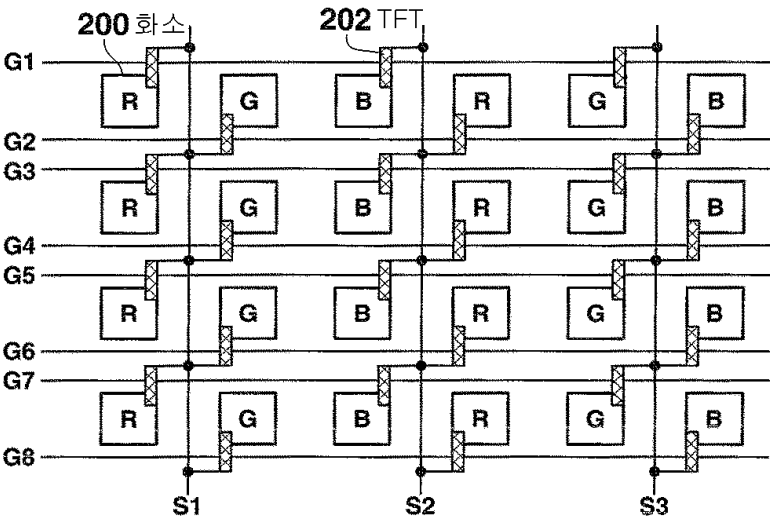
도면18a



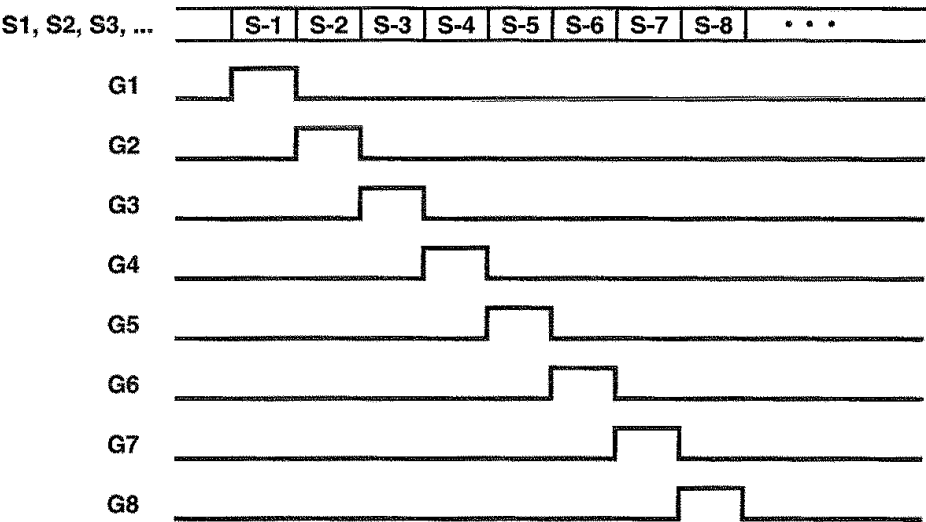
도면18b



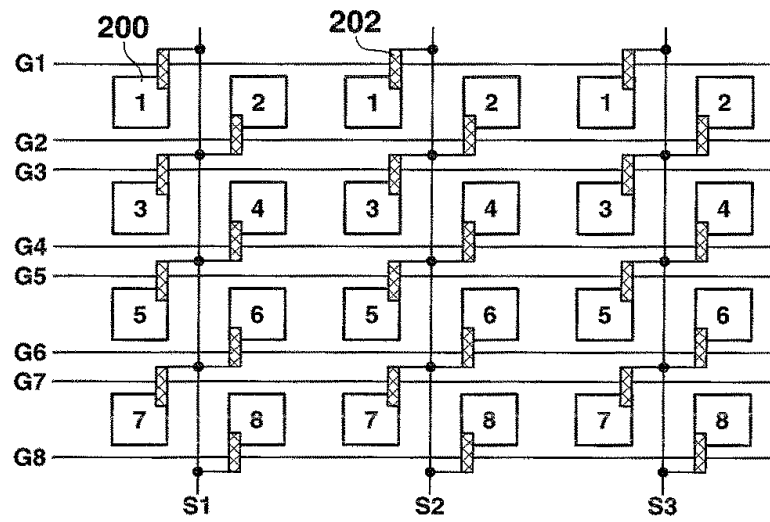
도면19



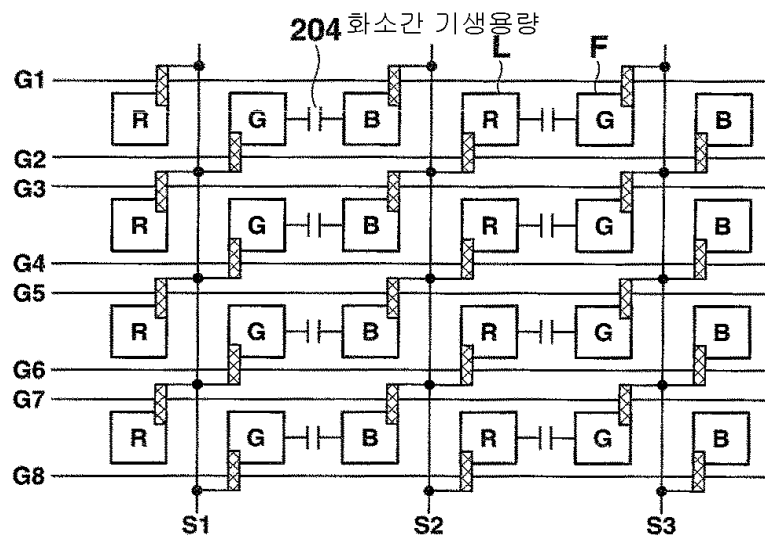
도면20



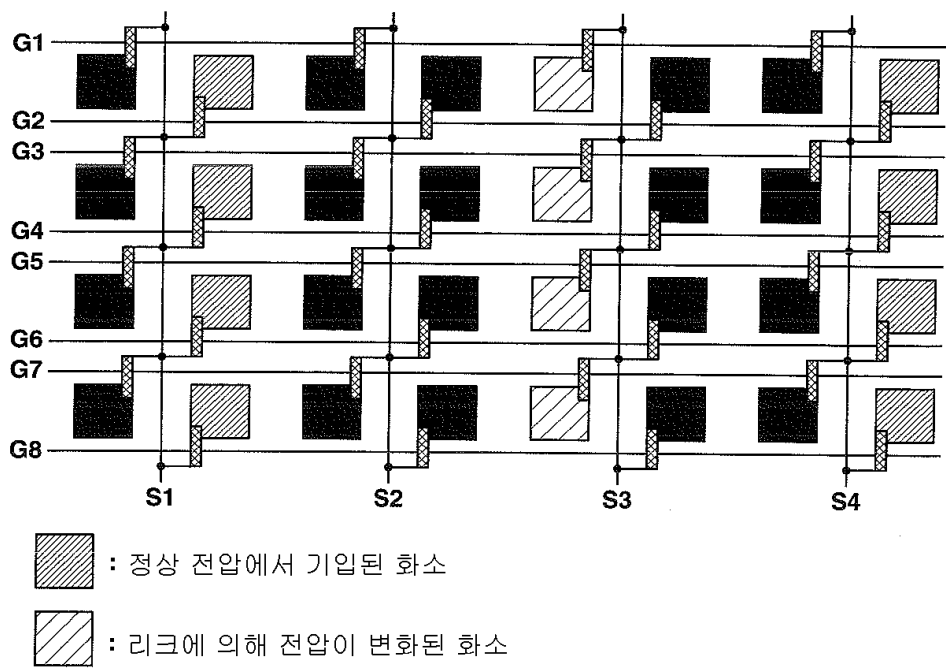
도면21



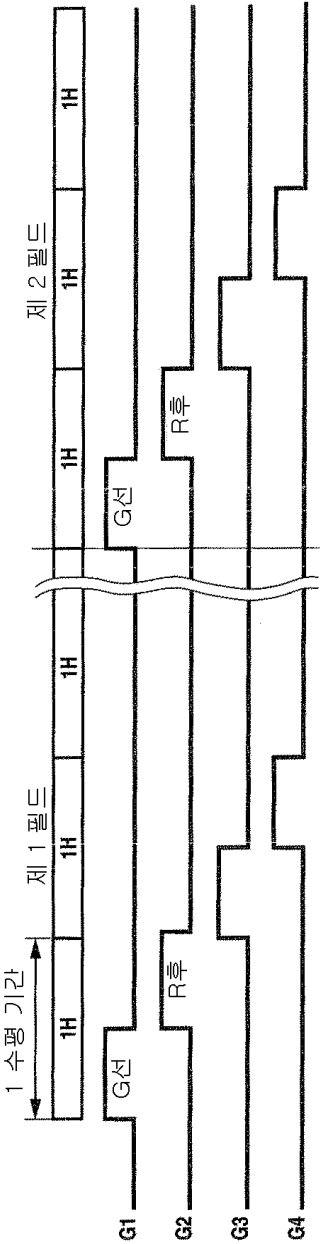
도면22



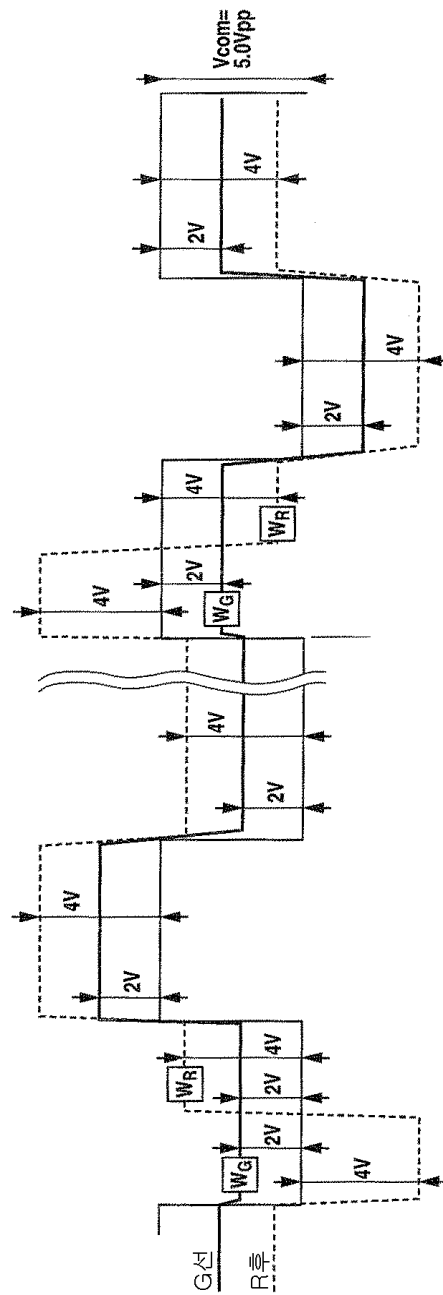
도면23



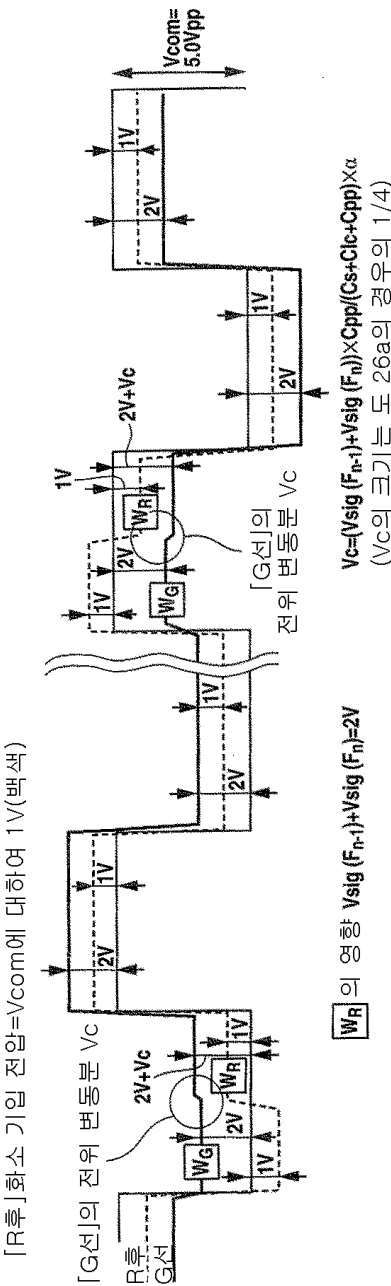
도면25a



도면25b

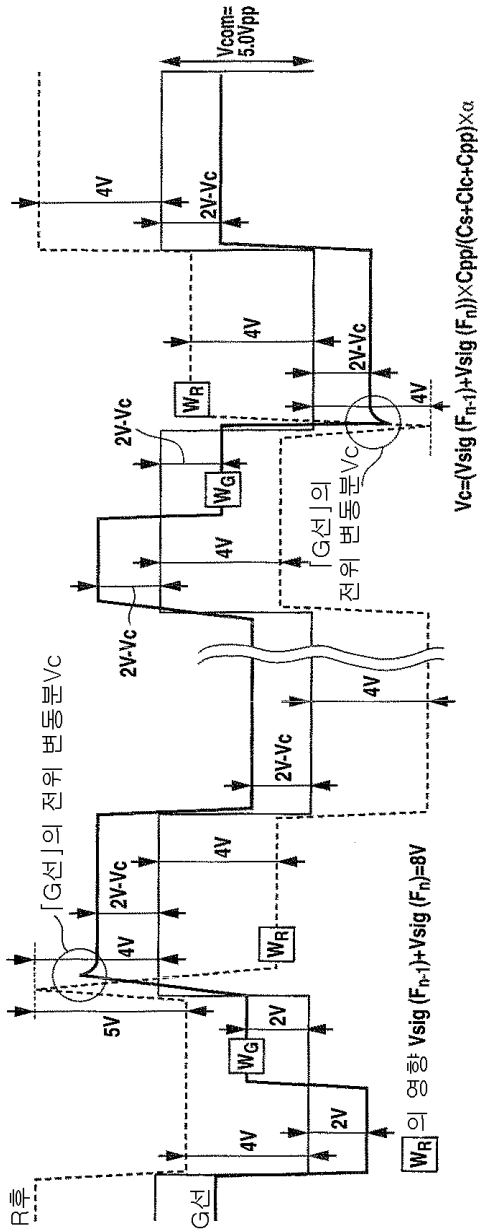


도면26b

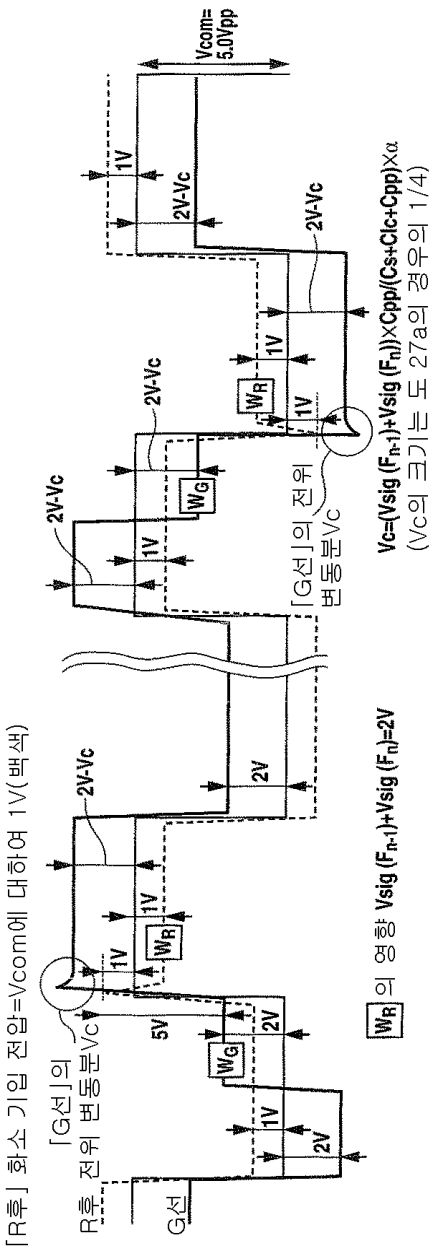


도면27a

[R후] 화소 기입 전압= V_{com} 에 대하여 4V(빨색)



도면27b



专利名称(译)	有源矩阵型显示装置的驱动电路，驱动方法和有源矩阵型显示装置		
公开(公告)号	KR100935789B1	公开(公告)日	2010-01-06
申请号	KR1020080028736	申请日	2008-03-28
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	YAMANAKA SHIGERU HIRAYAMA RYUICHI YOSHINO KEN		
发明人	야마나카,시게루 히라야마,류이치 요시노,켄		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
代理人(译)	KIM JONG MUN 孙某EUN JIN		
优先权	2007089664 2007-03-29 JP 2007210328 2007-08-10 JP		
其他公开文献	KR1020080088483A		
外部链接	Espacenet		

摘要(译)

提供一种驱动有源矩阵显示装置的方法，其中为两个像素中的每一个布置一条信号线，并且在其间插入信号线的相邻两个像素共享信号线并通过开关元件连接到不同的扫描线连续选择连接到3000个其他信号线并对应于两个相邻像素的两条扫描线的第一驱动步骤，以及相对于第一驱动步骤反转两条扫描线的选择顺序的第二驱动步骤它有一个台阶。

