



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0078152  
(43) 공개일자 2019년07월04일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1343 (2006.01)  
(52) CPC특허분류  
G02F 1/134309 (2013.01)  
G02F 2201/123 (2013.01)  
(21) 출원번호 10-2017-0179914  
(22) 출원일자 2017년12월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
유지훈  
경기도 파주시 월롱면 엘지로 245  
조성현  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
네이트특허법인

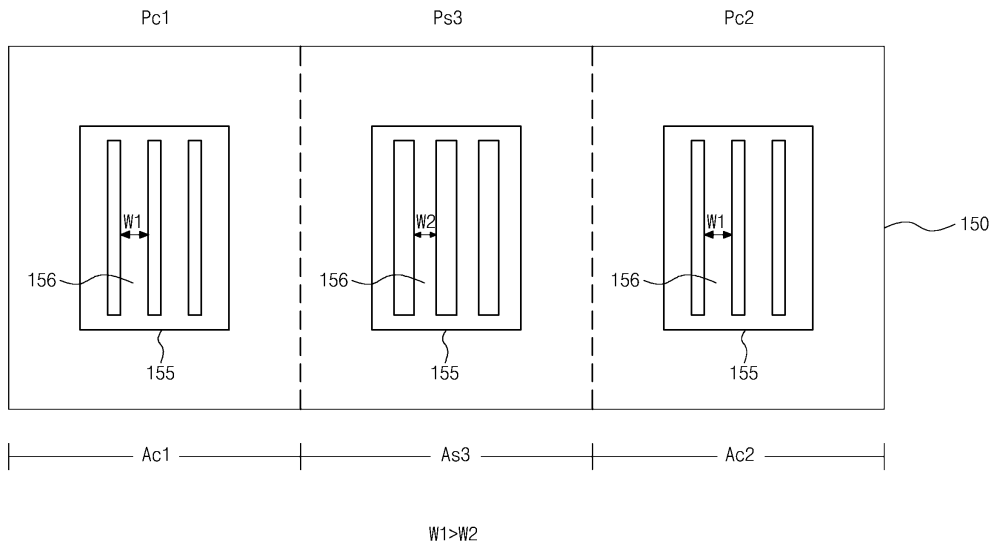
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 수평방향 및 수직방향으로 화소가 배열된 다수의 분할영역을 포함하는 표시영역과 상기 표시영역 주변의 비표시영역이 정의된 기판과; 상기 기판 상의 표시영역에, 상기 수평방향을 따라 연장되어 게이트전압을 해당 화소에 전달하는 다수의 게이트배선과; 상기 기판 상의 표시영역에 형성된 공통전극과; 상기 화소 내에, 상기 공통전극과 절연막을 사이에 두고 대향하며 다수의 전극패턴을 포함하는 화소전극을 포함하고, 상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 면적이 서로 상이한 액정표시장치를 제공한다.

대표도 - 도5



## 명세서

### 청구범위

#### 청구항 1

수평방향 및 수직방향으로 화소가 배열된 다수의 분할영역을 포함하는 표시영역과 상기 표시영역 주변의 비표시 영역이 정의된 기관과;

상기 기관 상의 표시영역에, 상기 수평방향을 따라 연장되어 게이트전압을 해당 화소에 전달하는 다수의 게이트 배선과;

상기 기관 상의 표시영역에 형성된 공통전극과;

상기 화소 내에, 상기 공통전극과 절연막을 사이에 두고 대향하며 다수의 전극패턴을 포함하는 화소전극을 포함하고,

상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 면적이 서로 상이한 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 전극패턴의 폭이 서로 상이한 액정표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 화소전극은, 상기 다수의 전극패턴의 일단을 연결하는 연결부와, 상기 연결부의 외측으로 연장된 외연부를 포함하고,

상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 외연부의 면적이 서로 상이한 액정표시장치.

#### 청구항 4

제 3 항에 있어서,

상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 외연부의 폭이 서로 상이한 액정표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 비표시영역의 기관 상에, 상기 다수의 게이트배선에 연결된 게이트구동회로와;

상기 비표시영역의 기관 상에, 상기 수직방향을 따라 연장되어 상기 게이트구동회로에 게이트클럭을 전달하는

전달배선

을 더 포함하는 액정표시장치.

**청구항 6**

제 1 항 내지 제 5 항 중 어느 하나의 항에 있어서,

상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간의 화소전극의 면적은, 이 분할영역 간의 상기 게이트 전압에 대한 부하 크기에 반비례하는

액정표시장치.

**청구항 7**

제 1 항 내지 제 5 항 중 어느 하나의 항에 있어서,

상기 다수의 분할영역 간의 공통전압 최대 편차는 10mV 미만인

액정표시장치.

**청구항 8**

제 1 항 내지 제 5 항 중 어느 하나의 항에 있어서,

상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 면적이 서로 동일한 경우에 공통전압 편차가 10mV 이상인

액정표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 상세하게는, 액정패널의 표시영역 내의 영역별 화소전압 변동량 편차를 완화하여 공통전압의 균일도를 향상시킬 수 있는 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD : liquid crystal display device), 플라즈마표시장치(PDP : plasma display panel), 유기발광소자(OLED : organic light emitting diode)표시장치와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이들 평판표시장치 중에서, 액정표시장치는 소형화, 경량화, 박형화, 저전력 구동의 장점을 가지고 있어 널리 사용되고 있다.

[0004] 최근들어, 게이트구동회로를 액정패널의 어레이기판에 직접 형성한 GIP(gate-in panel) 방식 게이트구동회로가 사용되고 있다.

[0005] 이와 같은 GIP 게이트구동회로는 표시영역의 수평방향 외측의 비표시영역에 배치되고, 게이트전압을 게이트배선에 순차적으로 출력하게 된다. 이와 같은 게이트전압을 발생시키기 위한 게이트클럭은 비표시영역의 수직방향을 따라 전달되어 게이트구동회로에 입력된다.

[0006] 게이트구동회로가 형성된 액정패널은 크기가 대형화되고 베젤(bezel)이 내로우(narrow)됨에 따라, 표시영역 내에서 영역별 부하 편차가 발생하게 되며, 이로 인해 게이트클럭 및 게이트전압과 같은 게이트신호가 지연되어 영역별 감쇄량에 편차가 발생하게 된다.

[0007] 이에 따라, 표시영역 내에서 영역별 화소전압 변동량( $\Delta V_p$ )의 편차가 발생되므로, 최적 공통전압값은 영역별로 다르게 되어 표시영역 내의 공통전압 균일도가 저하된다.

[0008] 이와 같은 공통전압 균일도 저하는 결과적으로 플리커 등을 유발하여 화질이 저하된다.

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명은, 액정패널의 표시영역 내의 영역별 화소전압 변동량 편차를 완화하여 공통전압의 균일도를 향상시키는 방안을 제공하는 것에 과제가 있다.

**과제의 해결 수단**

[0010] 전술한 바와 같은 과제를 달성하기 위해, 본 발명은 수평방향 및 수직방향으로 화소가 배열된 다수의 분할영역을 포함하는 표시영역과 상기 표시영역 주변의 비표시영역이 정의된 기판과; 상기 기판 상의 표시영역에, 상기 수평방향을 따라 연장되어 게이트전압을 해당 화소에 전달하는 다수의 게이트배선과; 상기 기판 상의 표시영역에 형성된 공통전극과; 상기 화소 내에, 상기 공통전극과 절연막을 사이에 두고 대향하며 다수의 전극패턴을 포함하는 화소전극을 포함하고, 상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 면적이 서로 상이한 액정표시장치를 제공한다.

[0011] 여기서, 상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 전극패턴의 폭이 서로 상이할 수 있다.

[0012] 상기 화소전극은, 상기 다수의 전극패턴의 일단을 연결하는 연결부와, 상기 연결부의 외측으로 연장된 외연부를 포함하고, 상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 외연부의 면적이 서로 상이할 수 있다.

[0013] 상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 외연부의 폭이 서로 상이할 수 있다.

[0014] 상기 비표시영역의 기판 상에, 상기 다수의 게이트배선에 연결된 게이트구동회로와; 상기 비표시영역의 기판 상에, 상기 수직방향을 따라 연장되어 상기 게이트구동회로에 게이트클럭을 전달하는 전달배선을 더 포함할 수 있다.

[0015] 상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간의 화소전극의 면적은, 이 분할영역 간의 상기 게이트전압에 대한 부하 크기에 반비례할 수 있다.

[0016] 상기 다수의 분할영역 간의 공통전압 최대 편차는 10mV 미만일 수 있다.

[0017] 상기 수평방향이나 수직방향으로 인접한 상기 분할영역 간에는, 상기 화소전극의 면적이 서로 동일한 경우에 공통전압 편차가 10mV 이상일 수 있다.

**발명의 효과**

[0018] 본 발명에서는, 게이트신호에 대한 부하 편차에 따라 표시영역을 다수의 분할영역으로 구분하고, 분할영역 별로 화소전극 면적을 차등화하여 스토리지커패시터 용량을 차등화하게 된다.

[0019] 이에 따라, 분할영역들 간 화소전압 변동량 편차가 완화됨으로써, 최적 공통전압 편차가 개선되고 공통전압 균일도가 확보되어, 플리커 등의 화질 불량을 개선할 수 있게 된다.

**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 제1실시예에 따른 액정표시장치를 개략적으로 도시한 블록도.
- 도 2는 본 발명의 제1실시예에 따른 화소의 구조를 개략적으로 도시한 회로도.
- 도 3은 본 발명의 실시예에 따른 화소를 도시한 평면도.
- 도 4는 도 3의 절단선 IV-IV를 따라 도시한 단면도.
- 도 5는 본 발명의 제1실시예에 따른 액정패널의 표시영역에서 수평방향으로 배열된 분할영역들 내의 화소 구조

를 개략적으로 도시한 도면.

도 6은 본 발명의 제1실시예에 따른 액정패널의 표시영역에서 수직방향으로 배열된 분할영역들 내의 화소 구조를 개략적으로 도시한 도면.

도 7은 본 발명의 제2실시예에 따른 액정표시장치를 개략적으로 도시한 블록도.

도 8은 본 발명의 제2실시예에 따른 액정패널의 표시영역에서 수평방향으로 배열된 분할영역들 내의 화소 구조를 개략적으로 도시한 도면.

도 9는 본 발명의 제2실시예에 따른 액정패널의 표시영역에서 수직방향으로 배열된 분할영역들 내의 화소 구조를 개략적으로 도시한 도면.

도 10은 본 발명의 실시예들에 따른 영역별 스토리지캐패시터 차등화 구조에서의 영역별 최적 공통전압에 대한 실험 결과를 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0021] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다. 한편, 아래 실시예에서는 동일 유사한 구성에 대해서는 동일 유사한 도면부호를 부여하며 중복된 설명을 생략할 수 있다.
- [0022] <제1실시예>
- [0023] 도 1은 본 발명의 제1실시예에 따른 액정표시장치를 개략적으로 도시한 블록도이고, 도 2는 본 발명의 제1실시예에 따른 화소의 구조를 개략적으로 도시한 회로도이다.
- [0024] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치(10)는 액정패널(100)과, 데이터구동회로(310)와, 게이트구동회로(320)와, 타이밍제어회로(330)를 포함할 수 있다.
- [0025] 액정패널(100)은 영상을 표시하는 표시패널로서, 이는 영상을 표시하는 영역인 표시영역(AA)과 표시영역(AA) 주변에 위치하여 이를 둘러싸는 비표시영역(NA)을 포함할 수 있다.
- [0026] 액정패널(100)의 표시영역(AA)에는 다수의 행라인과 열라인을 따라 매트릭스 형태로 화소(P)가 배치된다.
- [0027] 이와 같은 액정패널(100)은 액정층과 이를 사이에 두고 서로 대면 합착된 2개의 기관인 제1기관(101) 및 제2기관을 포함하여 구성될 수 있다.
- [0028] 제1기관(101)은 예를 들면 하부기관 또는 어레이기관에 해당되며, 이 제1기관에는 화소(P)를 구동하는 어레이소자가 형성될 수 있다.
- [0029] 제1기관(101)에 대항하는 대향기관인 제2기관은 예를 들면 상부기관 또는 컬러필터기관에 해당되며, 각 화소(P)에 대응되는 컬러필터패턴과, 컬러필터패턴을 두르며 어레이소자를 가리는 블랙매트릭스가 형성될 수 있다.
- [0030] 한편, 본 실시예의 액정패널(100)은 액정을 구동하는 화소전극 및 공통전극이 어레이기관인 제1기관(101)에 형성되고, 화소전극 및 공통전극 간에 발생하는 프린지필드(fringe field)에 의해 액정을 구동하는 소위 AH-IPS(advanced high performance-IPS) 방식의 액정패널이 사용될 수 있다.
- [0031] 이때, 각 화소(P)를 기준으로 공통전극은 해당 화소(P)의 전면에 실질적으로 플레이트 형상으로 형성되고, 화소전극은 핑거형상(또는 바 형상)의 다수의 전극패턴으로 형성되어 프린지필드를 형성하도록 구성될 수 있다.
- [0032] 이와 같은 액정패널(100)(또는 제1기관(101))은 이의 형상을 정의하는 4개의 외변들인 제1 내지 4외변들(L1 내지 L4)을 갖게 된다.
- [0033] 여기서, 설명의 편의를 위해, 도면상 좌단, 우단, 하단, 상단(또는 좌측, 우측, 하측, 상측) 각각에 위치하는 외변들을 각각 제1,2,3,4외변들(L1 내지 L4)이라고 한다.
- [0034] 한편, 표시영역(AA)은 다수의 분할영역(또는 부분영역)으로 분할(또는 구분)될 수 있다.
- [0035] 이와 관련하여 예를 들면, 표시영역(AA)의 중앙에는 중앙영역(Am)이 위치할 수 있다.
- [0036] 그리고, 중앙영역(Am)의 수평방향의 양측인 좌측 및 우측과 수직방향의 양측인 하측 및 상측에는 제1 내지 4측방영역들(As1 내지 As4)이 위치할 수 있다. 이에 대해 예를 들면, 중앙영역(Am)의 좌측에는 이의 좌측변에 접하는 제1측방영역(As1)이 위치하고, 중앙영역(Am)의 우측에는 이의 우측변에 접하는 제2측방영역(As2)이

위치하고, 중앙영역(Am)의 하측에는 이의 하측면에 접하는 제3측방영역(As3)이 위치하고, 중앙영역(Am)의 상측에는 이의 상측면에 접하는 제4측방영역(As4)이 위치할 수 있다.

- [0037] 또한, 중앙영역(Am)의 4개의 대각방향 각각에는 제1 내지 4코너영역(또는 제1 내지 4대각영역)(Ac1 내지 Ac4)이 위치할 수 있다. 이에 대해 예를 들면, 중앙영역(Am)의 하좌 대각방향(또는 제1대각방향)에는 표시영역(AA)의 해당 제1코너를 포함한 제1코너영역(Ac1)이 위치하고, 중앙영역(Am)의 하우 대각방향(또는 제2대각방향)에는 표시영역(AA)의 해당 제2코너를 포함한 제2코너영역(Ac2)이 위치하고, 중앙영역(Am)의 상좌 대각방향(또는 제3대각방향)에는 표시영역(AA)의 해당 제3코너를 포함한 제3코너영역(Ac3)이 위치하고, 중앙영역(Am)의 상우 대각방향(또는 제4대각방향)에는 표시영역(AA)의 해당 제4코너를 포함한 제4코너영역(Ac4)이 위치할 수 있다.
- [0038] 위와 같이, 표시영역(AA)은 다수의 분할영역들로서 내부 중앙 부분에 위치하는 중앙영역(Am)과 이를 둘러싸는 측방영역들(As1~As4) 및 코너영역들(Ac1~Ac4)로 구분될 수 있다.
- [0039] 이때, 분할영역들(Am, As1~As4, Ac1~Ac4) 각각에는, 해당 다수의 행라인 및 다수의 열라인을 따라 다수의 화소(P)가 매트릭스 형태로 배치될 수 있다.
- [0040] 이와 같은 분할영역들(Am, As1~As4, Ac1~Ac4)의 배치 형태를 행방향인 수평방향을 기준으로 나누어 보면, 수평방향의 가운데 부분에는 중앙영역(Am) 및 이의 하측 및 상측의 제3,4측방영역(As3, As4)이 배치되고, 수평방향의 좌측 부분에는 제1측방영역(As1) 및 이의 하측 및 상측의 제1,3코너영역(Ac1, Ac3)이 배치되며, 수평방향의 우측 부분에는 제2측방영역(As2) 및 이의 하측 및 상측의 제2,4코너영역(Ac2, Ac4)이 배치된다.
- [0041] 그리고, 분할영역들(Am, As1~As4, Ac1~Ac4)의 배치 형태를 열방향인 수직방향을 기준으로 나누어 보면, 수직방향의 가운데 부분에는 중앙영역(Am) 및 이의 좌측 및 우측의 제1,2측방영역(As1, As2)이 배치되고, 수직방향의 하측 부분에는 제3측방영역(As3) 및 이의 좌측 및 우측의 제1,2코너영역(Ac1, Ac2)이 배치되며, 수직방향의 상측 부분에는 제4측방영역(As4) 및 이의 좌측 및 우측의 제3,4코너영역(Ac3, Ac4)이 배치된다.
- [0042] 이와 같이 표시영역(AA)에서 서로 다른 위치에 배치된 분할영역들(Am, As1~As4, Ac1~Ac4)은, 게이트전압 및 게이트클럭(CLK)과 같은 게이트신호를 기준으로 부하 크기가 서로 상이하다. 이로 인해, 게이트전압 보다 상세하게는 게이트하이전압 지연에 따른 감쇄량에 편차가 발생하게 되어, 분할영역별 즉 분할영역 간에 화소전압 변동량( $\Delta V_p$ )의 편차가 발생되어 공통전압 또한 편차가 발생할 수 있다.
- [0043] 이를 개선하기 위해, 본 실시예에서는 분할영역별로 스토리지캐패시터(Cst)를 차등화하여 화소전압 변동량( $\Delta V_p$ )의 편차를 완화하게 된다. 이와 같은 영역별 스토리지캐패시터(Cst)의 용량 조절을 위한 구체적인 방안에 대한 상세한 설명은 후술한다.
- [0044] 도 2를 함께 참조하면, 액정패널(100)의 표시영역(AA) 내에 배치된 각 화소(P)에는, 스위칭트랜지스터(Ts)와, 액정캐패시터(Clc)와, 스토리지캐패시터(Cst)가 구성될 수 있다.
- [0045] 스위칭트랜지스터(Ts)의 게이트전극은 해당 행라인의 게이트배선(GL)에 연결되고 소스전극은 해당 열라인의 데이터배선(DL)에 연결될 수 있다.
- [0046] 액정캐패시터(Clc)는, 각 화소(P)에 형성되며 스위칭트랜지스터(Ts)의 드레인전극과 연결되어 데이터전압 즉 화소전압을 인가받는 화소전극과, 공통전압을 인가받는 공통전극과, 화소전극 및 공통전극 사이에 위치하는 액정층으로 구성될 수 있다.
- [0047] 액정캐패시터(Clc)의 액정층은, 화소전극과 공통전극 사이에 발생하는 전계에 의해 구동되어 투과도가 조절될 수 있게 된다.
- [0048] 스토리지캐패시터(Cst)는 액정캐패시터(Clc)의 화소전극 및 스위칭트랜지스터(Ts)의 드레인전극에 연결된다. 스토리지캐패시터(Cst)는, 액정캐패시터(Clc)의 화소전극에 인가된 데이터전압을 다음번 프레임의 데이터전압 인가시까지 유지하는 기능을 수행하게 된다.
- [0049] 이때, 스토리지캐패시터(Cst)는, 해당 화소(P) 내에서 공통전극과 화소전극 간의 증첩된 부분에 의해 형성된다.
- [0050] 데이터구동회로(310)는 타이밍제어회로(330)로부터 디지털 영상데이터와 데이터제어신호를 입력받고, 이 데이터제어신호에 응답하여 영상데이터를 아날로그 데이터전압으로 변환하여 각 데이터배선(DL)에 출력한다.
- [0051] 데이터구동회로(310)는 적어도 하나의 구동IC로 구성될 수 있는데, 이에 한정되지는 않는다. 그리고, 데이터구동회로(310)는 액정패널(100)의 어레이기판(101)의 일측 가장자리에 COG(chip on glass) 방식으로 실장될 수 있

는데, 이에 한정되지는 않는다.

- [0052] 이와 같은 데이터구동회로(310)는, 예를 들면, 액정패널(100)의 하단측에 위치할 수 있으며, 이 경우에 데이터 전압의 전달방향은 하단에서 상단을 향하는 수직방향이 된다.
- [0053] 게이트구동회로(320)는 타이밍제어회로(330)로부터 게이트제어신호를 입력받아 게이트전압을 게이트배선(GL)에 순차적으로 출력하게 된다.
- [0054] 이와 관련하여 예를 들면, 데이터전압의 전달 방향인 상부 수직방향을 따라 게이트배선(GL)이 순차적으로 구동될 수 있다.
- [0055] 이와 같은 게이트구동회로(320)는, 다수의 게이트배선들(GL) 각각에 연결되어 해당 게이트전압을 출력하는 다수의 스테이지를 포함할 수 있으며, 다수의 스테이지는 수직방향을 따라 배열될 수 있다.
- [0056] 게이트제어신호는 게이트전압 출력을 위해 게이트구동회로(320)에 공급되는 제어신호로서, 예를 들면, 스타트펄스, 초기화펄스, n상(n은 2 이상의 정수)의 쉬프트클럭 즉 게이트클럭(CLK) 등을 포함할 수 있다.
- [0057] 이와 같은 게이트구동회로(320)는 GIP 방식으로 구성되어, 어레이기판(101)의 비표시영역(NA)에 직접 형성될 수 있다.
- [0058] 이 경우에, 게이트구동회로(320)는 표시영역(AA)의 어레이소자들을 형성하는 공정과 동일한 공정으로 형성된다.
- [0059] 이와 같은 게이트구동회로(320)는, 게이트배선(GL)의 연장방향인 수평방향 상의 적어도 일측 비표시영역(NA)에 형성될 수 있다.
- [0060] 본 실시예에서는, 게이트구동회로(320)가 표시영역(AA)의 수평방향 양측에 각각 형성된 경우를 예로 든다. 이 경우에, 좌측 및 우측에 각각 위치하는 2개의 게이트구동회로(320)를 제1,2게이트구동회로(320a,320b)라 한다.
- [0061] 이처럼, 표시영역(AA) 양측에 게이트구동회로(320)를 형성하게 되면, 각 게이트배선(GL)에 인가되는 게이트전압은 좌우 양측에서 표시영역(AA) 내부로 전달될 수 있게 되므로, 게이트전압의 신호 감쇄가 완화될 수 있다.
- [0062] 한편, 게이트구동회로(320)가 형성된 비표시영역(NA) 부분에는, 게이트클럭(CLK)을 포함한 게이트제어신호를 전달하는 전달배선(TL)이 게이트구동회로(320)의 연장방향인 수직방향을 따라 연장되어 형성될 수 있다.
- [0063] 이에 따라, 게이트클럭(CLK)은 해당 전달배선(TL)을 통해 상부 수직방향으로 전송되어 게이트구동회로(320)의 해당 스테이지에 입력될 수 있다. 스테이지는 해당 출력 타이밍에 입력된 게이트클럭(CLK)을 출력하게 되고, 이에 따라 게이트전압 즉 게이트하이전압이 해당 게이트배선(GL)에 출력될 수 있게 된다.
- [0064] 이와 같은 전달배선(TL)은, 제1,2게이트구동회로(320a,320b) 각각에 대응하여 연결되는 제1,2전달배선(TL1,TL2)을 포함할 수 있다.
- [0065] 타이밍제어회로(330)는, 예를 들면, LVDS(Low Voltage Differential Signaling) 인터페이스나 TMDs(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 외부의 호스트 시스템으로부터 타이밍 신호와 디지털 영상데이터를 입력받게 된다.
- [0066] 이와 같이 입력된 타이밍신호를 사용하여, 타이밍제어회로(330)는 데이터제어신호와 게이트제어신호를 각각 생성하고 데이터구동회로(310)와 게이트구동회로(320)에 각각 출력하게 된다. 그리고, 타이밍제어회로(330)는 입력된 영상데이터를 처리하여 데이터구동회로(310)에 출력하게 된다.
- [0067] 이하, 도 3 및 4를 함께 참조하여 본 발명의 제1실시예에 따른 화소의 구조를 보다 상세하게 설명한다.
- [0068] 도 3은 본 발명의 실시예에 따른 화소를 도시한 평면도이고, 도 4는 도 3의 절단선 IV-IV를 따라 도시한 단면도이다.
- [0069] 도 1 및 2와 함께 도 3 및 4를 참조하여 살펴보면, 각 화소(P)에는 어레이기판(101)인 제1기판(101) 상에 스위칭트랜지스터(Ts)가 형성된다.
- [0070] 이와 관련하여, 화소(P)에는 제1기판(101) 내면 상에 게이트전극(121)이 형성된다. 한편, 게이트전극(121) 형성시 이에 연결되는 게이트배선(GL)이 형성될 수 있다.
- [0071] 게이트전극(121) 상에는 실질적으로 제1기판(101)의 전면을 따라 게이트절연막(130)이 형성된다.
- [0072] 게이트절연막(130) 상에는 반도체층(131)이 형성된다. 이때, 반도체층(131)은, 비정질 실리콘, 다결정 실리콘,

산화물 반도체 등으로 형성될 수 있다.

- [0073] 그리고, 반도체층(131) 상에는 서로 이격된 소스전극(133) 및 드레인전극(135)이 형성된다. 한편, 소스전극(133) 및 드레인전극(135) 형성시, 소스전극(133)에 연결되는 데이터배선(DL)이 형성될 수 있다.
- [0074] 화소(P)의 스위칭트랜지스터(Ts)는 위와 같이 배치된 게이트전극(121)과 반도체층(131)과 소스전극(133) 및 드레인전극(135)으로 구성될 수 있다.
- [0075] 스위칭트랜지스터(Ts) 상에는, 이들을 덮는 적어도 하나의 보호막이 실질적으로 제1기판(101) 전면에 걸쳐 형성될 수 있다.
- [0076] 이와 관련하여 예를 들면, 제1보호막(141) 및 이 상부의 제2보호막(142)이 적층될 수 있다.
- [0077] 이 경우에, 제1보호막(141)은 산화실리콘(SiO<sub>2</sub>)이나 질화실리콘(SiN<sub>x</sub>)과 같은 무기절연물질로 형성될 수 있다. 그리고, 제2보호막(142)은 벤조사이클로부텐이나 포토 아크릴과 같은 유기절연물질로 형성될 수 있다.
- [0078] 제2보호막(142) 상에는, 실질적으로 표시영역(AA)에 배치된 화소들(P) 전체에 대응하여 공통전극(150)이 형성될 수 있다.
- [0079] 공통전극(150)은 ITO와 같은 투명 도전성물질로 형성되며, 공통전압을 인가받게 된다.
- [0080] 공통전극(150) 상에는, 실질적으로 제1기판(101) 전면에 걸쳐 제3보호막(151)이 형성될 수 있다.
- [0081] 제3보호막(151)은 산화실리콘(SiO<sub>2</sub>)이나 질화실리콘(SiN<sub>x</sub>)과 같은 무기절연물질이나, 벤조사이클로부텐이나 포토 아크릴과 같은 유기절연물질로 형성될 수 있다.
- [0082] 표시영역(AA)의 제3보호막(151) 상에는, 화소(P) 마다 패터닝된 화소전극(155)이 형성될 수 있다.
- [0083] 화소전극(155)은 드레인콘택홀(CH)을 통해 해당 화소(P)의 드레인전극(135)과 연결될 수 있다. 이때, 드레인콘택홀(CH)은, 제1,2,3보호막(141,142,151)에 형성될 수 있다.
- [0084] 여기서, 화소전극(155)은, 해당 화소(P)에 위치하는 공통전극(150) 부분과 마주보며 프린지필드를 형성하는 핑거(finger) 형상(또는 바(bar) 형상)의 다수의 전극패턴(156)을 포함할 수 있다.
- [0085] 이와 같은 다수의 전극패턴 사이에는 개구부(op)가 형성될 수 있다.
- [0086] 더욱이, 화소전극(155)은 다수의 전극패턴(156)에 공통적으로 연결된 연결부(157,158)를 포함할 수 있다.
- [0087] 이와 관련하여 예를 들면, 다수의 전극패턴(156)의 일단인 상단에 연결된 제1연결부(157)와, 다수의 전극패턴(156)의 타단인 하단에 연결된 제2연결부(158)를 포함할 수 있다.
- [0088] 이와 같이 구성된 화소전극(155)은 해당 공통전극(150)과 제3보호막(151)을 사이에 두고 중첩되어 스토리지캐패시터(Cst)를 형성할 수 있다. 이와 관련하여, 실질적으로 화소전극(155) 전체는 공통전극(150)에 의해 모두 가려지도록 공통전극(150)에 중첩될 수 있고, 이에 따라 스토리지캐패시터(Cst)가 해당 화소(P)에 구성될 수 있다.
- [0089] 이때, 앞서 언급한 바와 같이, 본 실시예에서는 분할영역들(A<sub>m</sub>,A<sub>s1</sub>~A<sub>s4</sub>,A<sub>c1</sub>~A<sub>c4</sub>) 간의 화소전압 변동량(ΔV<sub>p</sub>)의 편차를 완화하기 위해, 분할영역들(A<sub>m</sub>,A<sub>s1</sub>~A<sub>s4</sub>,A<sub>c1</sub>~A<sub>c4</sub>) 단위로 스토리지캐패시터(Cst)의 용량을 차등화하게 된다.
- [0090] 이와 관련하여, 먼저 화소전압 변동량(ΔV<sub>p</sub>)에 대한 아래 수식(1)을 참조한다.

[0091] 수식(1): 
$$\Delta V_p = \frac{C_{gs}}{C_{lc} + C_{st} + C_{gs}} \times \Delta V_g$$

[0092] 수식(1)에서, C<sub>lc</sub>는 액정캐패시터의 용량이고, C<sub>st</sub>는 스토리지캐패시터의 용량이고, C<sub>gs</sub>는 스위칭트랜지스터(Ts)의 게이트-소스 간 기생용량이고, ΔV<sub>g</sub>는 스위칭트랜지스터(Ts)에 인가되는 게이트하이전압(V<sub>gh</sub>)과 게이트로우전압(V<sub>gl</sub>) 간의 전압차(또는 변동량)(V<sub>gh</sub>-V<sub>gl</sub>)이다.

[0093] 위 수식(1)에 따르면, 게이트하이전압(V<sub>gh</sub>)에서 게이트로우전압(V<sub>gl</sub>)으로 변경될 때, 화소(P) 내에 인가된 데이터전압인 화소전압(V<sub>p</sub>)은 화소(P)에 형성된 캐패시터들에 의해 변동되어, 화소(P)에는 화소전압 변동량(ΔV<sub>p</sub>)이 발생하게 된다.

- [0094] 이때, 액정패널(100)의 표시영역(AA)에는 영역에 따라 게이트클럭(CLK) 및 게이트전압과 같은 게이트신호의 부하가 상이하므로, 영역별 게이트하이전압(Vgh)의 감쇄율은 편차가 발생하게 된다.
- [0095] 이로 인해, 영역별 화소전압 변동량( $\Delta V_p$ )은 편차를 갖게 되고, 이에 따라 영역별 최적 공통전압 또한 편차를 갖게 되어 표시영역(AA)의 공통전압 균일도가 저하된다.
- [0096] 여기서, 공통전압(또는 화소전압 변동량( $\Delta V_p$ ))의 편차가 특정값 이상이 되면, 플리커와 같은 화질 불량이 시인될 수 있다.
- [0097] 이에 대해 예를 들면, 영역 간에 공통전압(또는 화소전압 변동량( $\Delta V_p$ ))이 대략 10mV 이상 편차가 발생하게 되면 화질 불량이 시인될 수 있게 된다.
- [0098] 이러한바, 본 실시예에서는, 전술한 바와 같이 표시영역(AA)을 다수의 분할영역(Am, As1~As4, Ac1~Ac4)으로 구분하여 정의하고, 분할영역별로 스토리지캐패시터(Cst) 용량을 차등화 한다.
- [0099] 여기서, 분할영역을 구분하는 기준과 관련하여 예를 들면, 표시영역(AA)의 전체 화소들(P)이 모두 동일한 스토리지캐패시터 용량을 갖는 종래의 구조를 기반으로 할 때, 인접 배치된 분할영역들(Am, As1~As4, Ac1~Ac4) 간의 공통전압(또는 화소전압 변동량) 차이가 화질 불량이 시인되는 특정값 예를 들어 대략 10mV 이상이 되도록, 분할영역들(Am, As1~As4, Ac1~Ac4)을 구분하여 정의할 수 있다.
- [0100] 즉, 종래의 구조를 기초로, 인접한 분할영역들(Am, As1~As4, Ac1~Ac4)은 공통전압은 대략 10mV 이상 편차를 가질 수 있게 된다.
- [0101] 한편, 본 실시예에서는 좌측 및 우측 각각에 게이트구동회로(320)가 배치된 좌우 대칭 구조를 예로 들고 있으므로, 이 대칭 구조에서는 동일한 수평위치의 좌측 분할영역(Ac1, As1, Ac3)과 우측 분할영역(Ac2, As2, Ac4) 간에는 부하가 실질적으로 동일하여 스토리지캐패시터(Cst)는 실질적으로 동일하게 구성될 수 있다.
- [0102] 이와 같이, 스토리지캐패시터(Cst) 용량을 차등화함으로써, 분할영역 간의 게이트전압 변동량( $\Delta V_g$ ) 편차를 상쇄할 수 있게 되어, 결과적으로 화소전압 변동량( $\Delta V_p$ )의 분할영역 간 편차는 완화될 수 있게 된다.
- [0103] 이와 관련하여 예를 들면, 수평방향을 기준으로 하여 게이트전압은 좌측 및 우측 각각에서 내부 방향으로 전달되므로, 좌측 및 우측에 대칭되어 배치된 동일한 수직위치(즉, 동일한 행)의 분할영역들 일예로 하측 부분에 배치된 제1 및 2코너영역(Ac1, Ac2)은 상대적으로 부하가 낮아 이의 게이트전압 변동량( $\Delta V_g$ )은 상대적으로 높고, 이들 사이에 위치하는 분할영역 일예로 제3측방영역(As3)은 상대적으로 부하가 높아 이의 게이트전압 변동량( $\Delta V_g$ )은 상대적으로 낮다.
- [0104] 이에 대해, 상대적으로 부하가 낮은 제1 및 2코너영역(Ac1, Ac2)에 대해 스토리지캐패시터(Cst) 용량을 상대적으로 높여서 이 영역의 상대적으로 높은 게이트전압 변동량( $\Delta V_g$ )을 상쇄할 수 있게 되므로, 이 영역의 상대적으로 높은 화소전압 변동량( $\Delta V_p$ )이 낮아지는 작용이 발생하게 된다.
- [0105] 이와 반대로, 상대적으로 부하가 높은 제3측방영역(As3)에 대해 스토리지캐패시터(Cst) 용량을 상대적으로 낮추어서 이 영역의 상대적으로 낮은 게이트전압 변동량( $\Delta V_g$ )을 상쇄할 수 있게 되어, 이 영역의 상대적으로 낮은 화소전압 변동량( $\Delta V_p$ )이 높아지는 작용이 발생하게 된다.
- [0106] 이처럼, 수평방향에서 서로 인접 배치된 분할영역들에 대해 이들 간의 게이트전압 변동량( $\Delta V_g$ ) 편차를 보상하기 위해, 이 편차에 반비례하도록 스토리지캐패시터(Cst) 용량을 영역별 차등화함으로써, 화소전압 변동량( $\Delta V_p$ )의 분할영역 간 편차는 완화될 수 있게 된다.
- [0107] 위와 유사하게, 수직방향에 대해서도 서로 인접 배치된 분할영역들에 대해 이들 간의 게이트전압 변동량( $\Delta V_g$ ) 편차를 보상하도록 스토리지캐패시터(Cst) 용량을 차등화하게 된다.
- [0108] 이에 대해 예를 들면, 게이트하이전압을 발생시키는 신호인 게이트클럭(CLK)은 상부 수직방향으로 전달되므로, 동일한 수평위치(즉, 동일한 열)의 하측, 중앙, 상측에 배치된 분할영역들 일예로 제3측방영역(As3), 중앙영역(Am), 제4측방영역(As4)은 부하가 순서대로 높아져 영역별 게이트전압 변동량( $\Delta V_g$ )은 상대적으로 낮아지게 된다. 즉, 게이트전압 변동량( $\Delta V_g$ )은, 중앙영역(Am)이 상대적으로 대략 가운데로서 기준에 해당된다고 볼 수 있고, 제3측방영역(As3)이 상대적으로 높고, 제4측방영역(As4)이 상대적으로 낮다.
- [0109] 이에 대해, 중앙영역(Am)의 스토리지캐패시터(Cst) 용량을 기준으로 하여, 상대적으로 부하가 높은 제4측방영역(As4)에 대해 스토리지캐패시터(Cst) 용량을 상대적으로 낮추어 이 영역의 상대적으로 낮은 게이트전압 변동량

( $\Delta Vg$ )을 상쇄할 수 있게 되므로, 이 영역의 상대적으로 낮은 화소전압 변동량( $\Delta Vp$ )이 높아지는 작용이 발생하게 된다.

- [0110] 이와 반대로, 중앙영역( $A_m$ )의 스토리지캐패시터( $Cst$ ) 용량을 기준으로 하여, 상대적으로 부하가 낮은 제3측방영역( $As3$ )에 대해 스토리지캐패시터( $Cst$ ) 용량을 상대적으로 높여서 이 영역의 상대적으로 높은 게이트전압 변동량( $\Delta Vg$ )을 상쇄할 수 있게 되어, 이 영역의 상대적으로 높은 화소전압 변동량( $\Delta Vp$ )이 낮아지는 작용이 발생하게 된다.
- [0111] 한편, 본 실시예에서는, 위와 같이 영역별 스토리지캐패시터( $Cst$ ) 용량 차등화를 위해, 화소전극(155)의 전극패턴(156)의 폭을 차등화하게 된다.
- [0112] 이에 대해, 아래 수식(2)를 참조할 수 있다.
- [0113] 수식(2):  $Cst = \epsilon * (S/d)$ .
- [0114] 수식(2)에서,  $\epsilon$ 은 제3보호막(151)의 유전율이고,  $S$ 는 공통전극(150)에 중첩되는 화소전극(155)의 면적이며,  $d$ 는 공통전극(150)과 화소전극(155) 간의 거리로서 실질적으로 제3보호막(151)의 두께에 해당된다.
- [0115] 이 수식(2)에 따르면,  $Cst$ 는 화소전극(155)의 면적에 비례하게 됨을 알 수 있으며, 화소전극(155)의 면적은 이의 전극패턴(156)의 폭에 의존한다.
- [0116] 이러한바, 화소전극(155)의 전극패턴(156)의 폭을 조절하여, 영역별 스토리지캐패시터( $Cst$ )를 차등화할 수 있게 된다.
- [0117] 이와 관련하여 도 5 및 6을 함께 참조하여 살펴본다.
- [0118] 도 5는 본 발명의 제1실시예에 따른 액정패널의 표시영역에서 수평방향으로 배열된 분할영역들 내의 화소 구조를 개략적으로 도시한 도면이고, 도 6은 본 발명의 제1실시예에 따른 액정패널의 표시영역에서 수직방향으로 배열된 분할영역들 내의 화소 구조를 개략적으로 도시한 도면이다.
- [0119] 여기서, 설명의 편의를 위해, 도 5에서는 표시영역의 하측 부분에 배열된 분할영역들을 예로 들어 도시하였고, 도 6에서는 표시영역의 가운데 부분에 배열된 분할영역들을 예로 들어 도시하였다.
- [0120] 먼저, 도 5를 참조하여 살펴보면, 표시영역(AA)의 하측 부분에는, 좌측 및 우측에 대칭되어 배치된 동일한 수직 위치의 분할영역들인 제1,2코너영역( $Ac1, Ac2$ ) 각각에는 해당 영역을 구성하는 화소인 제1,2코너화소( $Pc1, Pc2$ )가 위치한다. 그리고, 제1,2코너영역( $Ac1, Ac2$ ) 사이에 배치된 제3측방영역( $As3$ )에는 이를 구성하는 화소인 제3측방화소( $Ps3$ )가 위치한다.
- [0121] 여기서, 제1,2코너화소( $Pc1, Pc2$ ) 각각에 형성된 화소전극(155)의 전극패턴(156)은 제1폭(W1)을 갖게 된다.
- [0122] 그리고, 제3측방화소( $Ps3$ )에 형성된 화소전극(155)의 전극패턴(156)은 제2폭(W2)을 갖게 된다.
- [0123] 이때, 제1,2코너화소( $Pc1, Pc2$ )의 전극패턴(156)의 제1폭(W1)은, 제3측방화소( $Ps3$ )의 전극패턴(156)의 제2폭(W2) 보다 크게 형성된다.
- [0124] 이에 따라, 제1,2코너화소( $Pc1, Pc2$ )의 스토리지캐패시터( $Cst$ ) 용량은 상대적으로 증가하게 되고, 이와 반대로 제3측방화소( $Ps3$ )의 스토리지캐패시터( $Cst$ ) 용량은 상대적으로 감소하게 된다.
- [0125] 이로 인해, 상대적으로 부하가 낮아 게이트전압 변동량( $\Delta Vg$ )이 높은 제1,2코너화소( $Ac1, Ac2$ )는 스토리지캐패시터( $Cst$ )의 용량이 증가하게 되어, 결과적으로 화소전압 변동량( $\Delta Vp$ )이 낮아질 수 있게 된다. 이와 반대로, 상대적으로 부하가 높아 게이트전압 변동량( $\Delta Vg$ )이 낮은 제3측방화소( $As3$ )는 스토리지캐패시터( $Cst$ )의 용량이 감소하게 되어, 결과적으로 화소전압 변동량( $\Delta Vp$ )이 높아질 수 있게 된다.
- [0126] 따라서, 수평방향으로 인접 배치된 분할영역들 간의 화소전압 변동량( $\Delta Vp$ )의 편차가 완화될 수 있게 된다.
- [0127] 다음으로, 도 6을 참조하여 살펴보면, 표시영역(AA)의 동일한 수직위치의 하측, 중앙, 상측에 배치된 분할영역들 일례로 제3측방영역( $As3$ ), 중앙영역( $A_m$ ), 제4측방영역( $As4$ ) 각각에는 해당 영역을 구성하는 화소인 제3측방화소( $Ps3$ ), 중앙화소( $Pm$ ), 제4측방화소( $Ps4$ )가 위치한다.
- [0128] 여기서, 제3측방화소( $Ps3$ )에 형성된 화소전극(155)의 전극패턴(156)은 제2폭(W2)을 갖게 된다. 중앙화소( $Pm$ )에 형성된 화소전극(155)의 전극패턴(156)은 제3폭(W3)을 갖게 된다. 제4측방화소( $Ps4$ )에 형성된 화소전극(155)의 전극패턴(156)은 제4폭(W4)을 갖게 된다.

- [0129] 이때, 제3측방화소(Ps3)의 전극패턴(156)의 제2폭(W2)은, 중앙화소(Pm)의 전극패턴(156)의 제3폭(W3) 보다 크게 형성된다. 그리고, 중앙화소(Pm)의 전극패턴(156)의 제3폭(W3)은, 제4측방화소(Ps4)의 전극패턴(156)의 제4폭(W4) 보다 크게 형성된다.
- [0130] 이에 따라, 중앙화소(Pm)를 기준으로, 제3측방화소(Ps3)의 스토리지커패시터(Cst) 용량은 상대적으로 증가하게 되고, 이와 반대로 제4측방화소(Ps4)의 스토리지커패시터(Cst) 용량은 상대적으로 감소하게 된다.
- [0131] 다시 말하면, 영역별 스토리지커패시터(Cst) 용량은 상부 수직방향으로는 감소하게 되며, 하부 수직방향으로는 증가하게 된다.
- [0132] 이로 인해, 중앙화소(Pm)를 기준으로, 제3측방화소(As3)는 스토리지커패시터(Cst) 용량이 증가하게 되어, 결과적으로 화소전압 변동량( $\Delta V_p$ )이 낮아질 수 있게 된다. 이와 반대로, 중앙화소(Pm)를 기준으로, 제4측방화소(As4)는 스토리지커패시터(Cst) 용량이 감소하게 되어, 결과적으로 화소전압 변동량( $\Delta V_p$ )이 높아질 수 있게 된다.
- [0133] 따라서, 수직방향으로 인접 배치된 분할영역들 간의 화소전압 변동량( $\Delta V_p$ ) 편차가 완화될 수 있게 된다.
- [0134] 위와 같이 화소전극(155)의 전극패턴(156) 폭을 차등화하여, 수평방향 및 수직방향으로 인접한 분할영역들 간의 화소전압 변동량( $\Delta V_p$ ) 편차가 완화될 수 있게 된다.
- [0135] 이에 따라, 표시영역(AA) 전체에서 분할영역별 화소전압 변동량( $\Delta V_p$ ) 편차가 완화됨으로써, 최적 공통전압 편차가 개선되어 공통전압 균일도가 확보되고 화질이 향상될 수 있게 된다.
- [0136] 이때, 공통전압 최대 편차는 화질 저하가 시인되는 특정값 미만로서 예를 들어 대략 10mV 미만이 되도록, 스토리지커패시터 용량을 차등화하는 것이 바람직하다.
- [0137] 여기서, 공통전압 최대 편차는, 최소 부하의 분할영역인 제1,2코너영역(Ac1,Ac2)에서의 최소 공통전압과 최대 부하의 분할영역인 제4측방영역(As4)의 최대 공통전압 간의 편차를 의미할 수 있다.
- [0138] 한편, 본 실시예의 표시영역(AA) 분할 구조에서 영역별 부하의 크기 관계를 살펴보면, 제1,2코너영역(Ac1,Ac2)/제1,2측방영역(As1,As2)/제3측방영역(As3)/제3,4코너영역(Ac3,Ac4)/중앙영역(Am)/제4측방영역(As4)의 순서로 부하가 증가할 수 있다.
- [0139] 이 경우에, 앞서 설명한 바와 같이, 부하의 크기에 반비례하도록 분할영역의 스토리지커패시터 용량을 차등화함으로써, 공통전압의 균일도를 향상시킬 수 있다.
- [0140] <제2실시예>
- [0141] 전술한 제1실시예에서는 공통전압 균일도 확보를 위해 분할영역들 간의 스토리지커패시터 용량 차등화를 구현함에 있어, 화소전극의 전극패턴의 폭을 차등화하게 된다.
- [0142] 이와 다른 실시예로서 제2실시예에서는, 화소전극의 연결부를 외측으로 확장하고 확장된 부분의 면적을 차등화함으로써 분할영역들 간의 스토리지커패시터 용량을 차등화를 구현하게 된다.
- [0143] 이와 관련하여 도 7 내지 9를 참조하여 살펴본다.
- [0144] 도 7은 본 발명의 제2실시예에 따른 액정표시장치를 개략적으로 도시한 블록도이다. 그리고, 도 8은 본 발명의 제2실시예에 따른 액정패널의 표시영역에서 수평방향으로 배열된 분할영역들 내의 화소 구조를 개략적으로 도시한 도면이고, 도 9는 본 발명의 제2실시예에 따른 액정패널의 표시영역에서 수직방향으로 배열된 분할영역들 내의 화소 구조를 개략적으로 도시한 도면이다.
- [0145] 여기서, 도 7은 제1실시예의 도 1과 실질적으로 동일하며, 도 8 및 9는 각각 제1실시예의 도 5 및 6에 대응된다.
- [0146] 도 7 내지 9를 참조하면, 본 실시예의 표시영역(AA)의 분할영역들(Am,Ac1~Ac4,As1~As4) 각각에 구성된 화소(P)의 화소전극(155)은 연결부의 일단에서 외측으로 연장된(또는 확장된) 외연부(159)가 더 구비된다.
- [0147] 이때, 외연부(159)는 예를 들면 제1연결부(156)의 일단에서 외측으로 연장되도록 형성될 수 있다. 다른 예로서, 외연부(159)는 제2연결부(157)의 일단에서 외측으로 연장되도록 구성될 수도 있다.
- [0148] 이와 같은 외연부(159)는 면적이 분할영역 별로 차등화될 수 있는데, 이와 같은 외연부(159) 면적의 차등화는

예를 들면 그 폭을 차등화함으로써 구현될 수 있다.

- [0149] 이와 관련하여 먼저 도 8을 참조하여 살펴보면, 표시영역(AA)의 하측 부분에는, 좌측 및 우측에 대칭되어 배치된 동일한 수평위치의 분할영역들인 제1,2코너영역(Ac1,Ac2) 각각에 해당 영역을 구성하는 화소인 제1,2코너화소(Pc1,Pc2)가 위치한다. 그리고, 제1,2코너영역(Ac1,Ac2) 사이에 배치된 제3측방영역(As3)에는 이를 구성하는 화소인 제3측방화소(Ps3)가 위치한다.
- [0150] 여기서, 제1,2코너화소(Pc1,Pc2) 각각에 형성된 화소전극(155)의 외연부(159)는 제1폭(We1)을 갖게 된다.
- [0151] 그리고, 제3측방화소(Ps3)에 형성된 화소전극(155)의 외연부(159)는 제2폭(We2)을 갖게 된다.
- [0152] 이때, 제1,2코너화소(Pc1,Pc2)의 외연부(159)의 제1폭(We1)은, 제3측방화소(Ps3)의 외연부(159)의 제2폭(We2)보다 크게 형성된다.
- [0153] 이에 따라, 제1,2코너화소(Pc1,Pc2)의 스토리지캐패시터(Cst) 용량은 상대적으로 증가하게 되고, 이와 반대로 제3측방화소(Ps3)의 스토리지캐패시터(Cst) 용량은 상대적으로 감소하게 된다.
- [0154] 이로 인해, 상대적으로 부하가 낮아 게이트전압 변동량( $\Delta Vg$ )이 높은 제1,2코너화소(Ac1,Ac2)는 스토리지캐패시터(Cst) 용량이 증가하게 되어, 결과적으로 화소전압 변동량( $\Delta Vp$ )이 낮아질 수 있게 된다. 이와 반대로, 상대적으로 부하가 높아 게이트전압 변동량( $\Delta Vg$ )이 낮은 제3측방화소(As3)는 스토리지캐패시터(Cst) 용량이 감소하게 되어, 결과적으로 화소전압 변동량( $\Delta Vp$ )이 높아질 수 있게 된다.
- [0155] 따라서, 수평방향으로 인접 배치된 분할영역들 간의 화소전압 변동량( $\Delta Vp$ ) 편차가 완화될 수 있게 된다.
- [0156] 다음으로, 도 9를 참조하여 살펴보면, 표시영역(AA)의 동일한 수평위치의 하측, 중앙, 상측에 배치된 분할영역들 일예로 제3측방영역(As3), 중앙영역(Am), 제4측방영역(As4) 각각에는 해당 영역을 구성하는 화소인 제3측방화소(Ps3), 중앙화소(Pm), 제4측방화소(Ps4)가 위치한다.
- [0157] 여기서, 제3측방화소(Ps3)에 형성된 화소전극(155)의 외연부(159)는 제2폭(We2)을 갖게 된다. 중앙화소(Pm)에 형성된 화소전극(155)의 외연부(159)는 제3폭(We3)을 갖게 된다. 제4측방화소(Ps4)에 형성된 화소전극(155)의 외연부(159)는 제4폭(We4)을 갖게 된다.
- [0158] 이때, 제3측방화소(Ps3)의 외연부(159)의 제2폭(We2)은, 중앙화소(Pm)의 외연부(159)의 제3폭(We3)보다 크게 형성된다. 그리고, 중앙화소(Pm)의 외연부(159)의 제3폭(We3)은, 제4측방화소(Ps4)의 외연부(159)의 제4폭(We4)보다 크게 형성된다.
- [0159] 이에 따라, 중앙화소(Pm)를 기준으로, 제3측방화소(Ps3)의 스토리지캐패시터(Cst) 용량은 상대적으로 증가하게 되고, 이와 반대로 제4측방화소(Ps4)의 스토리지캐패시터(Cst)의 용량은 상대적으로 감소하게 된다.
- [0160] 다시 말하면, 스토리지캐패시터(Cst)의 용량은 상부 수직방향으로 감소하게 되며, 하부 수직방향으로는 증가하게 된다.
- [0161] 이로 인해, 중앙화소(Pm)를 기준으로, 제3측방화소(As3)는 스토리지캐패시터(Cst) 용량이 증가하게 되어, 결과적으로 화소전압 변동량( $\Delta Vp$ )이 낮아질 수 있게 된다. 이와 반대로, 중앙화소(Pm)를 기준으로, 제4측방화소(As4)는 스토리지캐패시터(Cst)의 용량이 감소하게 되어, 결과적으로 화소전압 변동량( $\Delta Vp$ )이 높아질 수 있게 된다.
- [0162] 따라서, 수직방향으로 인접 배치된 분할영역들 간의 화소전압 변동량( $\Delta Vp$ ) 편차가 완화될 수 있게 된다.
- [0163] 위와 같이 화소전극(155)에 외연부(159)를 추가적으로 형성하고 이의 폭을 차등화하여, 수평방향 및 수직방향으로 인접한 분할영역들 간의 화소전압 변동량( $\Delta Vp$ ) 편차가 완화될 수 있게 된다.
- [0164] 이에 따라, 표시영역(AA) 전체에서 분할영역들 간의 화소전압 변동량( $\Delta Vp$ ) 편차가 완화됨으로써, 최적 공통전압의 편차가 개선되어 공통전압 균일도가 확보되고 화질이 향상될 수 있게 된다.
- [0165] 이때, 공통전압의 최대 편차는 화질 저하가 시인되는 특정값 미만으로서 예를 들어 대략 10mV 미만이 되도록, 스토리지캐패시터의 용량을 차등화하는 것이 바람직하다.
- [0166] 도 10은 본 발명의 실시예들에 따른 영역별 스토리지캐패시터 차등화 구조에서의 영역별 최적 공통전압에 대한 실험 결과를 도시한 도면이다.
- [0167] 도 10에서는, 종래의 스토리지캐패시터가 영역별로 동일한 구조에서의 영역별 공통전압을 검은색으로 표시하였

으며, 본 발명의 실시예들의 스토리지커패시터 영역별 차등화 구조에서의 영역별 공통전압을 붉은색으로 표시하였다.

- [0168] 한편, 이 시물레이션에서, 종래 구조의 스토리지커패시터 용량은 모든 분할영역에서 대략 408.4f 정도로 동일하다. 그리고, 본 실시예의 구조에서는, 분할영역별 스토리지커패시터 용량은, As4가 대략 408.4f, Am이 대략 412.2f, Ac3 및 Ac4가 대략 414.9f, As1 및 As2가 대략 419.4f, As3이 대략 417.3f, Ac1 및 Ac2가 대략 426.4f 정도로 차등화된다.
- [0169] 도 10을 참조하여 살펴보면, 종래 구조에서는 수평방향 및 수직방향으로 인접한 분할영역들 간에 최적 공통전압 편차가 대체로 10mV 이상이며, 공통전압 최대 편차는 대략 29mV(즉, As4 영역과 Ac1 영역 간의 편차)로 매우 크다. 이에 따라, 표시영역 전반에서 플리커와 같은 화질 불량이 발생하게 된다.
- [0170] 반면에, 본 실시예들의 구조에서는 수평방향 및 수직방향으로 인접한 분할영역들 간에 최적 공통전압 편차가 대체로 1mV 이하이며, 공통전압 최대 편차는 대략 1mV 정도로 매우 크다. 이에 따라, 표시영역 전반에서 공통전압의 균일도가 확보되어 화질 불량이 개선된다.
- [0171] 전술한 바와 같이, 본 발명의 실시예들에 따르면, 게이트신호에 대한 부하 편차에 따라 표시영역을 다수의 분할영역으로 구분하고, 분할영역 별로 화소전극 면적을 차등화하여 스토리지커패시터 용량을 차등화하게 된다.
- [0172] 이에 따라, 분할영역들 간 화소전압 변동량 편차가 완화된으로써, 최적 공통전압 편차가 개선되고 공통전압 균일도가 확보되어, 플리커 등의 화질 불량을 개선할 수 있게 된다.
- [0173] 전술한 본 발명의 실시예는 본 발명의 일예로서, 본 발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본 발명의 변형을 포함한다.

**부호의 설명**

- [0174] 10: 액정표시장치 100: 액정패널
- 101: 제1기관 121: 게이트전극
- 130: 게이트절연막 131: 반도체층
- 133: 소스전극 133: 드레인전극
- 141: 제1보호막 142: 제2보호막
- 150: 공통전극 151: 제3보호막
- 155: 화소전극 156: 전극패턴
- 157: 제1연결부 158: 제2연결부
- 159: 외연부 310: 데이터구동회로
- 320: 게이트구동회로 330: 타이밍제어회로
- P: 화소
- GL: 게이트배선
- DL: 데이터배선
- TL: 전달배선
- Ts: 스위칭트랜지스터
- Clc: 액정커패시터
- Cst: 스토리지커패시터
- L1 내지 L4: 제1 내지 4외번
- AA: 표시영역
- NA: 비표시영역

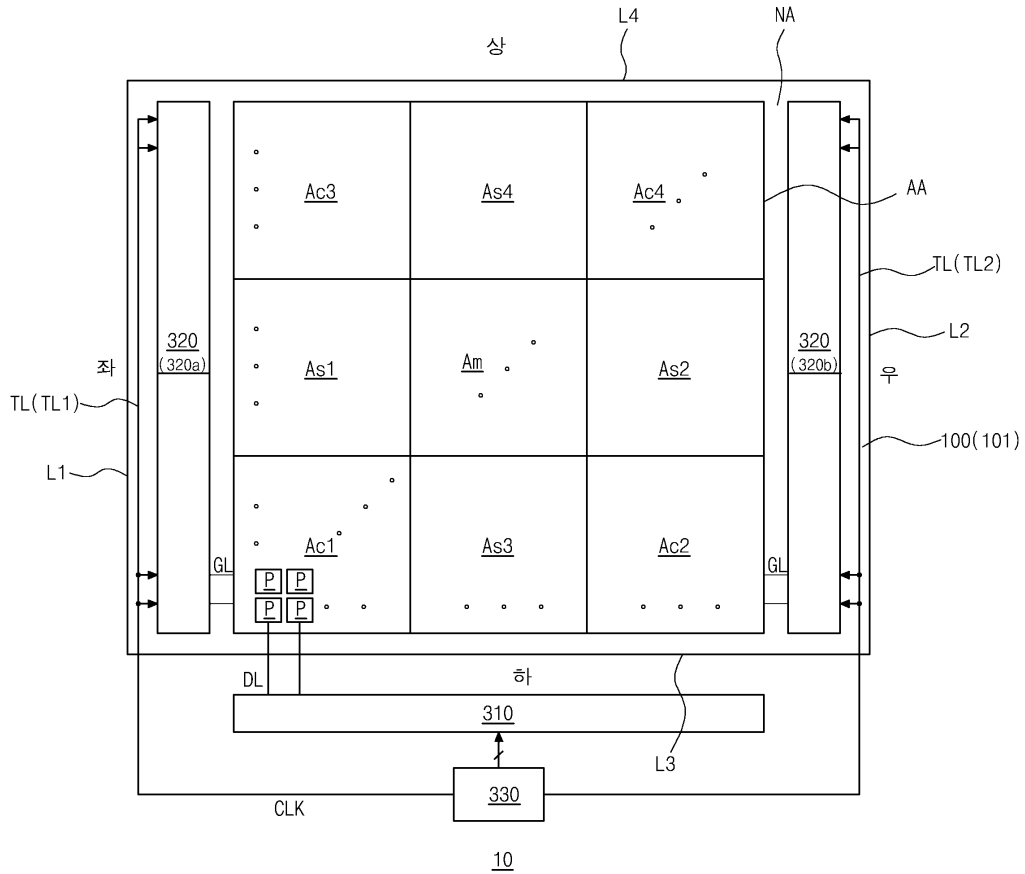
Am: 중앙영역

Ac1 내지 Ac4: 제1 내지 4코너영역

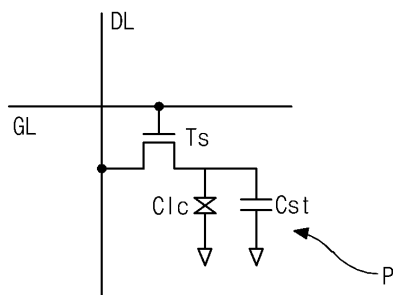
As1 내지 As4: 제1 내지 4측방영역

도면

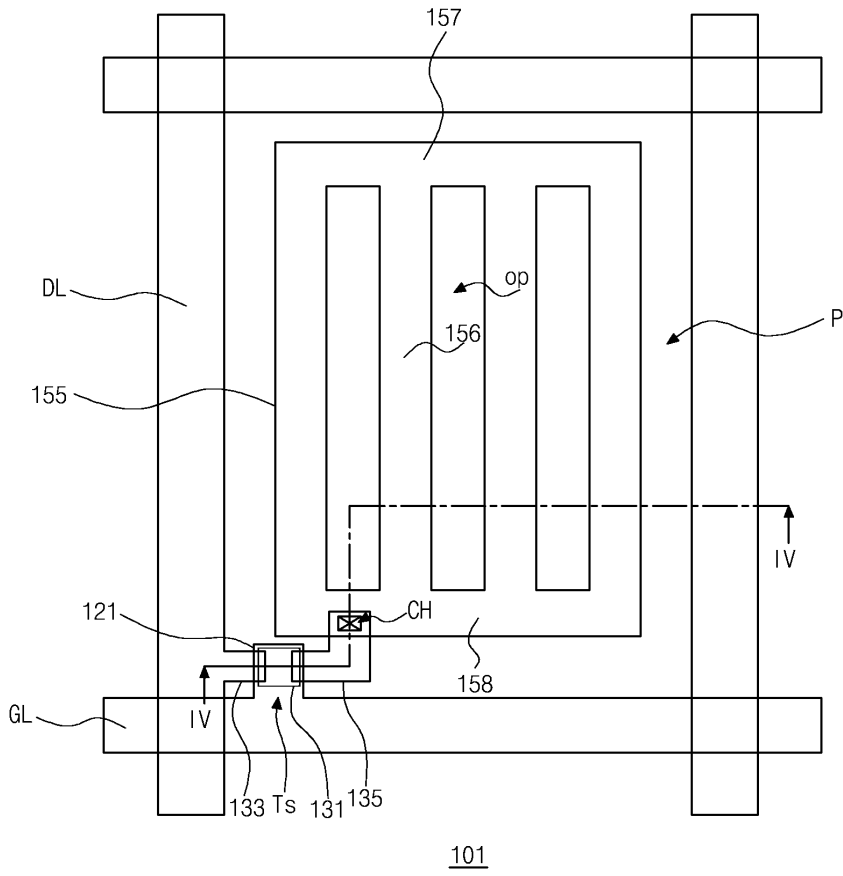
도면1



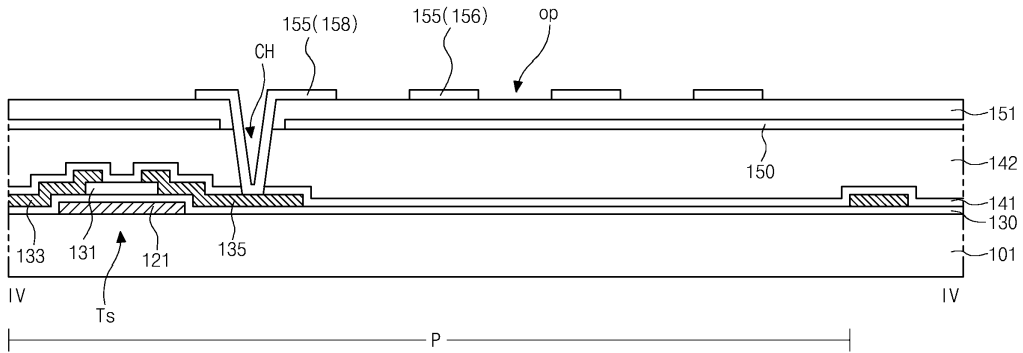
도면2



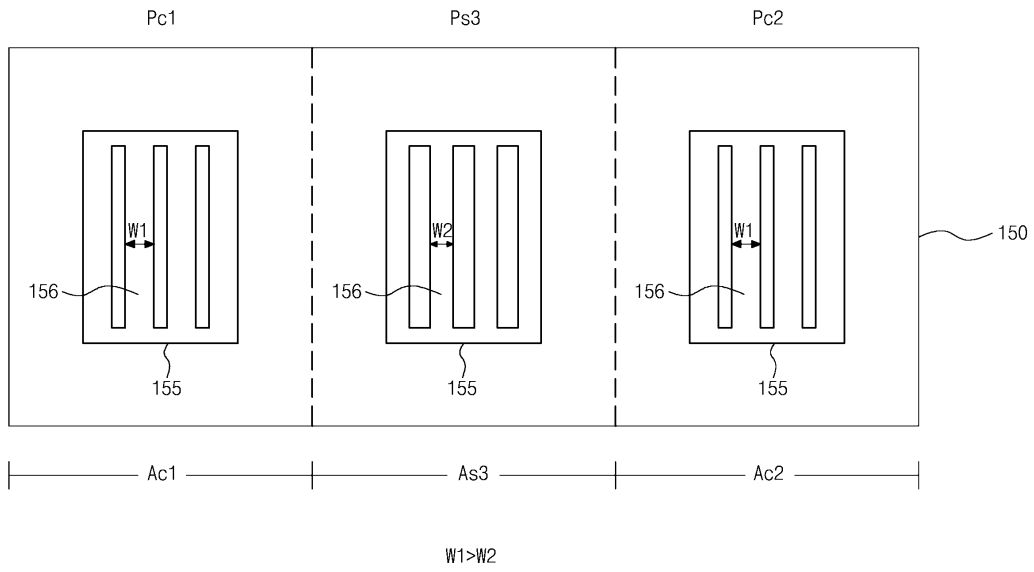
도면3



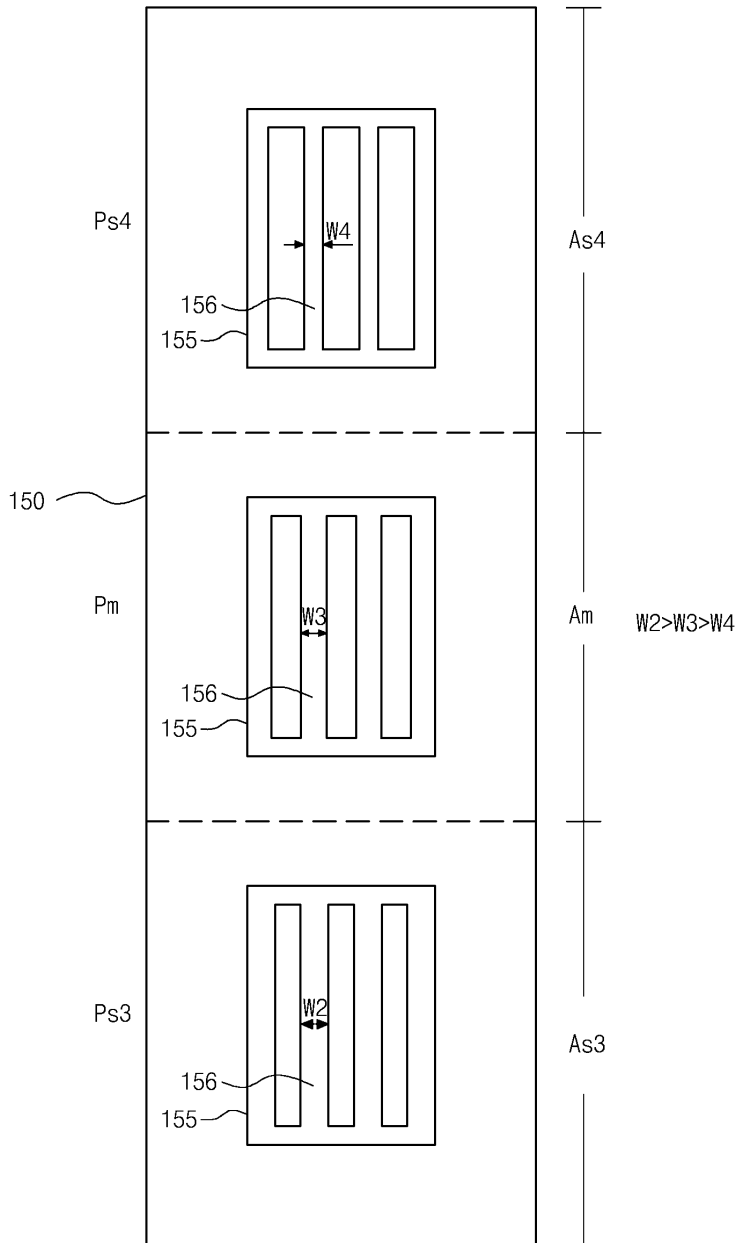
도면4



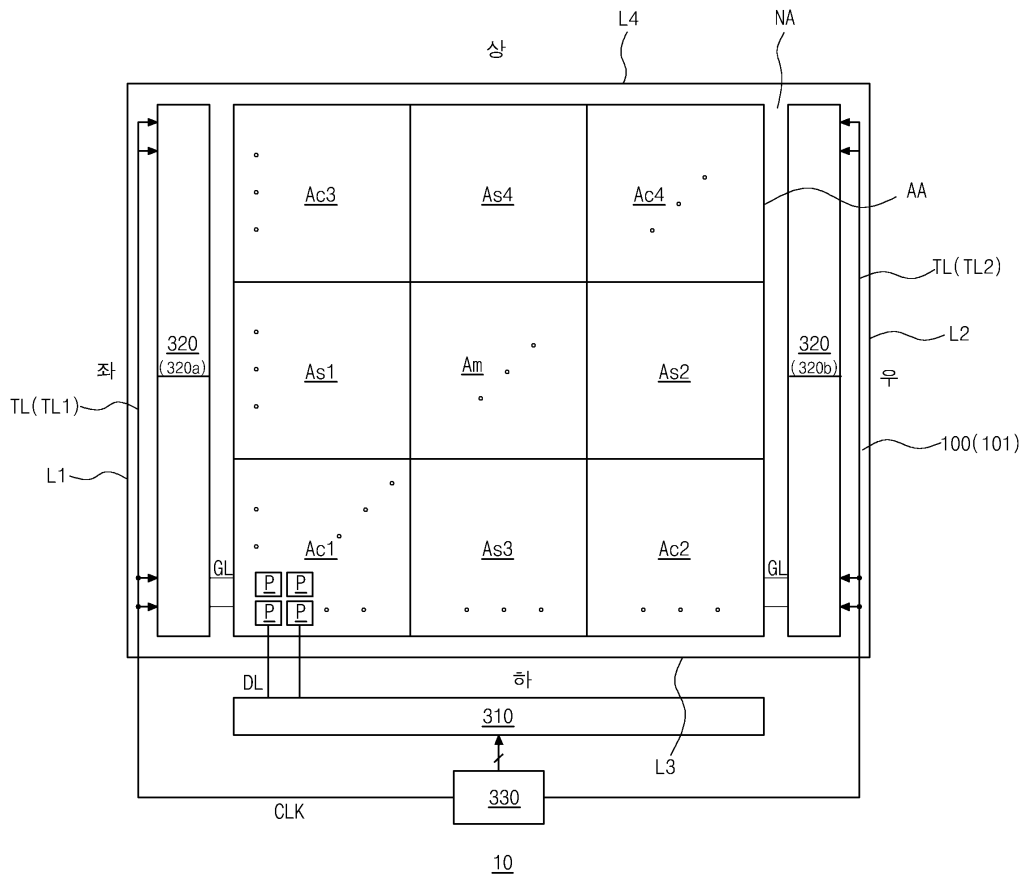
도면5



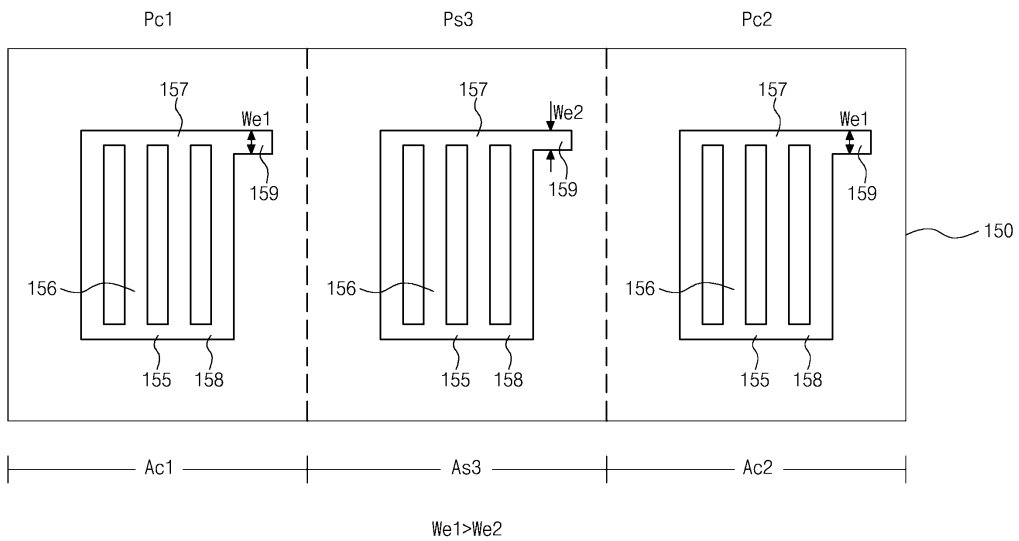
도면6



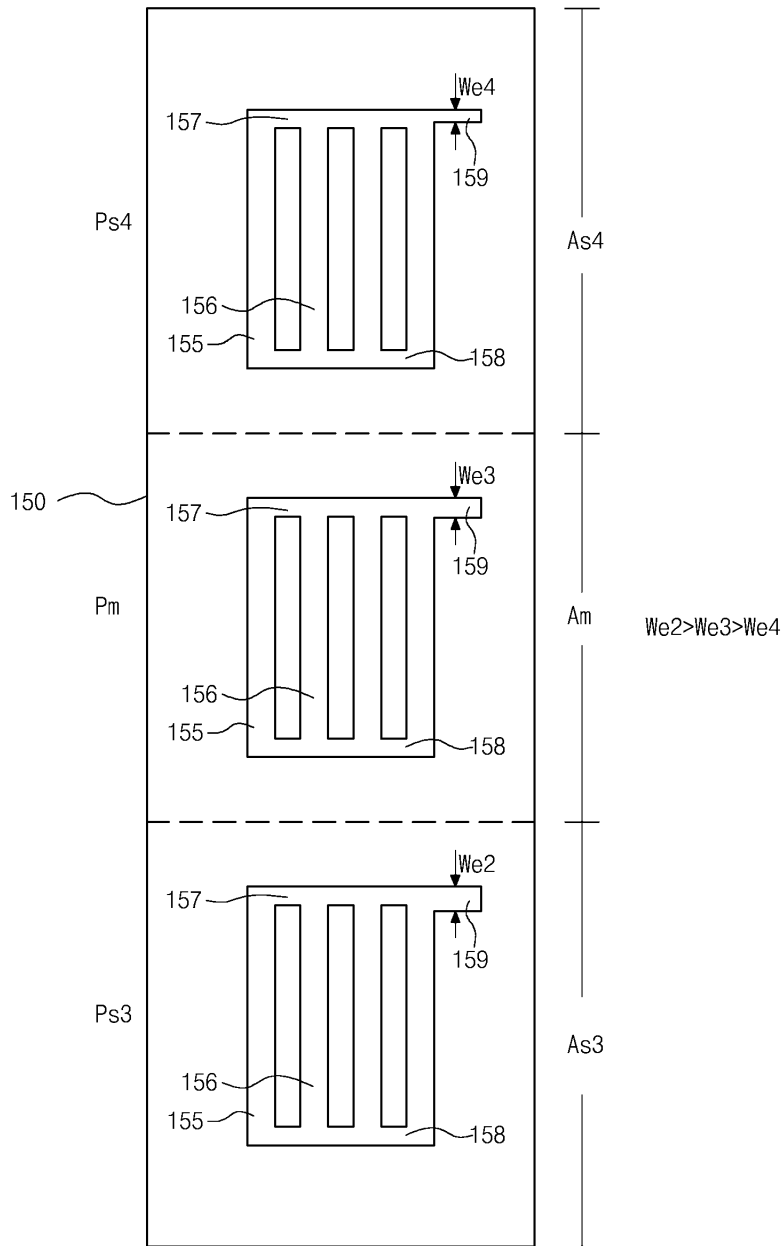
도면7



도면8



도면9



도면10

Point 1. -720mV -709mV Ac3	Point 2. -709mV -709mV As4	Point 3. -720mV -709mV Ac4
Point 4. -727mV -709mV As1	Point 5. -716mV -709mV Am	Point 6. -727mV -709mV As2
Point 7. -738mV -710mV Ac1	Point 8. -724mV -709mV As3	Point 9. -738mV -710mV Ac2

专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020190078152A</a>	公开(公告)日	2019-07-04
申请号	KR1020170179914	申请日	2017-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	유지훈 조성현		
发明人	유지훈 조성현		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134309 G02F2201/123		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种液晶显示装置。液晶显示装置包括：基板，其限定：显示区域，该显示区域包括在水平方向和垂直方向上排列有像素的多个分割区域；以及显示区域周围的非显示区域。多条栅极线在基板上的显示区域上沿水平方向延伸，以将栅极电压转移到相应的像素；公共电极形成在基板上的显示区域中；在像素中，像素电极面对公共电极和绝缘层并且包括多个电极图案。在水平方向或垂直方向上彼此相邻的划分区域中，像素电极的面积彼此不同。可以改善公共电压的均匀性。

