



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0025432
(43) 공개일자 2018년03월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/34 (2006.01)

(52) CPC특허분류
G09G 3/3406 (2013.01)
G09G 2320/062 (2013.01)

(21) 출원번호 10-2016-0111147
(22) 출원일자 2016년08월30일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

심재혁

경상남도 창원시 진해구 진해대로 727 103동 204호 (석동, 대우푸르지오)

김광섭

대구광역시 동구 신암북로7길 36-18 (신암동)

(74) 대리인

특허법인로얄

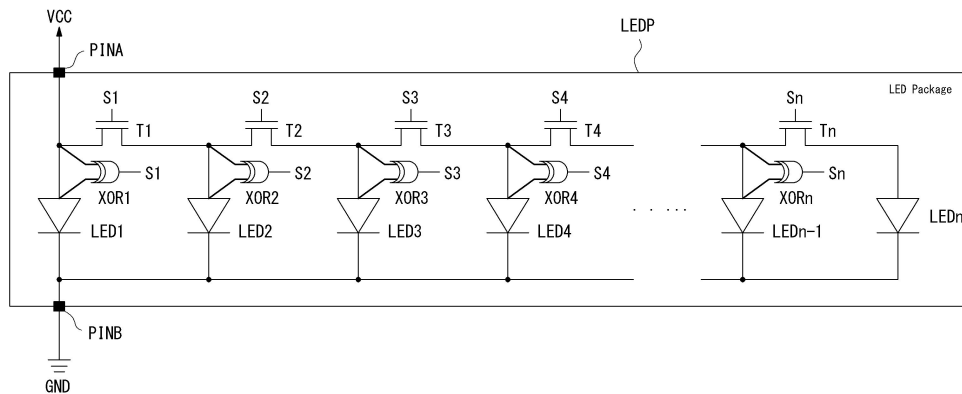
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 백라이트유닛 및 이를 이용한 액정표시장치

(57) 요약

본 발명은 다수의 LED칩, 적어도 하나의 트랜지스터 및 적어도 하나의 논리회로를 포함하는 백라이트유닛을 제공한다. 다수의 LED칩은 고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 배치된 메인 LED칩과 메인 LED칩에 대해 병렬 배치된 적어도 하나의 보조 LED칩을 포함한다. 적어도 하나의 트랜지스터는 고전위전압을 적어도 하나의 보조 LED칩으로 전달하기 위해 배치된다. 적어도 하나의 논리회로는 고전위전압과 다수의 LED칩의 애노드전극을 통해 입력되는 전압에 대응하여 적어도 하나의 트랜지스터를 제어한다.

대표도



(52) CPC특허분류
G09G 2330/08 (2013.01)

명세서

청구범위

청구항 1

고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 배치된 메인 LED칩과 상기 메인 LED칩에 대해 병렬 배치된 적어도 하나의 보조 LED칩을 포함하는 다수의 LED칩;

상기 고전위전압을 상기 적어도 하나의 보조 LED칩으로 전달하기 위해 배치된 적어도 하나의 트랜지스터; 및

상기 고전위전압과 상기 다수의 LED칩의 애노드전극을 통해 입력되는 전압에 대응하여 상기 적어도 하나의 트랜지스터를 제어하는 적어도 하나의 논리회로를 포함하는 백라이트유닛.

청구항 2

제1항에 있어서,

상기 논리회로는 상기 고전위전압에 연결된 제1입력단과 상기 다수의 LED칩의 애노드전극에 연결된 제2입력단을 통해 입력되는 신호가 다르면 상기 트랜지스터를 턴 온 시키는 제어신호를 출력하는 백라이트유닛.

청구항 3

제1항에 있어서,

상기 메인 LED칩은 상기 제1단자에 애노드전극이 연결되고 상기 제2단자에 캐소드전극이 연결되며,

상기 적어도 하나의 트랜지스터는 상기 제1단자에 제1전극이 연결되고 상기 적어도 하나의 보조 LED칩의 애노드전극에 제2전극이 연결되고 상기 적어도 하나의 논리회로의 출력단에 게이트전극이 연결되며,

상기 적어도 하나의 보조 LED칩은 상기 적어도 하나의 트랜지스터의 제2전극에 애노드전극이 연결되고 상기 제2단자에 캐소드전극이 연결되며,

상기 적어도 하나의 논리회로는 상기 제1단자에 제1입력단이 연결되고 상기 메인 LED칩의 애노드전극에 제2입력단이 연결되고 상기 적어도 하나의 트랜지스터에 출력단이 연결된 백라이트유닛.

청구항 4

영상을 표시하는 액정패널;

상기 액정패널을 구동하는 구동부; 및

상기 액정패널에 빛을 제공하는 백라이트유닛을 포함하고,

상기 백라이트유닛은

고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 배치된 메인 LED칩과 상기 메인 LED칩에 대해 병렬 배치된 적어도 하나의 보조 LED칩을 포함하는 다수의 LED칩과,

상기 고전위전압을 상기 적어도 하나의 보조 LED칩으로 전달하기 위해 배치된 적어도 하나의 트랜지스터와,

상기 고전위전압과 상기 다수의 LED칩의 애노드전극을 통해 입력되는 전압에 대응하여 상기 적어도 하나의 트랜지스터를 제어하는 적어도 하나의 논리회로를 포함하는 액정표시장치.

청구항 5

고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 직렬 접속되어 배치된 다수의 LED칩;

상기 고전위전압을 상기 다수의 LED칩으로 전달하기 위해 배치된 트랜지스터들을 포함하는 트랜지스터 제어부;

상기 다수의 LED칩의 애노드전극, 캐소드전극 및 상기 애노드전극과 상기 캐소드전극 사이의 노드에 걸리는 전압의 변동값에 기초하여 논리값들을 출력하는 논리회로부; 및

상기 논리회로부터 출력되는 논리값들에 대응하여 상기 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 선택적으로 제어하는 제어 회로부를 포함하는 백라이트유닛.

청구항 6

제5항에 있어서,

상기 제어 회로부는 상기 논리회로부터 출력되는 논리값들 중 적어도 하나가 다르면 상기 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 턴온 시키는 제어신호를 출력하는 백라이트유닛.

청구항 7

제5항에 있어서,

상기 트랜지스터 제어부는

상기 제1단자에 제1전극이 연결되고 상기 제어 회로부의 제1출력단에 게이트전극이 연결된 제1A트랜지스터와,

상기 제1A트랜지스터의 제2전극에 제1전극이 연결되고 제1LED칩의 캐소드전극과 제2LED칩의 애노드전극 사이의 노드에 제2전극이 연결되고 상기 제어 회로부의 제2출력단에 게이트전극이 연결된 제1B트랜지스터와,

상기 제1A트랜지스터의 제2전극에 제1전극이 연결되고 상기 제어 회로부의 제3출력단에 게이트전극이 연결된 제2A트랜지스터와,

상기 제2A트랜지스터의 제2전극에 제1전극이 연결되고 상기 제2LED칩의 캐소드전극과 제3LED칩의 애노드전극 사이의 노드에 제2전극이 연결되고 상기 제어 회로부의 제4출력단에 게이트전극이 연결된 제2B트랜지스터를 포함하는 백라이트유닛.

청구항 8

제7항에 있어서,

상기 논리회로부는

상기 제1단자에 제1입력단이 연결되고 상기 제1LED칩의 애노드전극에 제2입력단이 연결되고 상기 제어 회로부의 제1입력단에 출력단이 연결된 제1논리회로와,

상기 제1LED칩의 캐소드전극에 제1입력단이 연결되고 상기 제1LED칩의 캐소드전극과 상기 제2LED칩의 애노드전극 사이의 노드에 제2입력단이 연결되고 상기 제어 회로부의 제2입력단에 출력단이 연결된 제2논리회로와,

상기 제1LED칩의 캐소드전극과 상기 제2LED칩의 애노드전극 사이의 노드에 제1입력단이 연결되고 상기 제2LED칩의 애노드전극에 제2입력단이 연결되고 상기 제어 회로부의 제3입력단에 출력단이 연결된 제3논리회로와,

상기 제2LED칩의 캐소드전극에 제1입력단이 연결되고 상기 제2LED칩의 캐소드전극과 상기 제3LED칩의 애노드전극 사이의 노드에 제2입력단이 연결되고 상기 제어 회로부의 제4입력단에 출력단이 연결된 제4논리회로를 포함하는 백라이트유닛.

청구항 9

영상을 표시하는 액정패널;

상기 액정패널을 구동하는 구동부; 및

상기 액정패널에 빛을 제공하는 백라이트유닛을 포함하고,

상기 백라이트유닛은

고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 직렬 접속되어 배치된 다수의 LED칩과,

상기 고전위전압을 상기 다수의 LED칩으로 전달하기 위해 배치된 트랜지스터들을 포함하는 트랜지스터 제어부와,

상기 다수의 LED칩의 애노드전극, 캐소드전극 및 상기 애노드전극과 상기 캐소드전극 사이의 노드에 걸리는 전

압의 변동값에 기초하여 논리값들을 출력하는 논리회로부와,

상기 논리회로부로부터 출력되는 논리값들에 대응하여 상기 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 선택적으로 제어하는 제어 회로부를 포함하는 액정표시장치.

청구항 10

제9항에 있어서,

상기 제어 회로부는

상기 논리회로부로부터 출력되는 논리값들 중 적어도 하나가 다르면 상기 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 턴온 시키는 제어신호를 출력하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 백라이트유닛 및 이를 이용한 액정표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마액정패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.

[0003] 액정표시장치에는 액정패널과 백라이트유닛이 포함된다. 액정패널은 박막 트랜지스터, 스토리지 커패시터 및 화소전극 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다.

[0004] 백라이트유닛은 액정패널에 광을 제공하는 발광다이오드(이하 LED) 및 LED를 구동하는 LED구동부가 형성된 LED 기판, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판의 하부에서 광을 반사시키는 반사판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다.

[0005] 백라이트유닛은 LED 패키지를 기반으로 빛을 발광하는 광원을 형성한다. 그런데 종래에 제안된 LED 패키지는 내부에 존재하는 LED칩의 손상 또는 LED들 사이에 존재하는 배선이 단선 되면 모든 LED들이 꺼지는 구조적 취약점이 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 외부의 물리적 충격 또는 내부의 전기적 충격으로부터 강건한 보상 회로를 갖는 LED 패키지를 기반으로 구동의 안정성 및 신뢰성을 향상하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 다수의 LED칩, 적어도 하나의 트랜지스터 및 적어도 하나의 논리회로를 포함하는 백라이트유닛을 제공한다. 다수의 LED칩은 고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 배치된 메인 LED칩과 메인 LED칩에 대해 병렬 배치된 적어도 하나의 보조 LED칩을 포함한다. 적어도 하나의 트랜지스터는 고전위전압을 적어도 하나의 보조 LED칩으로 전달하기 위해 배치된다. 적어도 하나의 논리회로는 고전위전압과 다수의 LED칩의 애노드전극을 통해 입력되는 전압에 대응하여 적어도 하나의 트랜지스터를 제어한다.

[0008] 논리회로는 고전위전압에 연결된 제1입력단과 다수의 LED칩의 애노드전극에 연결된 제2입력단을 통해 입력되는 신호가 다르면 트랜지스터를 턴온 시키는 제어신호를 출력할 수 있다.

[0009] 메인 LED칩은 제1단자에 애노드전극이 연결되고 제2단자에 캐소드전극이 연결되며, 적어도 하나의 트랜지스터는

제1단자에 제1전극이 연결되고 적어도 하나의 보조 LED칩의 애노드전극에 제2전극이 연결되고 적어도 하나의 논리회로의 출력단에 게이트전극이 연결되며, 적어도 하나의 보조 LED칩은 적어도 하나의 트랜지스터의 제2전극에 애노드전극이 연결되고 제2단자에 캐소드전극이 연결되며, 적어도 하나의 논리회로는 제1단자에 제1입력단이 연결되고 메인 LED칩의 애노드전극에 제2입력단이 연결되고 적어도 하나의 트랜지스터에 출력단이 연결될 수 있다.

[0010] 다른 측면에서 본 발명은 액정패널, 구동부 및 백라이트유닛을 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 구동부는 액정패널을 구동한다. 백라이트유닛은 액정패널에 빛을 제공한다. 백라이트유닛은 고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 배치된 메인 LED칩과 메인 LED칩에 대해 병렬 배치된 적어도 하나의 보조 LED칩을 포함하는 다수의 LED칩과, 고전위전압을 적어도 하나의 보조 LED칩으로 전달하기 위해 배치된 적어도 하나의 트랜지스터와, 고전위전압과 다수의 LED칩의 애노드전극을 통해 입력되는 전압에 대응하여 적어도 하나의 트랜지스터를 제어하는 적어도 하나의 논리회로를 포함한다.

[0011] 또 다른 측면에서 본 발명은 다수의 LED칩, 트랜지스터 제어부, 논리회로부 및 제어 회로부를 포함하는 백라이트유닛을 제공한다. 다수의 LED칩은 고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 직렬 접속되어 배치된다. 트랜지스터 제어부는 고전위전압을 다수의 LED칩으로 전달하기 위해 배치된 트랜지스터들을 포함한다. 논리회로부는 다수의 LED칩의 애노드전극, 캐소드전극 및 애노드전극과 캐소드전극 사이의 노드에 걸리는 전압의 변동값에 기초하여 논리값들을 출력한다. 제어 회로부는 논리회로부로부터 출력되는 논리값들에 대응하여 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 선택적으로 제어한다.

[0012] 제어 회로부는 논리회로부로부터 출력되는 논리값들 중 적어도 하나가 다르면 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 턴온 시키는 제어신호를 출력할 수 있다.

[0013] 트랜지스터 제어부는 제1단자에 제1전극이 연결되고 제어 회로부의 제1출력단에 게이트전극이 연결된 제1A트랜지스터와, 제1A트랜지스터의 제2전극에 제1전극이 연결되고 제1LED칩의 캐소드전극과 제2LED칩의 애노드전극 사이의 노드에 제2전극이 연결되고 제어 회로부의 제2출력단에 게이트전극이 연결된 제1B트랜지스터와, 제1A트랜지스터의 제2전극에 제1전극이 연결되고 제어 회로부의 제3출력단에 게이트전극이 연결된 제2A트랜지스터와, 제2A트랜지스터의 제2전극에 제1전극이 연결되고 제2LED칩의 캐소드전극과 제3LED칩의 애노드전극 사이의 노드에 제2전극이 연결되고 제어 회로부의 제4출력단에 게이트전극이 연결된 제2B트랜지스터를 포함할 수 있다.

[0014] 논리회로부는 제1단자에 제1입력단이 연결되고 제1LED칩의 애노드전극에 제2입력단이 연결되고 제어 회로부의 제1입력단에 출력단이 연결된 제1논리회로와, 제1LED칩의 캐소드전극에 제1입력단이 연결되고 제1LED칩의 캐소드전극과 제2LED칩의 애노드전극 사이의 노드에 제2입력단이 연결되고 제어 회로부의 제2입력단에 출력단이 연결된 제2논리회로와, 제1LED칩의 캐소드전극과 제2LED칩의 애노드전극 사이의 노드에 제1입력단이 연결되고 제2LED칩의 애노드전극에 제2입력단이 연결되고 제어 회로부의 제3입력단에 출력단이 연결된 제3논리회로와, 제2LED칩의 캐소드전극에 제1입력단이 연결되고 제2LED칩의 캐소드전극과 제3LED칩의 애노드전극 사이의 노드에 제2입력단이 연결되고 제어 회로부의 제4입력단에 출력단이 연결된 제4논리회로를 포함할 수 있다.

[0015] 또 다른 측면에서 본 발명은 액정패널, 구동부 및 백라이트유닛을 포함하는 액정표시장치를 제공한다. 액정패널은 영상을 표시한다. 구동부는 액정패널을 구동한다. 백라이트유닛은 액정패널에 빛을 제공한다. 백라이트유닛은 고전위전압이 인가되는 제1단자와 저전위전압이 인가되는 제2단자 사이에 직렬 접속되어 배치된 다수의 LED칩과, 고전위전압을 다수의 LED칩으로 전달하기 위해 배치된 트랜지스터들을 포함하는 트랜지스터 제어부와, 다수의 LED칩의 애노드전극, 캐소드전극 및 애노드전극과 캐소드전극 사이의 노드에 걸리는 전압의 변동값에 기초하여 논리값들을 출력하는 논리회로부와, 논리회로부로부터 출력되는 논리값들에 대응하여 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 선택적으로 제어하는 제어 회로부를 포함한다.

[0016] 제어 회로부는 논리회로부로부터 출력되는 논리값들 중 적어도 하나가 다르면 트랜지스터 제어부에서 적어도 두 개의 트랜지스터를 턴온 시키는 제어신호를 출력할 수 있다.

발명의 효과

[0017] 본 발명은 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 LED칩이나 배선이 손상되더라도 이를 자체적으로 보상할 수 있어 구동의 안정성 및 신뢰성을 향상할 수 있는 효과가 있다. 또한, 본 발명은 LED칩의 손상이나 배선의 손상을 보상하는 보상 회로의 복잡도를 낮추어 장치의 구성에 따른 비용을 절감할 수 있는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 액정표시장치를 개략적으로 나타낸 블록도.
- 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도.
- 도 3은 종래의 LED 패키지를 나타낸 도면.
- 도 4는 실험예에 따른 LED 패키지를 나타낸 도면.
- 도 5는 본 발명의 제1실시예에 따른 LED 패키지를 나타낸 도면.
- 도 6은 도 5의 LED 패키지의 동작을 설명하기 위한 도면.
- 도 7은 또 다른 형태를 갖는 종래의 LED 패키지를 나타낸 도면.
- 도 8은 본 발명의 제2실시예에 따른 LED 패키지를 나타낸 도면.
- 도 9는 도 8의 LED 패키지의 논리회로를 더욱 자세히 나타낸 도면.
- 도 10 및 도 11은 도 8의 LED 패키지의 동작을 설명하기 위한 도면들.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 이하에서 설명되는 액정표시장치는 액정패널의 화소전극 및 공통전극의 구조에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현될 수 있다.
- [0021] 이하에서 설명되는 백라이트유닛 및 이를 이용한 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 디스플레이, 차량용 디스플레이 등 다양한 분야에 이용될 수 있다.
- [0022] 이하에서 설명되는 트랜지스터는 게이트전극을 제외하고 타입에 따라 소오스전극과 드레인전극 또는 드레인전극과 소오스전극으로 명명될 수 있는바, 이를 한정하지 않기 위해 제1전극과 제2전극으로 설명한다.
- [0023] 도 1은 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도이다.
- [0024] 도 1 및 도 2에 도시된 바와 같이 액정표시장치에는 영상 공급부(110), 타이밍 제어부(130), 게이트 구동부(140), 데이터 구동부(150), 액정패널(160), 전원공급부(180) 및 백라이트유닛(170)이 포함된다.
- [0025] 영상 공급부(110)는 데이터신호를 영상처리하고 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 클럭 신호 등과 함께 출력한다. 영상 공급부(110)는 LVDS(Low Voltage Differential Signaling) 인터페이스나 TMDS(Transition Minimized Differential Signaling) 인터페이스 등을 통해 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 및 데이터신호 등을 타이밍 제어부(130)에 공급한다.
- [0026] 타이밍 제어부(130)는 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(130)는 데이터 타이밍 제어신호(DDC)와 함께 영상처리부(110)로부터 공급된 데이터신호(DATA)를 데이터 구동부(150)에 공급한다.
- [0027] 게이트 구동부(140)는 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 게이트신호를 공급한다. 게이트 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 액정패널(160)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0028] 데이터 구동부(150)는 타이밍 제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 디지털 형태의 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압으로 변환하여 아날로그 형태의 데이터전압으로 출력한다. 데이터 구동부(150)는 1 프레임 주기로 데이터전압의 극성을 반전하여 출력할 수 있다. 데이터 구동부(150)는 데이터라인들(SL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 데이터전압(또는 데이터신호)을 공급한다. 데이터 구동부(150)는 IC(Integrated Circuit) 형태로 형성된다.

- [0029] 전원 공급부(180)는 고전위전압(VCC), 저전위전압(GND) 및 공통전압(VCOM)을 생성하고 출력한다. 고전위전압(VCC)과 저전위전압(GND)은 타이밍 제어부(130), 게이트 구동부(140) 및 데이터 구동부(150) 중 하나 이상에 공급된다. 공통전압(VCOM)은 액정패널(160)에 공급된다. 공통전압(VCOM)은 액정패널(160)의 공통전압라인(Vcom)을 통해 서브 픽셀들(SP)에 공급된다.
- [0030] 액정패널(160)은 게이트 구동부(140)로부터 공급된 게이트신호와 데이터 구동부(150)로부터 공급된 데이터전압에 대응하여 영상을 표시한다. 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들(SP)이 포함된다.
- [0031] 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 스위칭 트랜지스터(SW)의 게이트전극은 게이트라인(GL1)에 연결되고 소스전극은 데이터라인(SL1)에 연결된다. 스토리지 커패시터(Cst)는 스위칭 트랜지스터(SW)의 드레인전극에 일단이 연결되고 공통전압라인(Vcom)에 타단이 연결된다. 액정층(Clc)은 스위칭 트랜지스터(SW)의 드레인전극에 연결된 화소전극(1)과 공통전압라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다.
- [0032] 백라이트유닛(170)은 광을 출사하는 광원 등을 이용하여 액정패널(160)에 광을 제공한다. 백라이트유닛(170)은 발광다이오드(이하 LED), LED를 구동하는 LED구동부, LED가 실장된 LED기판, LED로부터 출사된 광을 면광원으로 변환시키는 도광판, 도광판의 하부에서 광을 반사시키는 반사판, 도광판으로부터 출사된 광을 집광 및 확산하는 광학시트류 등이 포함된다. 백라이트유닛(170)은 LED구동부로부터 출력된 펄스폭 변조 신호(Pulse Width Modulation)에 대응하여 점등과 소등 시간이 가변될 수 있다.
- [0033] 앞서 설명한 액정표시장치는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀 이외에 백색 서브 픽셀을 더 추가한 방식(이하, RGBW 타입 액정표시장치)으로도 개발 및 출시되고 있다. RGBW 타입 액정표시장치는 백색 서브 픽셀을 이용하여 액정패널의 휘도를 높일 수 있어 백라이트유닛(170)의 휘도를 낮추면서 소비전력을 절감할 수 있다.
- [0034] 한편, 백라이트유닛(170)은 LED 패키지를 기반으로 빛을 발광하는 광원을 형성한다. 그런데 종래에 제안된 LED 패키지는 내부에 존재하는 LED칩의 손상 또는 LED들 사이에 존재하는 배선이 단선 되면 모든 LED들이 꺼지는 구조적 취약점이 있어 이의 개선이 요구된다.
- [0035] 도 3은 종래의 LED 패키지를 나타낸 도면이고, 도 4는 실험예에 따른 LED 패키지를 나타낸 도면이다.
- [0036] 도 3에 도시된 바와 같이, 종래의 LED 패키지(LED1)의 내부에는 하나의 LED칩(LED)이 배치된다. LED칩(LED)의 애노드전극에는 고전위전압(VCC)이 인가되고 캐소드전극에는 저전위전압(GND)이 인가된다.
- [0037] 종래의 LED 패키지(LED1)는 내부에 배치된 LED칩(LED)이 손상되면 빛을 발광할 수 없다. 특히, 종래의 LED 패키지(LED1)는 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 LED칩(LED)이 손상되거나 내부에 존재하는 배선이 단선되는 등과 같은 이유로 빛을 발광할 수 없게 되는 일이 유발된다.
- [0038] 도 4에 도시된 바와 같이, 실험예는 도 3에 도시된 종래의 LED 패키지에서 발생하는 문제를 해결하기 위해 다수의 LED칩(LED1 ~ LED4)과 다수의 트랜지스터(T1 ~ T3)로 LED 패키지(LED1)가 구성된다.
- [0039] 실험예의 LED 패키지(LED1)는 제1LED칩(LED1)이 손상되면 로직하이의 제1제어신호(LS1)를 제1트랜지스터(T1)에 인가하여, 제1트랜지스터(T1)를 턴온시킨다. 그러면 고전위전압(VCC)은 턴온된 제1트랜지스터(T1)를 거쳐 제2LED칩(LED2)에 전달되고, 제1LED칩(LED1) 대신 제2LED칩(LED2)이 빛을 발광하게 된다. 이때, 제1제어신호(LS1)를 제외한 제2 및 제3제어신호(LS2, LS3)는 로직로우로 인가된다.
- [0040] 이와 같은 형태로 제2LED칩(LED2)이 손상되면 로직하이의 제2제어신호(LS2)를 제2트랜지스터(T2)에 인가하여, 제2트랜지스터(T2)를 턴온시키고 제2LED칩(LED2) 대신 제3LED칩(LED3)이 빛을 발광하도록 할 수 있다. 이때, 제2제어신호(LS2)를 제외한 제1 및 제3제어신호(LS1, LS3)는 로직로우로 인가된다.
- [0041] 실험예의 LED 패키지(LED1)는 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 특정 LED칩이 손상되거나 내부에 존재하는 배선이 단선 되더라도 다른 LED칩이 빛을 발광하게 된다.
- [0042] 그런데 실험예의 LED 패키지(LED1)는 어떤 LED칩이 손상되었는지 자체적으로 판단할 수 없는바 LED칩들이 정상적으로 빛을 발광하고 있는지 여부를 판단할 수 있는 센싱회로(예: 포토센서 등)가 추가되어야 한다. 또한, 센싱회로와 연동하여 특정 LED칩이 손상되면 다른 LED칩을 우회 동작시키기 위한 제어신호를 출력하는 제어 회로가 추가되어야 한다. 또한, 실험예의 LED 패키지(LED1)는 배선이 단선될 경우 이를 알 수 없어 인위적으로 제어

신호를 변경해 주어야 하는 등의 문제가 있다.

[0043] 그 결과 실험예의 LED 패키지(LED_P)는 추가 구성되어야 하는 회로 및 제어신호를 공급해 주기 위한 신호배선 등이 존재하여 회로의 복잡도가 증가함은 물론 장치 구성에 따른 비용이 증가하는 문제가 있었다.

[0044] <제1실시예>

[0045] 도 5는 본 발명의 제1실시예에 따른 LED 패키지를 나타낸 도면이고, 도 6은 도 5의 LED 패키지의 동작을 설명하기 위한 도면이다.

[0046] 도 5에 도시된 바와 같이, 본 발명의 제1실시예에 따른 LED 패키지(LED_P)는 다수의 LED칩(LED₁ ~ LED_n), 다수의 트랜지스터(T₁ ~ T_n) 및 논리회로(XOR₁ ~ XOR_n)로 구성된다.

[0047] 제1LED칩(LED₁)은 메인 LED칩(Main LED Chip)에 해당하고 나머지 제2 내지 제nLED칩(LED₂ ~ LED_n)은 보조 LED칩들(Sub LED Chip 1 ~ N)에 해당한다. 제1 내지 제n트랜지스터(T₁ ~ T_n)는 보조 LED칩들(Sub LED Chip 1 ~ N)을 동작시키는 보조 트랜지스터에 해당한다. 마찬가지로, 제1 내지 제n논리회로(XOR₁ ~ XOR_n)는 제1 내지 제n트랜지스터(T₁ ~ T_n)와 함께 보조 LED칩들(Sub LED Chip 1 ~ N)을 동작시키는 보조 논리회로에 해당한다.

[0048] 제1 내지 제nLED칩(LED₁ ~ LED_n)은 고전위전압(VCC)과 저전위전압(GND)이 인가되는 제1단자(PINA)와 제2단자(PINB) 사이에 병렬로 배치된다. 제1 내지 제n트랜지스터(T₁ ~ T_n)는 이들의 제1전극과 제2전극이 연결되도록 직렬로 배치된다. 제1 내지 제n논리회로(XOR₁ ~ XOR_n)는 각 트랜지스터들의 제1전극과 각 LED칩들의 애노드전극에 입력단들이 구분되어 연결되도록 병렬로 배치된다.

[0049] 제1LED칩(LED₁)의 애노드전극은 제1단자(PINA)에 접속되고 캐소드전극은 제2단자(PINB)에 접속된다. 제1트랜지스터(T₁)는 제1단자(PINA)에 제1전극이 연결되고 제2트랜지스터(T₂)의 제1전극에 제2전극이 연결되고 제1논리회로(XOR₁)의 출력단(S₁)에 게이트전극이 연결된다. 제1논리회로(XOR₁)는 제1단자(PINA) 및 제1트랜지스터(T₁)의 제1전극에 제1입력단이 연결되고 제1LED칩(LED₁)의 애노드전극에 제2입력단이 연결되고 제1트랜지스터(T₁)의 게이트전극에 출력단(S₁)이 연결된다.

[0050] 제2LED칩(LED₂)의 애노드전극은 제1트랜지스터(T₁)의 제2전극에 접속되고 캐소드전극은 제2단자(PINB)에 공통으로 접속된다. 제2트랜지스터(T₂)는 제1트랜지스터(T₁)의 제2전극에 제1전극이 연결되고 제3트랜지스터(T₃)의 제1전극에 제2전극이 연결되고 제2논리회로(XOR₂)의 출력단(S₂)에 게이트전극이 연결된다. 제2논리회로(XOR₂)는 제2트랜지스터(T₂)의 제1전극에 제1입력단이 연결되고 제2LED칩(LED₂)의 애노드전극에 제2입력단이 연결되고 제2트랜지스터(T₂)의 게이트전극에 출력단(S₂)이 연결된다.

[0051] 제3LED칩(LED₃)의 애노드전극은 제2트랜지스터(T₂)의 제2전극에 접속되고 캐소드전극은 제2단자(PINB)에 공통으로 접속된다. 제3트랜지스터(T₃)는 제2트랜지스터(T₂)의 제2전극에 제1전극이 연결되고 제4트랜지스터(T₄)의 제1전극에 제2전극이 연결되고 제3논리회로(XOR₃)의 출력단(S₃)에 게이트전극이 연결된다. 제3논리회로(XOR₃)는 제3트랜지스터(T₃)의 제1전극에 제1입력단이 연결되고 제3LED칩(LED₃)의 애노드전극에 제2입력단이 연결되고 제3트랜지스터(T₃)의 게이트전극에 출력단(S₃)이 연결된다.

[0052] 이하의 제4LED칩(LED₄), 제4트랜지스터(T₄), 제4논리회로(XOR₄) 내지 제nLED칩(LED_n), 제n트랜지스터(T_n), 제n논리회로(XOR_n) 또한 앞서 설명한 회로들과 같은 형태로 배치 및 접속되므로 이들에 대한 설명은 생략한다.

[0053] 도면을 통해 알 수 있듯이, 제1 내지 제n트랜지스터(T₁ ~ T_n)는 로직하이의 신호에 대응하여 턴온되는 N타입으로 선택된다. 제1 내지 제n논리회로(XOR₁ ~ XOR_n)는 배타적 논리합을 만드는 익스클루시브 오아 게이트(exclusive or gate)로 선택된다.

[0054] 익스클루시브 오아 게이트의 논리식은 $F = A (+) B$ 이다. F는 출력단, A 및 B는 입력단을 의미한다. 그리고 익스클루시브 오아 게이트의 진리표는 다음의 표 1과 같다.

표 1

[0055]

입력		출력
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

- [0056] 위의 표를 통해 알 수 있듯이, 익스클루시브 오아 게이트는 입력되는 두 입력값이 다르면 로직하이(또는 1)에 해당하는 출력값을 출력한다.
- [0057] 그러므로 제1 내지 제n논리회로(XOR1 ~ XORn)는 제1입력단과 제2입력단을 통해 다른 값이 입력되면 로직하이를 출력하게 된다. 그리고 제1 내지 제n트랜지스터(T1 ~ Tn) 중 게이트전극으로 로직하이를 입력받는 트랜지스터는 턴온 동작을 하게 된다.
- [0058] 이하, 도 6을 참조하여 제1LED칩(LED1)이 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 손상되거나 애노드전극과 제1단자(PINA) 사이에 존재하는 배선이 단선된 경우 제1실시예에 따른 LED 패키지(LED P)의 동작을 설명한다.
- [0059] 도 6에 도시된 바와 같이, 제1LED칩(LED1)이 손상되면 제1논리회로(XOR1)의 제1입력단에는 로직하이(1)가 입력되지만 제2입력단에는 로직로우(0)가 입력된다. 그 결과, 제1논리회로(XOR1)는 자신의 출력단(S1)을 통해 로직하이(1)의 신호를 출력하게 된다.
- [0060] 제1트랜지스터(T1)는 제1논리회로(XOR1)의 출력단(S1)으로부터 출력된 로직하이(1)의 신호에 의해 턴온된다. 그 결과, 제1단자(PINA)를 통해 입력되는 고전위전압(VCC)은 제1트랜지스터(T1)를 거쳐 제2LED칩(LED2)의 애노드전극으로 전달된다.
- [0061] 위의 설명을 통해 알 수 있듯이, 제1LED칩(LED1)이 손상되면 보조 회로의 동작으로 이와 이웃하는 제2LED칩(LED2)이 대신 동작하여 빛을 발광하게 된다. 이후 제2LED칩(LED2)이 손상되면 보조 회로의 동작으로 이와 이웃하는 제3LED칩(LED3)이 대신 동작하여 빛을 발광하게 된다.
- [0062] 그러므로 제1실시예에 따라 LED 패키지(LED P)의 내부에 포함된 보조 회로를 위와 같이 구성하면, 메인 LED칩(Main LED Chip)이나 이들의 배선이 손상되더라도 인접하는 보조 LED칩들(Sub LED Chip 1 ~ N)이 동작을 하게 된다. 그리고 보조 LED칩이나 이의 배선이 손상되더라도 그 다음 순번에 위치하는 보조 LED칩들이 차례대로 동작을 하게 된다.
- [0063] 제1실시예에 따른 LED 패키지(LED P)는 내부에 논리회로들이 더 포함되어 있어 어떤 LED칩이 손상되었는지 자체적으로 판단 및 제어신호를 출력할 수 있어 실험예와 같이 외부에 별도의 센싱회로(예: 포토센서 등)나 제어 회로를 추가하지 않아도 된다. 또한, 제1실시예는 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 LED칩이나 배선이 손상되더라도 이를 자체적으로 보상할 수 있어 회로의 복잡도를 낮출 수 있고 또한 장치의 구성에 따른 비용을 절감할 수 있다.
- [0064] 도 7은 또 다른 형태를 갖는 종래의 LED 패키지를 나타낸 도면이다.
- [0065] 도 7에 도시된 바와 같이, 종래에는 다수의 LED칩들(LED1 ~ LED5)을 배치하고 이들을 직렬로 접속시킨 체인(chain) 구조를 갖는 또 다른 형태의 LED 패키지(LED P)가 존재한다.
- [0066] 제1LED칩(LED1)의 애노드전극에는 제1단자(PINA)를 통해 공급된 고전위전압(VCC)이 인가되고 제5LED칩(LED5)의 캐소드전극에는 제2단자(PIB)를 통해 공급된 저전위전압(GND)이 인가된다.
- [0067] 종래의 LED 패키지(LED P)는 내부에 배치된 제1 내지 제5LED칩(LED1 ~ LED5) 중 하나가 손상되면 모든 LED칩이 빛을 발광할 수 없다. 특히, 종래의 LED 패키지(LED P)는 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 제1 내지 제5LED칩(LED1 ~ LED5) 중 하나가 손상되거나 내부에 존재하는 배선이 단선되는 등과 같은 이유로 모든 LED칩이 빛을 발광할 수 없는 일이 유발된다.
- [0068] <제2실시예>
- [0069] 도 8은 본 발명의 제2실시예에 따른 LED 패키지를 나타낸 도면이고, 도 9는 도 8의 LED 패키지의 논리회로를 더욱 자세히 나타낸 도면이며, 도 10 및 도 11은 도 8의 LED 패키지의 동작을 설명하기 위한 도면들이다.
- [0070] 도 8에 도시된 바와 같이, 본 발명의 제2실시예에 따른 LED 패키지(LED P)는 다수의 LED칩(LED1 ~ LED5), 트랜지스터 제어부(Transistor control part; TCP) 및 논리회로부(Open sensing circuit part; OSC P) 및 제어 회로부(Sub control circuit; SCC)로 구성된다. 트랜지스터 제어부(TCP), 논리회로부(OSC P) 및 제어 회로부(SCC) 중 하나 이상은 다수의 LED칩(LED1 ~ LED5)과 함께 LED 패키지(LED P)의 내부에 내장될 수 있다.
- [0071] 트랜지스터 제어부(TCP)는 LED칩들을 동작시키는 보조 트랜지스터에 해당한다. 마찬가지로, 논리회로부(OSC P)는

트랜지스터 제어부(TCP)와 함께 LED칩들을 동작시키는 보조 논리회로에 해당한다. 마찬가지로, 제어 회로부(SCC)는 LED칩들을 동작시키기 위해 트랜지스터 제어부(TCP)를 제어하는 보조 제어회로에 해당한다.

- [0072] 제1 내지 제5LED칩(LED1 ~ LED5)은 고전위전압(VCC)과 저전위전압(GND)이 인가되는 제1단자(PINA)와 제2단자(PINB) 사이에 직렬로 배치된다. 트랜지스터 제어부(TCP)는 한 쌍의 그룹(예: T10과 T12)마다 이들의 제1전극과 제2전극이 연결되도록 직렬로 배치된다. 논리회로부(OSCP)는 제1 내지 제5LED칩(LED1 ~ LED5)의 전극들과 이들 사이의 노드 그리고 트랜지스터 제어부(TCP)의 전극에 구분되어 연결되도록 배치된다.
- [0073] 제2실시예는 제1 내지 제5LED칩(LED1 ~ LED5) 중 하나가 손상되거나 내부에 존재하는 배선이 단선되는 문제가 발생하면 논리회로부(OSCP)로부터 출력되는 출력값에 변동이 발생한다.
- [0074] 논리회로부(OSCP)로부터 출력되는 논리값들은 제어 회로부(SCC)에 전달된다. 논리회로부(OSCP)로부터 출력되는 논리값들은 제1 내지 제5LED칩(LED1 ~ LED5)의 애노드전극, 캐소드전극 및 애노드전극과 캐소드전극 사이의 노드에 걸리는 전압의 변동값에 기초한다.
- [0075] 제어 회로부(SCC)는 논리값들을 기반으로 트랜지스터 제어부(TCP)에 포함된 제10 내지 제55트랜지스터(T10 ~ T55) 중 적어도 두 개를 턴온하여 문제 발생부분(단선부)을 우회시켜 다른 LED칩들이 정상적으로 빛을 발광하도록 한다. 이를 위해, 논리회로부(OSCP)는 제10 내지 제55트랜지스터(T10 ~ T55) 중 적어도 두 개를 선택적으로 동작시킴과 더불어 이들의 동작 우선순위를 결정(Priority decision)할 수 있도록 구현된다.
- [0076] 이하, 도 9를 참조하여 제1 내지 제5LED칩(LED1 ~ LED5), 트랜지스터 제어부(TCP) 및 논리회로부(OSCP) 및 제어 회로부(SCC)에 대한 설명을 더욱 구체화한다.
- [0077] 제1LED칩(LED1)의 애노드전극은 제1단자(PINA)에 접속되고 캐소드전극은 제2LED칩(LED2)의 애노드전극에 접속된다. 제2LED칩(LED2)의 애노드전극은 제1LED칩(LED1)의 캐소드전극에 접속되고 캐소드전극은 제3LED칩(LED3)의 애노드전극에 접속된다. 제3LED칩(LED3)의 애노드전극은 제2LED칩(LED2)의 캐소드전극에 접속되고 캐소드전극은 제4LED칩(LED4)의 애노드전극에 접속된다. 제4LED칩(LED4)의 애노드전극은 제3LED칩(LED3)의 캐소드전극에 접속되고 캐소드전극은 제5LED칩(LED5)의 애노드전극에 접속된다. 제5LED칩(LED5)의 애노드전극은 제4LED칩(LED4)의 캐소드전극에 접속되고 캐소드전극은 제2단자(PINB)에 접속된다.
- [0078] 제10트랜지스터(또는 제1A트랜지스터)(T10)는 제1단자(PINA)에 제1전극이 연결되고 제12트랜지스터(또는 제1B트랜지스터)(T12)의 제1전극에 제2전극이 연결되고 제어 회로부(SCC)의 제1출력단에 게이트전극이 연결된다. 제12트랜지스터(T12)는 제10트랜지스터(T10)의 제2전극에 제1전극이 연결되고 제1LED칩(LED1)의 캐소드전극과 제2LED칩(LED2)의 애노드전극 사이의 노드에 제2전극이 연결되고 제어 회로부(SCC)의 제2출력단에 게이트전극이 연결된다.
- [0079] 제20트랜지스터(또는 제2A트랜지스터)(T20)는 제10트랜지스터(T10)의 제2전극에 제1전극이 연결되고 제23트랜지스터(또는 제2B트랜지스터)(T23)의 제1전극에 제2전극이 연결되고 제어 회로부(SCC)의 제3출력단에 게이트전극이 연결된다. 제23트랜지스터(T23)는 제20트랜지스터(T20)의 제2전극에 제1전극이 연결되고 제2LED칩(LED2)의 캐소드전극과 제3LED칩(LED3)의 애노드전극 사이의 노드에 제2전극이 연결되고 제어 회로부(SCC)의 제4출력단에 게이트전극이 연결된다.
- [0080] 제30트랜지스터(또는 제3A트랜지스터)(T30)는 제20트랜지스터(T20)의 제2전극에 제1전극이 연결되고 제34트랜지스터(또는 제3B트랜지스터)(T34)의 제1전극에 제2전극이 연결되고 제어 회로부(SCC)의 제5출력단에 게이트전극이 연결된다. 제34트랜지스터(T34)는 제30트랜지스터(T30)의 제2전극에 제1전극이 연결되고 제3LED칩(LED3)의 캐소드전극과 제4LED칩(LED4)의 애노드전극 사이의 노드에 제2전극이 연결되고 제어 회로부(SCC)의 제6출력단에 게이트전극이 연결된다.
- [0081] 제40트랜지스터(또는 제4A트랜지스터)(T40)는 제30트랜지스터(T30)의 제2전극에 제1전극이 연결되고 제45트랜지스터(또는 제4B트랜지스터)(T45)의 제1전극에 제2전극이 연결되고 제어 회로부(SCC)의 제7출력단에 게이트전극이 연결된다. 제45트랜지스터(T45)는 제40트랜지스터(T40)의 제2전극에 제1전극이 연결되고 제4LED칩(LED4)의 캐소드전극과 제5LED칩(LED5)의 애노드전극 사이의 노드에 제2전극이 연결되고 제어 회로부(SCC)의 제8출력단에 게이트전극이 연결된다.
- [0082] 제50트랜지스터(또는 제5A트랜지스터)(T40)는 제40트랜지스터(T40)의 제2전극에 제1전극이 연결되고 제2단자(PINB)에 제2전극이 연결되고 제어 회로부(SCC)의 출력단에 게이트전극이 연결된다.
- [0083] 한편, 제10트랜지스터(T10) 및 제12트랜지스터(T12)는 제1그룹으로 정의될 수 있고, 제20트랜지스터(T20) 및 제

23트랜지스터(T23)는 제2그룹으로 정의될 수 있고, 제30트랜지스터(T30) 및 제34트랜지스터(T34)는 제3그룹으로 정의될 수 있고, 제40트랜지스터(T40) 및 제45트랜지스터(T45)는 제4그룹으로 정의될 수 있다. 제50트랜지스터(T50)는 이하에 LED칩이 더 추가되는 경우 제1 내지 제4그룹과 같이 한 쌍의 그룹으로 정의될 수 있다.

- [0084] 논리회로부(OSCP)는 제1 내지 제9논리회로(XOR1 ~ XOR9)를 포함한다. 논리회로부(OSCP)에 포함된 논리회로들의 개수는 LED칩들(LED1 ~ LED5)과 트랜지스터 제어부(TCP)의 구성에 대응하여 결정된다.
- [0085] 제1논리회로(XOR1)는 제1단자(PINA)에 제1입력단이 연결되고 제1LED칩(LED1)의 애노드전극에 제2입력단이 연결되고 제어 회로부(SCC)의 제1입력단(A1)에 출력단이 연결된다.
- [0086] 제2논리회로(XOR2)는 제1LED칩(LED1)의 캐소드전극에 제1입력단이 연결되고 제1LED칩(LED1)의 캐소드전극과 제2LED칩(LED2)의 애노드전극 사이의 노드에 제2입력단이 연결되고 제어 회로부(SCC)의 제2입력단(A2)에 출력단이 연결된다.
- [0087] 제3논리회로(XOR3)는 제1LED칩(LED1)의 캐소드전극과 제2LED칩(LED2)의 애노드전극 사이의 노드에 제1입력단이 연결되고 제2LED칩(LED2)의 애노드전극에 제2입력단이 연결되고 제어 회로부(SCC)의 제3입력단(B1)에 출력단이 연결된다.
- [0088] 제4논리회로(XOR4)는 제2LED칩(LED2)의 캐소드전극에 제1입력단이 연결되고 제2LED칩(LED2)의 캐소드전극과 제3LED칩(LED3)의 애노드전극 사이의 노드에 제2입력단이 연결되고 제어 회로부(SCC)의 제4입력단(B2)에 출력단이 연결된다.
- [0089] 제5논리회로(XOR5)는 제2LED칩(LED2)의 캐소드전극과 제3LED칩(LED3)의 애노드전극 사이의 노드에 제1입력단이 연결되고 제3LED칩(LED3)의 애노드전극에 제2입력단이 연결되고 제어 회로부(SCC)의 제5입력단(C1)에 출력단이 연결된다.
- [0090] 제6논리회로(XOR6)는 제3LED칩(LED3)의 캐소드전극에 제1입력단이 연결되고 제3LED칩(LED3)의 캐소드전극과 제4LED칩(LED4)의 애노드전극 사이의 노드에 제2입력단이 연결되고 제어 회로부(SCC)의 제6입력단(C2)에 출력단이 연결된다.
- [0091] 제7논리회로(XOR7)는 제3LED칩(LED3)의 캐소드전극과 제4LED칩(LED4)의 애노드전극 사이의 노드에 제1입력단이 연결되고 제4LED칩(LED4)의 애노드전극에 제2입력단이 연결되고 제어 회로부(SCC)의 제7입력단(D1)에 출력단이 연결된다.
- [0092] 제8논리회로(XOR8)는 제4LED칩(LED4)의 캐소드전극에 제1입력단이 연결되고 제4LED칩(LED4)의 캐소드전극과 제5LED칩(LED5)의 애노드전극 사이의 노드에 제2입력단이 연결되고 제어 회로부(SCC)의 제8입력단(D2)에 출력단이 연결된다.
- [0093] 제9논리회로(XOR9)는 제4LED칩(LED4)의 캐소드전극과 제5LED칩(LED5)의 애노드전극 사이의 노드에 제1입력단이 연결되고 제5LED칩(LED5)의 애노드전극에 제2입력단이 연결되고 제어 회로부(SCC)의 제9입력단(E)에 출력단이 연결된다.
- [0094] 제1 내지 제9논리회로(XOR1 ~ XOR9)는 배타적 논리합을 만드는 익스클루시브 오아 게이트(exclusive or gate)로 선택된다.
- [0095] 익스클루시브 오아 게이트의 논리식은 $F = A (+) B$ 이다. F는 출력단, A 및 B는 입력단을 의미한다. 그리고 익스클루시브 오아 게이트의 진리표는 다음의 표 2와 같다.

표 2

[0096]

입력		출력
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

[0097] 위의 표를 통해 알 수 있듯이, 익스클루시브 오아 게이트는 입력되는 두 입력값이 다르면 로직하이(또는 1)에

해당하는 출력값을 출력한다.

- [0098] 제어 회로부(SCC)는 자신의 입력단들(A1 ~ E)을 통해 입력된 제1 내지 제9논리회로(XOR1 ~ XOR9)의 출력을 조합하여 트랜지스터 제어부(TCP)에 포함된 트랜지스터들을 제어하기 위한 제어신호를 생성한다.
- [0099] 제어 회로부(SCC)는 자신의 제1입력단(A1)과 제2입력단(A2)으로 들어온 신호에 기초하여 제10트랜지스터(T10)를 제어하는 제1제어신호를 출력한다. 제어 회로부(SCC)는 자신의 제1입력단(A1), 제2입력단(A2) 및 제3입력단(B1)으로 들어온 신호에 기초하여 제12트랜지스터(T12)를 제어하는 제2제어신호를 출력한다.
- [0100] 제어 회로부(SCC)는 자신의 제3입력단(B1)과 제4입력단(B2)으로 들어온 신호에 기초하여 제20트랜지스터(T20)를 제어하는 제3제어신호를 출력한다. 제어 회로부(SCC)는 자신의 제3입력단(B1), 제4입력단(B2) 및 제5입력단(C1)으로 들어온 신호에 기초하여 제23트랜지스터(T23)를 제어하는 제4제어신호를 출력한다.
- [0101] 제어 회로부(SCC)는 자신의 제5입력단(C1)과 제6입력단(C2)으로 들어온 신호에 기초하여 제30트랜지스터(T30)를 제어하는 제5제어신호를 출력한다. 제어 회로부(SCC)는 자신의 제5입력단(C1), 제6입력단(C2) 및 제7입력단(D1)으로 들어온 신호에 기초하여 제34트랜지스터(T34)를 제어하는 제6제어신호를 출력한다.
- [0102] 제어 회로부(SCC)는 자신의 제7입력단(D1)과 제8입력단(D2)으로 들어온 신호에 기초하여 제40트랜지스터(T40)를 제어하는 제7제어신호를 출력한다. 제어 회로부(SCC)는 자신의 제7입력단(D1), 제8입력단(D2) 및 제9입력단(E)으로 들어온 신호에 기초하여 제45트랜지스터(T45)를 제어하는 제8제어신호를 출력한다.
- [0103] 제어 회로부(SCC)는 자신의 제9입력단(E)으로 들어온 신호에 기초하여 제50트랜지스터(T50)를 제어하는 제9제어신호를 출력한다.
- [0104] 제어 회로부(SCC)는 트랜지스터 제어부(TCP)에 포함된 트랜지스터들을 제어하기 위한 제어신호를 생성하기 위해, 오아 게이트(or gate)를 이용하여 자신의 입력단들에 들어온 신호를 더한다. 그리고 제어 회로부(SCC)는 자신의 입력단들에 들어온 신호에 대한 조합 논리(Combinational logic)에 기초하여 트랜지스터 제어부(TCP)에 포함된 트랜지스터들을 제어하기 위한 제어신호를 생성한다.
- [0105] 한편, 제2실시예에서는 논리회로부(OSCP) 및 제어 회로부(SCC)가 별도의 회로 블록으로 구분된 것으로 도시 및 설명하였으나 두 회로부는 하나로 통합될 수 있다. 또한, 트랜지스터 제어부(TCP), 논리회로부(OSCP) 및 제어 회로부(SCC) 중 적어도 하나는 LED칩들과 함께 LED 패키지(LEDP) 내에 구성될 수 있다.
- [0106] 이하, 제어 회로부(SCC)의 조합 논리와 그 결과값이 전달되는 트랜지스터들의 관계를 일목요연하게 표현하면 다음과 같다. 이하에서 +는 제어 회로부(SCC) 내에서 이루어지는 오아 게이트 연산을 의미한다.
- [0107] $[TR10 = A1 + A2]$, A1 및 A2 중 하나가 로직하이가 되면 TR10은 턴온 동작
- [0108] $[TR12 = A1 + A2 + B1]$, A1, A2 및 B1 중 하나가 로직하이가 되면 TR12는 턴온 동작
- [0109] $[TR20 = B1 + B2]$, B1 및 B2 중 하나가 로직하이가 되면 TR20은 턴온 동작
- [0110] $[TR23 = B1 + B2 + C1]$, B1, B2 및 C1 중 하나가 로직하이가 되면 TR23은 턴온 동작
- [0111] $[TR30 = C1 + C2]$, C1 및 C2 중 하나가 로직하이가 되면 TR30은 턴온 동작
- [0112] $[TR34 = C1 + C2 + D1]$, C1, C2 및 D1 중 하나가 로직하이가 되면 TR34는 턴온 동작
- [0113] $[TR40 = D1 + D2]$, D1 및 D2 중 하나가 로직하이가 되면 TR40은 턴온 동작
- [0114] $[TR45 = D1 + D2 + E]$, D1, D2 및 E1 중 하나가 로직하이가 되면 TR45는 턴온 동작
- [0115] $[TR50 = E]$ E1이 로직하이가 되면 TR50은 턴온 동작
- [0116] 이하, 도 10 및 도 11의 예를 통해 제2실시예의 동작을 설명하면 다음과 같다.
- [0117] 도 10에 도시된 바와 같이, 제1LED칩(LED1)이 손상된 경우(OFF), A1, A2 및 B1 중 하나가 로직하이가 되는 조건이 성립된다. 이에 따라, 제1그룹에 포함된 제10트랜지스터(T10) 및 제12트랜지스터(T12)는 턴온된다.
- [0118] 그 결과, 고전위전압(VCC)은 제10트랜지스터(T10) 및 제12트랜지스터(T12)를 거쳐 제2LED칩(LED2)에 전달되므로 제1LED칩(LED1)을 제외하고 제2 내지 제5LED칩(LED2 ~ LED5)이 빛을 발광하게 된다. 이 경우, 손상된 제1LED칩(LED1)을 제외하고 미손상된 제2 내지 제5LED칩(LED2 ~ LED5)을 구동하기 위해 2개의 트랜지스터가 턴온된다.
- [0119] 도 11에 도시된 바와 같이, 제2LED칩(LED2)이 손상된 경우(OFF), A1, A2, B1, B2, C1 중 하나가 로직하이가 되

는 조건이 성립된다. 이에 따라, 제2그룹에 포함된 제23트랜지스터(T23)와 더불어 제3그룹에 포함된 제30트랜지스터(T30) 및 제34트랜지스터(T34)는 턴온된다.

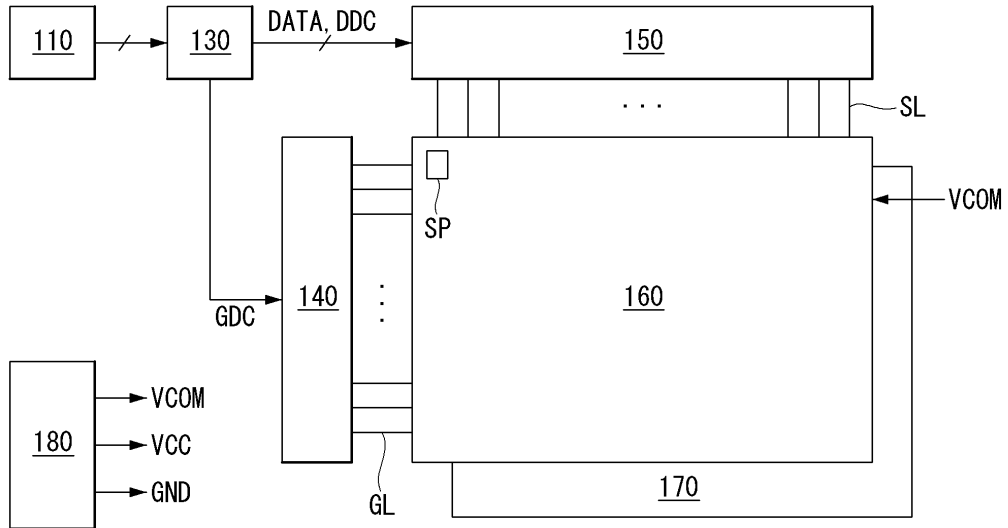
- [0120] 그 결과, 고전위전압(VCC)은 제23트랜지스터(T23), 제30트랜지스터(T30) 및 제34트랜지스터(T34)를 거쳐 제3LED칩(LED3)에 전달되므로 제2LED칩(LED2)를 제외하고 제1LED칩(LED1)과 제3 내지 제5LED칩(LED3 ~ LED5)이 빛을 발광하게 된다. 이 경우, 손상된 제2LED칩(LED2)를 제외하고 미손상된 제1LED칩(LED1)과 제3 내지 제5LED칩(LED3 ~ LED5)을 구동하기 위해 3개의 트랜지스터가 턴온된다.
- [0121] 제2실시예와 같이 손상된 LED칩을 제외하고 미손상된 LED칩들이 빛을 발광하도록 직렬접속형으로 LED칩을 구성하면, 일부 LED칩의 손상은 물론 배선의 단선시에도 광원의 성능을 보장할 수 있게 된다.
- [0122] 한편, 위의 설명을 통해 알 수 있듯이, 트랜지스터 제어부(TCP)에 포함된 트랜지스터들은 손상된 LED칩을 우회하고 다른 LED칩들을 구동하기 위해 같은 그룹 내에 포함되지 않더라도 2개 또는 3개씩 짝을 이루며 동시에 턴온 될 수 있다. 그러므로 제2실시예에서는 설명의 편의상 트랜지스터 제어부(TCP)에 포함된 트랜지스터들을 한 쌍씩 그룹으로 정의하였을 뿐이다.
- [0123] 그러므로 제2실시예에 따라 LED 패키지(LEDIP)의 내부에 포함된 보조 회로를 위와 같이 구성하면, 특정 LED칩이나 이의 배선이 손상되더라도 다른 LED칩들이 모두 동작을 하게 된다. 그리고 특정 LED칩이나 이의 배선이 손상되면 우회 경로가 생성되므로 다른 LED칩들이 안정적인 동작을 하게 된다.
- [0124] 제2실시예에 따른 LED 패키지(LEDIP)는 내부에 논리회로들 및 제어 회로가 더 포함되어 있어 어떤 LED칩이 손상되었는지 자체적으로 판단 및 제어신호를 출력할 수 있다. 그러므로 실험예와 같이 외부에 별도의 센싱회로(예: 포토센서 등) 등을 추가하지 않아도 된다. 또한, 제2실시예는 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 LED칩이나 배선이 손상되더라도 이를 자체적으로 보상할 수 있어 회로의 복잡도를 낮출 수 있고 또한 장치의 구성에 따른 비용을 절감할 수 있다.
- [0125] 이상 본 발명은 외부의 물리적 충격 또는 내부의 전기적 충격으로 인하여 LED칩이나 배선이 손상되더라도 이를 자체적으로 보상할 수 있어 구동의 안정성 및 신뢰성을 향상할 수 있는 효과가 있다. 또한, 본 발명은 LED칩의 손상이나 배선의 손상을 보상하는 보상 회로의 복잡도를 낮추어 장치의 구성에 따른 비용을 절감할 수 있는 효과가 있다.
- [0126] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

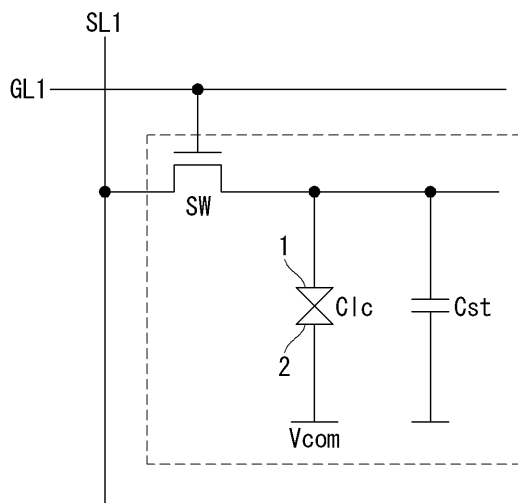
- [0127] 110: 영상 공급부 130: 타이밍 제어부
- 140: 게이트 구동부 150: 데이터 구동부
- 160: 액정패널 180: 전원공급부
- 170: 백라이트유닛 LEDP: LED 패키지
- LED1 ~ LEDn: LED칩 T1 ~ Tn: 다수의 트랜지스터
- XOR1 ~ XORn: 논리회로 TCP: 트랜지스터 제어부
- OSCP: 논리회로부 SCC: 제어 회로부

도면

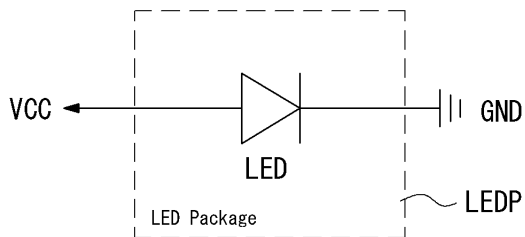
도면1



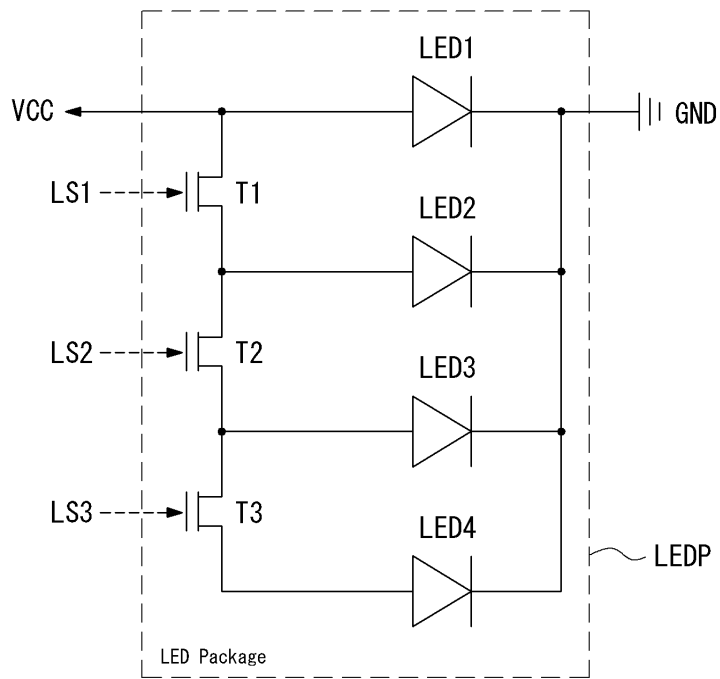
도면2



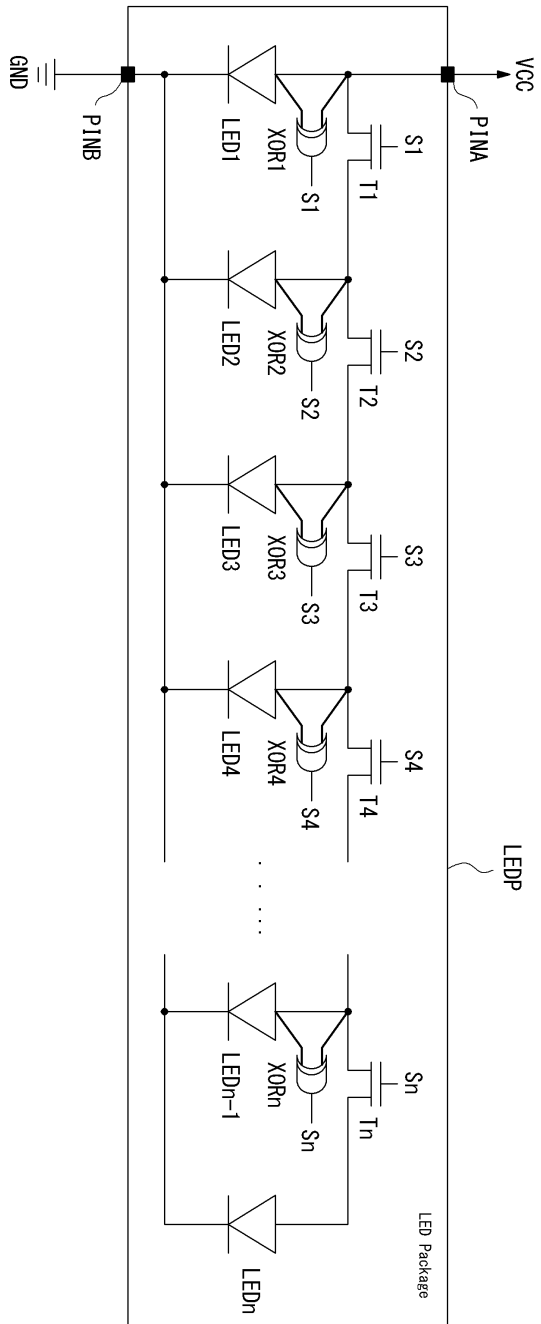
도면3



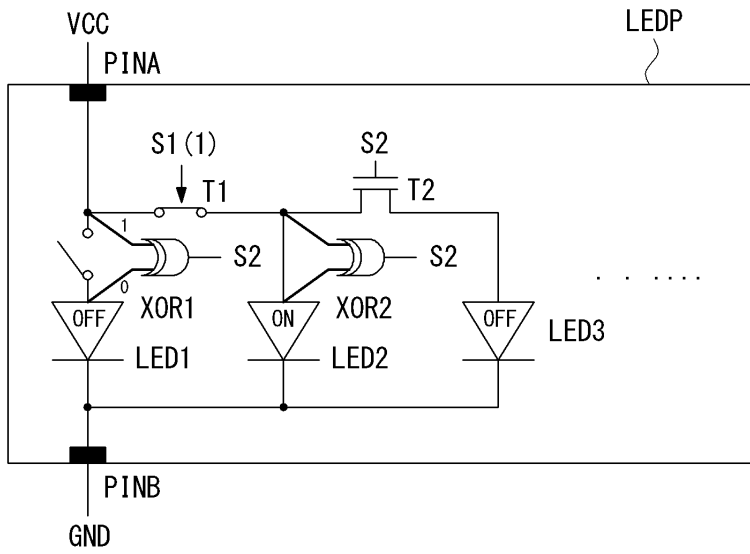
도면4



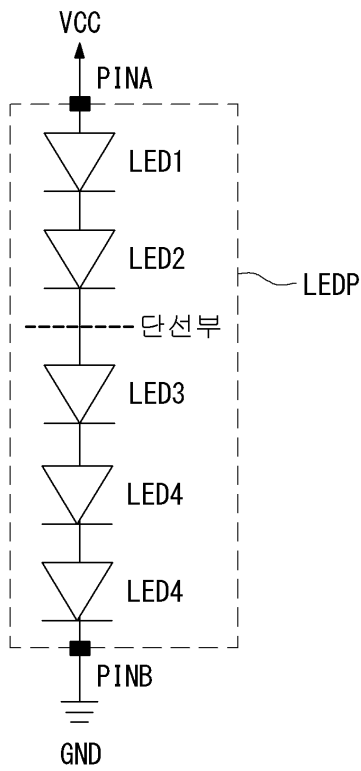
도면5



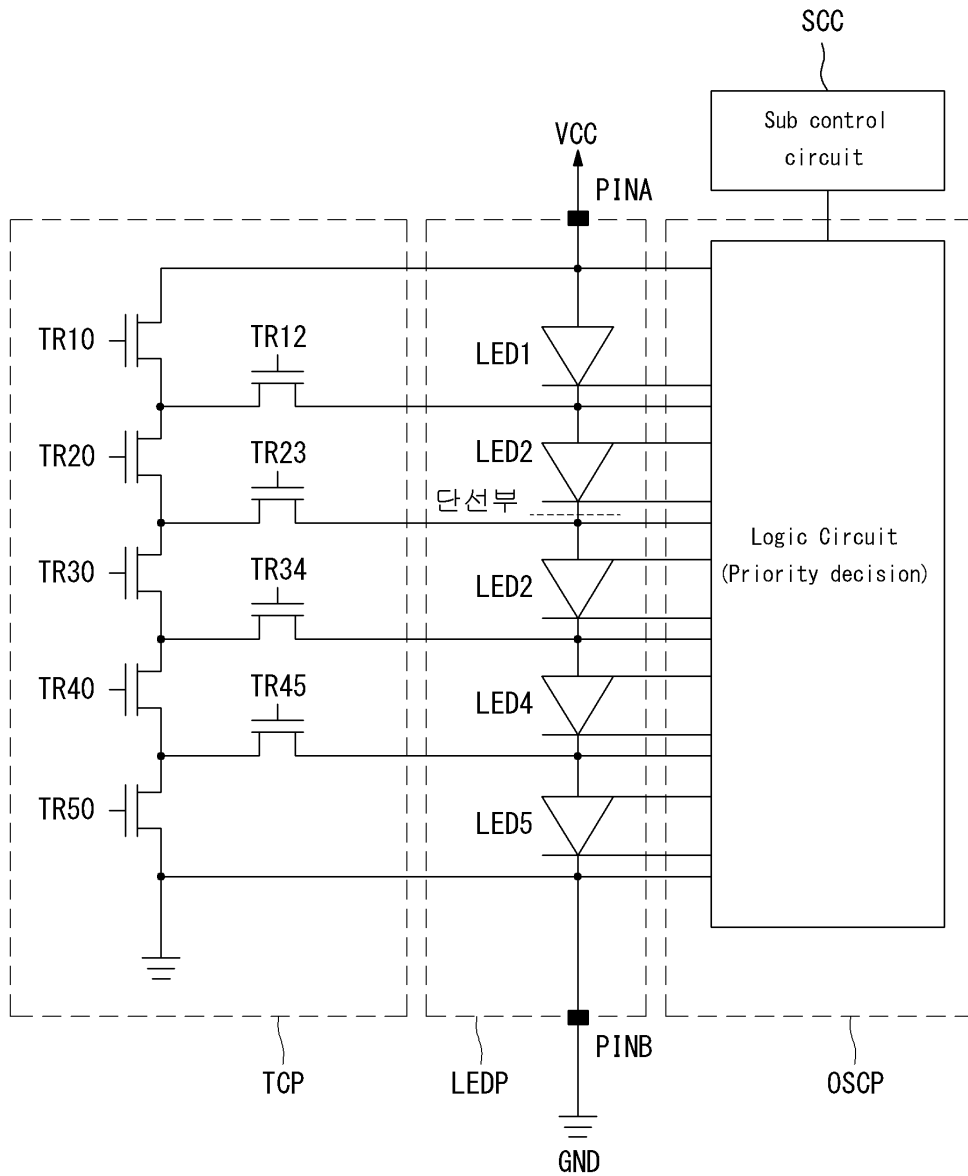
도면6



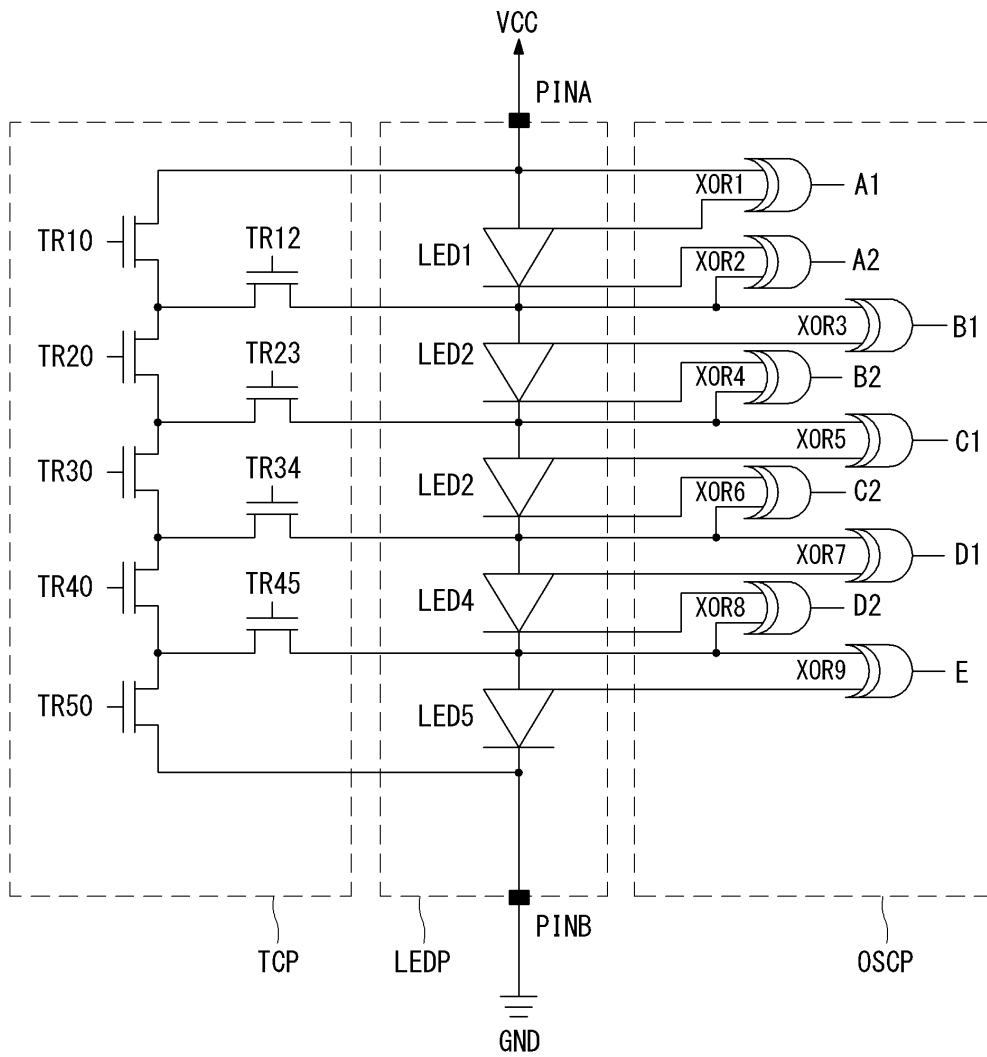
도면7



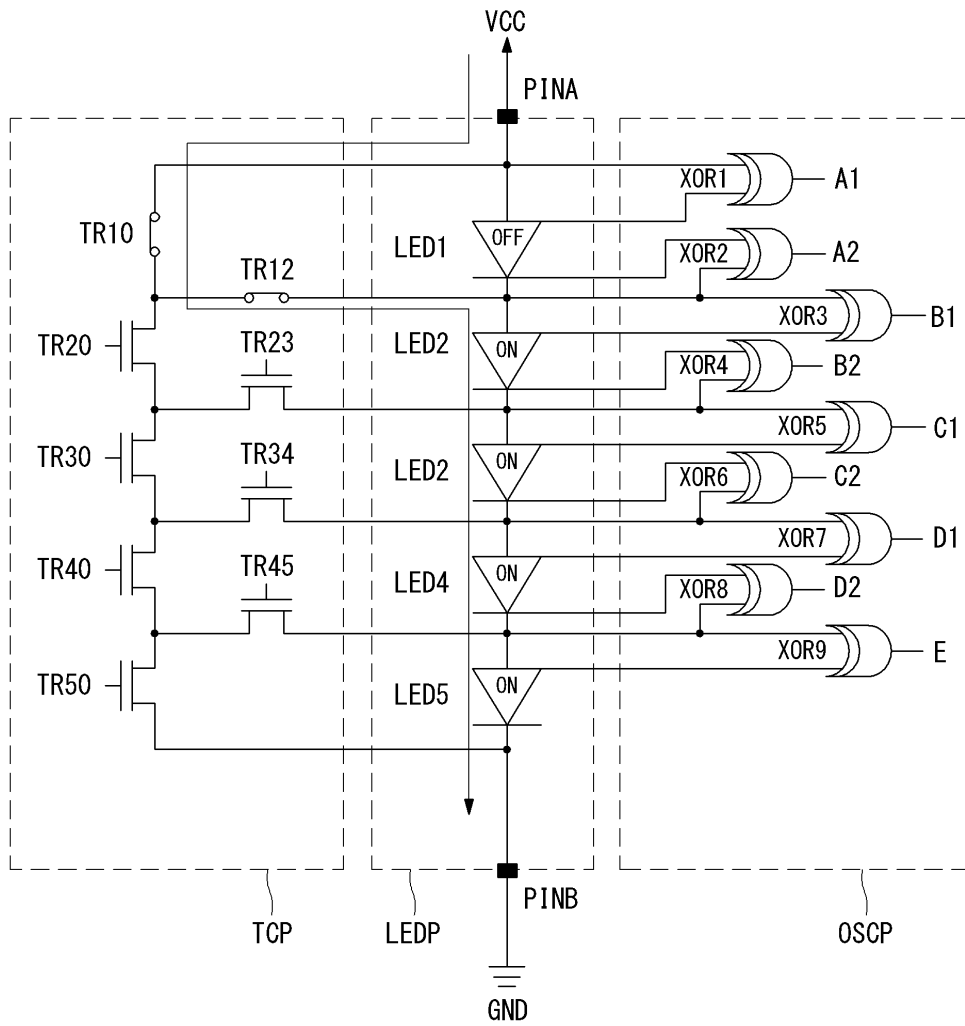
도면8



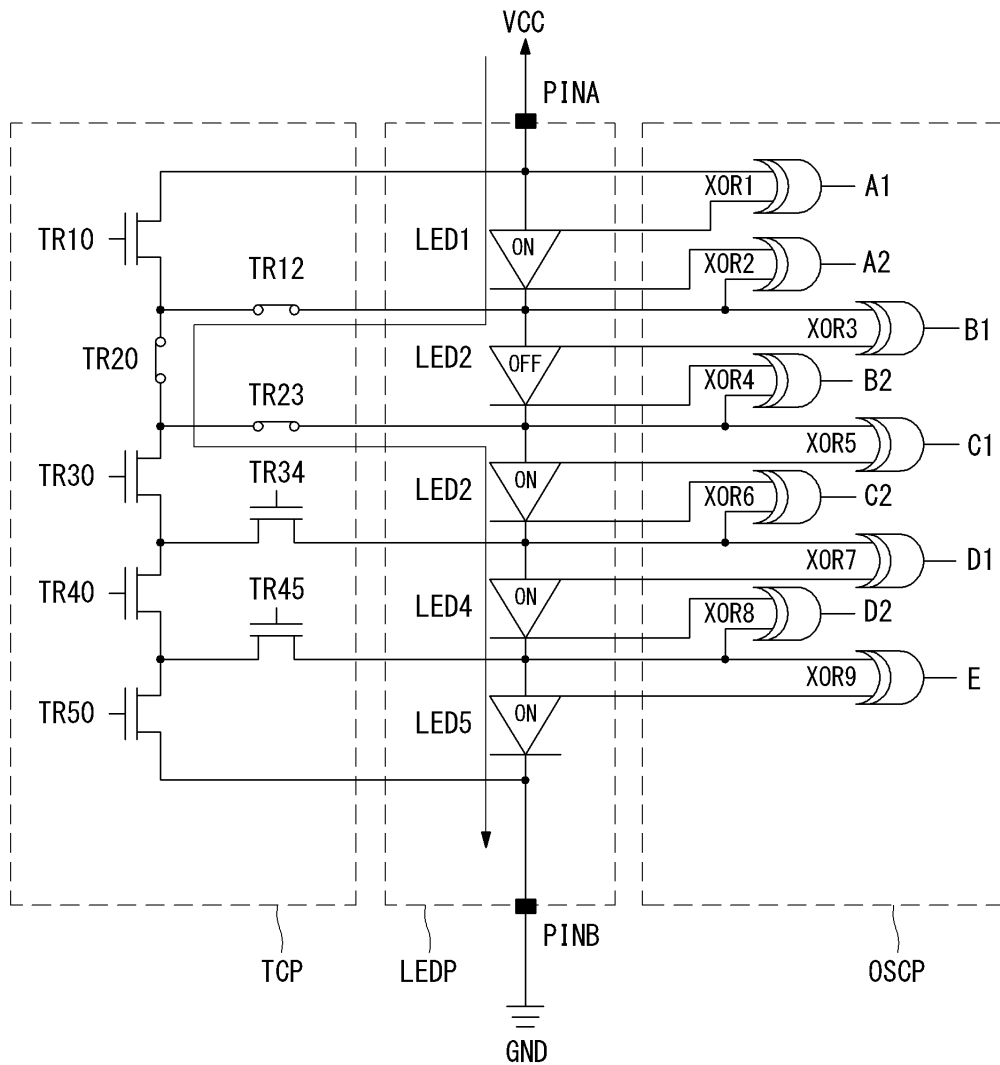
도면9



도면10



도면11



专利名称(译)	背光单元和使用它的液晶显示器		
公开(公告)号	KR1020180025432A	公开(公告)日	2018-03-09
申请号	KR1020160111147	申请日	2016-08-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIM JAE HYUK 심재혁 KIM KWANG SUP 김광섭		
发明人	심재혁 김광섭		
IPC分类号	G09G3/34		
CPC分类号	G09G3/3406 G09G2330/08 G09G2320/062		
外部链接	Espacenet		

摘要(译)

本发明提供一种背光单元，包括多个LED芯片，至少一个晶体管 and 至少一个逻辑电路。多个LED芯片包括：主LED芯片，设置在施加高电位电压的第一端子和施加低电位电压的第二端子之间；以及至少一个辅助LED芯片，其与主LED芯片并联布置。设置至少一个晶体管以将高电位电压传递到至少一个辅助LED芯片。至少一个逻辑电路控制对应于高电位电压的至少一个晶体管和通过多个LED芯片的阳极电极输入的电压。

