



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0013419
(43) 공개일자 2018년02월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)

(52) CPC특허분류
G09G 3/3614 (2013.01)
G09G 3/3648 (2013.01)

(21) 출원번호 10-2016-0097128

(22) 출원일자 2016년07월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조창훈

경상북도 구미시 인동가산로 337-7, 201동 1503호(구평동, 구평 영무예다음2차 아파트)

(74) 대리인

박영복

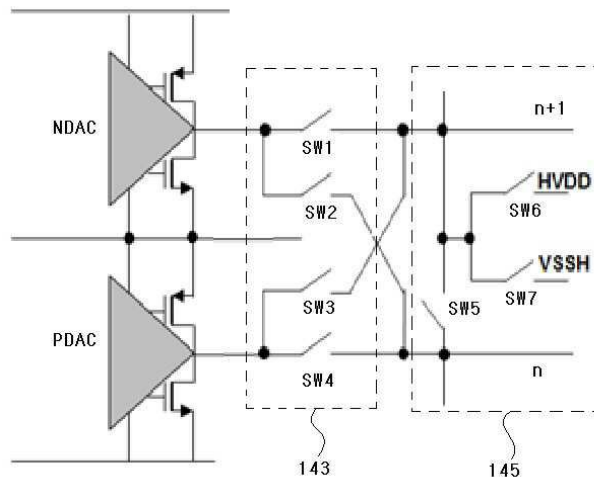
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 액정표시장치의 데이터 구동 회로 및 구동 방법

(57) 요약

본 발명은 액정표시장치의 데이터 구동회로 및 구동 방법에 관한 것으로, 데이터 구동부의 차지 웨어 회로에 HVDD 또는 VSSH 레벨을 선택할 수 있는 스위칭소자를 더 추가하고 상기 스위칭소자를 제어하여, 파워 온 시 상기 차지 웨어 회로를 구성하는 트랜지스터의 항복 전압을 개선하고 순간적으로 백색 이 표시되는 문제를 해결할 수 있는 것에 관한 것이다.

대표도 - 도4



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2310/0286 (2013.01)

G09G 2320/0673 (2013.01)

명세서

청구범위

청구항 1

타이밍 제어부로부터 출력된 소스 스타트 펄스와 소스 샘플링 클럭에 응답하여 샘플링 신호를 출력하는 시프트 레지스터;

상기 샘플링 신호에 응답하여 디지털 형태의 데이터 신호를 순차적으로 샘플링하고 소스 출력 인에이블 신호(SOE)에 대응하여 샘플링된 1 라인분의 데이터 신호를 동시에 출력하는 래치부;

제 1 내지 제 n 감마 계조 전압에 대응하여 1 라인 분의 데이터 신호를 아날로그 데이터 전압으로 변환하고 극성 제어신호에 대응하여 정극성(+) 데이터 전압과 부극성(-) 데이터 전압으로 변환하여 출력하는 DA변환부;

상기 정극성 데이터 전압과 상기 부극성 데이터 전압을 이웃하는 채널로 교번하여 출력하는 스위치 어레이; 그리고

상기 이웃하는 채널에 전하를 공유하고, 가비지 표시 구간 후 1 수평 기간 동안 VSSH 전압을 공급하고, 소정 수평 기간 동안 HVDD 전압을 공급하는 차지 제어부를 구비한 액정표시장치의 데이터 구동회로.

청구항 2

제 1 항에 있어서,

상기 차지 제어부는 상기 이웃하는 채널이 전하를 공유하도록 스위칭하는 제 1 스위칭소자와,

가비지 표시 구간 후 1 수평 기간 동안 VSSH 전압을 상기 전하를 공유한 채널에 공급하는 제 2 스위칭소자와,

소정 수평 기간 동안 HVDD 전압을 상기 전하를 공유한 채널에 공급하는 제 3 스위칭소자를 구비하는 액정표시장치의 데이터 구동회로.

청구항 3

제 1 항에 있어서,

상기 소정 수평 기간은 5 수평 기간 내지 10 수평 기간인 액정표시장치의 데이터 구동회로.

청구항 4

인접한 채널의 데이터 라인들에 잔류하는 전하를 공유시키는 단계;

파워가 온되고, 게이트 스타트 펄스가 인가되 전의 가비지 표시 기간 후, 1 수평 기간 동안 상기 공유된 상기 채널에 VSSH 전압을 인가하는 단계;

소정 수평 기간 동안 상기 공유된 상기 채널에 HVDD 전압을 인가하는 단계; 그리고, 상기 인접한 채널에 각각 정극성 데이터 전압 또는 부극성 데이터 전압을 인가하는 단계로 이루어진 액정표시장치의 구동 방법.

청구항 5

제 4 항에 있어서,

상기 소정 수평 기간은 5 수평 기간 내지 10 수평 기간인 액정표시장치의 구동 방법.

발명의 설명

기술 분야

[0001]

본 발명은 액정표시장치에 관한 것으로, 특히 파워 온 시 순간적인 백색 화면을 방지하고, 데이터 구동회로의 차지 제어링 스위칭소자의 항복 전압(Breakdown voltage) 특성을 개선하기 위한 액정표시장치의 데이터 구동회로 및 구동 방법에 관한 것이다.

배경 기술

- [0002] 최근 디지털 데이터를 이용하여 영상을 표시하는 평판 표시 장치로는 액정을 이용한 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치 등이 대표적이다.
- [0003] 이들 중 액정 표시장치는 영상을 표시하는 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 액정패널과, 상기 액정패널을 구동하기 위한 구동부로 구성된다. 상기 구동부는 상기 복수개의 게이트 라인들을 구동하는 게이트 구동부와, 상기 복수개의 데이터 라인들을 구동하는 데이터 구동부와, 상기 게이트 구동부와 상기 데이터 구동부에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 컨트롤러 등으로 이루어진다.
- [0004] 한편, 상기 액정패널의 액정 셀에 동일 극성의 전압이 계속해서 인가될 경우 상기 액정 셀이 열화되므로, 프레임 인버전(Frame Inversion) 방식, 라인 인버전(Line Inversion) 방식, 컬럼 인버전(Column Inversion) 방식 및 도트 인버전(Dot Inversion) 방식 등과 같은 인버전 구동방법이 사용된다. 이러한 인버전 방식으로 액정패널을 구동하게 되면, 데이터 신호의 극성을 계속해서 반전시켜야 하므로 많은 소비전력이 소모된다. 따라서 차지 셰어 회로(Charge Share Circuit)를 이용하여 데이터 신호의 극성을 반전시키면서 정극성 데이터 신호와 부극성 데이터 신호의 중간 레벨을 갖는 전압으로 데이터 라인을 차지(Charge) 함으로써, 데이터 라인들의 전압 변동폭을 감소시킨다.
- [0005] 상기 차지 셰어 회로는 복수개의 스위칭소자로 구성된다.
- [0006] 상기 차지 셰어 회로를 구성하는 복수개의 스위칭소자로 MOS 트랜지스터가 이용되고, 최근에는 고집적화로 인해 HV급 MOS 트랜지스터 대신에 MV급 MOS 트랜지스터를 이용하고 있다.
- [0007] 상기 MV급 MOS 트랜지스터는 HV급 MOS 트랜지스터에 비해 전류(Current) 특성은 약 15% 정도 향상되었으나, 항복 전압은 1/2로 감소되었다.
- [0008] 따라서, 액정표시장치의 파워 온(Power ON) 시 약 8V까지 인가되므로 상기 차지 셰어 회로를 구성하는 MV급 MOS 트랜지스터의 항복 전압 문제가 발생하게 된다. 또한, 상기 MV급 MOS 트랜지스터의 항복 전압 문제를 해결하기 위하여 출력 레벨을 HVDD 레벨(약 4V)로 맞추는 경우, 파워 온(Power ON) 시 순간적으로 백색이 표시되는 문제가 있었다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 이와 같은 문제점을 해결하기 위해 안출한 것으로, 데이터 구동부의 차지 셰어 회로에 HVDD 또는 VSSH 레벨을 선택할 수 있는 스위칭소자를 더 추가하고 상기 스위칭소자를 제어하여, 파워 온 시 상기 차지 셰어 회로를 구성하는 트랜지스터의 항복 전압을 개선하고 순간적으로 백색이 표시되는 문제를 해결할 수 있는 액정표시장치의 데이터 구동회로 및 구동 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0010] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 데이터 구동회로는, 상기 이웃하는 채널에 전하를 공유하고, 가비지 표시 구간 후 1 수평 기간 동안 VSSH 전압을 공급하고, 소정 수평 기간 동안 HVDD 전압을 공급하는 차지 셰어부를 구비함에 그 특징이 있다.
- [0011] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동 방법은, 인접한 채널의 데이터 라인들에 잔류하는 전하를 공유시키는 단계; 파워가 온되고, 게이트 스타트 펄스가 인가되 전의 가비지 표시 기간 후, 1 수평 기간 동안 상기 공유된 상기 채널에 VSSH 전압을 인가하는 단계; 소정 수평 기간 동안 상기 공유된 상기 채널에 HVDD 전압을 인가하는 단계; 그리고, 상기 인접한 채널에 각각 정극성 데이터 전압 또는 부극성 데이터 전압을 인가하는 단계로 이루어짐에 또 다른 특징이 있다.

발명의 효과

- [0012] 상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치의 데이터 구동회로 및 구동 방법에 있어서는 다음과 같은 효과가 있다.

[0013] 이와 같이, 파워가 온되어 영상이 표시되기 전의 8수평 기간 동안 HVDD 전압이 인가되므로 상기 스위치 어레이(143) 및 상기 차지 웨어부(145)의 제 1 내지 제 5 스위칭소자가 MV급 MOS 트랜지스터로 구성되더라도 상기 제 1 내지 제 5 스위칭소자의 항복 전압을 개선할 수 있다.

[0014] 또한, 첫 번째 스캔 펄스 출력 이전에 게이트 출력 인에이블(GOE) 마스크킹으로 제어할 수 있으므로, 상기 HVDD 전압이 인가되는 8수평 기간 동안 백색 표시는 시인되지 않는다.

도면의 간단한 설명

[0015] 도 1은 본 발명에 따른 액정표시장치를 개략적으로 나타낸 블록도

도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도

도 3는 본 발명의 일 실시예에 따른 데이터 구동부의 내부 구성을 개략적으로 나타낸 블록도

도 4는 본 발명에 따른 인접한 2개의 채널에 대한 DA변환부, 스위치 어레이 및 상기 차지 웨어부의 구체적인 회로 구성도

도 5는 본 발명에 따른 액정표시장치의 데이터 구동회로의 동작을 설명하기 위한 타이밍도

발명을 실시하기 위한 구체적인 내용

[0016] 상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치의 데이터 구동 회로 및 구동 방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

[0017] 도 1은 본 발명에 따른 액정표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도이다.

[0018] 본 발명에 따른 액정표시장치는, 도 1 및 도 2에 도시된 바와 같이, 타이밍 제어부(130), 게이트 구동부(140), 데이터 구동부(150), 액정패널(160) 및 백라이트유닛(170)을 포함하여 구성된다.

[0019] 상기 타이밍 제어부(130)는 상기 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 상기 데이터 구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 또한, 상기 타이밍 제어부(130)는 데이터 타이밍 제어신호(DDC)와 함께 영상처리부(110)로부터 공급된 데이터신호(DATA)를 상기 데이터 구동부(150)에 공급한다.

[0020] 상기 게이트 구동부(140)는 상기 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 각 게이트 라인(GL)에 스캔 펄스를 순차적으로 출력한다. 상기 게이트 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 액정패널(160)에 GIP(Gate In Panel) 방식으로 형성된다.

[0021] 상기 데이터 구동부(150)는 상기 타이밍 제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터 신호(DATA)를 샘플링하고 래치하며 감마 기준전압으로 변환하여 출력한다. 상기 데이터 구동부(150)는 1 프레임 주기로 데이터전압의 극성을 반전하여 출력할 수 있다. 상기 데이터 구동부(150)는 각 데이터 라인(DL)을 통해 액정패널(160)에 포함된 서브 픽셀들(SP)에 데이터 전압을 공급한다. 상기 데이터 구동부(150)는 IC(Integrated Circuit) 형태로 형성된다.

[0022] 상기 액정패널(160)은 상기 게이트 구동부(140)로부터 공급된 스캔 신호와 상기 데이터 구동부(150)로부터 공급된 데이터 전압에 대응하여 영상을 표시한다. 상기 액정패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들(SP)이 포함된다. 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 스토리지 커패시터(Cst) 및 액정층(Clc)이 포함된다. 상기 스위칭 트랜지스터(SW)의 게이트 전극은 각 게이트 라인(GL1)에 연결되고 소스 전극은 각 데이터 라인(DL1)에 연결된다. 상기 스토리지 커패시터(Cst)는 상기 스위칭 트랜지스터(SW)의 드레인 전극에 연결된 화소 전극(1)과 공통 전압 라인(Vcom)에 연결된 공통전극(2) 사이에 형성된다. 즉, 상기 액정층(Clc)은 상기 스위칭 트랜지스터(SW)의 드레인 전극에 연결된 화소전극(1)과 공통 전압 라인(Vcom)에 연결된 공통 전극(2) 사이에 형성된다.

[0023] 액정패널(160)은 화소전극(1) 및 공통전극(2)의 구조에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 또는 ECB(Electrically Controlled Birefringence) 모드로 구현된다.

[0024] 액정패널(160)은 적색, 녹색 및 청색의 서브 픽셀로 구현되거나 소비전류 절감 등을 위해 적색, 녹색, 청색의

서브 픽셀과 더불어 백색의 서브 픽셀로 구현되기도 한다.

- [0025] 상기 백라이트유닛(170)은 광을 출사하는 광원 등을 이용하여 상기 액정패널(160)에 광을 제공한다.
- [0026] 여기서, 상기 데이터 구동부(150)를 보다 더 구체적으로 설명하면 다음과 같다.
- [0027] 도 3는 본 발명의 일 실시예에 따른 데이터 구동부의 내부 구성을 개략적으로 나타낸 블록도이다.
- [0028] 본 발명의 일 실시예에 따른 데이터 구동부는, 도 3에 도시한 바와 같이, 시프트 레지스터(SR; Shift register), 제 1 래치(LAT1; 1'st latch), 제 2 래치(LAT2; 2'nd latch), DA변환부(DAC; PDAC 및 NDAC), 스위치 어레이(143), 차지 제어(charge control)부(141) 및 차지 쉐어(charge share)부(145)가 포함된다. 상기 차지 쉐어부(145)의 후단에 위치하는 출력 앰프는 생략된 상태이다.
- [0029] 상기 데이터 구동부는 상기 시프트 레지스터(SR), 제 1 및 제 2 래치(LAT1, LAT2), DA변환부(DAC), 스위치 어레이(143), 차지 제어부(141) 및 차지 쉐어부(145)의 동작에 따라 디지털 형태의 데이터 신호를 아날로그 데이터 전압으로 변환하고, 이를 자신의 출력채널(CH1 ~ CHN)을 통해 출력한다. 이하, 데이터 구동부에 포함된 구성을 개략적으로 설명하면 다음과 같다.
- [0030] 상기 시프트 레지스터(SR)는 상기 타이밍 제어부(130)로부터 출력된 소스 스타트 펄스와 소스 샘플링 클럭에 응답하여 샘플링 신호를 출력한다. 상기 제 1 및 제 2 래치(LAT1, LAT2)는 상기 시프트 레지스터(SR)로부터 출력된 샘플링 신호에 응답하여 디지털 형태의 데이터 신호를 순차적으로 샘플링하고 소스 출력 인에이블 신호(SOE)에 대응하여 샘플링된 1 라인 분의 데이터 신호를 동시에 출력한다.
- [0031] 상기 DA변환부(DAC)는 감마전압 생성부(미도시)로부터 출력된 제 1 내지 제 n 감마 계조 전압에 대응하여 1 라인 분의 데이터 신호를 아날로그 형태의 데이터 전압으로 변환하여 출력한다. 상기 DA변환부(DAC)는 상기 타이밍 제어부(130)로부터 출력된 극성 제어신호에 대응하여 상기 감마 계조 전압을 정극성(+) 데이터 전압으로 변환하는 정극성 DA변환부(PDAC)와 부극성(-) 데이터 전압으로 변환하는 부극성 DA변환부(NDAC)를 포함한다.
- [0032] 소스 스타트 펄스는 데이터 구동부의 데이터 샘플링 시작 타이밍을 제어하는 신호이다. 소스 샘플링 클럭은 라이징 또는 폴링 에지를 기준으로 데이터 구동부의 데이터 샘플링 타이밍을 제어하는 신호이다. 소스 출력 인에이블 신호는 데이터 구동부의 출력 타이밍을 제어하는 신호이다. 극성 제어신호는 데이터 구동부로 출력되는 데이터 전압들의 수직 극성을 제어하는 신호이다.
- [0033] 상기 스위치 어레이(143)는 상기 정극성 DA변환부(PDAC)와 상기 부극성 DA변환부(NDAC)로부터 출력된 정극성 데이터 전압과 부극성 데이터 전압이 이웃하는 채널(n 채널 및 n+1 채널) 등으로 교번하여 출력되도록 동작한다.
- [0034] 상기 차지 쉐어부(145)는 상기 스위치 어레이(143)의 후단에 위치하여, 상기 액정패널(160)의 상기 데이터 라인들에 잔류하는 전하 (또는 데이터 전압)가 공유되도록 데이터 라인들을 선택적으로 접속(또는 쇼트) 시킨다. 상기 차지 쉐어부(145)는 상기 차지 제어부(141)로부터 출력된 차지 제어신호(CS)에 대응하여 데이터 라인들을 선택적으로 접속(또는 쇼트) 시킨다.
- [0035] 여기서, 인접한 2개의 채널에 대한 상기 DA변환부(DAC), 상기 스위치 어레이(143) 및 상기 차지 쉐어부(145)를 설명하면 다음과 같다.
- [0036] 도 4는 본 발명에 따른 인접한 2개의 채널에 대한 상기 DA변환부(DAC), 상기 스위치 어레이(143) 및 상기 차지 쉐어부(145)의 구체적인 회로 구성도이다.
- [0037] 상기 DA변환부(DAC)는 상기 감마 계조 전압을 정극성(+) 데이터 전압으로 변환하는 정극성 DA변환부(PDAC)와, 상기 감마 계조 전압을 부극성(-) 데이터 전압으로 변환하는 부극성 DA변환부(NDAC)를 포함한다.
- [0038] 상기 스위치 어레이(143)는, 제 1 내지 제 4 스위칭소자(SW1, SW2, SW3, SW4)로 구성되어, 상기 정극성 DA변환부(PDAC)와 상기 부극성 DA변환부(NDAC)로부터 출력된 정극성 데이터 전압과 부극성 데이터 전압이 이웃하는 채널(n 채널 및 n+1 채널)에 교번하여 출력되도록 동작한다.
- [0039] 즉, 상기 제 1 및 제 4 스위칭소자(SW1, SW4)가 턴 온(ON)되고, 상기 제 2 및 제 3 스위칭소자(SW2, SW3)가 턴 오프(OFF)되면, 상기 정극성 DA변환부(PDAC)에서 출력되는 정극성 데이터 전압은 (n)번째 채널의 데이터 라인에 공급되고, 상기 부극성 DA변환부(NDAC)에서 출력되는 부극성 데이터 전압은 (n+1)번째 채널의 데이터 라인에 공급된다.
- [0040] 그리고, 상기 제 1 및 제 4 스위칭소자(SW1, SW4)가 턴 오프(OFF)되고, 상기 제 2 및 제 3 스위칭소자(SW2, SW3)가 턴 온(ON)되면, 상기 정극성 DA변환부(PDAC)에서 출력되는 정극성 데이터 전압은 (n+1)번째 채널의 데이터 라인에 공급되고, 상기 부극성 DA변환부(NDAC)에서 출력되는 부극성 데이터 전압은 (n)번째 채널의 데이터 라인에 공급된다.

SW3)가 턴 온(ON)되면, 상기 정극성 DA변환부(PDAC)에서 출력되는 정극성 데이터 전압은 (n+1)번째 채널의 데이터 라인에 공급되고, 상기 부극성 DA변환부(NDAC)에서 출력되는 부극성 데이터 전압은 (n)번째 채널의 데이터 라인에 공급된다.

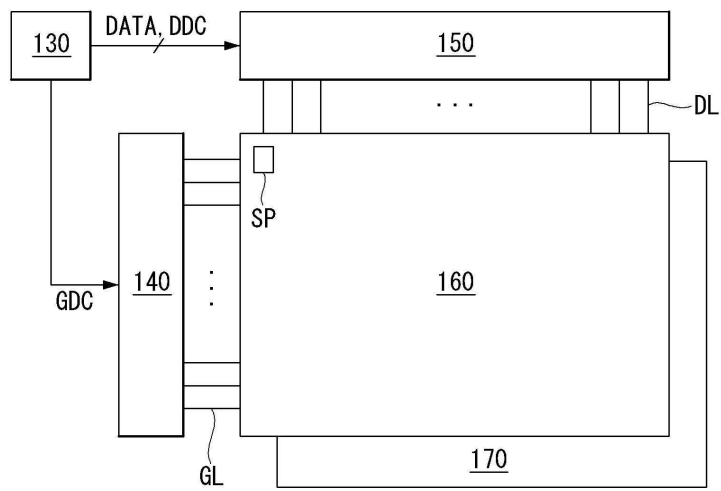
- [0041] 상기 차지 웨어부(145)는 제 5 내지 제 7 스위칭소자(SW5, SW6, SW7))로 구성되고, 상기 제 5 스위칭소자(SW5)가 턴 온 될 때, 상기 (n)번째 채널의 데이터 라인과 상기 (n+1)번째 데이터 라인에 잔류하는 전하 (또는 데이터 전압)를 공유시킨다.
- [0042] 상기와 같이 상기 (n)번째 채널의 데이터 라인과 상기 (n+1)번째 데이터 라인이 전하 (또는 데이터 전압)를 공유하고 있을 때, 가비지 표시(Garbage display) 구간 후 1 수평 기간(1H) 동안 상기 제 7 스위칭소자(SW7)가 턴 온되어 VSSH 전압을 공급하고, 8 수평 기간(8H) 동안 상기 제 6 스위칭소자(SW6)가 턴 온되어 HVDD 전압을 공급한다.
- [0043] 여기서, 상기 8 수평 기간(8H) 동안 상기 제 6 스위칭소자(SW6)가 턴 온되어 HVDD 전압을 공급함을 설명하였으나, 이에 한정되지 않고, 상기 기간은 5 수평 기간 내지 10 수평 기간이어도 무방하다.
- [0044] 따라서, 파워 온 시 블랙으로 표시되도록 하고, 상기 스위치 어레이(143) 및 상기 차지 웨어부(145)의 제 1 내지 제 5 스위칭소자가 MV급 MOS 트랜지스터로 구성되더라도 상기 제 1 내지 제 5 스위칭소자의 항복 전압을 개선할 수 있다.
- [0045] 상기와 같이 구성된 본 발명에 따른 액정표시장치의 데이터 구동회로의 동작을 설명하면 다음과 같다.
- [0046] 도 5는 본 발명에 따른 액정표시장치의 데이터 구동회로의 동작을 설명하기 위한 타이밍도이다.
- [0047] 먼저, 상기 차지 웨어부(145)의 제 5 스위칭소자(SW5)가 턴 온되어 인접한 (n)번째 채널의 데이터 라인과 (n+1)번째 데이터 라인에 잔류하는 전하 (또는 데이터 전압)를 공유시킨다.
- [0048] 그리고, 파워(Power)가 온되고, 게이트 스타트 펄스(GSP)가 있기 전의 가비지(garbage) 표시 기간 후, 1 수평 기간(1H) 동안(t1) 상기 제 7 스위칭소자(SW7)가 턴 온되어 VSSH 전압을 상기 공유된 상기 채널에 인가하고, 상기 제 6 스위칭소자(SW6)가 턴 온되어 8 수평 라인(8H) 기간 동안(t2) HVDD 전압을 상기 공유된 상기 채널에 인가한다.
- [0049] 그 후(t3), 상기 차지 웨어부(145)의 제 5 내지 제 7 스위칭소자(SW5, SW6, SW7)가 모두 턴 오프되고, 상기 스위치 어레이(143)의 제 1 내지 제 4 스위칭소자(SW1, SW2, SW3, SW4)가 선택적으로 스위칭되어 인접한 (n)번째 채널의 데이터 라인과 (n+1)번째 데이터 라인에 각각 상기 정극성 DA변환부(PDAC)에서 출력되는 정극성 데이터 전압 또는 상기 부극성 DA변환부(NDAC)에서 출력되는 부극성 데이터 전압이 인가되어 영상을 표시하게 된다.
- [0050] 이와 같이, 파워가 온되어 영상이 표시되기 전의 8수평 기간 동안 HVDD 전압이 인가되므로 상기 스위치 어레이(143) 및 상기 차지 웨어부(145)의 제 1 내지 제 5 스위칭소자가 MV급 MOS 트랜지스터로 구성되더라도 상기 제 1 내지 제 5 스위칭소자의 항복 전압을 개선할 수 있다.
- [0051] 또한, 첫번째 스캔 펄스 출력 이전에 게이트 출력 인에이블(GOE) 마스킹으로 제어할 수 있으므로, 상기 HVDD 전압이 인가되는 8수평 기간 동안 백색 표시는 시인되지 않는다.
- [0052] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

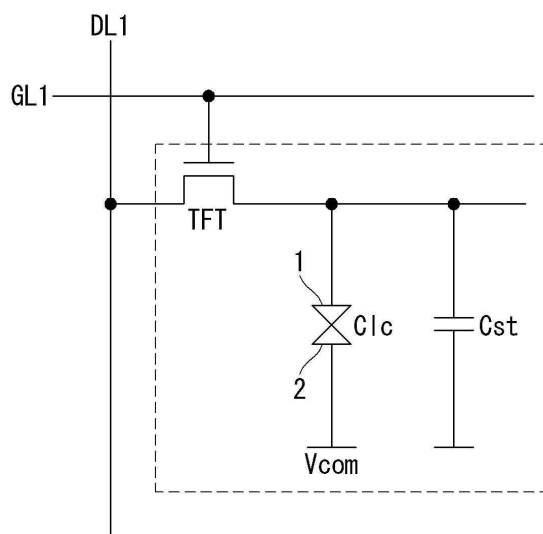
- [0053] SR: 시프트 레지스터 LAT1, LAT2: 래치
- DAC: DA변환부 143: 스위치 어레이
- 141: 차지 제어부 145: 차지 웨어부

도면

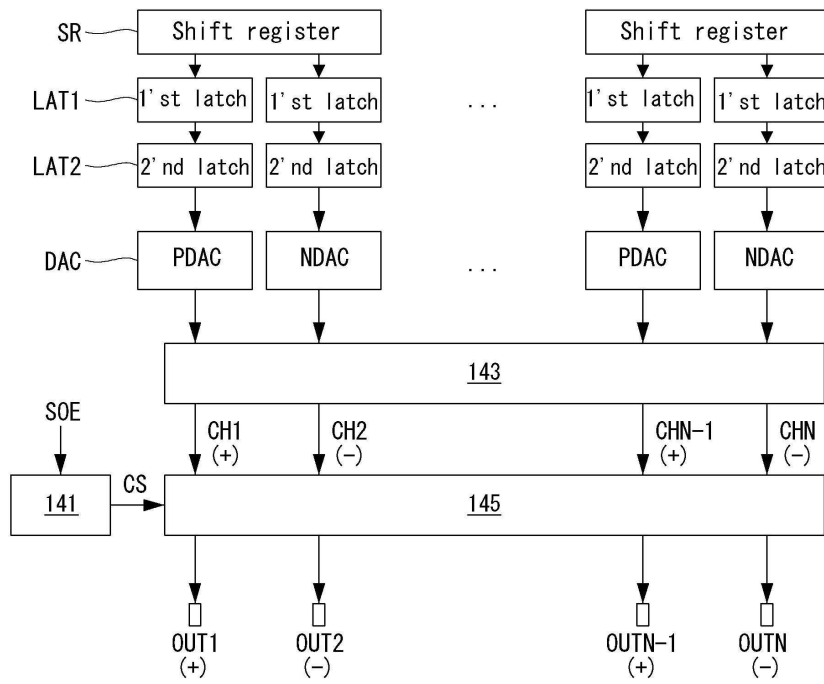
도면1



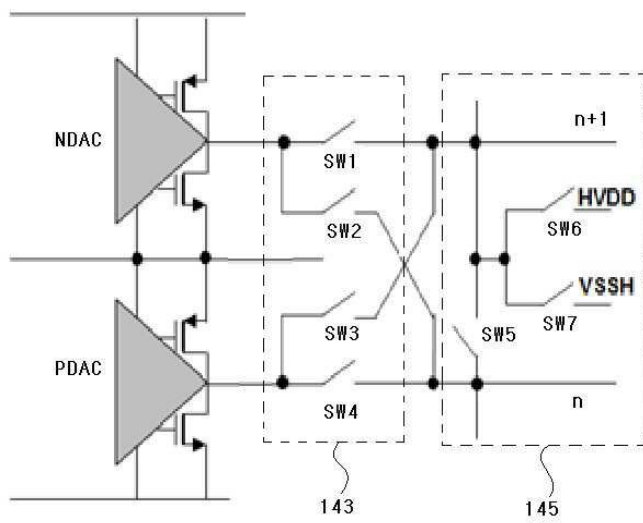
도면2



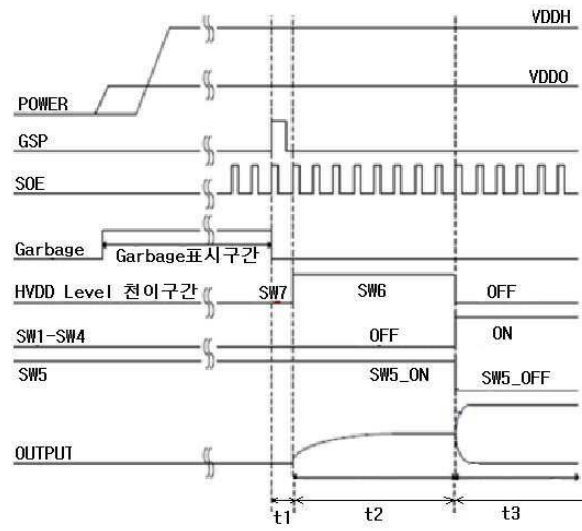
도면3



도면4



도면5



专利名称(译)	数据驱动电路和液晶显示装置的驱动方法		
公开(公告)号	KR1020180013419A	公开(公告)日	2018-02-07
申请号	KR1020160097128	申请日	2016-07-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO CHANG HUN 조창훈		
发明人	조창훈		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3614 G09G3/3648 G09G2300/0828 G09G2310/0286 G09G2320/0673		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器的数据驱动电路和驱动方法，并且开关元件选择 HVDD或VSSH电平被更多地添加到数据驱动器的电荷共享电路中，并且开关元件被控制，并且瞬间用白色表示该问题涉及改善包括带电的小时充电共享电路的晶体管的击穿电压并解决问题。

