



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0029187
(43) 공개일자 2015년03월18일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2013-0108014

(22) 출원일자 2013년09월09일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김규진

경기 파주시 월롱면 엘씨도로 201, 정다운마을 F동 1208호

최정미

경기 파주시 책향기로 420, 1107동 902호 (동패동, 책향기마을신동아아파트)

(74) 대리인

특허법인로알

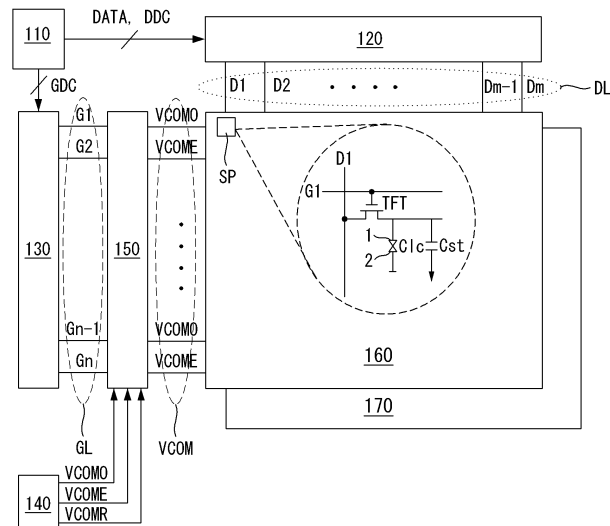
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정패널; 액정패널에 게이트신호를 공급하는 게이트구동부; 액정패널에 라인별로 구분되어 배선된 공통전압라인들; 서로 상반되는 극성을 갖는 제1 및 제2공통전압과 제1 및 제2공통전압 사이의 전압에 대응되는 제3공통전압을 출력하는 공통전압생성부; 및 공통전압라인들 각각에 공통전압생성부로부터 출력된 제1 내지 상기 제3공통전압 중 하나를 선택하여 전달하는 공통전압선택부를 포함하되, 공통전압선택부는 제1 및 상기 제2공통전압을 라인별로 구분하여 선택한 이후 제3공통전압으로 출력을 유지하는 것을 특징으로 하는 액정표시장치를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

액정패널;

상기 액정패널에 게이트신호를 공급하는 게이트구동부;

상기 액정패널에 라인별로 구분되어 배선된 공통전압라인들;

서로 상반되는 극성을 갖는 제1 및 제2공통전압과 상기 제1 및 상기 제2공통전압 사이의 전압에 대응되는 제3공통전압을 출력하는 공통전압생성부; 및

상기 공통전압라인들 각각에 상기 공통전압생성부로부터 출력된 상기 제1 내지 상기 제3공통전압 중 하나를 선택하여 전달하는 공통전압선택부를 포함하되,

상기 공통전압선택부는 상기 제1 및 상기 제2공통전압을 라인별로 구분하여 선택한 이후 상기 제3공통전압으로 출력을 유지하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 공통전압생성부는

상기 제1 및 상기 제2공통전압의 극성을 프레임마다 교번하여 출력하되, 상기 제3공통전압은 상기 제1 및 상기 제2공통전압 사이의 전압으로 유지하며 출력하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 공통전압선택부는

상기 액정패널의 서브 픽셀이 게이트신호로 충전된 경우에만 상기 제1 또는 상기 제2공통전압이 전달되도록 동작하는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 공통전압선택부는

하나의 게이트라인당 N (N 은 2 이상 정수)개씩 배치된 트랜지스터를 포함하되,

상기 트랜지스터는 상기 게이트구동부로부터 제어신호를 공급받는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 공통전압선택부는

N 번째 게이트구동부의 출력단 전위에 대응하여 상기 제1 및 상기 제2공통전압 중 하나를 선택하고,

$N-1$ 번째 게이트구동부의 QB노드 전위에 대응하여 상기 제3공통전압으로 출력을 유지하는 것을 특징으로 하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 공통전압선택부는

상기 N번째 게이트구동부의 출력단에 게이트전극이 연결되고 상기 제1 또는 상기 제2공통전압이 전달되는 제1 또는 제2공통전압출력라인에 제1전극이 연결되고 상기 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제1 트랜지스터와,

N-1번째 게이트구동부의 QB노드에 게이트전극이 연결되고 상기 제3공통전압이 전달되는 제3공통전압출력라인에 제1전극이 연결되고 상기 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제2트랜지스터를 포함하는 액정 표시장치.

청구항 7

제1항에 있어서,

상기 공통전압선택부는

N번째 게이트구동부의 Q노드 전위에 대응하여 상기 제1 및 상기 제2공통전압 중 하나를 선택하고,

상기 N번째 게이트구동부의 QB노드의 전위에 상기 제3공통전압으로 출력을 유지하는 것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 공통전압선택부는

N번째 게이트구동부의 Q노드에 게이트전극이 연결되고 상기 제1 또는 상기 제2공통전압이 전달되는 제1 또는 제2공통전압출력라인에 제1전극이 연결되고 상기 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제1트랜지스터와,

상기 N번째 게이트구동부의 QB노드에 게이트전극이 연결되고 상기 제3공통전압이 전달되는 제3공통전압출력라인에 제1전극이 연결되고 상기 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제2트랜지스터를 포함하는 액정표시장치.

청구항 9

제1항에 있어서,

상기 공통전압선택부는

상기 액정패널의 비표시영역 상에 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제9항에 있어서,

상기 공통전압선택부는

상기 게이트구동부와 함께 GIP(Gate In Panel) 방식으로 형성된 것을 특징으로 하는 액정표시장치.

명세서

기술분야

본 발명의 실시예는 액정표시장치에 관한 것이다.

배경기술

액정표시장치는 트랜지스터, 스토리지 커패시터 및 화소전극 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다.

액정표시장치는 화소전극과 트랜지스터기판 또는 컬러필터기판에 형성된 공통전극에 형성되는 전계로 액정층의 배열 방향을 조절하여 백라이트유닛으로부터 입사된 광을 출사하는 방식으로 영상을 표시한다.

- [0004] 액정표시장치는 데이터구동부로부터 공급된 데이터전압과 기준 전위 역할을 하는 공통전압 간의 차이가 액정을 구동하는 전압으로 작용한다. 종래에는 공통전압을 1 프레임 동안 동일한 레벨의 전압값으로 스윙시키고 데이터 신호를 1 수평 시간마다 공급하여 서브 픽셀을 충전하는 구동방식을 사용하였다.
- [0005] 종래 제안된 방법은 극성 신호에 따라 공통전압의 값이 데이터신호와 대칭되도록 변화하므로 데이터신호의 변화를 기존대비 최대 1/2로 감소시킬 수 있었다. 그러나, 종래 제안된 방법은 프레임 단위로 공통전압이 변화하므로 액정패널의 상단과 하단 간의 휘도차가 발생하는 문제가 있었다. 예컨대, 액정패널의 최상단부의 서브 픽셀의 경우, 공통전압 스윙에 의한 휘도 감소가 발생한 직후 데이터전압을 충전하기 때문에 본래의 휘도를 유지할 수 있다. 반면, 액정패널의 최하단부의 서브 픽셀의 경우, 공통전압 스윙에 의한 휘도 감소가 발생한 후 1 프레임에 근접한 시간 뒤에 데이터전압이 충전되기 때문에 본래의 휘도를 유지할 수 없었다.
- [0006] 이와 같이, 종래 제안된 방법은 액정패널의 상단과 하단 간의 휘도차가 발생하는 문제는 물론 인버전 구동시 빛샘이 발생하는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

- [0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 액정패널의 상/하단 간의 휘도차 및 빛샘 문제를 개선하고, 공통전압 간의 전위차를 제거함과 더불어 공통전압 스윙에 따른 소비전력을 저감할 수 있는 액정표시장치를 제공하는 것이다.

과제의 해결 수단

- [0008] 상술한 과제 해결 수단으로 본 발명은 액정패널; 액정패널에 게이트신호를 공급하는 게이트구동부; 액정패널에 라인별로 구분되어 배선된 공통전압라인들; 서로 상반되는 극성을 갖는 제1 및 제2공통전압과 제1 및 제2공통전압 사이의 전압에 대응되는 제3공통전압을 출력하는 공통전압생성부; 및 공통전압라인들 각각에 공통전압생성부로부터 출력된 제1 내지 상기 제3공통전압 중 하나를 선택하여 전달하는 공통전압선택부를 포함하되, 공통전압선택부는 제1 및 상기 제2공통전압을 라인별로 구분하여 선택한 이후 제3공통전압으로 출력을 유지하는 것을 특징으로 하는 액정표시장치를 제공한다.
- [0009] 공통전압생성부는 제1 및 제2공통전압의 극성을 프레임마다 교번하여 출력하되, 제3공통전압은 제1 및 제2공통전압 사이의 전압으로 유지하며 출력할 수 있다.
- [0010] 공통전압선택부는 액정패널의 서브 픽셀이 게이트신호로 충전된 경우에만 제1 또는 제2공통전압이 전달되도록 동작할 수 있다.
- [0011] 공통전압선택부는 하나의 게이트라인당 N(N은 2 이상 정수)개씩 배치된 트랜지스터를 포함하되, 트랜지스터는 게이트구동부로부터 제어신호를 공급받을 수 있다.
- [0012] 공통전압선택부는 N번째 게이트구동부의 출력단 전위에 대응하여 제1 및 제2공통전압 중 하나를 선택하고, N-1번째 게이트구동부의 QB노드 전위에 대응하여 제3공통전압으로 출력을 유지할 수 있다.
- [0013] 공통전압선택부는 N번째 게이트구동부의 출력단에 게이트전극이 연결되고 제1 또는 제2공통전압이 전달되는 제1 또는 제2공통전압출력라인에 제1전극이 연결되고 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제1트랜지스터와, N-1번째 게이트구동부의 QB노드에 게이트전극이 연결되고 제3공통전압이 전달되는 제3공통전압출력라인에 제1전극이 연결되고 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제2트랜지스터를 포함할 수 있다.
- [0014] 공통전압선택부는 N번째 게이트구동부의 Q노드 전위에 대응하여 제1 및 제2공통전압 중 하나를 선택하고, N번째 게이트구동부의 QB노드의 전위에 제3공통전압으로 출력을 유지할 수 있다.
- [0015] 공통전압선택부는 N번째 게이트구동부의 Q노드에 게이트전극이 연결되고 제1 또는 제2공통전압이 전달되는 제1 또는 제2공통전압출력라인에 제1전극이 연결되고 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제1트랜지스터와, N번째 게이트구동부의 QB노드에 게이트전극이 연결되고 제3공통전압이 전달되는 제3공통전압출력라인에 제1전극이 연결되고 액정패널에 형성된 공통전압라인에 제2전극이 연결된 제2트랜지스터를 포함할 수 있다.
- [0016] 공통전압선택부는 액정패널의 비표시영역 상에 형성될 수 있다.

[0017] 공통전압선택부는 게이트구동부와 함께 GIP(Gate In Panel) 방식으로 형성될 수 있다.

발명의 효과

[0018] 본 발명은 공통전압의 변화 또는 라인 단위의 변화시키되, 공통전압이 공급되는 시점을 데이터신호가 공급되는 시점과 유사 또는 동일하게 출력하여 공통전압 스윙에 의해 발생하는 액정패널의 상/하단 간의 휘도차 및 빛샘 문제를 개선하는 효과가 있다. 또한, 본 발명은 충전 이외의 시간에는 공통전압을 기준전압 상태(또는 플로팅 상태)로 형성하여 공통전압 간의 전위차를 제거함과 더불어 공통전압 스윙에 따른 소비전력을 저감하는 효과가 있다. 또한, 본 발명은 공통전압을 선택적으로 출력하는 장치를 게이트구동부와 함께 GIP형태로 형성(또는 게이트구동부와 통합)할 수 있어 장치 개선에 따른 개발비를 절감할 수 있는 효과가 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 제1실시예에 따른 액정표시장치의 블록도.
 도 2는 본 발명의 제1실시예에 따른 액정표시장치의 일부를 나타낸 구성도.
 도 3은 도 2에 도시된 게이트구동부와 공통전압선택부의 일부를 나타낸 회로도.
 도 4는 도 3에 도시된 게이트구동부와 공통전압선택부의 동작 설명을 위한 파형도.
 도 5는 종래 기술과 본 발명의 제1실시예 간의 공통전압 출력 특성을 비교 설명하기 위한 파형도.
 도 6은 종래 기술과 본 발명의 제1실시예 간의 전위차를 비교 설명하기 위한 파형도.
 도 7은 본 발명의 제1실시예에 따른 공통전압 출력 특성을 게이트신호와 대비하여 설명하기 위한 파형예시도.
 도 8은 본 발명의 제2실시예에 따른 액정표시장치의 일부를 나타낸 구성도.
 도 9는 도 8에 도시된 게이트구동부와 공통전압선택부의 일부를 나타낸 회로도.
 도 10은 도 9에 도시된 게이트구동부와 공통전압선택부의 동작 설명을 위한 파형도.
 도 11은 종래 기술과 본 발명의 제2실시예 간의 공통전압 출력 특성을 비교 설명하기 위한 파형도.
 도 12는 본 발명의 제2실시예에 따른 공통전압 출력 특성을 게이트신호와 대비하여 설명하기 위한 파형예시도.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0021] <제1실시예>

[0022] 도 1은 본 발명의 제1실시예에 따른 액정표시장치의 블록도 이다.

[0023] 도 1에 도시된 바와 같이, 본 발명의 제1실시예에 따른 액정표시장치에는 타이밍제어부(110), 액정패널(160), 게이트구동부(130), 데이터구동부(120), 백라이트유닛(170), 공통전압생성부(140) 및 공통전압선택부(150)가 포함된다.

[0024] 타이밍제어부(110)는 외부로부터 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호, 데이터신호를 공급받는다. 타이밍제어부(110)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 클럭신호 등의 타이밍신호를 이용하여 데이터구동부(120)와 게이트구동부(130)의 동작 타이밍을 제어한다.

[0025] 타이밍제어부(110)는 1 수평기간의 데이터 인에이블 신호를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호와 수평 동기신호는 생략될 수 있다. 타이밍제어부(110)에서 생성되는 제어신호들에는 게이트구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(120)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다.

[0026] 액정패널(160)은 박막트랜지스터기판(이하 TFT기판으로 약칭)과 컬러필터기판 사이에 위치하는 액정층을 포함하며 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. TFT기판에는 데이터라인들(DL), 게이트라인들(GL), TFT들, 스토리지 커패시터들 등이 형성되고, 컬러필터기판에는 블랙매트릭스들, 컬러필터들 등이 형성된다.

[0027] 하나의 서브 픽셀(SP)은 상호 교차하는 데이터라인(D1)과 게이트라인(G1)에 의해 정의된다. 하나의 서브 픽셀

(SP)에는 게이트라인(G1)을 통해 공급된 게이트신호에 의해 구동하는 TFT, 데이터라인(D1)을 통해 공급된 데이터신호를 데이터전압으로 저장하는 스토리지 커패시터(Cst), 스토리지 커패시터(Cst)에 저장된 데이터전압에 의해 구동하는 액정셀(C1c)이 포함된다.

[0028] 액정셀(C1c)은 화소전극(1)에 공급된 데이터전압과 공통전극(2)에 공급된 공통전압에 의해 구동된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 컬러필터 기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 TFT기판 상에 형성된다. 공통전극(2)은 공통전압라인으로부터 공통전압을 공급받는다. 액정패널(160)의 TFT기판과 컬러필터기판에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 액정패널(160)의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드으로도 구현될 수 있다.

[0029] 게이트구동부(130)는 타이밍제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 액정패널(160)에 포함된 서브 픽셀들(SP)의 TFT들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 게이트신호를 순차적으로 생성한다. 게이트구동부(130)에는 게이트라인들(GL)을 통해 생성된 게이트신호를 액정패널(160)에 포함된 서브 픽셀들(SP)에 공급한다. 게이트구동부(130)는 IC(Integrated Circuit) 형태로 액정패널(160) 또는 연성회로기판 상에 실장되거나 GIP(Gate In Panel) 형태로 액정패널(160) 상에 형성될 수 있다.

[0030] 데이터구동부(120)는 타이밍제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(110)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(120)는 감마 기준전압에 대응하여 데이터신호(DATA)를 디지털 형태에서 아날로그 형태로 변환한다. 데이터구동부(120)는 데이터라인들(DL)을 통해 변환된 데이터신호(DATA)를 액정패널(160)에 포함된 서브 픽셀들(SP)에 공급한다. 데이터구동부(120)는 IC 형태로 액정패널(160) 또는 연성회로기판 상에 형성될 수 있다.

[0031] 백라이트유닛(170)은 액정패널(160)에 광을 제공한다. 백라이트유닛(170)은 광을 출사하는 광원, 광을 액정패널(160)에 안내하는 도광판, 광을 집광 및 확산하는 광학시트 등을 포함한다.

[0032] 공통전압생성부(140)는 외부로부터 공급된 입력전원을 기초로 서로 다른 레벨을 갖는 제1공통전압, 제2공통전압 및 제3공통전압을 생성하고 출력한다. 제1 및 제2공통전압은 이들의 극성이 프레임마다 교번하도록 생성된다. 예컨대, 제1프레임 동안 제1공통전압의 극성이 정극성을 가질 경우, 제2공통전압의 극성은 부극성을 갖게 된다. 그리고 제2프레임 동안 제1공통전압의 극성이 부극성을 가질 경우, 제2공통전압의 극성은 정극성을 갖게 된다. 이와 달리, 제3공통전압은 제1 및 제2공통전압 사이의 전압을 갖게 되는데, 이는 프레임의 변화와 상관없이 일정한 전압을 유지하게 된다.

[0033] 공통전압생성부(140)는 공통전압선택부(150)에 연결된 제1 내지 제3공통전압출력라인(VCOMO ~ VCOMR)을 통해 제1공통전압, 제2공통전압 및 제3공통전압을 공급한다. 공통전압생성부(140)는 제1공통전압출력라인(VCOMO)을 통해 제1공통전압을 출력하고, 제2공통전압출력라인(VCOME)을 통해 제2공통전압을 출력하고, 제3공통전압출력라인(VCOMR)을 통해 제3공통전압을 출력한다.

[0034] 공통전압선택부(150)는 공통전압생성부(140)로부터 공급된 제1공통전압, 제2공통전압 및 제3공통전압 중 하나를 선택적으로 출력한다. 공통전압선택부(150)는 액정패널(160)의 게이트라인마다 제1공통전압 또는 제2공통전압을 선택적으로 공급하고 이후 제3공통전압으로 유지되도록 공통전압의 출력을 제어한다.

[0035] 공통전압선택부(150)는 액정패널(160)의 서브 픽셀이 게이트신호(및 데이터신호)로 충전된 경우에만 선택된 공통전압을 출력한다. 이를 위해, 공통전압선택부(150)는 게이트구동부(130)의 내부에서 생성된 신호 또는 외부로 출력되는 신호에 대응하여 동작한다.

[0036] 이하, 본 발명의 제1실시예에 따른 액정표시장치에 대한 설명을 구체화한다.

[0037] 도 2는 본 발명의 제1실시예에 따른 액정표시장치의 일부를 나타낸 구성도이고, 도 3은 도 2에 도시된 게이트구동부와 공통전압선택부의 일부를 나타낸 회로도이며, 도 4는 도 3에 도시된 게이트구동부와 공통전압선택부의 동작 설명을 위한 파형도이다.

[0038] 도 2 내지 도 4에 도시된 바와 같이, 액정패널(160)의 표시영역(AA)에는 서브 픽셀들(SP)이 형성되고, 액정패널(160)의 비표시영역(NA)에는 게이트구동부(130) 및 공통전압선택부(150)가 형성된다.

[0039] 게이트구동부(130)는 액정패널(160)의 게이트라인을 통해 게이트신호를 순차적으로 공급하기 위해 게이트라인별

로 구분되어 구성된 제h번째 게이트구동부(GIP_h) 내지 제k번째 게이트구동부(GIP_k)를 포함한다. 제h번째 게이트구동부(GIP_h) 내지 제k번째 게이트구동부(GIP_k)는 액정패널(160)의 비표시영역(NA)에 형성된 트랜지스터로 구성된다.

[0040] 제h번째 게이트구동부(GIP_h) 내지 제k번째 게이트구동부(GIP_k)는 제i번째 게이트라인(Gi) 내지 제k번째 게이트라인(Gk)을 통해 게이트신호를 순차적으로 공급한다. 하나의 게이트구동부(예컨대, GIP_i)는 하나의 게이트라인(예: Gi)에 하나의 게이트신호를 공급하는 게이트구동부(130)의 최소단위 회로블록이다.

[0041] 게이트구동부(130)의 최소단위 회로블록에 해당하는 제i번째 게이트구동부(GIP_i)에는 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd)가 포함된다. 제i번째 게이트구동부(GIP_i)의 출력단(Out)을 통해 출력되는 게이트신호는 Q노드(Q)와 QB노드(QB)의 전위에 따라 게이트하이(gh) 또는 게이트로우(gl)로 선택된다. 풀업 트랜지스터(Tpu)는 Q노드(Q)의 전위에 대응하여 동작하고, 풀다운 트랜지스터(Tpd)는 QB노드(QB)의 전위에 대응하여 동작한다.

[0042] 게이트구동부를 구성하는 회로는 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd) 외에도 회로의 동작 안정성이나 신뢰성을 높이기 위해 다양하게 구성된다. 그러나 도 3에서는 공통전압선택부(150)와 관련된 Q노드(Q)와 QB노드(QB)의 이해를 돕기 위해 그 일부만 도시한 것이다. 도 3에서 QB node [N-1]은 N-1번째 게이트구동부의 QB노드 전위이고, Q node는 N번째 게이트구동부의 Q노드 전위이다.

[0043] 한편, Q노드(Q)의 전위가 로직하이 상태이고, 클록신호(CLK)가 로직하이 상태이고, QB노드(QB)의 전위가 로직로우 상태라면, 제i번째 게이트라인(Gi)을 통해 출력되는 게이트신호는 게이트하이(gh)가 된다. 이와 달리, Q노드(Q)의 전위가 로직로우 상태이고, 클록신호(CLK)가 로직하이 상태이고, QB노드(QB)의 전위가 로직하이 상태라면, 제i번째 게이트라인(Gi)을 통해 출력되는 게이트신호는 게이트로우(gl)가 된다.

[0044] 공통전압선택부(150)는 게이트구동부(130)와 함께 GIP 형태로 액정패널(160)의 비표시영역(NA)에 형성된다. 공통전압선택부(150)는 게이트구동부(130)와 구분되어 별도의 영역을 차지하도록 형성되거나 게이트구동부(130)의 내부에 포함되도록 게이트구동부(130)와 통합되어 형성된다.

[0045] 공통전압선택부(150)는 트랜지스터들(M1, M2)로 구성된다. 트랜지스터들(M1, M2)은 하나의 게이트라인당 N(N은 2 이상 정수)개씩 배치된다. 달리 설명하면, 트랜지스터들(M1, M2)은 하나의 게이트구동부(예컨대, GIP_i)에 대응하여 N(N은 2 이상 정수)개씩 배치된다.

[0046] 공통전압선택부(150)를 구성하는 트랜지스터들(M1, M2)은 게이트구동부(130)로부터 제어신호를 공급받는다. 한편, 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd)와 마찬가지로 공통전압선택부(150)를 구성하는 트랜지스터들(M1, M2)(특히 제2트랜지스터인 M2) 또한 지속적으로 제3공통전압에 대한 출력을 유지해야 하므로 바이어스 스트레스 등과 같은 열화에 노출된다. 따라서, 공통전압선택부(150)를 구성하는 트랜지스터들(M1, M2)(특히 제2트랜지스터인 M2) 또한 이를 보상하기 위해 홀/짝 구동(교번 구동)할 수 있도록 더미 트랜지스터 등이 더 구성될 수 있다.

[0047] 공통전압선택부(150)는 액정패널(160)의 게이트라인마다 제1공통전압(vcom0) 또는 제2공통전압(vcome)을 선택적으로 공급하고 이후 제3공통전압(vcomr)으로 유지되도록 공통전압의 출력을 제어한다. 공통전압선택부(150)는 액정패널(160)의 제i번째 공통전압라인(VCOMi) 내지 제k번째 공통전압라인(VCOMk)을 통해 제1공통전압(vcom0), 제2공통전압(vcome) 및 제3공통전압(vcomr) 중 하나를 선택적으로 전달한다.

[0048] 예컨대, 공통전압선택부(150)는 액정패널(160)의 홀수라인에 제1공통전압(vcom0)을 전달하고 이후 제3공통전압(vcomr)이 유지되도록 하고, 액정패널(160)의 짝수라인에 제2공통전압(vcome)을 전달하고 이후 제3공통전압(vcomr)이 유지되도록 출력을 제어한다.

[0049] 제i번째 게이트구동부(GIP_i)에 위치하는 제1 및 제2트랜지스터들(M1, M2)은 다음과 같이 접속된다. 제1트랜지스터(M1)는 제i번째 게이트구동부(GIP_i)의 출력단(Out)에 게이트전극이 연결되고 제1공통전압출력라인(VCOM0)에 제1전극이 연결되며 제i번째 공통전압라인(VCOMi)에 제2전극이 연결된다. 제2트랜지스터(M2)는 전단에 위치하는 제h번째 게이트구동부(GIP_h)의 QB노드(QB)에 게이트전극이 연결되고 제3공통전압출력라인(VCOMR)에 제1전극이 연결되며 제i번째 공통전압라인(VCOMi)에 제2전극이 연결된다.

[0050] 제i번째 게이트구동부(GIP_i)의 출력단(Out)으로부터 게이트하이(gh)에 해당하는 게이트신호가 출력되면, 제1트랜지스터(M1)는 게이트하이(gh)에 해당하는 게이트신호에 대응하여 턴온된다. 제1트랜지스터(M1)가 턴온되면 제1공통전압출력라인(VCOM0)을 통해 전달된 제1공통전압(vcom0)은 제i번째 공통전압라인(VCOMi)에 공급된다.

이후, 제i번째 게이트구동부(GIP_i)의 출력단(Out)으로부터 출력된 게이트신호는 게이트로우(g1)에 해당하는 게이트신호로 전환된다. 제1트랜지스터(M1)는 게이트로우(g1)에 해당하는 게이트신호에 대응하여 턴오프되고, 제i번째 공통전압라인(VCOM_i)에 공급되는 제1공통전압(vcom₀)은 차단된다.

[0051] 제h번째 게이트구동부(GIP_h)는 제i번째 게이트구동부(GIP_i)의 전단에 위치하므로, 게이트하이(gh)에 해당하는 게이트신호를 출력한 이후 게이트로우(g1)로 유지된다. 제h번째 게이트구동부(GIP_h)의 QB노드(OB)는 게이트신호를 게이트로우(g1)로 유지하기 위해 충전된 상태가 된다.

[0052] 제h번째 게이트구동부(GIP_h)의 QB노드(OB)의 전위는 게이트하이(gh)에 해당하는 게이트신호를 출력한 이후 1 프레임 구간 동안 충전된 상태를 유지하게 된다. 따라서, 제1트랜지스터(M1)가 턴오프되면 제2트랜지스터(M2)는 제h번째 게이트구동부(GIP_h)의 QB노드(OB) 전위에 대응하여 턴온된다.

[0053] 제2트랜지스터(M2)가 턴온되면 제3공통전압출력라인(VCOMR)을 통해 전달된 제3공통전압(vcomr)은 제i번째 공통전압라인(VCOM_i)에 공급된다. 이때, 제i번째 공통전압라인(VCOM_i)에 공급되는 제3공통전압(vcomr)은 제1트랜지스터(M1)가 재차 턴온 되는 구간까지 유지된다.

[0054] 제j번째 게이트구동부(GIP_j)에 위치하는 제1 및 제2트랜지스터들(M1, M2)은 다음과 같이 접속된다. 제1트랜지스터(M1)는 제j번째 게이트구동부(GIP_j)의 출력단(Out)에 게이트전극이 연결되고 제2공통전압출력라인(VCOMR)에 제1전극이 연결되며 제j번째 공통전압라인(VCOM_j)에 제2전극이 연결된다.

[0055] 제2트랜지스터(M2)는 전단에 위치하는 제i번째 게이트구동부(GIP_i)의 QB노드(OB)에 게이트전극이 연결되고 제3공통전압출력라인(VCOMR)에 제1전극이 연결되며 제j번째 공통전압라인(VCOM_j)에 제2전극이 연결된다.

[0056] 제j번째 게이트구동부(GIP_j)의 출력단(Out)으로부터 게이트하이(gh)에 해당하는 게이트신호가 출력되면, 제1트랜지스터(M1)는 게이트하이(gh)에 해당하는 게이트신호에 대응하여 턴온된다.

[0057] 제1트랜지스터(M1)가 턴온되면 제2공통전압출력라인(VCOMR)을 통해 전달된 제2공통전압(vcomr)은 제j번째 공통전압라인(VCOM_j)에 공급된다. 이후, 제j번째 게이트구동부(GIP_j)의 출력단(Out)으로부터 출력된 게이트신호는 게이트로우(g1)에 해당하는 게이트신호로 전환된다. 제1트랜지스터(M1)는 게이트로우(g1)에 해당하는 게이트신호에 대응하여 턴오프되고, 제j번째 공통전압라인(VCOM_j)에 공급되는 제2공통전압(vcomr)은 차단된다.

[0058] 제i번째 게이트구동부(GIP_i)는 제j번째 게이트구동부(GIP_j)의 전단에 위치하므로, 게이트하이(gh)에 해당하는 게이트신호를 출력한 이후 게이트로우(g1)로 유지된다. 제i번째 게이트구동부(GIP_i)의 QB노드(OB)는 게이트신호를 게이트로우(g1)로 유지하기 위해 충전된 상태가 된다.

[0059] 제i번째 게이트구동부(GIP_i)의 QB노드(OB)의 전위는 게이트하이에 해당하는 게이트신호를 출력한 이후 1 프레임 구간 동안 충전된 상태를 유지하게 된다. 따라서, 제1트랜지스터(M1)가 턴오프되면 제2트랜지스터(M2)는 제i번째 게이트구동부(GIP_i)의 QB노드(OB)의 전위에 대응하여 턴온된다. 제2트랜지스터(M2)가 턴온되면 제3공통전압출력라인(VCOMR)을 통해 전달된 제3공통전압(vcomr)은 제j번째 공통전압라인(VCOM_j)에 공급된다. 이때, 제j번째 공통전압라인(VCOM_j)에 공급되는 제3공통전압(vcomr)은 제1트랜지스터(M1)가 재차 턴온 되는 구간까지 유지된다.

[0060] 이하, 종래 기술과 본 발명의 제1실시예를 비교 설명한다.

[0061] 도 5는 종래 기술과 본 발명의 제1실시예 간의 공통전압 출력 특성을 비교 설명하기 위한 파형도이고, 도 6은 종래 기술과 본 발명의 제1실시예 간의 전위차를 비교 설명하기 위한 파형도이다.

[0062] 도 5의 (a)에 도시된 바와 같이, 종래 기술은 공통전압이 정극성(vp)과 부극성(vn)을 갖도록 프레임 단위로 스위칭하며 교번한다. 예컨대, 홀수 데이터라인에 공급되는 홀수 데이터신호(datao)는 정극성(vp)과 부극성(vn) 순으로 교번하고, 홀수 공통전압라인에 공급되는 홀수 공통전압(vcom₀)은 부극성(vn)과 정극성(vp) 순으로 교번한다. 그리고 짝수 데이터라인에 공급되는 짝수 데이터신호(datae)는 부극성(vn)과 정극성(vp) 순으로 교번하고, 짝수 공통전압라인에 공급되는 짝수 공통전압(vcom₀)은 정극성(vp)과 부극성(vn) 순으로 교번한다. 즉, 종래 기술은 공통전압의 극성이 1 프레임(1 Frame) 동안 그대로 유지된다.

[0063] 종래 기술은 동일한 극성의 공통전압을 가지고 있는 모든 서브 픽셀의 공통전압이 동일한 블랭크 시점에서 변하게 된다. 이로 인해, 액정패널의 상단과 하단에 위치하는 서브 픽셀에 공급되는 공통전압에 홀딩시간 차이가 발생하게 된다. 또한, 공통전압의 프레임별 변화에 의해 휘도 감소 후 유지시간도 차이가 발생하게 된다.

[0064] 도 5의 (b)에 도시된 바와 같이, 본 발명의 제1실시예는 공통전압이 정극성(vp)과 부극성(vn)을 갖도록 프레임

단위로 스윙하며 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 스윙하고 나머지 시간은 기준전압에 해당하는 제3공통전압(vcomr)으로 유지된다.

- [0065] 예컨대, 홀수 데이터라인에 공급되는 홀수 데이터신호(datao)는 정극성(vp)과 부극성(vn) 순으로 교번하고, 홀수 공통전압라인에 공급되는 홀수 공통전압(vcom)은 부극성(vn)과 정극성(vp) 순으로 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 부극성(vn) 또는 정극성(vp)을 갖는다.
- [0066] 그리고 짝수 데이터라인에 공급되는 짝수 데이터신호(datae)는 부극성(vn)과 정극성(vp) 순으로 교번하고, 짝수 공통전압라인에 공급되는 짝수 공통전압(vcome)은 정극성(vp)과 부극성(vn) 순으로 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 정극성(vp) 또는 부극성(vn)을 갖는다. 즉, 본 발명의 제1실시예는 공통전압의 극성이 1 프레임(1 Frame)이 아닌 1 수평시간(1H)만 인가되고 이후 제3공통전압(vcomr)으로 유지된다.
- [0067] 본 발명의 제1실시예는 데이터신호가 충전되는 서브 픽셀에 한하여 일시적으로 정극성 또는 부극성의 공통전압이 공급되고, 이후 정극성과 부극성 사이의 레벨을 갖는 기준전압으로 유지된다. 이 경우, 액정패널의 모든 서브 픽셀(또는 모든 공통전압라인)은 1 프레임 구간 동안 동일한 기준전압을 유지하게 된다. 이로 인하여, 액정패널의 상단과 하단에 위치하는 서브 픽셀에 공급되는 공통전압에 홀딩시간 차이가 거의 발생하지 않게 되고, 공통전압의 프레임별 변화에 따른 문제 또한 개선 또는 제거된다.
- [0068] 위와 같은 공통전압 출력 특성에 의해 종래 기술은 1/2 가량의 구동전압(1/2 VDD) 저감 효과를 발현했지만, 본 발명의 제1실시예는 1/4 가량의 구동전압(1/4 VDD) 저감 효과를 발현할 수 있게 된다. 한편, 공통전압의 극성이 정극성(vp) 또는 부극성(vn)을 갖는 시간은 게이트신호의 오버랩(overlap) 구동시 증가할 수도 있게 되므로 이 시간이 1 수평시간(1H)에 한정되는 것은 아니다.
- [0069] 도 6의 (a)에 도시된 바와 같이, 종래 기술은 제1공통전압(vcom)과 제2공통전압(vcome)이 정극성(vp)과 부극성(vn)을 갖도록 프레임 단위로 스윙하며 교번하게 됨에 따라, 서브 픽셀들 간에는 전위차(Va)가 크게 발생하게 된다.
- [0070] 예컨대, PXL은 N번째의 서브 픽셀에 충전된 데이터전압이고, PXL[N-1]은 이와 인접한 N-1번째 서브 픽셀에 충전된 데이터전압을 나타낸다. 두 서브 픽셀을 살펴보면, 서브 픽셀들에 블랙에 해당하는 동일한 데이터신호가 충전된 상태에서도 두 서브 픽셀 간에는 전위차(Va)가 크게 형성된다. [두 서브 픽셀에 공급된 제1공통전압(vcom)과 제2공통전압(vcome) 간의 극성차가 존재하기 때문]
- [0071] 그러므로, 종래 기술은 인접하는 서브 픽셀 간의 전위차가 필연적으로 형성됨에 따라 빛샘이 발생하게 된다.
- [0072] 도 6의 (b)에 도시된 바와 같이, 본 발명의 제1실시예는 제1공통전압(vcom)과 제2공통전압(vcome)이 정극성(vp)과 부극성(vn)을 갖되, 이후 정극성(vp)과 부극성(vn) 사이의 레벨을 갖는 제3공통전압(vcomr)으로 유지됨에 따라, 서브 픽셀들 간에는 전위차(Vb)가 작게 발생하게 된다.
- [0073] 예컨대, PXL은 N번째의 서브 픽셀에 충전된 데이터전압이고, PXL[N-1]은 이와 인접한 N-1번째 서브 픽셀에 충전된 데이터전압을 나타낸다. 두 서브 픽셀을 살펴보면, 서브 픽셀들에 블랙에 해당하는 데이터신호가 충전된 상태에서도 두 서브 픽셀 간에는 전위차(Vb)가 작게(또는 유사하게) 형성된다. [두 서브 픽셀이 동일한 기준전압을 갖고 있기 때문]
- [0074] 그러므로, 본 발명의 제1실시예는 인접하는 서브 픽셀 간의 전위차가 작거나 유사하게 형성됨에 따라 빛샘이 개선되거나 미발생하게 된다. 도 6의 (a) 및 (b)에서 gs1은 N-1번째 서브 픽셀에 공급되는 게이트신호이고, gs2는 N번째 서브 픽셀에 공급되는 게이트신호이다.
- [0075] 이하, 본 발명의 제1실시예에 따른 공통전압 출력 특성을 게이트신호와 대비하여 설명한다.
- [0076] 도 7은 본 발명의 제1실시예에 따른 공통전압 출력 특성을 게이트신호와 대비하여 설명하기 위한 파형예시도이다. 이하에서 설명되는 공통전압은 제1 또는 제2공통전압에 해당한다.
- [0077] 도 7의 (a)에 도시된 바와 같이, 공통전압선택부에 의해 선택적으로 출력되는 공통전압(vcom)은 게이트신호(gs)의 라이징 엣지구간보다 "t1"시간 앞서고 폴링 엣지구간보다 "t2"시간 뒤지도록 출력될 수 있다.
- [0078] 도 7의 (b)에 도시된 바와 같이, 공통전압선택부에 의해 선택적으로 출력되는 공통전압(vcom)은 게이트신호(gs)의 폴링 엣지구간보다 "t2"시간 뒤지도록 출력될 수 있다.
- [0079] 도 7의 (c)에 도시된 바와 같이, 공통전압선택부에 의해 선택적으로 출력되는 공통전압(vcom)은 게이트신호(gs)

s)와 동기되어 출력될 수 있다.

- [0080] 기 설명된 바와 같이, 공통전압은 공통전압라인이 홀수 라인인지 또는 짝수 라인인지의 여부에 따라 정극성과 부극성 또는 부극성과 정극성으로 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 일시적으로 스윙한다.
- [0081] 그러므로, 공통전압이 선택적으로 출력되는 시간은 게이트신호(gs)의 출력 양상에 의해 좌우된다. 그러므로, 공통전압이 선택적으로 출력되는 시간은 라인 저항이나 기타 기생 성분 등을 고려하여 도 7의 (a) 내지 (c)와 같은 형태로 출력하는 것이 바람직하다.
- [0082] <제2실시예>
- [0083] 도 8은 본 발명의 제2실시예에 따른 액정표시장치의 일부를 나타낸 구성도이고, 도 9는 도 8에 도시된 게이트구동부와 공통전압선택부의 일부를 나타낸 회로도이며, 도 10은 도 9에 도시된 게이트구동부와 공통전압선택부의 동작 설명을 위한 파형도이다.
- [0084] 도 8 내지 도 10에 도시된 바와 같이, 액정패널(160)의 표시영역(AA)에는 서브 픽셀들(SP)이 형성되고, 액정패널(160)의 비표시영역(NA)에는 게이트구동부(130) 및 공통전압선택부(150)가 형성된다.
- [0085] 게이트구동부(130)는 액정패널(160)의 게이트라인을 통해 게이트신호를 순차적으로 공급하기 위해 게이트라인별로 구분되어 구성된 제h번째 게이트구동부(GIP_h) 내지 제j번째 게이트구동부(GIP_j)를 포함한다. 제h번째 게이트구동부(GIP_h) 내지 제j번째 게이트구동부(GIP_j)는 액정패널(160)의 비표시영역(NA)에 형성된 트랜지스터로 구성된다.
- [0086] 제h번째 게이트구동부(GIP_h) 내지 제j번째 게이트구동부(GIP_j)는 제i번째 게이트라인(Gi) 내지 제j번째 게이트라인(Gj)을 통해 게이트신호를 순차적으로 공급한다. 하나의 게이트구동부(예컨대, GIP_i)는 하나의 게이트라인(예: Gi)에 하나의 게이트신호를 공급하는 게이트구동부(130)의 최소단위 회로블록이다.
- [0087] 게이트구동부(130)의 최소단위 회로블록에 해당하는 제i번째 게이트구동부(GIP_i)에는 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd)가 포함된다. 제i번째 게이트구동부(GIP_i)의 출력단(Out)을 통해 출력되는 게이트신호는 Q노드(Q)와 QB노드(QB)의 전위에 따라 게이트하이(gh) 또는 게이트로우(gl)로 선택된다. 풀업 트랜지스터(Tpu)는 Q노드(Q)의 전위에 대응하여 동작하고, 풀다운 트랜지스터(Tpd)는 QB노드(QB)의 전위에 대응하여 동작한다.
- [0088] 게이트구동부를 구성하는 회로는 풀업 트랜지스터(Tpu) 및 풀다운 트랜지스터(Tpd) 외에도 회로의 동작 안정성이나 신뢰성을 높이기 위해 다양하게 구성된다. 그러나 도 9에서는 공통전압선택부(150)와 관련된 Q노드(Q)와 QB노드(QB)의 이해를 돕기 위해 그 일부만 도시한 것이다. 도 9에서 QB node [N-1]은 N-1번째 게이트구동부의 QB노드 전위이고, Q node는 N번째 게이트구동부의 Q노드 전위이다.
- [0089] 한편, Q노드(Q)의 전위가 로직하이 상태이고, 클록신호(CLK)가 로직하이 상태이고, QB노드(QB)의 전위가 로직로우 상태라면, 제i번째 게이트라인(Gj)을 통해 출력되는 게이트신호는 게이트하이(gh)가 된다. 이와 달리, Q노드(Q)의 전위가 로직로우 상태이고, 클록신호(CLK)가 로직하이 상태이고, QB노드(QB)의 전위가 로직하이 상태라면, 제i번째 게이트라인(Gi)을 통해 출력되는 게이트신호는 게이트로우(gl)가 된다.
- [0090] 공통전압선택부(150)는 게이트구동부(130)와 함께 GIP 형태로 액정패널(160)의 비표시영역(NA)에 형성된다. 공통전압선택부(150)는 게이트구동부(130)와 구분되어 별도의 영역을 차지하도록 형성되거나 게이트구동부(130)의 내부에 포함되도록 게이트구동부(130)와 통합되어 형성된다.
- [0091] 공통전압선택부(150)는 트랜지스터들(M1, M2)로 구성된다. 트랜지스터들(M1, M2)은 하나의 게이트라인당 N(N은 2 이상 정수)개씩 배치된다. 달리 설명하면, 트랜지스터들(M1, M2)은 하나의 게이트구동부(예컨대, GIP_i)에 대응하여 N(N은 2 이상 정수)개씩 배치된다.
- [0092] 공통전압선택부(150)는 액정패널(160)의 게이트라인마다 제1공통전압(vcom0) 또는 제2공통전압(vcome)을 선택적으로 공급하고 이후 제3공통전압(vcomr)으로 유지되도록 공통전압의 출력을 제어한다. 공통전압선택부(150)는 액정패널(160)의 제h번째 공통전압라인(VCOMh) 내지 제j번째 공통전압라인(VCOMj)을 통해 제1공통전압(vcom0), 제2공통전압(vcome) 및 제3공통전압(vcomr) 중 하나를 선택적으로 출력한다.
- [0093] 예컨대, 공통전압선택부(150)는 액정패널(160)의 홀수라인에 제1공통전압(vcom0)을 공급하고 이후 제3공통전압(vcomr)이 유지되도록 하고, 액정패널(160)의 짝수라인에 제2공통전압(vcome)을 공급하고 이후 제3공통전압(vcomr)이 유지되도록 출력을 제어한다.

- [0094] 제i번째 게이트구동부(GIP_i)에 위치하는 제1 및 제2트랜지스터들(M1, M2)은 다음과 같이 접속된다. 제1트랜지스터(M1)는 제i번째 게이트구동부(GIP_i)의 Q노드(Q)에 게이트전극이 연결되고 제2공통전압출력라인(VCOM_E)에 제1전극이 연결되며 제i번째 공통전압라인(VCOM_i)에 제2전극이 연결된다. 제2트랜지스터(M2)는 제i번째 게이트구동부(GIP_i)의 QB노드(QB)에 게이트전극이 연결되고 제3공통전압출력라인(VCOM_R)에 제1전극이 연결되며 제i번째 공통전압라인(VCOM_i)에 제2전극이 연결된다.
- [0095] 제i번째 게이트구동부(GIP_i)의 Q노드(Q)의 전위가 로직하이에 해당하는 전압으로 충전되면, 제1트랜지스터(M1)는 로직하이에 해당하는 전압에 대응하여 턴온된다.
- [0096] 제1트랜지스터(M1)가 턴온되면 제2공통전압출력라인(VCOM_E)을 통해 전달된 제2공통전압(vcom_E)은 제i번째 공통전압라인(VCOM_i)에 공급된다. 이후, 제i번째 게이트구동부(GIP_i)의 Q노드(Q)의 전위가 로직로우에 해당하는 전압으로 방전되면, 제1트랜지스터(M1)는 로직로우에 해당하는 전압에 대응하여 턴오프된다. 제1트랜지스터(M1)가 턴오프되면 제i번째 공통전압라인(VCOM_i)에 공급되는 제2공통전압(vcom_E)은 차단된다.
- [0097] 제i번째 게이트구동부(GIP_i)의 Q노드(Q)의 전위가 로직로우에 해당하는 전압으로 방전되면, 제i번째 게이트구동부(GIP_i)의 QB노드(QB)의 전위가 로직하이에 해당하는 전압으로 충전된다.
- [0098] 제i번째 게이트구동부(GIP_i)의 QB노드(QB)의 전위가 로직하이에 해당하는 전압으로 충전되면, 제2트랜지스터(M2)는 로직하이에 해당하는 전압에 대응하여 턴온된다. 제2트랜지스터(M2)가 턴온되면 제3공통전압출력라인(VCOM_R)을 통해 전달된 제3공통전압(vcom_R)은 제i번째 공통전압라인(VCOM_i)에 공급된다. 이때, 제i번째 공통전압라인(VCOM_i)에 공급되는 제3공통전압(vcom_R)은 제1트랜지스터(M1)가 재차 턴온 되는 구간까지 유지된다.
- [0099] 제j번째 게이트구동부(GIP_j)에 위치하는 제1 및 제2트랜지스터들(M1, M2)은 다음과 같이 접속된다. 제1트랜지스터(M1)는 제j번째 게이트구동부(GIP_j)의 Q노드(Q)에 게이트전극이 연결되고 제1공통전압출력라인(VCOM_O)에 제1전극이 연결되며 제j번째 공통전압라인(VCOM_j)에 제2전극이 연결된다. 제2트랜지스터(M2)는 제j번째 게이트구동부(GIP_j)의 QB노드(QB)에 게이트전극이 연결되고 제3공통전압출력라인(VCOM_R)에 제1전극이 연결되며 제j번째 공통전압라인(VCOM_j)에 제2전극이 연결된다.
- [0100] 제j번째 게이트구동부(GIP_j)의 Q노드(Q)의 전위가 로직하이에 해당하는 전압으로 충전되면, 제1트랜지스터(M1)는 로직하이에 해당하는 전압에 대응하여 턴온된다.
- [0101] 제1트랜지스터(M1)가 턴온되면 제1공통전압출력라인(VCOM_O)을 통해 전달된 제1공통전압(vcom_O)은 제j번째 공통전압라인(VCOM_j)에 공급된다. 이후, 제j번째 게이트구동부(GIP_j)의 Q노드(Q)의 전위가 로직로우에 해당하는 전압으로 방전되면, 제1트랜지스터(M1)는 로직로우에 해당하는 전압에 대응하여 턴오프된다. 제1트랜지스터(M1)가 턴오프되면 제j번째 공통전압라인(VCOM_j)에 공급되는 제1공통전압(vcom_O)은 차단된다.
- [0102] 제j번째 게이트구동부(GIP_j)의 Q노드(Q)의 전위가 로직로우에 해당하는 전압으로 방전되면, 제j번째 게이트구동부(GIP_j)의 QB노드(QB)의 전위가 로직하이에 해당하는 전압으로 충전된다.
- [0103] 제j번째 게이트구동부(GIP_j)의 QB노드(QB)의 전위가 로직하이에 해당하는 전압으로 충전되면, 제2트랜지스터(M2)는 로직하이에 해당하는 전압에 대응하여 턴온된다. 제2트랜지스터(M2)가 턴온되면 제3공통전압출력라인(VCOM_R)을 통해 전달된 제3공통전압(vcom_R)은 제j번째 공통전압라인(VCOM_j)에 공급된다. 이때, 제j번째 공통전압라인(VCOM_j)에 공급되는 제3공통전압(vcom_R)은 제1트랜지스터(M1)가 재차 턴온 되는 구간까지 유지된다.
- [0104] 이하, 종래 기술과 본 발명의 제2실시예를 비교 설명한다.
- [0105] 도 11은 종래 기술과 본 발명의 제2실시예 간의 공통전압 출력 특성을 비교 설명하기 위한 파형도이다.
- [0106] 도 11의 (a)에 도시된 바와 같이, 종래 기술은 공통전압이 정극성(vp)과 부극성(vn)을 갖도록 프레임 단위로 스위칭하며 교번한다. 예컨대, 홀수 데이터라인에 공급되는 홀수 데이터신호(datao)는 정극성(vp)과 부극성(vn) 순으로 교번하고, 홀수 공통전압라인에 공급되는 홀수 공통전압(vcom_O)은 부극성(vn)과 정극성(vp) 순으로 교번한다. 그리고 짝수 데이터라인에 공급되는 짝수 데이터신호(datae)는 부극성(vn)과 정극성(vp) 순으로 교번하고, 짝수 공통전압라인에 공급되는 짝수 공통전압(vcom_E)은 정극성(vp)과 부극성(vn) 순으로 교번한다. 즉, 종래 기술은 공통전압의 극성이 1 프레임(1 Frame) 동안 그대로 유지된다.
- [0107] 종래 기술은 동일한 극성의 공통전압을 가지고 있는 모든 서브 픽셀의 공통전압이 동일한 블랭크 시점에서 변하게 된다. 이로 인해, 액정패널의 상단과 하단에 위치하는 서브 픽셀에 공급되는 공통전압에 홀딩시간 차이가 발생하게 된다. 또한, 공통전압의 프레임별 변화에 의해 휘도 감소 후 유지시간도 차이가 발생하게 된다.

- [0108] 도 11의 (b)에 도시된 바와 같이, 본 발명의 제2실시예는 공통전압이 정극성(vp)과 부극성(vn)을 갖도록 프레임 단위로 스위칭하며 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 스위칭하고 나머지 시간은 기준전압에 해당하는 제3공통전압(vcomr)으로 유지된다.
- [0109] 예컨대, 홀수 데이터라인에 공급되는 홀수 데이터신호(datao)는 정극성(vp)과 부극성(vn) 순으로 교번하고, 홀수 공통전압라인에 공급되는 홀수 공통전압(vcom)은 부극성(vn)과 정극성(vp) 순으로 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 부극성(vn) 또는 정극성(vp)을 갖는다.
- [0110] 그리고 짝수 데이터라인에 공급되는 짝수 데이터신호(datae)는 부극성(vn)과 정극성(vp) 순으로 교번하고, 짝수 공통전압라인에 공급되는 짝수 공통전압(vcome)은 정극성(vp)과 부극성(vn) 순으로 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 정극성(vp) 또는 부극성(vn)을 갖는다. 즉, 본 발명의 제2실시예는 공통전압의 극성이 1 프레임(1 Frame)이 아닌 1 수평시간(1H)만 인가되고 이후 제3공통전압(vcomr)으로 유지된다.
- [0111] 본 발명의 제2실시예는 데이터신호가 충전되는 서브 픽셀에 한하여 일시적으로 정극성 또는 부극성의 공통전압이 공급되고, 이후 정극성과 부극성 사이의 레벨을 갖는 기준전압으로 유지된다. 이 경우, 액정패널의 모든 서브 픽셀(또는 모든 공통전압라인)은 1 프레임 구간 동안 동일한 기준전압을 유지하게 된다. 이로 인하여, 액정패널의 상단과 하단에 위치하는 서브 픽셀에 공급되는 공통전압에 홀딩시간 차이가 거의 발생하지 않게 되고, 공통전압의 프레임별 변화에 따른 문제 또한 개선 또는 제거된다.
- [0112] 위와 같은 공통전압 출력 특성에 의해 종래 기술은 1/2 가량의 구동전압(1/2 VDD) 저감 효과를 발현했지만, 본 발명의 제2실시예는 1/4 가량의 구동전압(1/4 VDD) 저감 효과를 발현할 수 있게 된다. 한편, 공통전압의 극성이 정극성(vp) 또는 부극성(vn)을 갖는 시간은 게이트신호의 오버랩(overlap) 구동시 증가할 수도 있게 되므로 이 시간이 1 수평시간(1H)에 한정되는 것은 아니다.
- [0113] 제1실시예를 참조하여 설명한 바와 같이, 본 발명의 제2실시예 또한 제1공통전압(vcom)과 제2공통전압(vcome)이 정극성(vp)과 부극성(vn)을 갖되, 이후 정극성(vp)과 부극성(vn) 사이의 레벨을 갖는 제3공통전압(vcomr)으로 유지됨에 따라, 서브 픽셀들 간에는 전위차(Vb)가 작게 발생하게 된다.
- [0114] 그러므로, 본 발명의 제2실시예는 인접하는 서브 픽셀 간의 전위차가 작거나 유사하게 형성됨에 따라 빛샘이 개선되거나 미발생하게 된다.
- [0115] 이하, 본 발명의 제2실시예에 따른 공통전압 출력 특성을 게이트신호와 대비하여 설명한다.
- [0116] 도 12는 본 발명의 제2실시예에 따른 공통전압 출력 특성을 게이트신호와 대비하여 설명하기 위한 파형예시도이다. 이하에서 설명되는 공통전압은 제1 또는 제2공통전압에 해당한다.
- [0117] 도 12의 (a)에 도시된 바와 같이, 공통전압선택부에 의해 선택적으로 출력되는 공통전압(vcom)은 게이트신호(gs)의 라이징 엣지구간보다 "t1"시간 앞서고 폴링 엣지구간보다 "t2"시간 뒤지도록 출력될 수 있다.
- [0118] 도 12의 (b)에 도시된 바와 같이, 공통전압선택부에 의해 선택적으로 출력되는 공통전압(vcom)은 게이트신호(gs)의 폴링 엣지구간보다 "t2"시간 뒤지도록 출력될 수 있다.
- [0119] 도 12의 (c)에 도시된 바와 같이, 공통전압선택부에 의해 선택적으로 출력되는 공통전압(vcom)은 게이트신호(gs)와 동기되어 출력될 수 있다.
- [0120] 기 설명된 바와 같이, 공통전압은 공통전압라인이 홀수 라인인지 또는 짝수 라인인지의 여부에 따라 정극성과 부극성 또는 부극성과 정극성으로 교번하되, 데이터신호가 서브 픽셀에 충전되는 시간만 일시적으로 스위칭한다.
- [0121] 그러므로, 공통전압이 선택적으로 출력되는 시간은 게이트신호(gs)의 출력 양상에 의해 좌우된다. 그러므로, 공통전압이 선택적으로 출력되는 시간은 라인 저항이나 기타 기생 성분 등을 고려하여 도 12의 (a) 내지 (c)와 같은 형태로 출력하는 것이 바람직하다.
- [0122] 이상 본 발명은 공통전압의 변화 또는 라인 단위의 변화시키되, 공통전압이 공급되는 시점을 데이터신호가 공급되는 시점과 유사 또는 동일하게 출력하여 공통전압 스위칭에 의해 발생하는 액정패널의 상/하단 간의 휘도차 및 빛샘 문제를 개선하는 효과가 있다. 또한, 본 발명은 충전 이외의 시간에는 공통전압을 기준전압 상태(또는 플로팅 상태)로 형성하여 공통전압 간의 전위차를 제거함과 더불어 공통전압 스위칭에 따른 소비전력을 저감하는 효과가 있다. 또한, 본 발명은 공통전압을 선택적으로 출력하는 장치를 게이트구동부와 함께 GIP형태로 형성(또는 게이트구동부와 통합)할 수 있어 장치 개선에 따른 개발비를 절감할 수 있는 효과가 있다.

[0123]

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

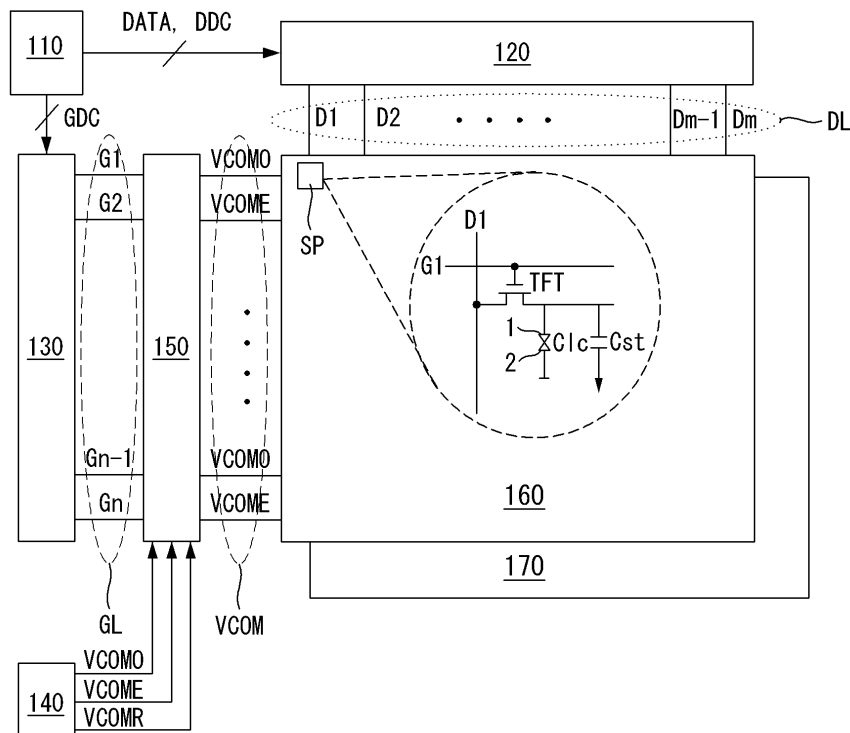
부호의 설명

[0124]

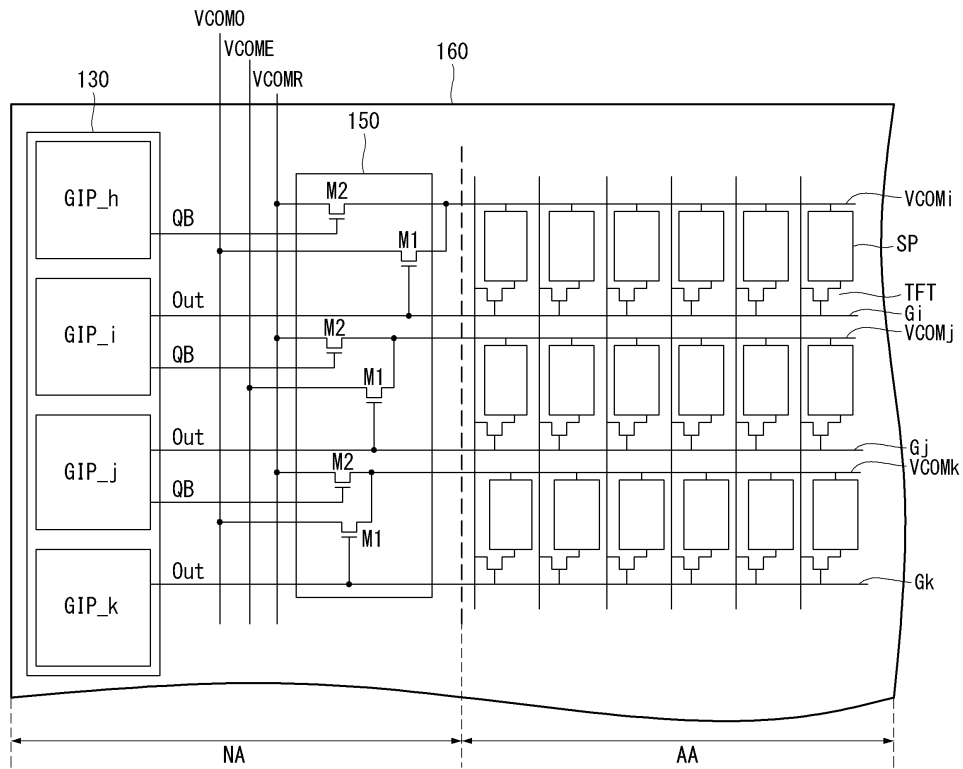
160: 액정패널
130: 게이트구동부
120: 데이터구동부
170: 백라이트유닛
140: 공통전압생성부
150: 공통전압선택부
Tpu: 풀업 트랜지스터
Tpd: 풀다운 트랜지스터
OB: QB노드
Q: Q노드
VCOMO ~ VCOMR: 제1 내지 제3공통전압출력라인
M1, M2: 제1 및 제2트랜지스터

도면

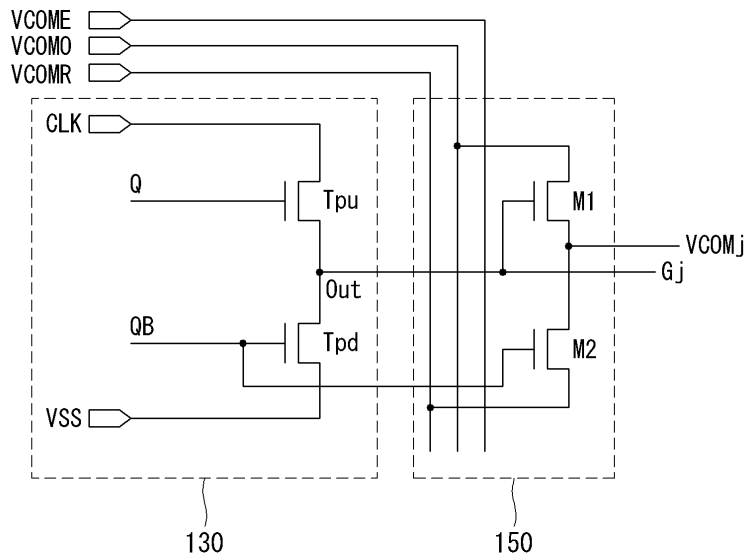
도면1



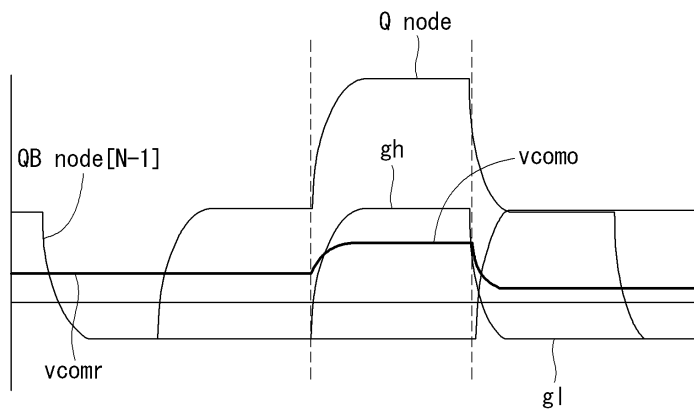
도면2



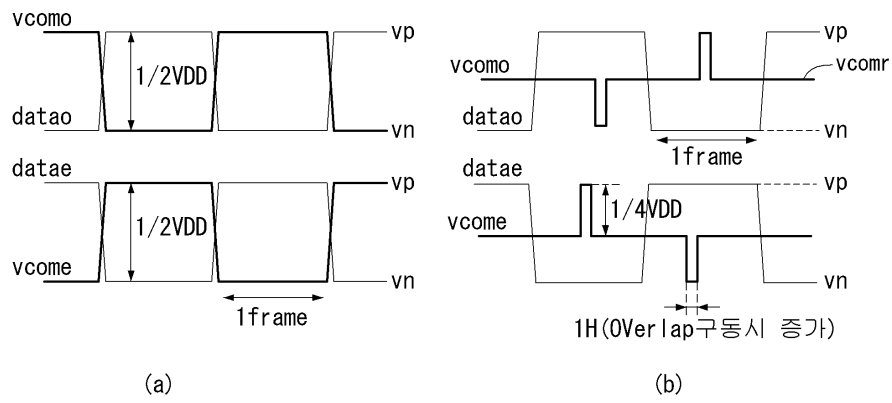
도면3



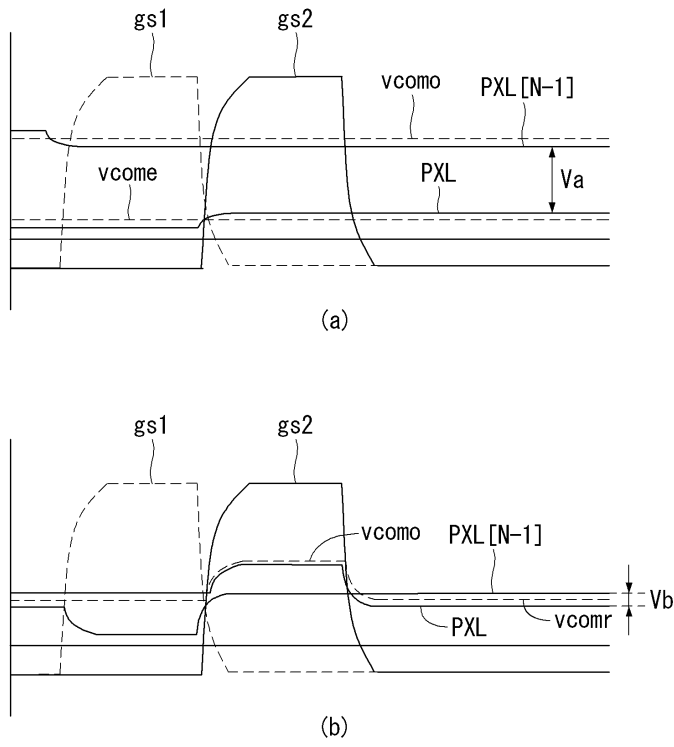
도면4



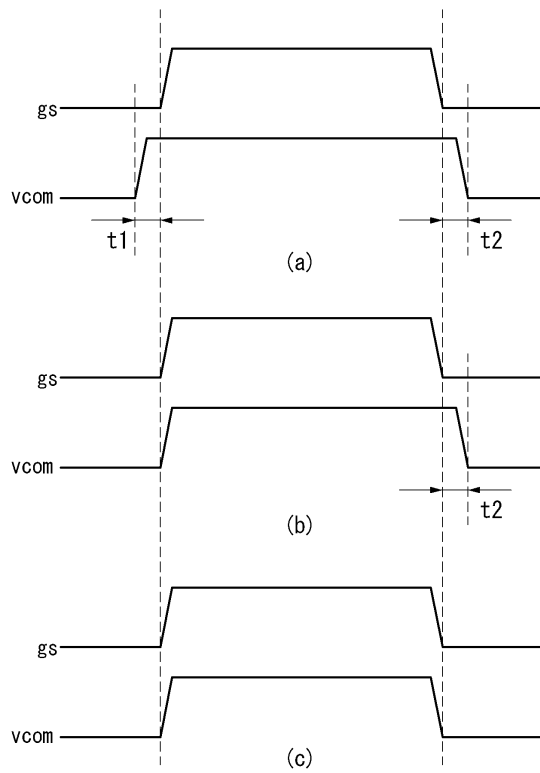
도면5



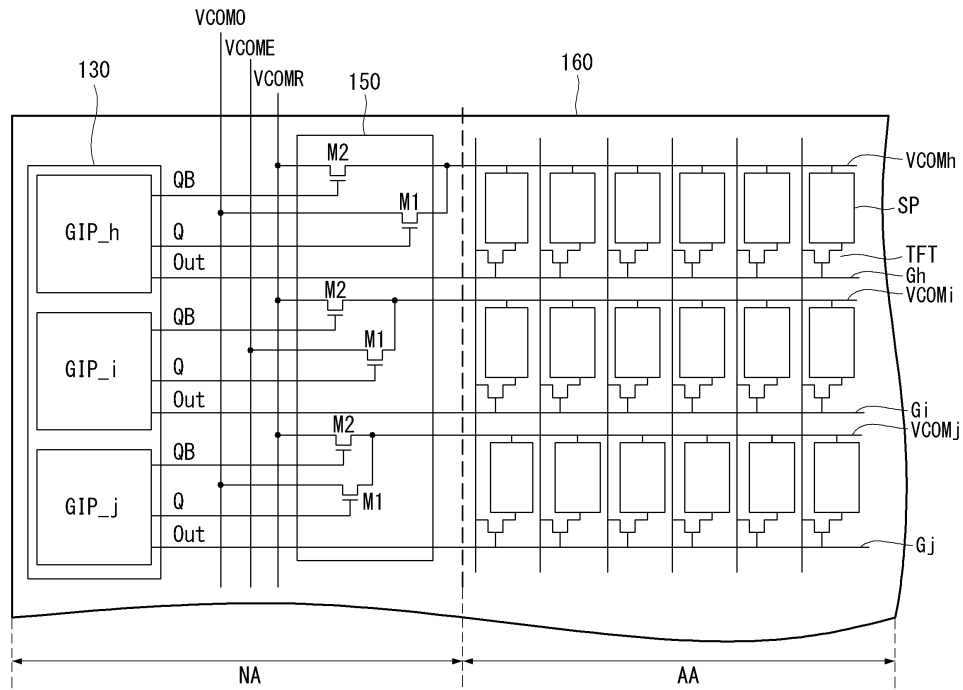
도면6



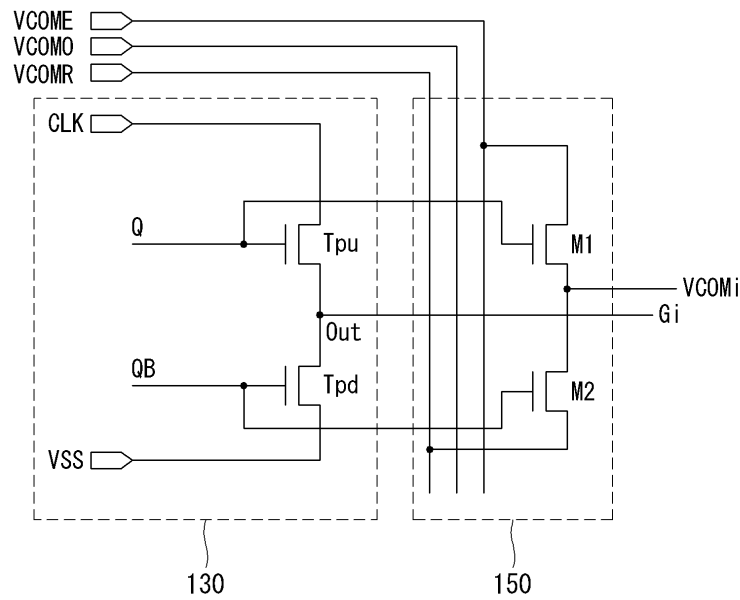
도면7



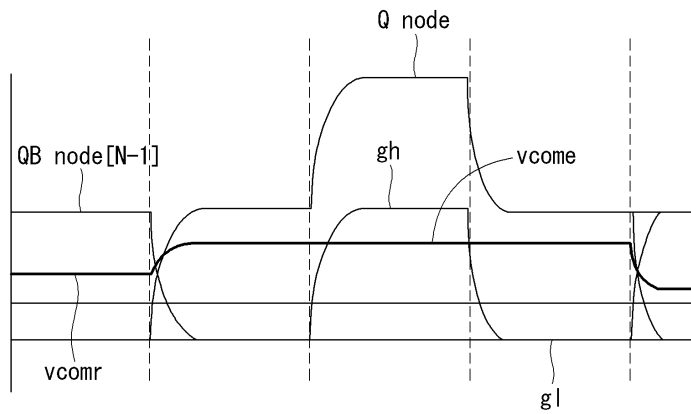
도면8



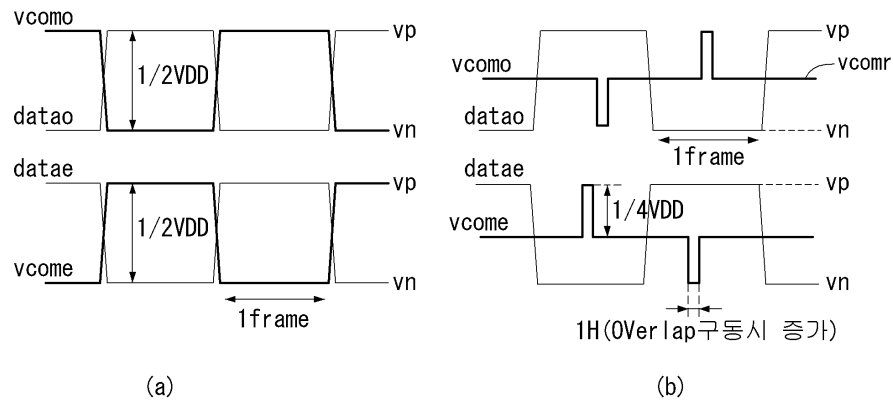
도면9



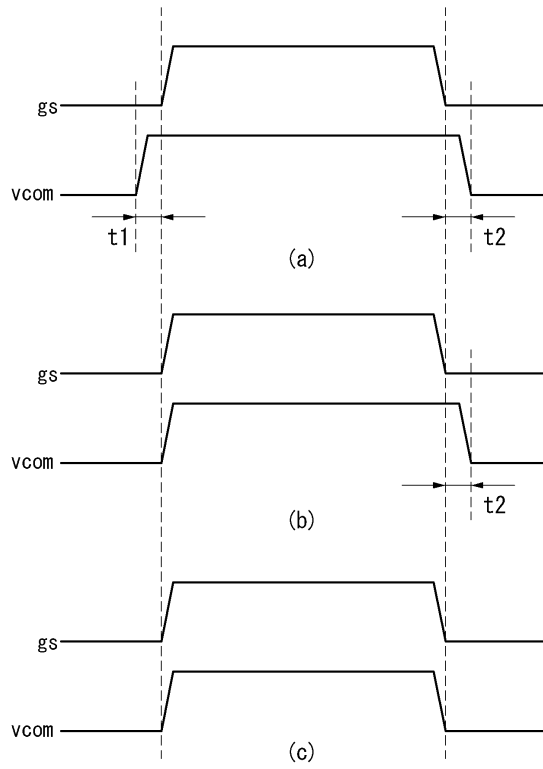
도면10



도면11



도면12



本发明的液晶面板；栅极驱动器将栅极信号提供给液晶面板；液晶面板中由线布线的公共电压线；公共电压发生器，被配置为输出与第一和第二公共电压与具有相反极性的第一和第二公共电压之间的电压相对应的第三公共电压；以及用于每个公共电压线的公共电压发生器。以及公共电压选择器，被配置为选择并传输从公共电压选择器输出的第一至第三公共电压中的一个。本发明提供一种液晶显示装置，其特征在于保持。

专利出版物10-2015-0029187

