



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0143094
(43) 공개일자 2014년12월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/1337 (2006.01) G02F 1/136 (2006.01)
G02F 1/1339 (2006.01)
(21) 출원번호 10-2014-0064309
(22) 출원일자 2014년05월28일
심사청구일자 없음
(30) 우선권주장
JP-P-2013-118550 2013년06월05일 일본(JP)
(뒷면에 계속)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
구보타 다이스케
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
구보타 유스케
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
양영준, 박충범

전체 청구항 수 : 총 20 항

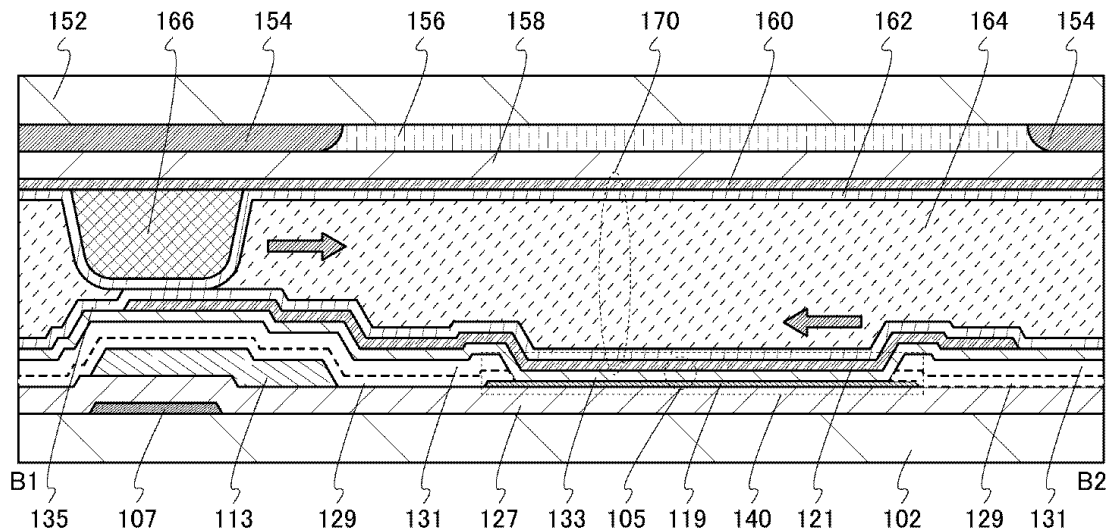
(54) 발명의 명칭 표시 장치 및 전자 기기

(57) 요약

본 발명은 배향 불량이 저감된 표시 장치를 제공한다. 또한, 개구율이 높고, 또한 전하 용량을 증대시킬 수 있는 용량 소자를 갖는 표시 장치를 제공한다. 또한, 개구율이 높고, 전하 용량이 큰 용량 소자를 갖고, 또한 배향 불량이 저감된 표시 장치를 제공한다.

주사전, 데이터선, 및 용량선으로 구획된 영역에 화소를 갖는 표시 장치이며, 화소는 대향 전극과 화소 전극에 협지된 액정층과, 액정층 내에 형성된 스페이서와, 화소 전극에 접속된 트랜지스터를 갖고, 화소 전극은 오목부를 갖고, 스페이서와 오목부에 의하여 액정층의 배향 방향이 제어된다.

대표도



(30) 우선권주장

JP-P-2013-122849 2013년06월11일 일본(JP)

JP-P-2014-037205 2014년02월27일 일본(JP)

특허청구의 범위

청구항 1

매트릭스로 배치된 복수의 화소를 포함하는 표시 장치에 있어서,
 각 화소는,
 투광성을 갖는 도전층과;
 상기 도전층 위의 제 1 절연층과;
 상기 제 1 절연층 위의, 오목부를 갖는 화소 전극과;
 상기 화소 전극과 대향하는 대향 전극과;
 상기 화소 전극과 상기 대향 전극 사이의 액정층과;
 상기 화소 전극과 상기 대향 전극 사이의, 상기 액정층 내의 스페이서를 포함하고,
 상기 오목부는 상기 도전층과 중첩되고,
 상기 액정층의 배향은 상기 오목부와 상기 스페이서에 의하여 제어되는, 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 도전층 위의 개구를 갖는 제 2 절연층을 더 포함하고,
 상기 제 1 절연층 및 상기 화소 전극은 상기 제 2 절연층 위에 있고,
 상기 오목부는 상기 개구를 따라서 제공되는, 표시 장치.

청구항 3

제 1 항에 있어서,
 상기 스페이서와 상기 오목부는 서로 중첩되지 않는, 표시 장치.

청구항 4

제 1 항에 있어서,
 상기 액정층을 개재(介在)하여 서로 대향하는 한 쌍의 배향막을 더 포함하는, 표시 장치.

청구항 5

전자 기기에 있어서,
 제 1 항에 따른 표시 장치를 포함하는, 전자 기기.

청구항 6

매트릭스로 배치된 복수의 화소를 포함하는 표시 장치에 있어서,
 각 화소는,
 오목부를 갖는 화소 전극과;
 상기 화소 전극과 대향하는 대향 전극과;
 상기 화소 전극과 상기 대향 전극 사이의 액정층과;
 상기 화소 전극과 상기 대향 전극 사이의, 상기 액정층 내의 스페이서와;

상기 화소 전극에 전기적으로 접속되고, 산화물 반도체층에 채널 형성 영역을 포함하는 트랜지스터와;
 상기 화소 전극, 및 투광성을 갖는 도전층을 포함하는 용량 소자를 포함하고,
 상기 도전층과 상기 오목부는 서로 중첩되고,
 상기 산화물 반도체층 및 상기 도전층은 동일 표면 위에 제공되고 동일 재료를 포함하고,
 상기 액정층의 배향은 상기 오목부와 상기 스페이서에 의하여 제어되는, 표시 장치.

청구항 7

제 6 항에 있어서,
 상기 트랜지스터 위의, 개구를 갖는 절연층을 더 포함하고,
 상기 오목부는 상기 개구를 따라서 제공되는, 표시 장치.

청구항 8

제 6 항에 있어서,
 상기 스페이서와 상기 오목부는 서로 중첩되지 않는, 표시 장치.

청구항 9

제 6 항에 있어서,
 상기 액정층을 개재하여 서로 대향하는 한 쌍의 배향막을 더 포함하는, 표시 장치.

청구항 10

제 6 항에 있어서,
 한 화소와 다른 한 화소 사이에 있고, 상기 한 화소의 상기 용량 소자 및 상기 다른 한 화소의 상기 용량 소자에 전기적으로 접속되는 용량선을 더 포함하고,
 상기 한 화소의 상기 도전층 및 상기 다른 한 화소의 상기 도전층은 하나의 동일한 도전층이고,
 상기 하나의 동일한 도전층은,
 상기 한 화소의 상기 용량 소자의 한쪽 전극으로서 기능하는 제 1 영역과;
 상기 용량선과 중첩되는 제 2 영역과;
 상기 다른 한 화소의 상기 용량 소자의 한쪽 전극으로서 기능하는 제 3 영역을 포함하고,
 상기 제 2 영역은 상기 제 1 영역과 상기 제 3 영역 사이에 있는, 표시 장치.

청구항 11

제 10 항에 있어서,
 상기 한 화소의 상기 용량 소자 및 상기 다른 한 화소의 상기 용량 소자는 상기 용량선을 중심으로 해서 대칭으로 배치되는, 표시 장치.

청구항 12

전자 기기에 있어서,
 제 6 항에 따른 표시 장치를 포함하는, 전자 기기.

청구항 13

표시 장치에 있어서,
 제 1 화소로서,

제 1 화소 전극과;
 제 1 대향 전극과;
 상기 제 1 화소 전극과 상기 제 1 대향 전극 사이의 제 1 액정층과;
 상기 제 1 화소 전극과 상기 제 1 대향 전극 사이의, 상기 제 1 액정층 내의 제 1 스페이서와;
 상기 제 1 화소 전극에 전기적으로 접속되는 제 1 트랜지스터를 포함하는 상기 제 1 화소와;
 제 2 화소로서,
 제 2 화소 전극과;
 제 2 대향 전극과;
 상기 제 2 화소 전극과 상기 제 2 대향 전극 사이의 제 2 액정층과;
 상기 제 2 화소 전극과 상기 제 2 대향 전극 사이의, 상기 제 2 액정층 내의 제 2 스페이서와;
 상기 제 2 화소 전극에 전기적으로 접속되는 제 2 트랜지스터를 포함하는 상기 제 2 화소와;
 상기 제 1 화소와 상기 제 2 화소 사이의 용량선과;
 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 위의, 개구를 갖는 절연층을 포함하고,
 상기 제 1 화소 전극과 상기 제 2 화소 전극은 상기 절연층 위에 제공되고, 일부가 상기 개구와 중첩되고,
 상기 제 1 화소 전극은 상기 개구를 따라서 제 1 오목부를 포함하고,
 상기 제 2 화소 전극은 상기 개구를 따라서 제 2 오목부를 포함하는, 표시 장치.

청구항 14

제 13 항에 있어서,
 상기 제 1 스페이서와 상기 제 1 오목부는 서로 중첩되지 않고,
 상기 제 2 스페이서와 상기 제 2 오목부는 서로 중첩되지 않는, 표시 장치.

청구항 15

제 13 항에 있어서,
 상기 제 1 액정층과 상기 제 2 액정층을 개재하여 서로 대향하는 한 쌍의 배향막을 더 포함하는, 표시 장치.

청구항 16

제 13 항에 있어서,
 상기 제 1 액정층의 배향은 상기 제 1 오목부와 상기 제 1 스페이서에 의하여 제어되고,
 상기 제 2 액정층의 배향은 상기 제 2 오목부와 상기 제 2 스페이서에 의하여 제어되는, 표시 장치.

청구항 17

제 13 항에 있어서,
 상기 제 1 화소는 제 1 용량 소자를 포함하고, 상기 제 1 용량 소자는 상기 제 1 화소 전극, 및 투광성을 갖는 도전층을 포함하고,
 상기 제 2 화소는 제 2 용량 소자를 포함하고, 상기 제 2 용량 소자는 상기 제 2 화소 전극, 및 투광성을 갖는 상기 도전층을 포함하고,
 상기 도전층은 상기 용량선과 중첩되는 제 1 영역을 포함하고,
 상기 개구는 상기 제 1 영역과 중첩되는 제 2 영역을 포함하는, 표시 장치.

청구항 18

제 17 항에 있어서,

상기 제 1 용량 소자와 상기 제 2 용량 소자는 상기 용량선을 중심으로 해서 대칭으로 배치되는, 표시 장치.

청구항 19

제 17 항에 있어서,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터는 각각 산화물 반도체층에 채널 형성 영역을 포함하고,

상기 산화물 반도체층과 상기 도전층은 동일 표면 위에 제공되고 동일 재료를 포함하는, 표시 장치.

청구항 20

전자 기기에 있어서,

제 13 항에 따른 표시 장치를 포함하는, 전자 기기.

명세서

기술분야

[0001] 본 명세서 등에서 제시하는 발명은 표시 장치, 및 상기 표시 장치를 갖는 전자 기기에 관한 것이다.

배경기술

[0002] 근년, 스마트폰을 비롯한 휴대 정보 단말이 급속하게 보급됨에 따라, 단말 자체의 고성능화도 급속하게 진행되고 있다. 화면의 대형화나 고정세(高精細)화가 진행되고 있고, 화면의 정세도의 향상과 함께 표시 장치의 소비전력이 중요시되고 있다. 표시 장치로서는, 예를 들어 액정 소자를 사용한 액정 표시 장치가 대표적이다. 액정 표시 장치에서, 행 방향 및 열 방향으로 배치된 화소 내에는 스위칭 소자인 트랜지스터와, 상기 트랜지스터와 전기적으로 접속된 액정 소자와, 상기 액정 소자와 병렬로 접속된 용량 소자 등이 제공되어 있다.

[0003] 상기 트랜지스터의 반도체막을 구성하는 반도체 재료로서는, 어모퍼스(비정질) 실리콘 또는 폴리(다결정) 실리콘 등의 실리콘 반도체가 범용되고 있다.

[0004] 또한, 반도체 특성을 갖는 금속 산화물(이하, 산화물 반도체라고 기재함)은 트랜지스터의 반도체막에 적용할 수 있는 반도체 재료이다. 예를 들어, 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 공개되어 있다(특허문헌 1 및 특허문헌 2 참조).

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개2007-123861호 공보

(특허문헌 0002) 일본국 특개2007-96055호 공보

발명의 내용

해결하려는 과제

[0006] 표시 장치에서 화소 주변의 단차부 등의 요철이 크면 액정층의 배향 불량이 발생되기 쉽다. 이 배향 불량은 예를 들어 화소 전극, 트랜지스터에 접속되는 주사선 및 데이터선 근방의 단차부의 변을 따라서 발생되기 쉽다. 그러므로, 표시 영역으로서 사용할 수 있는 화소의 개구의 일부를 차광막(소위 블랙 매트릭스, BM이라고도 함)으로 덮을 필요가 있다. 그러므로, 화소의 개구율이 저감되고 화소의 표시 품질이 저하된다.

[0007] 상술한 배향 불량을 저감시키기 위해서는, 트랜지스터 등에 기인하는 단차부 등의 요철이 유기 수지 등에 의하

여 평탄화 처리되는 경우가 많다.

- [0008] 그러나 트랜지스터를 구성하는 반도체 재료로서 산화물 반도체를 사용한 경우, 유기 수지에 포함되는 불순물(대표적으로 수분 등)이 상기 산화물 반도체에 들어가면 반도체 특성에 악영향을 미치기 때문에 가능한 한 유기 수지를 사용하지 않도록 표시 장치를 제작하고자 하는 과제가 있다.
- [0009] 또한, 표시 장치를 고정세화한 경우에 한 화소 크기가 작게 되어 많은 화소가 표시 장치에 배치되게 된다. 고정세화된 표시 장치에서, 예를 들어 액정 소자의 배향 제어로서 러빙 처리에 의한 배향 제어를 수행한 경우 한 화소 크기가 작으며 복수의 화소 모두에 대하여 배향 제어를 수행할 필요가 있으므로 배향 불량 발생 확률이 높아져 표시 장치의 수율이 저하된다는 과제가 있다.
- [0010] 또한, 표시 장치에 용량 소자를 제공한 경우, 이 용량 소자에서는, 한 쌍의 전극 사이에 유전체막이 제공되어 있고, 한 쌍의 전극 중 적어도 한쪽 전극은, 트랜지스터를 구성하는 게이트 전극, 소스 전극 또는 드레인 전극 등의 도전막으로 형성되어 있는 경우가 많다. 용량 소자의 용량값을 크게 할수록, 전계를 가한 상황에서, 액정 소자의 액정 분자의 배향을 일정하게 유지할 수 있는 기간을 길게 할 수 있다. 정지 화상을 표시시키는 표시 장치에 있어서, 상기 기간을 길게 할 수 있으면, 화상 데이터를 재기록하는 횟수를 저감시킬 수 있어, 소비 전력의 저감을 기대할 수 있다.
- [0011] 용량 소자의 전하 용량을 크게 하기 위해서는 용량 소자의 점유 면적을 크게 하는 수단, 구체적으로는 한 쌍의 전극이 중첩되어 있는 면적을 크게 하는 수단이 있다. 그러나, 상기 표시 장치에서, 한 쌍의 전극이 중첩되는 면적을 크게 하기 위하여 도전막의 면적을 크게 하면, 화소의 개구율이 저감되고, 화상의 표시 품질이 저하된다. 또한, 표시 장치가 고정세화된 경우, 한 화소 크기가 작게 되므로 용량 소자의 면적을 크게 하기 어렵게 된다.
- [0012] 상기 과제를 감안하여, 본 발명의 일 형태는 배향 불량이 저감된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또한, 본 발명의 일 형태는 개구율이 높고, 또한 전하 용량을 증대시킬 수 있는 용량 소자를 갖는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또한, 본 발명의 일 형태는 개구율이 높고, 전하 용량이 큰 용량 소자를 갖고, 또한 배향 불량이 저감된 표시 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

- [0013] 본 발명의 일 형태는, 주사선, 데이터선, 및 용량선으로 구획된 영역에 화소를 갖는 표시 장치이며, 화소는 대향 전극과 화소 전극에 협지된 액정층과, 액정층 내에 형성된 스페이서와, 화소 전극에 접속된 트랜지스터를 갖고, 화소 전극은 오목부를 갖고, 스페이서와 오목부에 의하여 액정층의 배향 방향이 제어되는 것을 특징으로 하는 표시 장치이다.
- [0014] 스페이서와 오목부에 의하여 액정층의 배향 방향이 제어됨으로써, 러빙 처리를 수행하지 않고 액정층의 배향을 제어할 수 있다. 스페이서와 오목부가 복수의 화소에 각각 독립적으로 형성되어 있으므로, 액정 표시 장치를 고정세화한 경우에도 각 화소에서의 액정층의 배향 불량을 저감시킬 수 있다.
- [0015] 또한, 상기 오목부는 화소 전극을 형성하기 전의 마지막, 예를 들어 절연층을 개구하여 이 절연층의 개구를 따라서 화소 전극을 형성함으로써 오목부를 화소 전극에 형성할 수 있다.
- [0016] 또한, 본 발명의 일 형태인 표시 장치의 제작 방법에 대해서도 본 발명의 일 형태에 포함된다.

발명의 효과

- [0017] 본 발명의 일 형태에 의하여 배향 불량이 저감된 표시 장치를 제공할 수 있다. 또한, 개구율이 높고, 또한 전하 용량을 증대시킬 수 있는 용량 소자를 갖는 표시 장치를 제공할 수 있다. 또한, 개구율이 높고, 전하 용량이 큰 용량 소자를 갖고, 또한 배향 불량이 저감된 표시 장치를 제공할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 형태인 표시 장치의 화소 주변을 설명한 상면도.
 도 2는 본 발명의 일 형태인 표시 장치의 화소를 설명한 단면도.
 도 3은 본 발명의 일 형태인 표시 장치의 화소를 설명한 단면도.

도 4는 본 발명의 일 형태인 표시 장치의 화소를 설명한 단면도.
 도 5는 본 발명의 일 형태인 표시 장치의 제작 방법을 설명한 단면도.
 도 6은 본 발명의 일 형태인 표시 장치의 제작 방법을 설명한 단면도.
 도 7은 본 발명의 일 형태인 표시 장치의 제작 방법을 설명한 단면도.
 도 8은 본 발명의 일 형태인 표시 장치의 제작 방법을 설명한 단면도.
 도 9는 본 발명의 일 형태인 표시 장치의 화소 주변을 설명한 상면도.
 도 10은 본 발명의 일 형태인 표시 장치의 화소 주변을 설명한 상면도.
 도 11은 본 발명의 일 형태인 표시 장치의 화소 주변을 설명한 상면도.
 도 12는 표시 장치를 설명한 블록도 및 회로도.
 도 13은 표시 모듈을 설명한 도면.
 도 14는 전자 기기를 설명한 도면.
 도 15는 실시예의 계산에 사용한 표시 장치의 구성을 설명한 단면도.
 도 16은 투과율의 계산 결과를 설명한 도면.
 도 17은 투과율의 계산 결과를 설명한 도면.
 도 18은 트랜지스터의 일 형태를 설명한 상면도 및 단면도.
 도 19는 트랜지스터의 일 형태를 설명한 상면도 및 단면도.
 도 20은 본 발명의 일 형태인 표시 장치의 구동 회로의 일례를 설명한 회로부 및 상면도.
 도 21은 본 발명의 일 형태인 표시 장치의 구동 회로의 일례를 설명한 단면도.
 도 22는 실시예의 표시 장치의 표시를 설명한 도면.
 도 23은 실시예의 화소의 관찰 결과를 설명한 도면.
 도 24는 저항률의 온도 의존성을 설명한 도면.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에서는, 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에서 제시하는 실시형태의 기재 내용에 한정되어 해석되는 것이 아니다.
- [0020] 이하에서 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 다른 도면간에서 동일한 부호를 공통적으로 사용하고 그 반복 설명은 생략한다. 또한, 같은 기능을 갖는 부분을 가리킬 때는 같은 해치(hatch) 패턴을 사용하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0021] 본 명세서에서 설명하는 각 도면에서 각 구성의 크기, 막 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 그 스케일에 반드시 한정되지 않는다.
- [0022] 본 명세서 등에 있어서, 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용하는 것이고, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 따라서, 예를 들어 '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 바꿔서 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.
- [0023] 또한, 본 발명에서의 '소스' 및 '드레인'의 기능은 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 따라서, 본 명세서에서는 '소스' 및 '드레인'이라는 용어는 서로 바꾸어 사용할 수 있는 것으로 한다.
- [0024] (실시형태 1)

- [0025] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 대하여 도 1~도 11을 사용하여 이하에서 설명한다.
- [0026] <표시 장치의 구성예>
- [0027] 도 1은 표시 장치에서의 화소 주변의 상면도를 도시한 것이다. 또한, 도 1의 상면도에서는 도면의 복잡화를 피하기 위하여 일부의 구성 요소가 생략되어 있다.
- [0028] 도 1에서, 주사선(107), 데이터선(109), 및 용량선(115)으로 구획된 영역에 화소(101)가 있다. 또한, 주사선(107)은 데이터선(109)과 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 제공되어 있다. 데이터선(109)은 주사선(107)과 대략 직교하는 방향(도면 중 상하 방향)으로 연장되어 제공되어 있다. 용량선(115)은 데이터선(109)과 대략 평행한 방향으로 연장되어 제공되어 있다.
- [0029] 트랜지스터(103)는 주사선(107)과 중첩되는 위치에 형성되고, 주사선(107)과 데이터선(109)이 교차되는 영역에 제공된다. 트랜지스터(103)는, 채널 형성 영역을 갖는 반도체층(111), 게이트 전극, 게이트 절연층(도 1에 도시되지 않았음), 소스 전극, 및 드레인 전극을 적어도 포함한다.
- [0030] 또한, 주사선(107)은 트랜지스터(103)의 게이트 전극으로서도 기능하고 데이터선(109)은 트랜지스터(103)의 소스 전극으로서도 기능한다. 도전층(113)은 트랜지스터(103)의 드레인 전극으로서 기능하고 개구(117)를 통하여 화소 전극(121)과 전기적으로 접속된다. 또한, 이하에서는 트랜지스터(103)의 게이트 전극을 가리킬 때에도 주사선(107)이라고 기재하고, 트랜지스터(103)의 소스 전극을 가리킬 때에도 데이터선(109)이라고 기재하는 경우가 있다.
- [0031] 용량 소자(105)는 트랜지스터(103)가 갖는 반도체층(111)보다 도전율이 높으며 투광성을 갖는 반도체층(119)과, 투광성을 갖는 화소 전극(121)과, 유전체층으로서 기능하는, 트랜지스터(103)에 포함되며 투광성을 갖는 절연층(도 1에 도시되지 않았음)으로 구성되어 있다. 즉, 용량 소자(105)는 투광성을 갖는다. 또한, 용량선(115)은 반도체층(119) 위에 접촉하도록 제공되어 있고 용량선(115)과 반도체층(119)은 전기적으로 접속된다. 또한, 반도체층(119) 위에는 개구(140)가 형성되어 있다. 개구(140)는 반도체층(119) 위에 제공된 절연층(도 1에 도시되지 않았음)을 가공함으로써 형성된다. 또한, 개구(140)의 일부를 덮도록 화소 전극(121)이 형성되어 있으므로 화소 전극(121)은 오목부를 갖는다.
- [0032] 또한, 화소(101) 내에는 스페이서(166)가 제공되어 있고, 스페이서(166)와 상기 화소 전극(121)의 오목부에 의하여 액정층의 배향을 제어할 수 있다.
- [0033] 또한, 도 1에서는 두 개의 화소를 예시하였고, 화소(101)와, 화소(101)에 인접되는 화소(도 1 중 화소(101)의 왼쪽에 있는 화소)에서 용량선(115)이 공통적으로 사용되어 있다. 또한, 용량 소자(105)는 화소(101)와, 화소(101)에 인접되는 화소에서 용량선(115)을 중심으로 해서 좌우 대칭으로 배치되어 있다. 이런 배치 방법이 채용됨으로써 용량선(115)의 개수를 줄일 수 있기 때문에 고정세화된 표시 장치의 개구율을 향상시킬 수 있어 바람직하다.
- [0034] 화소(101)의 단면 형상에 대하여, 도 2에서는 도 1 중 일점 쇄선 A1-A2 부분의 단면도를, 도 3에서는 도 1 중 일점 쇄선 B1-B2 부분의 단면도를, 도 4에서는 도 1 중 일점 쇄선 C1-C2 부분의 단면도를 각각 도시하였다.
- [0035] 도 2에 도시된 표시 장치의 단면 구조는 이하와 같다.
- [0036] 기관(102) 위에 트랜지스터(103)의 게이트 전극으로서 기능하는 주사선(107)이 제공되어 있다. 주사선(107) 위에 트랜지스터(103)의 게이트 절연층으로서 기능하는 절연층(127)이 제공되어 있다. 절연층(127) 위의, 주사선(107)과 중첩되는 위치에 반도체층(111)이 제공되어 있고, 반도체층(111)은 트랜지스터(103)의 채널 형성 영역으로서 기능한다. 또한, 절연층(127) 위에는 반도체층(111)과 동일한 공정으로 형성된 반도체층(119)이 제공되어 있다. 또한, 반도체층(111) 및 절연층(127) 위에는 트랜지스터(103)의 소스 전극으로서 기능하는 데이터선(109)과, 트랜지스터(103)의 드레인 전극으로서 기능하는 도전층(113)이 제공되어 있다. 또한, 데이터선(109), 반도체층(111), 도전층(113), 반도체층(119), 및 절연층(127) 위에는 트랜지스터(103)의 보호 절연층으로서 기능하는 절연층(129) 및 절연층(131)이 제공되어 있다. 또한, 절연층(129) 및 절연층(131)에는 반도체층(119)에 달하는 개구(140)가 제공되어 있고, 절연층(129)과 절연층(131)의 단부의 일부가 반도체층(119)의 단부를 덮도록 형성되어 있다. 또한, 절연층(131) 및 반도체층(119)을 덮도록 절연층(133)이 형성되어 있다. 또한, 절연층(129), 절연층(131), 및 절연층(133)에는 도전층(113)에 달하는 개구(117)가 제공되어 있고 개구(117) 및 절연층(133) 위에는 화소 전극(121)이 제공되어 있다. 또한, 절연층(133) 및 화소 전극(121) 위에는 배향막(135)이 제공되어 있다.

- [0037] 도 3에 도시된 표시 장치의 단면 구조는 이하와 같다.
- [0038] 기관(102) 위에 주사선(107)이 제공되어 있다. 주사선(107) 위에 절연층(127)이 제공되어 있다. 절연층(127) 위에는 반도체층(119)이 제공되어 있다. 또한, 절연층(127) 위의, 주사선(107)과 중첩되는 위치에 도전층(113)이 제공되어 있다. 또한, 절연층(127), 반도체층(119), 및 도전층(113) 위에는 절연층(129) 및 절연층(131)이 제공되어 있다. 또한, 절연층(129) 및 절연층(131)에는 반도체층(119)에 달하는 개구(140)가 제공되어 있고, 절연층(129)과 절연층(131)의 단부의 일부가 반도체층(119)의 단부를 덮도록 형성되어 있다. 또한, 반도체층(119), 절연층(131), 및 개구(140)를 덮도록 절연층(133)이 제공되어 있다. 또한, 절연층(133) 위에는 화소 전극(121)이 제공되어 있다. 또한, 절연층(133) 및 화소 전극(121) 위에는 배향막(135)이 제공되어 있다.
- [0039] 도 4에 도시된 표시 장치의 단면 구조는 이하와 같다.
- [0040] 기관(102) 위에 절연층(127)이 제공되어 있다. 또한, 절연층(127) 위에 반도체층(119)이 제공되어 있다. 또한, 반도체층(119) 위에 용량선(115)이 제공되어 있다. 또한, 용량선(115) 및 반도체층(119) 위에 절연층(133)이 제공되어 있다. 또한, 절연층(133) 위에 화소 전극(121) 및 화소 전극(121d)이 제공되어 있다. 또한, 절연층(133), 화소 전극(121), 및 화소 전극(121d) 위에 배향막(135)이 제공되어 있다.
- [0041] 또한, 화소 전극(121d)은 화소(101)에 인접되는 화소(도 1 중 화소(101)의 왼쪽에 있는 화소)의 화소 전극으로서 기능한다. 도 4에 도시된 바와 같이, 반도체층(119)은 화소(101)와, 화소(101)에 인접되는 화소에서 공통적으로 사용된다. 바꿔 말하면 반도체층(119)의 적어도 일부는 인접되는 화소와 연결되어 있다. 또한, 화소(101)와, 화소(101)에 인접되는 화소에서, 반도체층(119) 및 개구(140)는 공통적으로 사용되어 있지만 화소 전극(121)과 화소 전극(121d)이 분리되어 있기 때문에, 화소(101)에 인접되는 화소에서는 반도체층(119), 절연층(133), 및 화소 전극(121d)에 의하여 용량 소자(105d)가 형성되어 있다.
- [0042] 또한, 도 2 내지 도 4에 도시된 표시 장치에서 기관(102)과 대향하도록 기관(152)이 제공되어 있다. 기관(102)과 기관(152) 사이에는 액정층(164)이 협지되어 있다. 또한, 기관(152)에는 차광층(154), 유색층(156), 절연층(158), 도전층(160), 및 배향막(162)이 형성되어 있다. 또한, 유색층(156)이 형성된 영역은 화소(101)에서의 개구가 되며 표시 영역으로서 기능한다.
- [0043] 또한, 도 2 내지 도 4에 도시된 표시 장치에서 화소 전극(121), 배향막(135), 액정층(164), 배향막(162), 및 도전층(160)에 의하여 액정 소자(170)가 구성되어 있다. 바꿔 말하면, 액정층(164)은 화소 전극(121)과 도전층(160)에 의하여 협지되어 있다. 또한, 도전층(160)은 액정 소자(170)의 대향 전극으로서 기능한다. 액정 소자(170)에서는, 화소 전극(121) 및 도전층(160)에 전압을 인가하면 액정층(164)의 광학적 변조 작용에 의하여 빛의 투과 또는 불투과가 제어된다. 또한, 배향막(135) 및 배향막(162)은 액정층(164)에 사용되는 재료에 따라서는 반드시 제공할 필요는 없다.
- [0044] 또한, 도 2 내지 도 4에 도시된 표시 장치에서 반도체층(119), 절연층(133), 및 화소 전극(121)에 의하여 용량 소자(105)가 형성되어 있다. 반도체층(119)은 용량 소자(105)의 한쪽 전극으로서 기능하고, 인접되는 용량 소자의 한쪽 전극과 공통적으로 사용될 수 있다. 또한, 화소 전극(121)은 용량 소자(105)의 다른 쪽 전극으로서 기능하고, 인접되는 용량 소자의 다른 쪽 전극과는 분리되어 형성되어 있다.
- [0045] 또한, 도 2 및 도 3에 도시된 표시 장치에서 화소 전극(121)은 개구(140)가 제공된 절연층(129) 및 절연층(131)의 형상을 덮도록 절연층(133) 위에 형성되므로 화소 전극(121)이 오목부를 갖는다.
- [0046] 또한, 도 2 및 도 3에 도시된 표시 장치에서 도전층(160)에 접촉하도록 스페이서(166)가 형성되어 있다. 스페이서(166)는 액정층(164)의 막 두께(셀 갭)를 제어하기 위하여 제공되며 액정층(164)의 배향을 제어하는 기능을 갖는다.
- [0047] 여기서 액정층(164)의 배향 제어 방법에 대하여 도 3을 사용하여 설명한다.
- [0048] 도 3 중의 화살표는, 단차부에 기인한, 액정층(164)의 배향에 미치는 영향을 모식적으로 나타낸 것이다. 구체적으로는 액정층(164)은 스페이서(166)에 기인한 단차, 및 화소 전극(121)이 갖는 오목부에 기인한 단차의 영향을 받는다.
- [0049] 이와 같이 본 발명의 일 형태인 표시 장치에서는, 리브(rib) 등의 돌기물을 별도로 형성하지 않고 스페이서(166)의 단차, 및 화소 전극(121)이 갖는 오목부의 단차를 이용하여 액정층(164)의 배향을 제어할 수 있다. 또한, 스페이서(166) 및 화소 전극(121)이 갖는 오목부는 표시 장치가 갖는 복수의 화소에 각각 독립적으로 형성되어 있으므로, 러빙 처리를 수행하지 않고 각 화소에서 액정층(164)의 배향이 제어된다. 따라서, 배향 불량이

저감된, 우수한 표시 장치를 제공할 수 있다.

- [0050] 또한, 본 실시형태에서 제시하는 표시 장치의 화소(101)에는, 단차에 기인한 영향을 저감시키는 평탄화막이 사용되지 않는다. 따라서, 트랜지스터의 반도체층으로서 예를 들어 산화물 반도체층을 사용한 경우에도 이 산화물 반도체층에 혼입될 수 있는 불순물(예를 들어 유기 수지 내에 포함되는 물 등)이 저감되어 있기 때문에 신뢰성이 높은 표시 장치로 할 수 있다. 따라서, 본 발명의 일 형태인 표시 장치를 사용함으로써 배향 불량이 저감되며 신뢰성이 높은 트랜지스터가 적용되므로 표시 품질이 높은 표시 장치로 할 수 있다.
- [0051] 또한, 도 1 내지 도 4에 도시된 본 발명의 일 형태인 표시 장치의 기타 구성 요소에 대해서는, 이하에서 제시하는 표시 장치의 제작 방법에서 자세히 설명한다.
- [0052] <표시 장치의 제작 방법>
- [0053] 도 1 내지 도 4에 도시된 표시 장치의 제작 방법에 대하여 도 5 내지 도 7을 사용하여 이하에서 설명한다. 또한, 도 5 내지 도 7에 대해서는 도 2에 도시된 표시 장치의 단면 구조를 예로 들어 설명한다.
- [0054] 우선, 기판(102)을 준비한다. 기판(102)으로서는 알루미늄실리케이트 유리, 알루미늄보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 재료를 사용한다. 양산하는 데 있어서, 기판(102)은 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등의 마더 유리(mother glass)를 사용하는 것이 바람직하다. 마더 유리는 처리 온도가 높으며 처리 시간이 길면 대폭 수축하기 때문에, 마더 유리를 사용하여 양산하는 경우 제작 공정에서의 가열 처리는 바람직하게는 600℃ 이하, 더 바람직하게는 450℃ 이하, 더욱 바람직하게는 350℃ 이하로 하는 것이 바람직하다.
- [0055] 다음에 기판(102) 위에 도전층을 형성하고, 원하는 영역이 잔존하도록 이 도전층을 가공함으로써 주사선(107)을 형성한다. 이 후에 기판(102) 및 주사선(107) 위에 절연층(127)을 형성한다. 그 다음에 절연층(127) 위에 반도체층을 형성하고, 원하는 영역이 잔존하도록 이 반도체층을 가공함으로써 반도체층(111) 및 반도체층(119)을 형성한다(도 5의 (A) 참조).
- [0056] 주사선(107)은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐 중으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 주사선(107)은 단층 구조라도 2층 이상의 적층 구조라도 좋다. 예를 들어, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과, 그 위에 알루미늄막을 적층하고, 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐 중으로부터 선택된 원소 또는 복수의 원소와 알루미늄을 함유한 막, 합금막, 또는 질화막을 사용하여도 좋다. 또한, 주사선(107)은 예를 들어 스퍼터링법을 이용하여 형성할 수 있다.
- [0057] 절연층(127)으로서는, 예를 들어 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막 등을 사용하면 좋고, PE-CVD 장치를 사용하여 적층 또는 단층으로 제공한다. 또한, 절연층(127)을 적층 구조로 한 경우, 결함이 적은 질화 실리콘막을 제 1 질화 실리콘막으로 하고, 제 1 질화 실리콘막 위에, 수소 방출량 및 암모니아 방출량이 적은 질화 실리콘막을 제 2 질화 실리콘막으로 하여 제공하면 바람직하다. 결과적으로 절연층(127)에 포함되는 수소 및 질소가 반도체층(111) 및 반도체층(119)으로 이동 또는 확산되는 것을 억제할 수 있다.
- [0058] 절연층(127)으로서는 산화 실리콘막, 산화 질화 실리콘막 등을 사용하면 좋고, PE-CVD 장치를 사용하여 적층 또는 단층으로 제공된다.
- [0059] 절연층(127)으로서는, 예를 들어 두께 400nm의 질화 실리콘막을 형성하고 그 다음에 두께 50nm의 산화 질화 실리콘막을 형성하는 적층 구조를 사용할 수 있다. 상기 질화 실리콘막과 상기 산화 질화 실리콘막은 진공 중에서 연속하여 형성하면 불순물의 혼입이 억제되어 바람직하다. 또한, 주사선(107)과 중첩되는 위치에 있는 절연층(127)은 트랜지스터(103)의 게이트 절연층으로서 기능한다. 또한, 질화 산화 실리콘이란, 질소의 함유량이 산소의 함유량보다 많은 절연 재료를 말하고, 산화 질화 실리콘이란, 산소의 함유량이 질소의 함유량보다 많은 절연 재료를 말한다.
- [0060] 절연층(127)은 트랜지스터(103)의 게이트 절연층으로서 기능한다. 게이트 절연층을 상기와 같은 구성으로 함으로써, 예를 들어 이하와 같은 효과를 얻을 수 있다. 질화 실리콘막은 산화 실리콘막에 비하여 비유전율이 높고 동등한 정전 용량을 얻는 데 막 두께가 두껍게 될 필요가 있기 때문에, 게이트 절연막을 물리적으로 후막화(厚膜化)할 수 있다. 따라서, 트랜지스터(103)의 절연 내압의 저하를 억제하고 나아가서는 절연 내압을 향상시켜

서 트랜지스터(103)의 정전 파괴를 억제할 수 있다.

- [0061] 반도체층(111) 및 반도체층(119)에는 산화물 반도체를 사용하는 것이 바람직하고, 이 산화물 반도체로서는 적어도 인듐(In), 아연(Zn), 및 M(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 원소를 나타냄)을 포함하는 In-M-Zn 산화물로 표기되는 막을 포함하는 것이 바람직하다. 또는 In과 Zn의 양쪽을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위하여, 이들과 함께 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0062] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 이들 외의 스테빌라이저로서는, 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.
- [0063] 반도체층(111) 및 반도체층(119)을 구성하는 산화물 반도체로서, 예를 들어, In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0064] 또한, 여기서 In-Ga-Zn계 산화물이란, In, Ga, 및 Zn을 주성분으로서 갖는 산화물을 말하며, In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga, 및 Zn 이외의 금속 원소가 들어 있어도 좋다.
- [0065] 반도체층(111) 및 반도체층(119)의 성막 방법은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 이용할 수 있다.
- [0066] 반도체층(111) 및 반도체층(119)으로서 산화물 반도체막을 형성할 때 가능한 한 막 내에 포함되는 수소 농도를 저감시키는 것이 바람직하다. 수소 농도를 저감시키기 위해서는, 예를 들어 스퍼터링법으로 성막하는 경우 성막실 내의 고진공 배기뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 사용하는 산소가스나 아르곤 가스는 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하, 더욱 바람직하게는 -120°C 이하까지 고순도화된 가스를 사용함으로써 산화물 반도체막에 수분 등이 혼입되는 것을 가능한 한 방지할 수 있다.
- [0067] 또한, 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들어 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 터보 분자 펌프에 콜드 트랩을 더한 것을 사용하여도 좋다. 크라이오 펌프는 예를 들어, 수소 분자, 물(H_2O) 등 수소 원자를 포함한 화합물, 탄소 원자를 포함한 화합물 등의 배기 능력이 높기 때문에, 크라이오 펌프를 사용하여 배기한 성막실에서 형성된 막 내에 함유되는 불순물의 농도를 저감할 수 있다.
- [0068] 또한, 반도체층(111) 및 반도체층(119)으로서 산화물 반도체막을 스퍼터링법으로 형성하는 경우, 성막에 사용하는 금속 산화물 타겟의 상대 밀도(충전율)는 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 이하로 한다. 상대 밀도가 높은 금속 산화물 타겟을 사용함으로써, 형성되는 막을 치밀하게 할 수 있다.
- [0069] 또한, 기판(102)을 고온으로 유지한 상태에서 반도체층(111) 및 반도체층(119)으로서 산화물 반도체막을 형성하는 것도, 산화물 반도체막 내에 포함될 수 있는 불순물 농도를 저감시키는 데 유효하다. 기판(102)을 가열하는 온도로서는, 150°C 이상 450°C 이하로 하면 좋고, 바람직하게는 기판 온도를 200°C 이상 350°C 이하로 하면 좋다.
- [0070] 다음에 제 1 가열 처리를 실시하는 것이 바람직하다. 제 1 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로 불활성 가스 분위기하, 산화성 가스를 10ppm 이상 포함한 분위기하, 또는 감압 상태에서 실시하면 좋다. 또한, 제 1 가열 처리는, 불활성 가스 분위기하에서 가열 처리를 실시한 후에, 탈리된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 포함한 분위기하에서 실시하여도 좋다. 제 1 가열 처리를 실시함으로써, 반도체층(111) 및 반도체층(119)에 사용되는 산화물 반도체의 결정성을 높이고, 또한 절연층(127), 반도체층(111), 및 반도체층(119)으로부터 수소나 물 등 불순물을 제거할 수 있다. 또한, 반도체층(111) 및 반도체층(119)을 섬 형상으로 가공하기 전에 제 1 가열 처리를 실시하여도 좋다.
- [0071] 다음에, 절연층(127), 반도체층(111), 및 반도체층(119) 위에 도전막을 형성하고, 원하는 영역이 잔존하도록 상

기 도전막을 가공함으로써 데이터선(109) 및 도전층(113)을 형성한다. 또한, 이 단계에서 트랜지스터(103)가 형성된다(도 5의 (B) 참조).

[0072] 또한, 도면에서는 도시하지 않았으나, 도 1 및 도 4에 도시된 용량선(115)은 데이터선(109) 및 도전층(113)의 형성 시에 동시에 형성할 수 있다.

[0073] 데이터선(109) 및 도전층(113)에 사용할 수 있는 도전막의 재료로서는, 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텅스텐 중 어느 것으로 이루어진 단체 금속, 또는 이를 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용할 수 있다. 예를 들어, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막과, 그 위에 알루미늄막 또는 구리막을 적층하고, 그 위에 티타늄막 또는 질화 티타늄막을 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막과, 그 위에 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브덴막 또는 질화 몰리브덴막을 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함한 투명 도전 재료를 사용하여도 좋다. 또한, 도전막은 예를 들어 스퍼터링법을 이용하여 형성할 수 있다.

[0074] 다음에, 절연층(127), 반도체층(111), 반도체층(119), 데이터선(109), 및 도전층(113) 위에 절연층(129) 및 절연층(131)을 형성한다(도 5의 (C) 참조).

[0075] 절연층(129) 및 절연층(131)으로서, 반도체층(111)으로서 사용하는 산화물 반도체와의 계면 특성을 향상시키기 위하여, 산소를 포함한 무기 절연 재료를 사용할 수 있다. 또한, 절연층(129) 및 절연층(131)은 예를 들어, PE-CVD법을 이용하여 형성할 수 있다.

[0076] 절연층(129)의 두께는 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하로 할 수 있다. 절연층(131)의 두께는 30nm 이상 500nm 이하, 바람직하게는 150nm 이상 400nm 이하로 할 수 있다.

[0077] 또한, 절연층(129) 및 절연층(131)으로서 같은 종류의 재료로 이루어진 절연막을 사용할 수 있기 때문에 절연층(129)과 절연층(131)의 계면을 명확히 확인할 수 없는 경우가 있다. 따라서, 본 실시형태에서는 절연층(129)과 절연층(131)의 계면이 파선으로 도시되어 있다. 또한, 본 실시형태에서는 절연층(129)과 절연층(131)의 2층 구조를 설명하였으나 이에 한정되지 않고, 예를 들어 절연층(129)의 단층 구조, 절연층(131)의 단층 구조, 또는 3층 이상의 적층 구조로 하여도 좋다.

[0078] 다음에, 원하는 영역이 잔존하도록 절연층(129) 및 절연층(131)을 가공함으로써 개구(140)를 형성한다(도 6의 (A) 참조).

[0079] 또한, 개구(140)는 적어도 반도체층(119)이 노출되도록 형성한다. 본 실시형태에서는, 개구(140)에 의하여 반도체층(119)이 노출된다. 개구(140)의 형성 방법으로서 예를 들어 드라이 에칭법을 이용할 수 있다. 다만, 개구(140)의 형성 방법으로서 이에 한정되지 않고 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법을 이용하여도 좋다.

[0080] 예를 들어 개구(140)의 형성 방법으로서 드라이 에칭법을 이용하고 반도체층(119)으로서 산화물 반도체막을 사용한 경우, 이 산화물 반도체막에 산소 결손이 형성되는 경우가 있다.

[0081] 또한, 산화물 반도체막에서 산소 결손을 형성하는 원소를 불순물 원소로서 설명한다. 불순물 원소의 대표적인 예로서는 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소, 회가스 원소 등이 있다. 회가스 원소의 대표적인 예로서는, 헬륨, 네온, 아르곤, 크립톤, 및 크세논이 있다.

[0082] 다음에, 절연층(131), 반도체층(119), 및 개구(140)를 덮도록 절연층(133)을 형성한다. 또한, 절연층(133)은 개구(140)를 따라서 오목부를 갖는다(도 6의 (B) 참조).

[0083] 절연층(133)은 외부로부터 혼입되는 불순물, 예를 들어 물, 알칼리 금속, 알칼리 토금속 등이 산화물 반도체층으로 확산되는 것을 방지하는 재료로 형성되는 막이며, 또한 수소를 포함한다. 그러므로, 절연층(133)의 수소가 반도체층(119)으로 확산되면 반도체층(119)에서 수소와 산소가 결합되거나 수소와 산소 결손이 결합되어, 캐리어인 전자가 생성된다. 이 결과, 반도체층(119)은 도전성이 높아지고 투광성을 갖는 도전층이 된다. 또한, 본 실시형태에서는 반도체층(119)의 도전성이 높아지기 전 및 높아진 후에서 반도체층(119)의 해칭을 각각 바꿔서 도시하였다.

- [0084] 여기서 반도체층(119)으로서 사용하는 도전성이 높은 산화물 반도체막에 대하여 이하에서 설명한다.
- [0085] <도전성이 높은 산화물 반도체막에 대해서>
- [0086] 산소 결손이 형성된 산화물 반도체에 수소를 첨가하면, 산소 결손 사이트에 수소가 혼입되어 전도대 근방에 도너 준위가 형성된다. 결과적으로, 산화물 반도체는 도전성이 높아져서 도전체화된다. 도전체화된 산화물 반도체를 산화물 도전체라고 할 수 있다. 일반적으로, 산화물 반도체는 에너지 갭이 크기 때문에 가시광에 대한 투광성을 갖는다. 한편, 산화물 도전체는 전도대 근방에 도너 준위를 갖는 산화물 반도체이다. 따라서, 이 도너 준위로 인한 흡수의 영향은 작고, 가시광에 대한 투광성이 산화물 반도체와 같은 정도이다.
- [0087] 여기서, 산화물 반도체로 형성되는 막(이하, 산화물 반도체막(OS)이라고 함) 및 산화물 도전체로 형성되는 막(이하, 산화물 도전체막(OC)이라고 함) 각각의 저항률의 온도 의존성에 대하여 도 24를 사용하여 설명한다. 도 24에서 가로 축에 측정 온도를, 세로 축에 저항률을 나타내었다. 또한, 산화물 반도체막(OS)의 측정 결과를 동 그래미프로, 산화물 도전체막(OC)의 측정 결과를 사각으로 나타내었다.
- [0088] 또한, 산화물 반도체막(OS)을 포함한 시료는, 유리 기판 위에, 원자수비가 In:Ga:Zn=1:1:1.2인 스퍼터링 타깃을 사용한 스퍼터링법에 의하여 두께 35nm의 In-Ga-Zn 산화물막을 형성하고, 그 위에 원자수비가 In:Ga:Zn=1:4:5인 스퍼터링 타깃을 사용한 스퍼터링법에 의하여 두께 20nm의 In-Ga-Zn 산화물막을 형성하고, 450℃의 질소 분위기 하에서 가열 처리를 실시한 후에 450℃의 질소 및 산소의 혼합 가스 분위기하에서 가열 처리를 실시하고, 또한 산화물막 위에 플라즈마 CVD법으로 산화 질화 실리콘막을 형성함으로써 제작되었다.
- [0089] 또한, 산화물 도전체막(OC)을 포함한 시료는, 유리 기판 위에, 원자수비가 In:Ga:Zn=1:1:1인 스퍼터링 타깃을 사용한 스퍼터링법에 의하여 두께 100nm의 In-Ga-Zn 산화물막을 형성하고, 450℃의 질소 분위기하에서 가열 처리를 실시한 후에 450℃의 질소 및 산소의 혼합 가스 분위기하에서 가열 처리를 실시하고, 산화물막 위에 플라즈마 CVD법으로 질화 실리콘막을 형성함으로써 제작되었다.
- [0090] 도 24를 보면 알다시피, 산화물 도전체막(OC)에서의 저항률의 온도 의존성은 산화물 반도체막(OS)에서의 저항률의 온도 의존성보다 작다. 대표적으로, 80K 이상 290K 이하일 때의 산화물 도전체막(OC)의 저항률의 변화율은 $\pm 20\%$ 미만이다. 또는, 150K 이상 250K 이하일 때의 저항률의 변화율은 $\pm 10\%$ 미만이다. 즉, 산화물 도전체는 축퇴형 반도체(degenerate semiconductor)이고, 전도대단과 페르미 준위가 일치 또는 대략 일치한다고 추정된다. 그러므로, 산화물 도전체막을 용량 소자의 한쪽 전극에 사용하는 것이 가능하다.
- [0091] 또한, 본 실시형태에서는 반도체층(119)에 접촉하도록 형성된 절연층(133)으로부터 수소를 도입하는 방법에 대하여 예시하였으나 이에 한정되지 않는다. 예를 들어, 트랜지스터(103)의 채널로서 기능하는 반도체층(111) 위에 마스크를 제공하고 이 마스크로 덮이지 않은 영역에 수소를 도입하여도 좋다. 예를 들어, 이온 도핑 장치 등을 사용함으로써 반도체층(119)에 수소를 도입할 수 있다.
- [0092] 절연층(133)의 일례로서는 두께 150nm 이상 400nm 이하의 질화 실리콘막, 질화 산화 실리콘막 등을 사용할 수 있다. 본 실시형태에서는 절연층(133)으로서 두께 150nm의 질화 실리콘막을 사용한다.
- [0093] 또한, 상기 질화 실리콘막은 블록성을 높이기 위하여 고온으로 형성되는 것이 바람직하고, 예를 들어 기판 온도 100℃ 이상 기판의 변형점 이하, 더 바람직하게는 300℃ 이상 400℃ 이하의 온도로 가열하여 형성되는 것이 바람직하다. 또한, 고온으로 성막하는 경우, 반도체층(111)으로서 사용하는 산화물 반도체로부터 산소가 탈리되어 캐리어 농도가 상승하는 현상이 발생할 수 있기 때문에, 이런 현상이 발생되지 않는 온도로 한다.
- [0094] 다음에, 원하는 영역이 잔존하도록 절연층(129), 절연층(131), 및 절연층(133)을 가공함으로써 개구(117)를 형성한다(도 7의 (A) 참조).
- [0095] 개구(117)는 도전층(113)이 노출되도록 형성한다. 또한, 개구(117)의 형성 방법으로는 예를 들어 드라이 에칭법을 이용할 수 있다. 다만, 개구(117)의 형성 방법으로는 이에 한정되지 않고, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 하여도 좋다.
- [0096] 다음에, 개구(117)를 덮도록 절연층(133) 위에 도전층을 형성하고, 원하는 영역이 잔존하도록 이 도전층을 가공함으로써 화소 전극(121)을 형성한다. 또한, 이 단계에서 용량 소자(105)가 형성된다. 또한, 화소 전극(121)은 개구(140)에 의하여 형성된 절연층(129) 및 절연층(131)의 오목부를 따라서 절연층(133) 위에 형성된다. 따라서, 화소 전극(121)이 오목부를 갖는다(도 7의 (B) 참조).
- [0097] 화소 전극(121)에 사용할 수 있는 도전층으로서 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인

덤 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하 ITO라고 기재함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 사용할 수 있다. 또한, 화소 전극(121)에 사용할 수 있는 도전층으로서는 예를 들어 스퍼터링법을 이용하여 형성할 수 있다.

[0098] 용량 소자(105)의 한쪽 전극은 트랜지스터(103)에 사용되는 반도체층(111)과 동일 표면 위에 형성된 반도체층(119)이고, 반도체층(119)은 투광성을 갖는 반도체막이다. 또한, 용량 소자(105)의 유전체막은 트랜지스터(103)의 반도체층(111) 위에 제공되는 투광성을 갖는 절연층(133)이다. 또한, 용량 소자(105)의 다른 쪽 전극은 트랜지스터(103)와 전기적으로 접속되는 투광성을 갖는 화소 전극(121)이다. 이와 같이 용량 소자(105)는 트랜지스터(103)와 동일 표면 위, 즉 동일 공정으로 형성할 수 있다.

[0099] 따라서, 용량 소자(105)는 투광성을 갖기 때문에, 화소(101) 내의, 트랜지스터(103)가 형성되는 개소 이외의 영역에 크게(대면적으로) 형성할 수 있다. 따라서, 본 발명의 일 형태에 의하여, 개구율을 높이면서, 전하 용량을 증대시킨 표시 장치를 구현할 수 있다. 또한, 개구율을 높임으로써, 표시 품질이 우수한 표시 장치를 구현할 수 있다.

[0100] 상술한 공정을 거쳐 기관(102) 위에, 트랜지스터(103)와, 용량 소자(105)를 형성할 수 있다.

[0101] 다음은, 기관(102)에 대향하도록 제공되는 기관(152)에 형성되는 구조에 대하여 이하에서 설명한다.

[0102] 우선, 기관(152)을 준비한다. 기관(152)으로서는, 기관(102)에 사용된 재료를 사용할 수 있다. 다음에 기관(152) 위에 차광층(154), 유색층(156), 및 절연층(158)을 형성한다(도 8의 (A) 참조).

[0103] 차광층(154)으로서는, 특정한 파장 대역의 빛을 차광하는 기능을 가지면 좋으며 금속막 또는 흑색 안료 등을 포함한 유기 절연막 등을 사용할 수 있다. 유색층(156)으로서는, 특정한 파장 대역의 빛을 투과하는 유색층이면 좋고, 예를 들어 적색의 파장 대역의 빛을 투과하는 적색(R)의 컬러 필터, 녹색의 파장 대역의 빛을 투과하는 녹색(G)의 컬러 필터, 청색의 파장 대역의 빛을 투과하는 청색(B)의 컬러 필터 등을 사용할 수 있다. 차광층(154) 및 유색층(156)은, 다양한 재료가 사용되어 인쇄법, 잉크젯법, 포토리소그래피 기술을 이용한 에칭법 등에 의하여 각각 원하는 위치에 형성된다.

[0104] 절연층(158)으로서는, 예를 들어 아크릴계 수지 등의 유기 절연막을 사용할 수 있다. 절연층(158)을 형성하면, 예를 들어 유색층(156) 중에 포함되는 불순물 등이 액정층(164) 측으로 확산되는 것을 억제할 수 있다. 다만, 절연층(158)은 반드시 형성할 필요는 없고, 절연층(158)을 형성하지 않는 구조로 하여도 좋다.

[0105] 다음에 절연층(158) 위에 도전층(160)을 형성한다. 이 후에 도전층(160) 위의 원하는 영역에 스페이서(166)를 형성한다(도 8의 (B) 참조).

[0106] 도전층(160)으로서는 화소 전극(121)에 사용할 수 있는 재료를 사용할 수 있다.

[0107] 스페이서(166)는, 절연층을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이고, 액정층(164)의 막 두께(셀 갭)를 제어하기 위하여 제공된다. 예를 들어, 스페이서(166)로서는 기둥 형상의 스페이서를 원형, 타원형, 삼각형, 사각형, 또는 이 이상의 다각형으로 하여 형성하는 것이 바람직하다. 또한, 스페이서(166)로서는 예를 들어 아크릴계 수지, 폴리이미드계 수지 등의 유기 재료, 또는 산화 질화 실리콘막, 산화 질화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막 등의 무기 재료를 사용하여 형성할 수 있다. 또한, 스페이서(166)의 두께(높이라고도 함)는 0.5 μ m 이상 10 μ m 이하, 바람직하게는 1.0 μ m 이상 4 μ m 이하이다.

[0108] 또한, 본 발명의 일 형태에서는 스페이서(166)에 의하여 액정층(164)의 배향 방향을 제어하기 위하여, 도 8에 도시된 단면도 중 스페이서(166)의 테이퍼각 d는 바람직하게는 45° 이상 90° 미만, 더 바람직하게는 60° 이상 85° 이하이다. 또한, 스페이서(166)가 복수의 테이퍼각 d를 갖는 경우 적어도 하나의 테이퍼각 d의 수치가 상술한 수치의 범위 내이면 좋다.

[0109] 상술한 공정을 거쳐 기관(152) 위에 형성되는 구조를 형성할 수 있다.

[0110] 다음에 기관(102) 위에 형성된 절연층(133) 및 화소 전극(121) 위에 배향막(135)을 형성한다. 또한, 기관(152)에 형성된 도전층(160) 및 스페이서(166)에 접촉하도록 배향막(162)을 형성한다. 배향막(135) 및 배향막(162)은 도포법 등을 이용하여 형성할 수 있다. 이 후에 기관(102)과 기관(152) 사이에 액정층(164)을 형성한다. 액정층(164)의 형성 방법으로는 디스펜서법(적각법)이나, 기관(102)과 기관(152)을 접합시키고 나서 모세관 현상에 의하여 액정을 주입하는 주입법을 이용할 수 있다.

- [0111] 상술한 공정을 거쳐 도 2에 도시된 표시 장치를 제작할 수 있다.
- [0112] (변형예)
- [0113] 여기서는 도 1에 도시된 표시 장치의 화소 주변의 상면도의 변형예에 대하여 도 9~도 11을 사용하여 설명한다. 또한, 도 9~도 11에 도시된 상면도에서는 도면의 복잡화를 피하기 위하여 일부의 구성 요소가 생략되어 있다.
- [0114] 도 9~도 11에 도시된 표시 장치의 화소 주변의 상면도에 있어서 도 1에 도시된 표시 장치와 같은 개소에 대해서는 또는 같은 기능을 갖는 부분을 가리킬 때에는 동일한 부호를 붙이며 이들에 대한 자세한 설명은 생략한다.
- [0115] 도 9에 도시된, 표시 장치의 화소 주변의 상면도에서는, 용량 소자, 개구, 및 반도체층의 형상이 도 1의 상면도와 상이하다. 더 구체적으로 말하면, 도 9에 도시된 표시 장치는 용량 소자(105a)를 갖는다. 용량 소자(105a)는, 트랜지스터(103)가 갖는 반도체층(111)보다 도전율이 높으며 투광성을 갖는 반도체층(119a)과, 투광성을 갖는 화소 전극(121)과, 유전체층으로서 기능하는 트랜지스터(103)에 포함되며 투광성을 갖는 절연층(도 9에 도시되지 않았음)으로 구성된다. 즉, 용량 소자(105a)는 투광성을 갖는다. 또한, 반도체층(119a) 위에는 개구(140a)가 형성되어 있다. 개구(140a)는 반도체층(119a) 위에 제공된 절연층(도 9에 도시되지 않았음)을 가공함으로써 형성된다. 또한, 개구(140a)의 일부를 덮도록 화소 전극(121)이 형성되어 있으므로 화소 전극(121)은 오목부를 갖는다.
- [0116] 또한, 도 9에서는 두 개의 화소를 예시하였고, 화소(101)와, 화소(101)에 인접되는 화소(도 9 중 화소(101)의 왼쪽에 있는 화소)에서 용량선(115)이 공통적으로 사용되어 있다. 또한, 용량 소자(105a)는 화소(101)와, 화소(101)에 인접되는 화소에서 용량선(115)을 중심으로 하여 좌우 대칭으로 배치되어 있다. 또한, 도 1에 도시된 상면도와는 차이점으로서, 도 9에 도시된 상면도에서는 인접된 화소끼리가 연결되는 반도체층(119a) 및 개구(140a)의 영역이 화소(101)의 하방에 제공되어 있다.
- [0117] 도 10에 도시된, 표시 장치의 화소 주변의 상면도에서는, 용량 소자, 개구, 및 반도체층의 형상이 도 1의 상면도와 상이하다. 더 구체적으로 말하면, 도 10에 도시된 표시 장치는 용량 소자(105b)를 갖는다. 용량 소자(105b)는, 트랜지스터(103)가 갖는 반도체층(111)보다 도전율이 높으며 투광성을 갖는 반도체층(119b)과, 투광성을 갖는 화소 전극(121)과, 유전체층으로서 기능하는 트랜지스터(103)에 포함되며 투광성을 갖는 절연층(도 10에 도시되지 않았음)으로 구성되어 있다. 즉, 용량 소자(105b)는 투광성을 갖는다. 또한, 반도체층(119b) 위에는 개구(140b)가 형성되어 있다. 개구(140b)는 반도체층(119b) 위에 제공된 절연층(도 10에 도시되지 않았음)을 가공함으로써 형성된다. 또한, 개구(140b)의 일부를 덮도록 화소 전극(121)이 형성되어 있으므로 화소 전극(121)은 오목부를 갖는다.
- [0118] 또한, 도 10에서는 두 개의 화소를 예시하였고, 화소(101)와, 화소(101)에 인접되는 화소(도 10 중 화소(101)의 왼쪽에 있는 화소)에서 용량선(115)이 공통적으로 사용되어 있다. 또한, 용량 소자(105b)는, 화소(101)와, 화소(101)에 인접되는 화소에서 용량선(115)을 중심으로 하여 좌우 대칭으로 배치되어 있다. 또한, 도 1에 도시된 상면도와는 차이점으로서, 도 10에 도시된 상면도에서는 인접된 화소끼리가 연결되는 반도체층(119b) 및 개구(140b)의 영역이 화소(101)의 중앙 근방에 제공되어 있다.
- [0119] 도 11에 도시된, 표시 장치의 화소 주변의 상면도에서는, 용량 소자, 개구, 및 반도체층의 형상이 도 1의 상면도와 상이하다. 더 구체적으로 말하면, 도 11에 도시된 표시 장치는 용량 소자(105c)를 갖는다. 용량 소자(105c)는, 트랜지스터(103)가 갖는 반도체층(111)보다 도전율이 높으며 투광성을 갖는 반도체층(119c)과, 투광성을 갖는 화소 전극(121)과, 유전체층으로서 기능하는 트랜지스터(103)에 포함되며 투광성을 갖는 절연층(도 11에 도시되지 않았음)으로 구성되어 있다. 즉, 용량 소자(105c)는 투광성을 갖는다. 또한, 반도체층(119c) 위에는 개구(140c)가 형성되어 있다. 개구(140c)는 반도체층(119c) 위에 제공된 절연층(도 11에 도시되지 않았음)을 가공함으로써 형성된다. 또한, 개구(140c)의 일부를 덮도록 화소 전극(121)이 형성되어 있으므로 화소 전극(121)은 오목부를 갖는다.
- [0120] 또한, 도 11에서는 두 개의 화소를 예시하였고, 화소(101)와, 화소(101)에 인접되는 화소(도 11 중 화소(101)의 왼쪽에 있는 화소)에서 용량선(115)이 공통적으로 사용되어 있다. 또한, 용량 소자(105c)는, 화소(101)와, 화소(101)에 인접되는 화소에서 용량선(115)을 중심으로 하여 좌우 대칭으로 배치되어 있다. 또한, 도 1에 도시된 상면도와는 차이점으로서, 도 11에 도시된 상면도에서는 인접된 화소끼리가 연결되는 반도체층(119c) 및 개구(140c)의 영역이 화소(101)의 상방으로부터 하방에 걸쳐 분단되지 않고 연속하여 제공되어 있다.
- [0121] 또한, 본 실시형태는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

- [0122] (실시형태 2)
- [0123] 본 실시형태에서는 실시형태 1에서 제시한 표시 장치의 트랜지스터 및 용량 소자에 적용 가능한 산화물 반도체층의 일례에 대하여 설명한다.
- [0124] <산화물 반도체층의 결정성>
- [0125] 이하에서는 산화물 반도체층의 구조에 대하여 설명한다.
- [0126] 산화물 반도체층은 비단결정 산화물 반도체층과 단결정 산화물 반도체층으로 대별된다. 비단결정 산화물 반도체층이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체층, 미결정 산화물 반도체층, 비정질 산화물 반도체층 등을 말한다.
- [0127] 우선, CAAC-OS막에 대하여 설명한다.
- [0128] CAAC-OS막은, 복수의 결정부를 갖는 산화물 반도체층 중 하나이며, 대부분의 결정부는, 한 변이 100nm 미만의 입방체 내에 수용되는 크기다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 수용되는 크기인 경우도 포함된다.
- [0129] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0130] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상(層狀)으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0131] 또한, 본 명세서에 있어서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0132] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0133] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0134] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.
- [0135] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. InGaZnO_4 의 단결정 산화물 반도체층의 경우에는, 2θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가의 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0136] 상술한 것으로부터, CAAC-OS막에 있어서, 상이한 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 가지며 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 ab면에 평행한 면이다.
- [0137] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않는 경우도 있다.

- [0138] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.
- [0139] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막에 대한 out-of-plane법에 의한 해석에서는, 2 θ 가 31° 근방일 때 나타나는 피크에 더하여, 2 θ 가 36° 근방일 때에도 피크가 나타나는 경우가 있다. 2 θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2 θ 가 31° 근방일 때 피크가 나타나고, 2 θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0140] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체층이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등, 산화물 반도체층의 주성분 이외의 원소이다. 특히 실리콘 등, 산화물 반도체층을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체층으로부터 산소를 빼앗음으로써 산화물 반도체층의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체층 내부에 포함되면 산화물 반도체층의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체층에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0141] 또한, CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체층이다.
- [0142] 또한 CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.
- [0143] 다음에, 미결정 산화물 반도체층에 대하여 설명한다.
- [0144] 미결정 산화물 반도체층은 TEM에 의한 관찰상에서 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체층에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체층을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 TEM에 의한 관찰상에서 결정 입계를 명확히 확인할 수 없는 경우가 있다.
- [0145] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체층과 구별할 수 없는 경우가 있다. 예를 들어 nc-OS막에 대하여, 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대하여, 결정부보다 직경이 큰(예를 들어 50nm 이상) 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 수행하면, 할로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여, 결정부의 크기와 가깝거나 결정부보다 직경이 작은(예를 들어 1nm 이상 30nm 이하) 전자선을 사용하는 전자선 회절(나노 전자선 회절이라고도 함)을 수행하면 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 전자선 회절을 수행하면, 휘도가 높은 원 형(환 형)의 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 전자선 회절을 수행하면, 환 형의 영역 내에 복수의 스폿이 관측되는 경우가 있다.
- [0146] nc-OS막은 비정질 산화물 반도체층보다 규칙성이 높은 산화물 반도체층이다. 그러므로, nc-OS막은 비정질 산화물 반도체층보다 결합 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결합 준위 밀도가 높다.
- [0147] 또한, 산화물 반도체층은, 예를 들어 비정질 산화물 반도체층, 미결정 산화물 반도체층, CAAC-OS막 중, 2종 이상을 갖는 적층막이어도 좋다.
- [0148] <CAAC-OS막의 형성 방법>
- [0149] CAAC-OS막은 예를 들어, 다결정인 산화물 반도체 스퍼터링용 타깃을 사용하여 스퍼터링법에 의하여 형성한다. 상기 스퍼터링용 타깃에 이온이 충돌되면, 스퍼터링용 타깃에 포함되는 결정 영역이 ab면으로부터 벽개(劈開)되고, ab면에 평행한 면을 갖는 평판 형상 또는 펠릿(pellet) 형상의 스퍼터링 입자가 박리되는 경우가 있다. 이 경우, 상기 평판 형상 또는 펠릿 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써, CAAC-OS막을 형성할 수 있다.

- [0150] 평판 형상 또는 펠릿 형상의 스퍼터링 입자는 예를 들어, ab면에 평행한 면의 원상당 직경이 3nm 이상 10nm 이하, 두께(ab면에 수직인 방향의 길이)가 0.7nm 이상 1nm 미만이다. 또한, 평판 형상 또는 펠릿 형상의 스퍼터링 입자는 ab면에 평행한 면이 정삼각형 또는 정육각형이어도 좋다. 여기서 면의 원상당 직경이란, 면의 면적과 같은 정원(正圓)의 직경을 말한다.
- [0151] 또한, CAAC-OS막을 형성하기 위하여 이하의 조건을 적용하는 것이 바람직하다.
- [0152] 성막 시의 기판 온도를 높게 함으로써 기판에 도달한 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 하여 성막한다. 성막 시의 기판 온도를 높게 함으로써 평판 형상 또는 펠릿 형상의 스퍼터링 입자가 기판에 도달한 경우에 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평탄한 면이 기판에 부착된다. 이 때, 스퍼터링 입자가 양으로 대전됨으로써 스퍼터링 입자들끼리 반발하면서 기판에 부착되므로, 스퍼터링 입자가 치우쳐 불균일하게 겹치는 일이 없어 두께가 균일한 CAAC-OS막을 형성할 수 있다.
- [0153] 성막 시의 불순물 혼입을 저감시킴으로써, 불순물로 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등)의 농도를 저감시키면 좋다. 또한, 성막 가스 내의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 사용한다.
- [0154] 또한, 성막 가스 내의 산소 비율을 높이고 전력을 최적화시킴으로써 성막 시의 플라즈마 대미지를 경감시키면 바람직하다. 성막 가스 내의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.
- [0155] 또는, 이하의 방법으로 CAAC-OS막을 형성한다.
- [0156] 우선, 제 1 산화물 반도체층을 1nm 이상 10nm 미만의 두께로 형성한다. 제 1 산화물 반도체층은 스퍼터링법을 이용하여 형성한다. 구체적으로는, 기판 온도를 100℃ 이상 500℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하로 하고 성막 가스 내의 산소 비율을 30vol% 이상 바람직하게는 100vol%로 하여 형성한다.
- [0157] 다음에 가열 처리를 실시하여 제 1 산화물 반도체층을 결정성이 높은 제 1 CAAC-OS막으로 한다. 가열 처리의 온도는 350℃ 이상 740℃ 이하, 바람직하게는 450℃ 이상 650℃ 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 또한, 가열 처리는 불활성 분위기하 또는 산화성 분위기하에서 실시하면 좋다. 바람직하게는, 불활성 분위기하에서 가열 처리를 실시한 후에 산화성 분위기하에서 가열 처리를 실시한다. 불활성 분위기하에서 가열 처리를 실시함으로써, 제 1 산화물 반도체층에 산소 결손이 생성되는 경우가 있다. 이 경우 산화성 분위기하에서 가열 처리를 실시함으로써 상기 산소 결손을 저감시킬 수 있다. 또한, 가열 처리는 1000Pa 이하, 100Pa 이하, 10Pa 이하, 또는 1Pa 이하의 감압하에서 실시하여도 좋다. 감압하에서는 제 1 산화물 반도체층의 불순물 농도를 더 짧은 시간 안에 저감시킬 수 있다.
- [0158] 제 1 산화물 반도체층의 두께를 1nm 이상 10nm 미만으로 함으로써, 두께가 10nm 이상인 경우에 비하여, 가열 처리를 실시함으로써 용이하게 결정화시킬 수 있다.
- [0159] 다음에 제 1 산화물 반도체층의 조성과 같은 조성을 갖는 제 2 산화물 반도체층을 10nm 이상 50nm 이하의 두께로 형성한다. 제 2 산화물 반도체층은 스퍼터링법을 이용하여 형성한다. 구체적으로는, 기판 온도를 100℃ 이상 500℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하로 하고 성막 가스 내의 산소 비율을 30vol% 이상 바람직하게는 100vol%로 하여 형성한다.
- [0160] 다음에, 가열 처리를 실시하여 제 2 산화물 반도체층을 제 1 CAAC-OS막으로부터 고상 성장시킴으로써 결정성이 높은 제 2 CAAC-OS막으로 한다. 가열 처리의 온도는 350℃ 이상 740℃ 이하, 바람직하게는 450℃ 이상 650℃ 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 또한, 가열 처리는 불활성 분위기하 또는 산화성 분위기하에서 실시하면 좋다. 바람직하게는, 불활성 분위기하에서 가열 처리를 실시한 후에 산화성 분위기하에서 가열 처리를 실시한다. 불활성 분위기하에서 가열 처리를 실시함으로써, 제 2 산화물 반도체층의 불순물 농도를 짧은 시간 안에 저감시킬 수 있다. 한편 불활성 분위기하에서 가열 처리를 실시함으로써 제 2 산화물 반도체층에 산소 결손이 생성되는 경우가 있다. 이 경우 산화성 분위기하에서 가열 처리를 실시함으로써 상기 산소 결손을 저감시킬 수 있다. 또한, 가열 처리는 1000Pa 이하, 100Pa 이하, 10Pa 이하, 또는 1Pa 이하의 감압하에서 실시하여도 좋다. 감압하에서는 제 2 산화물 반도체층의

불순물 농도를 더 짧은 시간 안에 저감시킬 수 있다.

- [0161] 상술한 바와 같이 하여 총 두께가 10nm 이상인 CAAC-OS막을 형성할 수 있다. 이 CAAC-OS막을 산화물 적층에서의 산화물 반도체층으로서 적합하게 사용할 수 있다.
- [0162] 다음에, 예를 들어 기판을 가열하지 않는 등에 의하여, 피형성면의 온도가 낮은(예를 들어 130℃ 미만, 100℃ 미만, 70℃ 미만, 또는 실온(20℃~25℃) 정도) 경우의 산화물막의 형성 방법에 대하여 설명한다.
- [0163] 피형성면의 온도가 낮은 경우, 스퍼터링 입자는 피성막면에 불규칙하게 쏟아진다. 스퍼터링 입자는 예를 들어, 마이그레이션을 일으키지 않기 때문에, 다른 스퍼터링 입자가 이미 퇴적되어 있는 영역도 포함하여 무질서하게 퇴적된다. 즉, 퇴적함으로써 얻어지는 산화물막은 예를 들어, 두께가 균일하지 않고, 결정의 배향도 무질서하게 되는 경우가 있다. 이와 같이 하여 얻어진 산화물막은, 스퍼터링 입자의 결정성을 어느 정도 유지하기 때문에, 결정부(나노 결정)를 갖는다.
- [0164] 또한, 예를 들어, 성막 시의 압력이 높은 경우, 비상(飛翔) 중의 스퍼터링 입자는 아르곤 등 기타 입자(원자, 분자, 이온, 라디칼 등)와 충돌되는 빈도가 높아진다. 스퍼터링 입자는, 비상 중에 기타 입자와 충돌함으로써(다시 튀어 나감으로써) 결정 구조가 무너지는 경우가 있다. 예를 들어, 스퍼터링 입자는 기타 입자와 충돌함으로써, 평판 형상 또는 펠릿 형상의 형상을 유지할 수 없고, 세분화(예를 들어 각 원자로 나누어진 상태)되는 경우가 있다. 이 때, 스퍼터링 입자로부터 나누어진 각 원자가 피형성면에 퇴적됨으로써, 비정질 산화물막이 형성되는 경우가 있다.
- [0165] 또한, 다결정 산화물을 가진 타깃을 출발점으로서 사용한 스퍼터링법이 아니라, 액체를 사용하여 성막하는 방법의 경우, 또는 타깃 등의 고체를 기체화시킴으로써 성막하는 방법의 경우에는, 각 원자로 나누어진 상태에서 비상하여 피형성면에 퇴적되기 때문에 비정질 산화물막이 형성되는 경우가 있다. 또한, 예를 들어, 레이저 어블레이션법(laser ablation method)에서는, 타깃으로부터 방출된 원자, 분자, 이온, 라디칼, 클러스터 등이 비상하여 피형성면에 퇴적되기 때문에, 비정질 산화물막이 형성되는 경우가 있다.
- [0166] 본 발명의 일 형태인 저항 소자 및 트랜지스터에 포함되는 산화물 반도체층으로서 상술한 어느 결정 상태의 산화물 반도체층을 적용하여도 좋다. 또한, 적층 구조의 산화물 반도체층을 포함하는 경우, 각 산화물 반도체층의 결정 상태는 달라도 좋다. 다만, 트랜지스터의 채널로서 기능하는 산화물 반도체층에는 CAAC-OS막을 적용하는 것이 바람직하다. 또한, 저항 소자에 포함되는 산화물 반도체층은 트랜지스터에 포함되는 산화물 반도체층보다 불순물 농도가 높기 때문에 결정성이 저하될 수 있다.
- [0167] 이상, 본 실시형태에서 제시한 구성, 방법 등은, 다른 실시형태에서 제시하는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0168] (실시형태 3)
- [0169] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 대하여 도 12를 사용하여 설명한다. 또한, 실시형태 1에서 제시한 기능과 같은 기능을 갖는 부분을 가리킬 때에는 동일한 부호를 붙이며, 이들에 대한 자세한 설명은 생략한다.
- [0170] 도 12의 (A)에 도시된 표시 장치는, 화소의 표시 소자를 갖는 영역(이하, 화소부(302)라고 함)과, 화소부(302) 외측에 배치되며 화소를 구동하기 위한 회로를 갖는 회로부(이하, 구동 회로부(304)라고 함)와, 소자의 보호 기능을 갖는 회로(이하, 보호 회로(306)라고 함)와, 단자부(307)를 갖는다. 또한, 보호 회로(306)를 제공하지 않는 구성으로 하여도 좋다.
- [0171] 구동 회로부(304)의 일부 또는 전부는 화소부(302)와 동일 기판 위에 형성되는 것이 바람직하다. 이로써, 부품 수나 단자 수를 줄일 수 있다. 구동 회로부(304)의 일부 또는 전부가 화소부(302)와 동일 기판 위에 형성되지 않는 경우에는 구동 회로부(304)의 일부 또는 전부는 COG나 TAB에 의하여 실장할 수 있다.
- [0172] 화소부(302)는 X행(X는 2 이상의 자연수) Y열(Y는 2 이상의 자연수)의 매트릭스로 배치된 복수의 표시 소자를 구동하기 위한 회로(이하, 화소(101)라고 함)를 갖고, 구동 회로부(304)는 화소를 선택하는 신호(주사 신호)를 출력하는 회로(이하, 게이트 드라이버(304a)라고 함), 화소의 표시 소자를 구동하기 위한 신호(데이터 신호)를 공급하기 위한 회로(이하, 소스 드라이버(304b)) 등의 구동 회로를 갖는다.
- [0173] 게이트 드라이버(304a)는 시프트 레지스터 등을 갖는다. 게이트 드라이버(304a)는, 단자부(307)를 통하여 시프트 레지스터를 구동하기 위한 신호가 입력되고, 신호를 출력한다. 예를 들어, 게이트 드라이버(304a)는 스타트

펄스 신호, 클록 신호 등이 입력되고, 펄스 신호를 출력한다. 게이트 드라이버(304a)는, 주사 신호가 공급되는 배선(이하, 주사선 GL₁~GL_X라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 게이트 드라이버(304a)를 복수로 제공하고, 복수의 게이트 드라이버(304a)에 의하여 주사선 GL₁~주사선 GL_X를 나누어 제어하여도 좋다. 또는, 게이트 드라이버(304a)는 초기화 신호를 공급할 수 있는 기능을 갖는다. 다만, 이에 한정되지 않고, 게이트 드라이버(304a)는 다른 신호를 공급하는 것도 가능하다.

[0174] 소스 드라이버(304b)는 시프트 레지스터 등을 갖는다. 소스 드라이버(304b)는, 단자부(307)를 통하여, 시프트 레지스터를 구동하기 위한 신호 외에, 데이터 신호의 기초가 되는 신호(화상 신호)가 입력된다. 소스 드라이버(304b)는 화상 신호를 바탕으로 화소(101)에 기록하는 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(304b)는 스타트 펄스 신호, 클록 신호 등이 입력되어 얻어지는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(304b)는 데이터 신호가 공급되는 배선(이하, 데이터선 DL₁~데이터선 DL_Y라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(304b)는 초기화 신호를 공급할 수 있는 기능을 갖는다. 다만, 이에 한정되지 않고, 소스 드라이버(304b)는 다른 신호를 공급하는 것도 가능하다.

[0175] 소스 드라이버(304b)는, 예를 들어 복수의 아날로그 스위치 등을 사용하여 구성된다. 소스 드라이버(304b)는 복수의 아날로그 스위치를 순차적으로 온 상태로 함으로써, 화상 신호를 시분할한 신호를 데이터 신호로서 출력할 수 있다.

[0176] 복수의 화소(101) 각각에는, 주사 신호가 공급되는 복수의 주사선 GL 중 하나를 통하여 펄스 신호가 입력되고, 데이터 신호가 공급되는 복수의 데이터선 DL 중 하나를 통하여 데이터 신호가 입력된다. 또한, 복수의 화소(101) 각각에서는, 게이트 드라이버(304a)에 의하여 데이터 신호의 데이터의 기록 및 유지가 제어된다. 예를 들어, m행 n열째의 화소(101)에는, 주사선 GL_m(m은 X 이하의 자연수)을 통하여 게이트 드라이버(304a)로부터 펄스 신호가 입력되고, 주사선 GL_m의 전위에 따라 데이터선 DL_n(n은 Y 이하의 자연수)을 통하여 소스 드라이버(304b)로부터 데이터 신호가 입력된다.

[0177] 도 12의 (A)에 도시된 보호 회로(306)는 예를 들어 게이트 드라이버(304a)와 화소(101) 사이의 배선인 주사선 GL에 접속된다. 또는, 보호 회로(306)는 소스 드라이버(304b)와 화소(101) 사이의 배선인 데이터선 DL에 접속된다. 또는, 보호 회로(306)는 게이트 드라이버(304a)와 단자부(307) 사이의 배선에 접속될 수 있다. 또는, 보호 회로(306)는 소스 드라이버(304b)와 단자부(307) 사이의 배선에 접속될 수 있다. 또한, 단자부(307)란, 외부의 회로로부터 표시 장치에 전원, 제어 신호, 및 화상 신호를 입력하기 위한 단자가 제공된 부분을 말한다.

[0178] 보호 회로(306)는, 이에 접속되는 배선에 일정 범위를 넘는 전위가 공급되었을 때, 상기 배선과 다른 배선을 도통 상태로 하는 회로이다.

[0179] 도 12의 (A)에 도시된 바와 같이, 화소부(302)와 구동 회로부(304)에 각각 보호 회로(306)를 제공하면, ESD(Electro Static Discharge: 정전기 방전) 등에 의하여 발생하는 과전류에 대한 표시 장치의 내성을 높일 수 있다. 다만, 보호 회로(306)의 구성은 이에 한정되지 않고, 예를 들어 게이트 드라이버(304a)에 보호 회로(306)를 접속한 구성, 또는 소스 드라이버(304b)에 보호 회로(306)를 접속한 구성만으로 할 수도 있다. 또는, 단자부(307)에 보호 회로(306)를 접속한 구성으로 할 수도 있다.

[0180] 또한, 도 12의 (A)에는 게이트 드라이버(304a)와 소스 드라이버(304b)에 의하여 구동 회로부(304)를 형성하는 예가 도시되어 있지만, 이 구성에 한정되지 않는다. 예를 들어, 게이트 드라이버(304a)만 형성하고, 소스 드라이버 회로가 형성된, 별도로 준비된 기판(예를 들어, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기판)을 실장하는 구성으로 하여도 좋다.

[0181] 또한, 도 12의 (A)에 도시된 복수의 화소(101)로서 예를 들어 도 12의 (B)에 도시된 구성을 적용할 수 있다.

[0182] 도 12의 (B)에 도시된 화소(101)는 액정 소자(170)와, 트랜지스터(103)와, 용량 소자(105)를 갖는다. 또한, 액정 소자(170), 트랜지스터(103), 및 용량 소자(105)에는 실시형태 1에서 제시한 도 1의 구성을 갖는 표시 장치를 사용할 수 있다.

[0183] 액정 소자(170)의 한 쌍의 전극 중 한쪽의 전위는, 화소(101)의 사양(仕様)에 따라서 적절히 설정된다. 액정 소자(170)는 기록되는 데이터에 따라 배향 상태가 설정된다. 또한, 복수의 화소(101) 각각이 갖는 액정 소자(170)의 한 쌍의 전극 중 한쪽에 공통 전위(코먼 전위)를 공급하여도 좋다. 또한, 화소(101)가 갖는 액정 소자(170)의 한 쌍의 전극 중 한쪽에는 각 행마다 상이한 전위가 공급되어도 좋다.

- [0184] 예를 들어 액정 소자(170)를 구비하는 표시 장치의 구동 방법으로서 VA(Vertical Alignment: 수직 배향)모드를 이용하는 것이 바람직하다.
- [0185] 또한, 블루상(Blue Phase)을 나타내는 액정과 키랄제를 포함하는 액정 조성물에 의하여 액정 소자를 구성하여도 좋다. 블루상을 나타내는 액정은 응답 속도가 1msec 이하로 짧고, 광학적 등방성을 갖기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다.
- [0186] m행 n열째의 화소(101)에서 트랜지스터(103)의 소스 및 드레인 중 한쪽은 데이터선 DL_n에 전기적으로 접속되고, 다른 쪽은 액정 소자(170)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(103)의 게이트는 주사선 GL_m에 전기적으로 접속된다. 트랜지스터(103)는 온 상태 또는 오프 상태가 됨으로써 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.
- [0187] 용량 소자(105)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하, 전위 공급선 VL)에 전기적으로 접속되고, 다른 쪽은 액정 소자(170)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 전위 공급선 VL의 전위값은, 화소(101)의 사양에 따라서 적절히 설정된다. 용량 소자(105)는 기록된 데이터를 유지하는 유지 용량으로서의 기능을 갖는다.
- [0188] 예를 들어, 도 12의 (A)에 도시된 화소(101)를 갖는 표시 장치에서는, 게이트 드라이버(304a)에 의하여 각 행의 화소(101)가 순차적으로 선택되고, 트랜지스터(103)가 온 상태가 되어 데이터 신호의 데이터가 기록된다.
- [0189] 데이터가 기록된 화소(101)는, 트랜지스터(103)가 오프 상태가 됨으로써 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시할 수 있다.
- [0190] 본 실시형태에서 제시한 구성은 다른 실시형태에서 제시하는 구성과 적절히 조합하여 사용할 수 있다.
- [0191] (실시형태 4)
- [0192] 본 실시형태에서는 본 발명의 일 형태인 표시 장치에 사용할 수 있는 트랜지스터의 구성에 대하여 도 18 및 도 19를 사용하여 설명한다. 또한, 본 실시형태에서 제시하는 트랜지스터는 실시형태 1에서 제시한 화소(101)에 사용하는 트랜지스터, 및 실시형태 3에서 제시한 구동 회로부(304)에 사용하는 트랜지스터에 적용할 수 있다. 또한, 상술한 실시형태에서 제시한 기능과 같은 기능을 갖는 부분을 가리킬 때에는 동일한 부호를 붙이며, 이들 에 대한 자세한 설명은 생략한다.
- [0193] 먼저, 도 18에 도시된 트랜지스터(250)에 대하여 이하에서 설명한다.
- [0194] 도 18에서는 트랜지스터(250)의 상면도 및 단면도를 도시하였다. 도 18의 (A)는 트랜지스터(250)의 상면도이고, 도 18의 (B)는 도 18의 (A) 중 일점 쇄선 A-B 부분의 단면도이고, 도 18의 (C)는 도 18의 (A) 중 일점 쇄선 C-D 부분의 단면도이다. 또한, 도 18의 (A)에서는 명료화를 위하여 기관(102), 트랜지스터(250)의 게이트 절연층으로서 기능하는 절연층(127), 절연층(129), 절연층(133) 등을 생략하였다.
- [0195] 도 18에 도시된 트랜지스터(250)는 채널 에치형 트랜지스터이고, 기관(102) 위에 제공되는 게이트 전극(207)과, 기관(102) 및 게이트 전극(207) 위에 형성되는 절연층(127)과, 절연층(127)을 개재(介在)하여 게이트 전극(207)과 중첩되는 반도체층(111)과, 반도체층(111)에 접촉하는 한 쌍의 전극(209, 213)을 갖는다. 또한, 절연층(127), 반도체층(111), 및 한 쌍의 전극(209, 213) 위에 절연층(129), 절연층(131), 및 절연층(133)으로 구성되는 게이트 절연층(228)과, 게이트 절연층(228) 위에 형성되는 게이트 전극(251)을 갖는다. 게이트 전극(251)은 절연층(127) 및 게이트 절연층(228)에 형성된 개구(242)에서 게이트 전극(207)에 접속된다. 또한, 한 쌍의 전극(209, 213) 중 한쪽 전극, 여기서는 전극(213)에 접속되는 화소 전극(121)이 게이트 절연층(228) 위에 형성된다.
- [0196] 게이트 전극(251)은 화소 전극(121)과 동시에 형성된다. 또한, 본 실시형태의 트랜지스터(250)는, 트랜지스터(250)의 제 2 게이트 전극으로서 기능하는 게이트 전극(251)이 화소 전극(121)과 동일 공정으로 형성되는 것이 특징이다.
- [0197] 또한, 게이트 전극(207)은 실시형태 1에서 제시한 주사선(107)과 같은 재료 및 제작 방법으로 형성할 수 있다. 또한, 개구(242)는 개구(241)와 동시에 형성할 수 있다. 개구(241)는 실시형태 1에서 제시한 개구(117)와 같은 제작 방법으로 형성할 수 있다. 또한, 한 쌍의 전극(209, 213)은 실시형태 1에서 제시한 데이터선(109) 및 도 전층(113)과 같은 재료 및 제작 방법으로 형성할 수 있다.
- [0198] 또한, 본 실시형태에서 제시하는 트랜지스터(250)에서는, 게이트 전극(207)과 게이트 전극(251) 사이에 반도체

층(111)이 제공되어 있다. 또한, 게이트 전극(251)은 도 18의 (A)에 도시된 바와 같이 상면으로부터 보면, 게이트 절연층(228)을 개재하여 반도체층(111)의 측면과 중첩된다.

[0199] 또한, 절연층(127) 및 게이트 절연층(228)에는 복수의 개구를 갖는다. 대표적으로는 도 18의 (B)에 도시된 바와 같이, 한 쌍의 전극(209, 213) 중 한쪽 전극이 노출되는 개구(241)를 갖는다. 또한, 도 18의 (C)에 도시된 바와 같이 반도체층(111)의 한쪽 측면의 외측에서, 절연층(127) 및 게이트 절연층(228)에 형성된 개구(242)를 통하여 게이트 전극(251)이 게이트 전극(207)에 접속된다. 또한, 게이트 전극(251)은 개구(242)의 측면에서 반도체층(111)의 측면과 대향한다. 또한, 반도체층(111)의 다른 쪽 측면의 외측에서는 게이트 전극(251)이 게이트 전극(207)에 접속되지 않는다. 또한, 게이트 전극(251)의 양단부는 각각 반도체층(111)의 양측면의 외측에 위치한다.

[0200] 또한, 도 18의 (C)에 도시된 바와 같이 채널 폭 방향에 있어서, 절연층(127) 및 게이트 절연층(228)의 계면에 게이트 전극(251)을 투영한 경우의 단부와 반도체층(111)의 측면과의 거리 d 는, 절연층(127)의 막 두께 t_1 과 게이트 절연층(228)의 막 두께 t_2 의 합계값의 1배 이상 7.5배 이하로 하는 것이 바람직하다. 거리 d 가 절연층(127)의 막 두께 t_1 과 게이트 절연층(228)의 막 두께 t_2 의 합계값의 1배 이상인 경우, 게이트 전극(251)의 전계가 반도체층(111)의 측면, 또는 측면 및 그 근방을 포함하는 단부에 영향을 미치기 때문에 반도체층(111)의 측면 또는 단부에서의 기생 채널의 발생을 억제할 수 있다. 한편, 거리 d 가 절연층(127)의 막 두께 t_1 과 게이트 절연층(228)의 막 두께 t_2 의 합계값의 7.5배 이하인 경우 트랜지스터(250)의 면적을 작게 할 수 있다.

[0201] 또한, 도 18에 도시된 트랜지스터(250)에서는, 채널 폭 방향에 있어서, 반도체층(111)의 한쪽 측면의 외측에서 게이트 전극(207)과 게이트 전극(251)이 접속되고, 반도체층(111)의 다른 쪽의 측면의 외측에서 절연층(127) 및 게이트 절연층(228)을 개재하여 게이트 전극(207)과 게이트 전극(251)이 대향한다. 또한, 게이트 전극(207)과 게이트 전극(251)이 접속하는 구성으로 함으로써 게이트 전극(207)과 게이트 전극(251)에 같은 전위를 공급할 수 있다. 다만, 본 발명의 일 형태는 이에 한정되지 않고 개구(242)를 제공하지 않고 게이트 전극(207)과 게이트 전극(251)이 접속하지 않는 구성으로 함으로써 게이트 전극(207)과 게이트 전극(251)에 다른 전위를 공급하여도 좋다.

[0202] 다음에, 도 19에 도시된 트랜지스터(260)에 대하여 이하에서 설명한다.

[0203] 도 19에서는 트랜지스터(260)의 상면도 및 단면도를 도시하였다. 도 19의 (A)는 트랜지스터(260)의 상면도이고, 도 19의 (B)는 도 19의 (A) 중 일점 쇄선 A-B 부분의 단면도이고, 도 19의 (C)는 도 19의 (A) 중 일점 쇄선 C-D 부분의 단면도이다. 또한, 도 19의 (A)에서는 명료화를 위하여 기관(102), 게이트 절연층으로서 기능하는 절연층(127), 산화물 절연층(229), 산화물 절연층(231), 질화물 절연층(233) 등을 생략하였다.

[0204] 도 19에 도시된 트랜지스터(260)는 채널 에치형 트랜지스터이고, 기관(102) 위에 제공되는 게이트 전극(207)과, 기관(102) 및 게이트 전극(207) 위에 제공되는 절연층(127)과, 절연층(127)을 개재하여 게이트 전극(207)과 중첩되는 반도체층(111)과, 반도체층(111)에 접촉하는 한 쌍의 전극(209, 213)을 갖는다. 또한, 절연층(127), 반도체층(111), 및 한 쌍의 전극(209, 213) 위에 산화물 절연층(229), 산화물 절연층(231), 및 질화물 절연층(233)으로 구성되는 게이트 절연층(288)과, 게이트 절연층(288) 위에 형성되는 게이트 전극(291)을 갖는다. 게이트 전극(291)은 절연층(127) 및 질화물 절연층(233)에 형성된 개구(294)에서 게이트 전극(207)에 접속된다. 또한, 한 쌍의 전극(209, 213) 중 한쪽 전극, 여기서는 전극(213)에 접속되는 전극(292)이 질화물 절연층(233) 위에 형성된다. 전극(292)은 질화물 절연층(233)에 형성된 개구(293)에서 전극(213)에 접속된다. 또한, 전극(292)은 화소 전극으로서 기능한다.

[0205] 또한, 절연층(127)은 질화물 절연층(215a) 및 산화물 절연층(215b)으로 형성된다. 산화물 절연층(215b)은 반도체층(111), 한 쌍의 전극(209, 213), 및 산화물 절연층(231)과 중첩되는 영역에 형성된다.

[0206] 게이트 전극(207)은 실시형태 1에서 제시한 주사선(107)과 같은 재료 및 제작 방법으로 형성할 수 있다. 또한, 질화물 절연층(215a)은 질화 실리콘막을 사용하여 형성한다. 또한, 산화물 절연층(215b)은 산화 실리콘막, 산화 질화 실리콘막 등을 사용하여 형성한다. 또한, 질화물 절연층(215a) 및 산화물 절연층(215b)은 실시형태 1에서 제시한 절연층(127)과 같은 형성 방법으로 형성할 수 있다. 또한, 한 쌍의 전극(209, 213)은 실시형태 1에서 제시한 데이터선(109) 및 도전층(113)과 같은 재료 및 제작 방법으로 형성할 수 있다. 또한, 산화물 절연층(229)은 실시형태 1에서 제시한 절연층(129)과 같은 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다. 또한, 산화물 절연층(231)은 실시형태 1에서 제시한 절연층(131)과 같은 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다. 또한, 질화물 절연층(233)은 실시형태 1에서 제시한 절연층(133)과 같은 재료 및 제작 방법을

적절히 사용하여 형성할 수 있다. 또한, 게이트 전극(291) 및 전극(292)은 실시형태 1에서 제시한 화소 전극(121)과 같은 재료 및 제작 방법을 적절히 사용하여 형성할 수 있다.

[0207] 또한, 산화물 절연층(229) 및 산화물 절연층(231)은 각 트랜지스터마다 분리되어 있으며 반도체층(111)과 중첩된다. 구체적으로는 도 19의 (B)에 도시된 채널 길이 방향에서, 한 쌍의 전극(209, 213) 위에 산화물 절연층(229) 및 산화물 절연층(231)의 단부가 위치하고, 도 19의 (C)에 도시된 채널 폭 방향에서, 반도체층(111)의 외측에 산화물 절연층(229) 및 산화물 절연층(231)의 단부가 위치한다. 또한, 질화물 절연층(233)은 산화물 절연층(231) 및 산화물 절연층(229)의 상면 및 측면을 덮도록 형성되고 질화물 절연층(215a)에 접촉한다. 또한, 채널 길이 방향에서 산화물 절연층(229) 및 산화물 절연층(231)의 단부는 한 쌍의 전극(209, 213) 위에 제공되지 않고 질화물 절연층(215a) 위에 제공되어도 좋다.

[0208] 또한, 도 19의 (C)에 도시된 채널 폭 방향에서, 게이트 전극(291)은 산화물 절연층(229) 및 산화물 절연층(231)의 측면을 개재하여 반도체층(111)의 측면과 대향한다.

[0209] 본 실시형태에서 제시한 트랜지스터(260)에서는 채널 폭 방향에서, 게이트 전극(207)과 게이트 전극(291) 사이에, 절연층(127) 및 게이트 절연층(288)으로 둘러싸도록 반도체층(111)이 제공된다. 또한, 도 19의 (A)에 도시된 바와 같이, 게이트 전극(291)은 상면으로부터 보면, 게이트 절연층(288)을 개재하여 반도체층(111)의 측면과 중첩된다.

[0210] 도 19의 (C)에 도시된 바와 같이, 반도체층(111)의 한쪽 측면의 외측에서, 절연층(127) 및 질화물 절연층(233)에 형성된 개구(294)를 통하여 게이트 전극(291)이 게이트 전극(207)에 접속된다. 또한, 게이트 전극(291)은 산화물 절연층(229) 및 산화물 절연층(231)의 측면에서 반도체층(111)의 측면과 대향한다. 또한, 반도체층(111)의 다른 쪽 측면의 외측에서는, 게이트 전극(291)이 게이트 전극(207)에 접속되지 않는다. 또한, 게이트 전극(291)의 양단부는 각각 반도체층(111)의 양측면의 외측에 위치한다.

[0211] 또한, 도 19의 (C)에 도시된 트랜지스터(260)에서는, 채널 폭 방향에 있어서, 반도체층(111)의 한쪽 측면의 외측에서만 게이트 전극(207)과 게이트 전극(291)이 접속되지만, 반도체층(111)의 양쪽 측면의 외측에서 게이트 전극(207)과 게이트 전극(291)이 접속되어도 좋다. 또한, 게이트 전극(207)과 게이트 전극(291)이 접속하는 구성으로 함으로써 게이트 전극(207)과 게이트 전극(291)에 같은 전위를 공급할 수 있다. 다만, 본 발명의 일 형태는 이에 한정되지 않고 개구(294)를 제공하지 않고 게이트 전극(207)과 게이트 전극(291)이 접속하지 않는 구성으로 함으로써 게이트 전극(207)과 게이트 전극(291)에 다른 전위를 공급하여도 좋다.

[0212] 본 실시형태에서 제시하는 트랜지스터(260)에서, 질화물 절연층(215a) 및 질화물 절연층(233)은 반도체층(111) 및 산화물 절연층(231)을 내측에 가지며 서로 접촉한다. 질화물 절연층(215a) 및 질화물 절연층(233)은 산소의 확산 계수가 낮고 산소에 대한 배리어성을 갖기 때문에 산화물 절연층(231)에 포함되는 산소의 일부를 반도체층(111)으로 효율적으로 이동시키는 것이 가능하고, 반도체층(111)의 산소 결손량을 줄일 수 있다. 또한, 질화물 절연층(215a) 및 질화물 절연층(233)은 물, 수소 등의 확산 계수가 낮고 물, 수소 등에 대한 배리어성을 갖기 때문에 외부로부터 반도체층(111)으로 물, 수소 등이 확산되는 것을 방지할 수 있다. 결과적으로, 트랜지스터(260)는 신뢰성이 높은 트랜지스터가 된다.

[0213] 또한, 트랜지스터(260)의 제작 공정은 이하와 같다.

[0214] 먼저 실시형태 1에서 제시한 도 5의 (C)에 도시된 공정과 같은 공정을 수행한다. 이 후에, 개구(140)의 형성과 동시에 산화물 절연층(229), 산화물 절연층(231)을 섬 형상으로 분리한다. 그 다음에 질화물 절연층(233)을 형성한다. 이 후에 질화물 절연층(233)을 가공하여 전극(213)에 달하는 개구(293)를 형성한다. 또한, 개구(293)와 동시에 질화물 절연층(233) 및 절연층(127)을 가공하여 게이트 전극(207)에 달하는 개구(294)를 형성한다. 이 후에 질화물 절연층(233) 위에 도전층을 형성하고 이 도전층을 가공함으로써 게이트 전극(291) 및 화소 전극으로서 기능하는 전극(292)을 형성한다.

[0215] (실시형태 5)

[0216] 본 실시형태에서는 실시형태 3에서 제시한 표시 장치의 구동 회로부(304)의 한 구성에 대하여 도 20 및 도 21을 사용하여 설명한다. 구동 회로부(304)는 실시형태 1 및 실시형태 4에서 제시한 트랜지스터를 적절히 사용하여 제작할 수 있다. 여기서는 구동 회로부(304)의 일례로서 게이트 드라이버(304a)에 형성되는 버퍼를 이용하여 설명한다.

[0217] 도 20의 (A)는 버퍼(500)의 회로도이다. 버퍼(500)는 트랜지스터 M1, 트랜지스터 M2, 트랜지스터 M3, 및 용량

소자 C를 갖는다. 트랜지스터 M1에서는 게이트가, 전위 VDD가 공급되는 배선에 접속되어 있다. 또한, 트랜지스터 M1에서는 소스 및 드레인 중 한쪽이 단자 A에 접속되어 있고 소스 및 드레인 중 다른 쪽이 트랜지스터 M2의 게이트에 접속되어 있다. 트랜지스터 M2에서는 소스 및 드레인 중 한쪽이 버퍼(500)의 출력 단자 OUT에 접속되어 있고, 소스 및 드레인 중 다른 쪽이, 신호 CLK가 입력되는 배선에 접속되어 있다. 트랜지스터 M3에서는 게이트가 단자 B에 접속되어 있다. 또한, 트랜지스터 M3에서는 소스 및 드레인 중 한쪽이, 전위 VSS가 공급되는 배선에 접속되어 있고, 소스 및 드레인 중 다른 쪽이 출력 단자 OUT에 접속되어 있다. 용량 소자 C의 한 쌍의 전극 중 한쪽은 트랜지스터 M1의 소스 및 드레인 중 다른 쪽, 및 트랜지스터 M2의 게이트에 접속되어 있고, 한 쌍의 전극 중 다른 쪽은 트랜지스터 M3의 소스 및 드레인 중 다른 쪽, 및 출력 단자 OUT에 접속되어 있다.

[0218] 본 실시형태에서 제시하는 버퍼에 있어서, 트랜지스터 M1, 트랜지스터 M2, 및 트랜지스터 M3에는 실시형태 1 및 실시형태 4에서 제시한 트랜지스터를 적절히 사용할 수 있다.

[0219] 다음에 트랜지스터 M1 및 트랜지스터 M2의 구성에 대하여 설명한다. 도 20의 (B)에서 트랜지스터 M1 및 트랜지스터 M2의 상면도를 도시하였다. 또한, 도 21의 (A)에서는 도 20의 (B)의 상면도 중 일점 쇄선 A1-A2 부분, B1-B2 부분의 단면도를 도시하였고, 도 21의 (B)에서는 도 20의 (B)의 상면도 중 일점 쇄선 C1-C2 부분의 단면도를 도시하였다. 또한, 도 21의 (A)에는 트랜지스터 M1 및 트랜지스터 M2의 채널 방향에서의 단면도가 도시되었고, 도 21의 (B)에는 트랜지스터 M1의 채널 폭 방향에서의 단면도가 도시되었다.

[0220] 도 21의 (A) 및 (B)에 도시된 트랜지스터 M1의 단면 구조는 이하와 같다.

[0221] 기관(102) 위에 트랜지스터 M1의 제 1 게이트 전극으로서 기능하는 도전층(507a)이 제공되어 있다. 도전층(507a) 위에는 트랜지스터 M1의 게이트 절연층으로서 기능하는 절연층(127)이 제공되어 있다. 절연층(127) 위의, 도전층(507a)과 중첩되는 위치에 반도체층(511a_1) 및 반도체층(511a_2)이 제공되어 있고, 반도체층(511a_1) 및 반도체층(511a_2)은 트랜지스터 M1의 반도체층으로서 기능한다. 또한, 반도체층(511a_1), 반도체층(511a_2), 및 절연층(127) 위에는 트랜지스터 M1의 소스 전극으로서 기능하는 도전층(509a)과, 트랜지스터 M1의 드레인 전극으로서 기능하는 도전층(513a)이 제공되어 있다. 또한, 도전층(509a), 반도체층(511a_1), 반도체층(511a_2), 도전층(513a), 및 절연층(127) 위에는 트랜지스터 M1의 보호 절연층으로서 기능하는 절연층(129) 및 절연층(131)이 제공되어 있다. 또한, 절연층(131) 위에는 절연층(133)이 제공되어 있고, 절연층(133) 위에 트랜지스터 M1의 제 2 게이트 전극으로서 기능하는 도전층(517a)이 제공되어 있다. 절연층(129), 절연층(131), 및 절연층(133)에는 도전층(513a)에 달하는 개구(523)가 형성되어 있다. 또한, 절연층(129) 및 절연층(131)에는 절연층(127)에 달하는 개구(521) 및 개구(522)가 형성되어 있다. 또한, 개구(521) 및 개구(522)를 덮도록 절연층(133)이 형성되어 있고, 절연층(127) 및 절연층(133)에는 도전층(507a)에 달하는 개구(524) 및 도전층(507b)에 달하는 개구(525)가 형성되어 있다. 절연층(133), 개구(521), 및 개구(524) 위에는 도전층(517a)이 제공되어 있다. 즉, 제 2 게이트 전극으로서 기능하는 도전층(517a)의 전위는 제 1 게이트 전극으로서 기능하는 도전층(507a)의 전위와 같다. 또한, 절연층(133), 개구(522), 개구(523), 및 개구(525) 위에 도전층(519)이 제공되어 있다. 즉, 트랜지스터 M1의 드레인 전극으로서 기능하는 도전층(513a)과, 트랜지스터 M2의 제 1 게이트 전극으로서 기능하는 도전층(507b)이 도전층(519)에 의하여 접속되어 있다.

[0222] 도 21의 (B)는 트랜지스터 M1의 채널 폭 방향에서의 단면도이다. 본 실시형태에서는, 트랜지스터 M1은 실시형태 4에서 제시한 트랜지스터(250)를 사용하여 형성되어 있고, 게이트 전극으로서 기능하는 도전층(517a)의 단부는 반도체층(511a_1)의 단부보다 외측에 위치한다.

[0223] 또한, 기관(102) 위에 트랜지스터 M2의 제 1 게이트 전극으로서 기능하는 도전층(507b)이 제공되어 있다. 도전층(507b) 위에는 트랜지스터 M2의 게이트 절연층으로서 기능하는 절연층(127)이 제공되어 있다. 절연층(127) 위의, 도전층(507b)과 중첩되는 위치에 반도체층(511b)이 제공되어 있고, 반도체층(511b)이 트랜지스터 M2의 반도체층으로서 기능한다. 또한, 반도체층(511b) 및 절연층(127) 위에는 트랜지스터 M2의 소스 전극으로서 기능하는 도전층(509b)과, 트랜지스터 M2의 드레인 전극으로서 기능하는 도전층(513b)이 제공되어 있다. 또한, 도전층(509b), 반도체층(511b), 도전층(513b), 및 절연층(127) 위에는 트랜지스터 M2의 보호 절연층으로서 기능하는 절연층(129) 및 절연층(131)이 제공되어 있다. 또한, 절연층(131) 위에는 절연층(133)이 형성되어 있고, 절연층(133) 위에 트랜지스터 M2의 제 2 게이트 전극으로서 기능하는 도전층(517b)이 제공되어 있다. 또한, 도시하지 않았지만 절연층(127), 절연층(129), 절연층(131), 및 절연층(133)에 형성된 개구에서 도전층(507b) 및 도전층(517b)이 접속된다. 즉, 제 2 게이트 전극으로서 기능하는 도전층(517b)의 전위는 제 1 게이트 전극으로서 기능하는 도전층(507b)의 전위와 같다.

[0224] 다음은 트랜지스터 M1 및 트랜지스터 M2의 제작 방법에 대하여 실시형태 1에서 제시한 도 5~도 7, 및 도 21을

사용하여 설명한다.

- [0225] 도 5의 (A)에 도시된 주사선(107)의 형성과 같은 공정으로 기판(102) 위에 도전층(507a) 및 도전층(507b)을 형성한다. 다음에, 절연층(127)을 형성한다. 그 다음은 도 5의 (A)에 도시된 반도체층(111) 및 반도체층(119)의 형성과 같은 공정으로 반도체층(511a_1), 반도체층(511a_2), 및 반도체층(511b)을 형성한다.
- [0226] 다음에, 도 5의 (B)에 도시된 데이터선(109) 및 도전층(113)의 형성과 같은 공정으로 절연층(127), 반도체층(511a_1), 반도체층(511a_2), 및 반도체층(511b) 위에 도전층(509a), 도전층(513a), 도전층(509b), 및 도전층(513b)을 형성한다.
- [0227] 다음에 도 5의 (C)에 도시된 바와 같이, 절연층(129) 및 절연층(131)을 형성한다.
- [0228] 그 다음에 도 6의 (A)에 도시된 개구(140)의 형성과 같은 공정으로 개구(521) 및 개구(522)를 형성한다.
- [0229] 다음에 도 6의 (B)에 도시된 바와 같이 절연층(133)을 형성한다.
- [0230] 다음에 도 7의 (A)에 도시된 개구(117)의 형성과 같은 공정으로 개구(523), 개구(524), 및 개구(525)를 형성한다.
- [0231] 그 다음에, 도 7의 (B)에 도시된 화소 전극(121)의 형성과 같은 공정으로 도전층(517a), 도전층(517b), 및 도전층(519)을 형성한다.
- [0232] 상술한 공정을 거쳐 트랜지스터 M1 및 트랜지스터 M2를 제작할 수 있다.
- [0233] 실시형태 4에서 제시한 바와 같이, 반도체층을 사이에 두고 서로 중첩된 한 쌍의 게이트 전극을 가지며 한 쌍의 게이트 전극이 서로 같은 전위인 트랜지스터를 사용하여 트랜지스터 M1, 트랜지스터 M2, 및 트랜지스터 M3을 제작함으로써, 각 트랜지스터에 포함되는 반도체층에서 채널 형성 영역이 증가되고 트랜지스터 M1, 트랜지스터 M2, 및 트랜지스터 M3의 드레인 전류의 증가를 실현할 수 있다. 이로써, 온 전류의 저하를 억제하면서 트랜지스터 M1, 트랜지스터 M2, 및 트랜지스터 M3의 크기를 작게 억제할 수 있으므로 버퍼(500), 또는, 버퍼(500)가 사용된 구동 회로의 면적을 작게 억제할 수 있다. 버퍼(500)의 출력 측에 제공된 트랜지스터 M2에는 트랜지스터 M1보다 큰 전류 공급 능력이 특히 요구되므로, 트랜지스터 M2가 상술한 바와 같은 한 쌍의 게이트 전극을 가지면 트랜지스터 M1에 같은 구성을 적용한 경우에 비하여 버퍼(500) 또는 구동 회로의 면적을 작게 억제하는 효과가 크다고 할 수 있다.
- [0234] (실시형태 6)
- [0235] 본 실시형태에서는, 본 발명의 일 형태인 표시 장치를 사용 가능한 표시 모듈 및 전자 기기에 대하여 도 13 및 도 14를 사용하여 설명한다.
- [0236] 도 13에 도시된 표시 모듈(8000)은, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트(8007), 프레임(8009), 프린트 기관(8010), 배터리(8011)를 갖는다.
- [0237] 본 발명의 일 형태인 표시 장치는 예를 들어 표시 패널(8006)에 사용할 수 있다.
- [0238] 상부 커버(8001) 및 하부 커버(8002)의 형상이나 치수는, 터치 패널(8004) 및 표시 패널(8006)의 크기에 맞추어서 적절히 변경할 수 있다.
- [0239] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩시킴으로써 사용할 수 있다. 또한, 표시 패널(8006)의 대향 기관(밀봉 기관)에 터치 패널 기능을 부여할 수도 있다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 제공하고, 광학식 터치 패널로 할 수도 있다.
- [0240] 백라이트(8007)는 광원(8008)을 갖는다. 광원(8008)은, 백라이트(8007)의 단부에 제공되고, 광 확산판을 사용한 구성으로 하여도 좋다.
- [0241] 프레임(8009)은 표시 패널(8006)의 보호 기능 외에, 프린트 기관(8010)의 동작에 의하여 발생하는 전자파를 차단하기 위한 전자기 차폐(electromagnetic shield)로서의 기능을 갖는다. 또한, 프레임(8009)은 방열판으로서의 기능을 가져도 좋다.
- [0242] 프린트 기관(8010)은 전원 회로와, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원이어도 좋고, 별도로 제공된 배터리(8011)에 의한 전원

이어도 좋다. 상용 전원을 사용하는 경우 배터리(8011)는 생략할 수 있다.

[0243] 또한, 표시 모듈(8000)은 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 제공하여도 좋다.

[0244] 도 14의 (A)~(H)는 전자 기기를 도시한 것이다. 이들 전자 기기는, 하우스(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0245] 도 14의 (A)는 모바일 컴퓨터이며, 상술한 것들 외에 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 14의 (B)는 기록 매체를 구비한 휴대형 화상 재생 장치(예를 들어, DVD 재생 장치)이며, 상술한 것들 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 14의 (C)는 고글형 디스플레이이며, 상술한 것들 외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 14의 (D)는 휴대형 게임기이며, 상술한 것들 외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 14의 (E)는 텔레비전 수상기를 갖는 디지털 카메라이며, 상술한 것들 외에, 안테나(5014), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 14의 (F)는 휴대형 게임기이며, 상술한 것들 외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 14의 (G)는 텔레비전 수상기이며, 상술한 것들 외에, 튜너, 화상 처리부 등을 가질 수 있다. 도 14의 (H)는 휴대형 텔레비전 수상기이며, 상술한 것들 외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다.

[0246] 도 14의 (A)~(H)에 도시된 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 다양한 데이터의 송신 또는 수신을 수행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한 복수의 표시부를 갖는 전자 기기에서는, 하나의 표시부를 주로 하여 화상 정보를 표시하고, 다른 하나의 표시부를 주로 하여 문자 정보를 표시하는 기능, 또는 복수의 표시부에 시차(視差)를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 갖는 전자 기기에서는, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 14의 (A)~(H)에 도시된 전자 기기가 가질 수 있는 기능은 이들에 한정되지 않으며, 다양한 기능을 가질 수 있다.

[0247] 본 실시형태에서 제시한 전자 기기는, 어떤 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다.

[0248] 본 실시형태에서 제시한 구성은, 다른 실시형태에서 제시한 구성과 적절히 조합하여 사용할 수 있다.

[0249] (실시예 1)

[0250] 본 실시예에서는 본 발명의 일 형태인 표시 장치의 투과율에 대하여 계산을 수행하였다. 도 15를 사용하여 본 실시예의 계산에 사용된 표시 장치의 구성에 대하여 이하에서 설명한다.

[0251] 도 15에 도시된, 계산에 사용된 표시 장치는, 기관(402)과, 기관(402) 위의 도전층(407) 및 도전층(419)과, 기관(402), 도전층(407), 및 도전층(419) 위의 절연층(431)과, 절연층(431) 위의 스페이서(466)와, 절연층(431) 위의 전극(421)과, 스페이서(466) 위의 전극(460)과, 전극(460) 위의 기관(452)과, 전극(421)과 전극(460)에 끼워진 액정층(464)을 갖는 구성이다.

[0252] 또한, 전극(421)은 절연층(431)에 형성된 오목부를 따라서 배치되어 있다. 따라서, 전극(421)은 오목부를 갖는다. 또한, 스페이서(466)의 단부 중 한쪽을 X점, 전극(421)이 갖는 오목부의 단부 중 한쪽을 Y점으로 각각 나타내었다.

[0253] 또한, 도 15에 도시된, 계산에 사용된 표시 장치의 구성은, 도 3에 도시된 본 발명의 일 형태인 표시 장치를 간략화한 것이며 계산을 용이하게 수행하기 위한 구성이다. 구체적으로, 기관(402)은 도 3에 도시된, 트랜지스터(103)가 형성되는 기관(102)에 상당하고, 도전층(407)은 도 3에 도시된 주사선(107)에 상당하고, 도전층(419)은 도 3에 도시된 반도체층(119)에 상당하고, 절연층(431)은 도 3에 도시된 절연층(131)에 상당하고, 스페이서(466)는 도 3에 도시된 스페이서(166)에 상당하고, 전극(421)은 도 3에 도시된 화소 전극(121)에 상당하고, 전

극(460)은 도 3에 도시된 도전층(160)에 상당하고, 기관(452)은 도 3에 도시된 기관(152)에 상당하고, 액정층(464)은 도 3에 도시된 액정층(164)에 상당한다.

- [0254] 도 15에 나타난 0, 10, 20, 30, 40, 및 49.5(μm)는 상기 계산에 사용된 구성의 가로 방향의 거리를 나타낸 것이다. 또한, 도 15에 나타난 0.0, 0.5, 1.0, 1.5, 2.0, 2.5, 3.0, 3.5, 및 4.0(μm)은 상기 계산에 사용된 구성의 세로 방향의 거리를 나타낸 것이다. 구체적으로, 절연층(431)에 형성된 오목부의 깊이(세로 방향의 거리)를 0.5 μm 로 하고, 상기 오목부의 테이퍼각을 15°로 하고, 전극(421) 및 전극(460)의 막 두께를 0.1 μm 로 하였다.
- [0255] 또한, 도 15에 도시된, 계산에 사용된 표시 장치의 구성의 해상도를 326ppi, 353ppi, 및 513ppi의 3개의 값으로 계산하였다. 또한, 해상도 326ppi의 경우 도 15에 도시된 표시 장치의 구성의 가로 방향의 거리를 78 μm 로 하고, 해상도 353ppi의 경우 도 15에 도시된 표시 장치의 구성의 가로 방향의 거리를 72 μm 로 하고, 해상도 513ppi의 경우 도 15에 나타난 표시 장치의 구성의 가로 방향의 거리를 49.5 μm 로 하였다.
- [0256] 또한, 도 15에 도시된 도전층 및 전극에 인가하는 전압을 다음과 같이 설정하였다. (도전층(407): -9V, 도전층(419): 0V, 전극(421): 5V, 전극(460): 0V). 또한, 액정층(464)은 MLC2039(Merck 제조)의 액정 재료를 가정하였다.
- [0257] 상기 조건에 따라서, 액정층(464)의 시간 경과에 따른 투과율의 계산을 수행하였다. 또한, 계산 소프트웨어는 LCD Master(Shintech 제조)를 사용하였다.
- [0258] 도 16에는 투과율의 계산 결과를 나타내었다. 도 16에서는 가로 축에 시간(msec), 세로 축에 정규화 투과율(%)을 각각 나타내었다.
- [0259] 도 16에 나타난 계산 결과를 보면 알다시피, 도 15에 도시된 표시 장치의 구성에서는 해상도가 높으면 높을수록 정규화 투과율의 상승 시간이 더 빠르게 되는 것을 알 수 있다. 이것은, 도 15에 나타난 표시 장치의 구성에서 해상도가 높을수록 액정층(464)의 응답 속도가 빠르다는 결과를 시사한다.
- [0260] 그 다음에 도 15에 도시된, 계산에 사용된 표시 장치의 구성에서 시간 경과에 따른 액정층의 투과율의 변화를 계산하였다. 또한, 해상도를 513ppi(가로 방향의 거리를 49.5 μm)로 하고, 시간이 0, 5, 10, 15, 20, 25, 및 30msec 경과되었을 때의 액정층(464)의 투과율을 계산하였다. 또한, 기타 계산에 사용한 조건은 상술한 조건과 동일하게 하였다.
- [0261] 도 17에는 투과율의 계산 결과를 나타내었다. 도 17에서는 가로 축에 거리(μm), 세로 축에 투과율(%)을 각각 나타내었다. 또한, 도 17에서는 도 15에 나타난 X점 및 Y점에 상당하는 개소에 X점 및 Y점을 제시하였다.
- [0262] 도 17에 나타난 계산 결과를 보면 알다시피, X점(스페이서(466)의 단부)과 Y점(전극(421)이 갖는 오목부의 단부)의 2점을 시점으로 하여, 시간 경과에 따라 화소 중앙부로 향하여 투과율의 변화가 진행되는 것을 확인할 수 있다. 이와 같이 X점 및 Y점의 2점이 배향 제어의 기점이 되어 있으므로, X-Y간의 거리가 짧을수록 응답 속도가 빠르다는 결과를 시사한다. 즉, 표시 장치의 해상도가 높게 될수록 본 발명의 일 형태인 표시 장치의 구성은 우수한 효과를 갖는다.
- [0263] 본 실시예에서 제시한 구성은 다른 실시형태에서 제시한 구성과 적절히 조합하여 사용할 수 있다.
- [0264] (실시예 2)
- [0265] 본 실시예에서는 본 발명의 일 형태인 표시 장치를 제작하고 평가하였다. 본 실시예에서 제작한 표시 장치의 일 형태에 대해서는 이하에서 설명한다.
- [0266] 우선, 본 실시예에서 제작한 표시 장치의 사양을 표 1에 나타낸다.

표 1

백플레인	CAAC-IGZO
패널 크기	4.3inch
유효 화소수	1080×RGB (H) ×1920 (V) : FHD
화소 크기	16.5μm (H) ×49.5μm (V)
패널의 외형 치수	55.46mm (H) ×137.96mm (V)
표시 영역	53.46mm (H) ×95.04mm (V)
해상도	513ppi
마스크 개수	6 장(CE(채널 에치)형 트랜지스터)
LCD	수직 전계 액정
착색 방식	CF(컬러 필터)방식
개구율	50.3%
구동 주파수	60Hz
영상 신호 형식	아날로그 선순차
Gate Driver	내장 (드라이버 폭 : 0.72mm) (베젤 폭 : 1.0mm)
Source Driver	COF (베젤 폭 : 4.3mm)

[0267]

[0268]

표 1에 나타난 바와 같이, 백플레인으로는 CAAC-IGZO를 사용하였다. 패널 크기는 4.3inch로 하였다. 또한, 유효 화소수는 1080×RGB(H)×1920(V)의 FHD(Full High Definition)로 하였다. 또한, 화소 크기는 16.5μm(H)×49.5μm(V)로 하였다. 패널의 외형 치수는 55.46mm(H)×137.96mm(V)로 하였다. 또한, 표시 영역은 53.46mm(H)×95.04mm(V)로 하였다. 또한, 해상도는 513ppi로 하였다. 또한, 마스크 개수는 6장이며 CE형 트랜지스터를 사용하였다. 또한, LCD로서는 수직 전계 액정을 사용하였다. 또한, 착색 방식으로는 CF방식을 이용하였다. 또한, 개구율은 50.3%로 하였다. 또한, 구동 주파수는 60Hz로 하였다. 또한, 영상 신호 형식으로는 아날로그 선순차를 이용하였다. 또한, Gate Driver는 내장하고, 드라이버 폭을 0.72mm, 베젤 폭을 1.0mm로 하였다. 또한, Source Driver는 COF(Chip On Film)를 사용하고 이의 베젤 폭을 4.3mm로 하였다.

[0269]

또한, 화소의 구성으로서, 도 1에 도시된 상면도 및 도 2~도 4에 도시된 단면도와 같은 구성을 사용하였다.

[0270]

도 22에 본 실시예에서 제작한 본 발명의 일 형태인 표시 장치의 표시 결과를 나타내었다. 도 22에 나타난 바와 같이, 본 발명의 일 형태인 표시 장치는 우수한 표시가 가능한 것을 확인할 수 있었다.

[0271]

다음에 도 22에 나타난 표시 장치와 동일 구성의 TEG(Test Element Group) 기관을 사용하여 화소부의 액정 배향 상태를 관찰하였다. 또한, 상기 TEG 기관에서는, 화소부의 액정 배향 상태를 관찰하기 쉽게 하기 위하여 BM(블랙 매트릭스), 및 CF(컬러 필터)는 형성하지 않았다.

[0272]

또한, 액정 배향 상태의 관찰은 편광 현미경을 사용하여 직교 니콜로 관찰하고, 반사상(像)과 투과상을 관찰하였다.

[0273]

도 23에는 액정 배향 상태의 관찰 결과를 나타내었다. 또한, 도 23의 (A)는 반사상의 액정 배향 상태의 관찰 결과이고, 도 23의 (B)는 투과상의 액정 배향 상태의 관찰 결과이다.

[0274]

도 23의 (A) 및 (B)에 나타난 바와 같이, 배향 결함이 없고 양호한 배향 상태인 것을 확인할 수 있었다.

[0275]

상술한 바와 같이 본 실시예에서는, 4.3inch, 6장의 마스크, 고정세의 해상도(513ppi)의 FHD 액정을 사용한 표시 장치가 제작되는 것을 확인할 수 있었다.

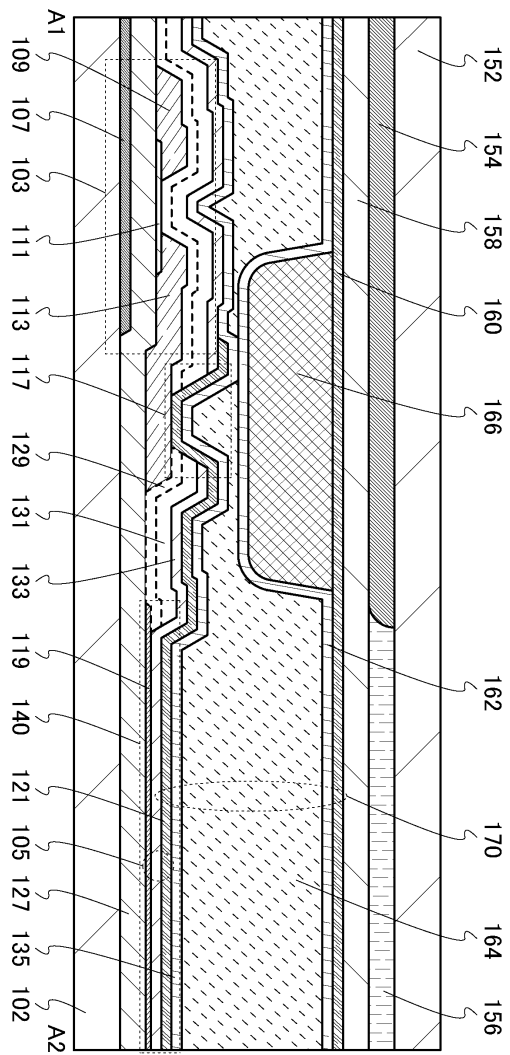
부호의 설명

[0276] 101: 화소
 102: 기관
 103: 트랜지스터
 105: 용량 소자
 105a: 용량 소자
 105b: 용량 소자
 105c: 용량 소자
 105d: 용량 소자
 107: 주사선
 109: 데이터선
 111: 반도체층
 113: 도전층
 115: 용량선
 117: 개구
 119: 반도체층
 119a: 반도체층
 119b: 반도체층
 119c: 반도체층
 121: 화소 전극
 121d: 화소 전극
 127: 절연층
 129: 절연층
 131: 절연층
 133: 절연층
 135: 배향막
 140: 개구
 140a: 개구
 140b: 개구
 140c: 개구
 152: 기관
 154: 차광층
 156: 유색층
 158: 절연층
 160: 도전층
 162: 배향막
 164: 액정층

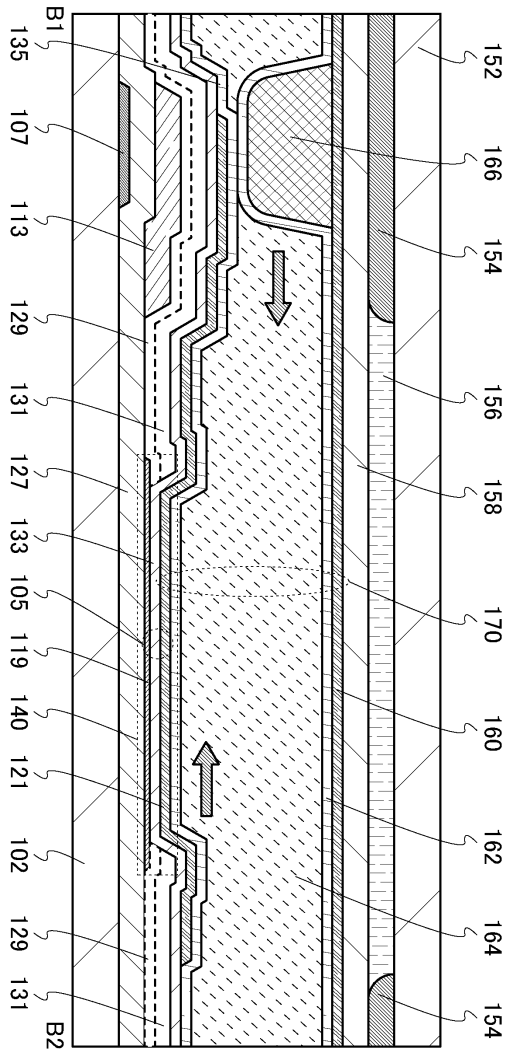
166: 스페이서
170: 액정 소자
207: 게이트 전극
209: 전극
213: 전극
215a: 질화물 절연층
215b: 산화물 절연층
228: 게이트 절연층
229: 산화물 절연층
231: 산화물 절연층
233: 질화물 절연층
241: 개구
242: 개구
250: 트랜지스터
251: 게이트 전극
260: 트랜지스터
288: 게이트 절연층
291: 게이트 전극
292: 전극
293: 개구
294: 개구
302: 화소부
304: 구동 회로부
304a: 게이트 드라이버
304b: 소스 드라이버
306: 보호 회로
307: 단자부
308: 화소 회로부
402: 기판
407: 도전층
419: 도전층
421: 전극
431: 절연층
452: 기판
460: 전극
464: 액정층

466: 스페이서
500: 버퍼
507a: 도전층
507b: 도전층
509a: 도전층
509b: 도전층
511_1: 반도체층
511a_1: 반도체층
511a_2: 반도체층
511b: 반도체층
513a: 도전층
513b: 도전층
517a: 도전층
517b: 도전층
519: 도전층
521: 개구
522: 개구
523: 개구
524: 개구
525: 개구
5000: 하우징
5001: 표시부
5002: 표시부
5003: 스피커
5004: LED 램프
5005: 조작 키
5006: 접속 단자
5007: 센서
5008: 마이크로폰
5009: 스위치
5010: 적외선 포트
5011: 기록 매체 관독부
5012: 지지부
5013: 이어폰
5014: 안테나
5015: 셔터 버튼

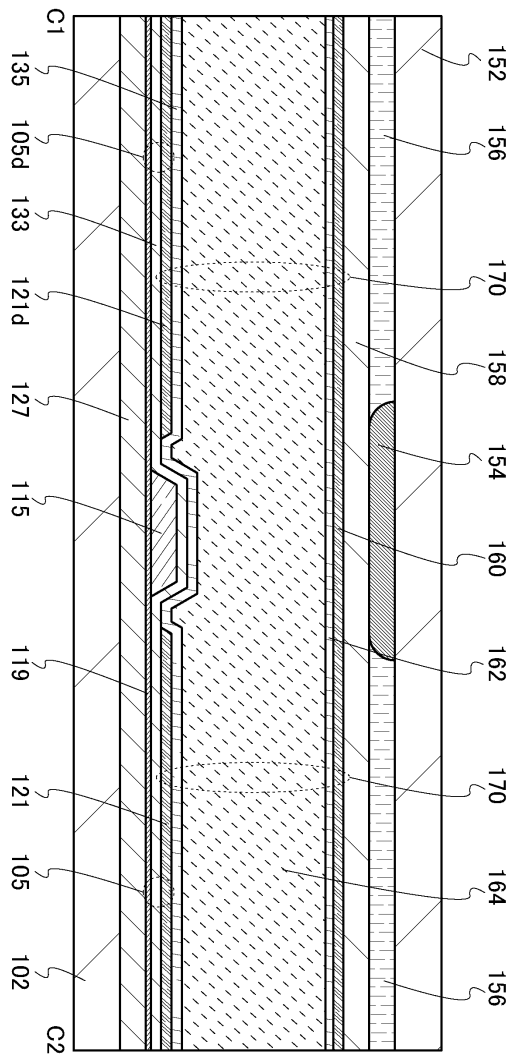
도면2



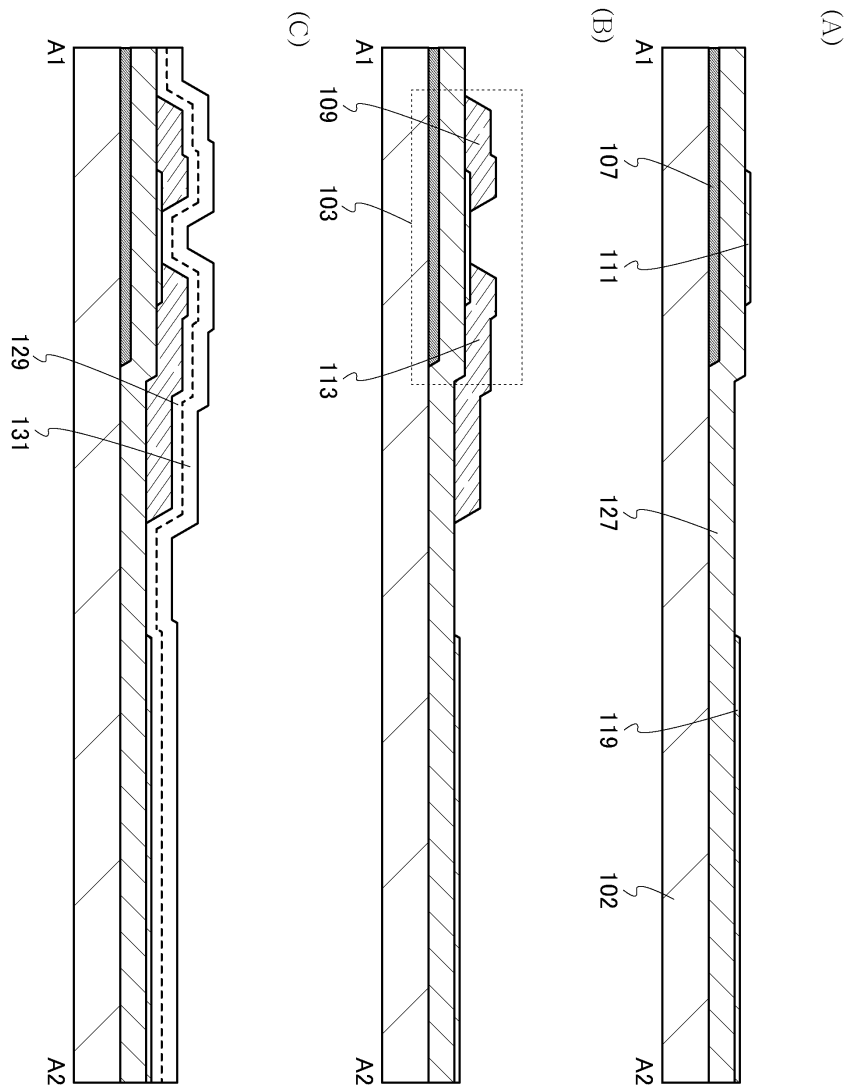
도면3



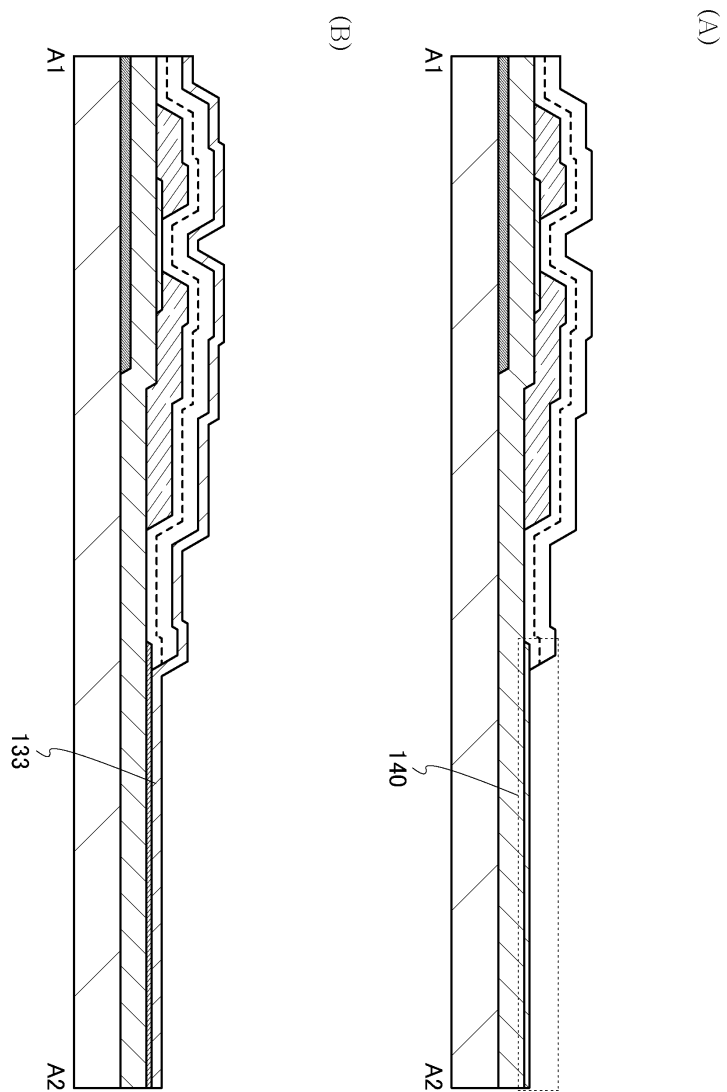
도면4



도면5

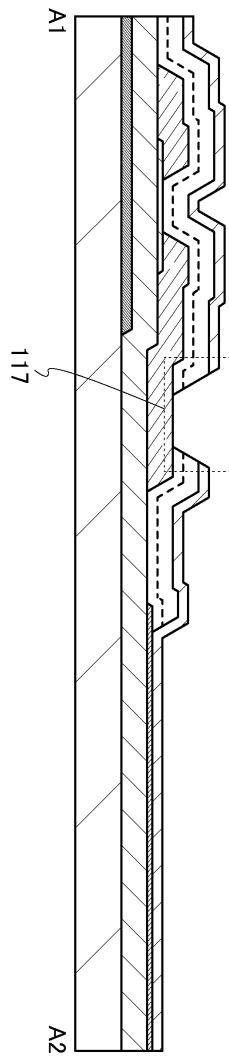


도면6

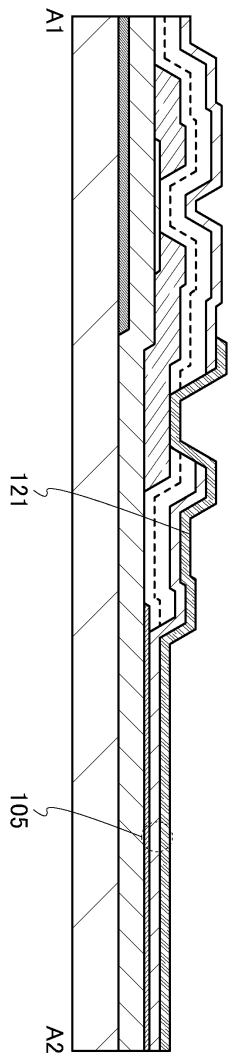


도면7

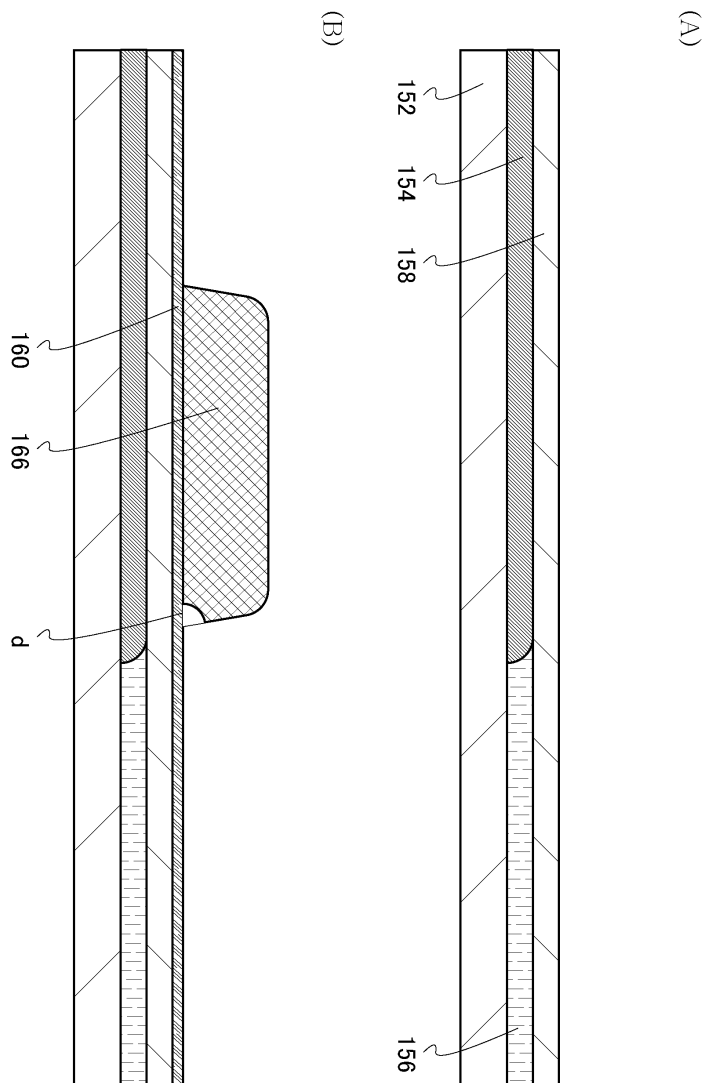
(A)



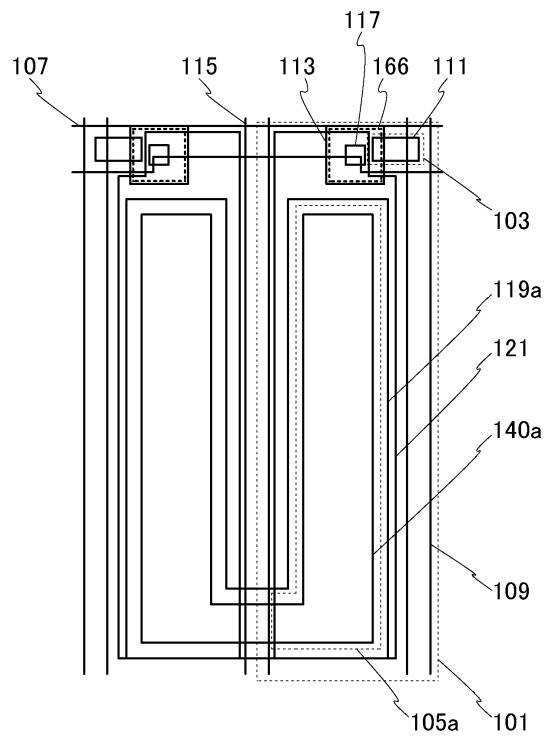
(B)



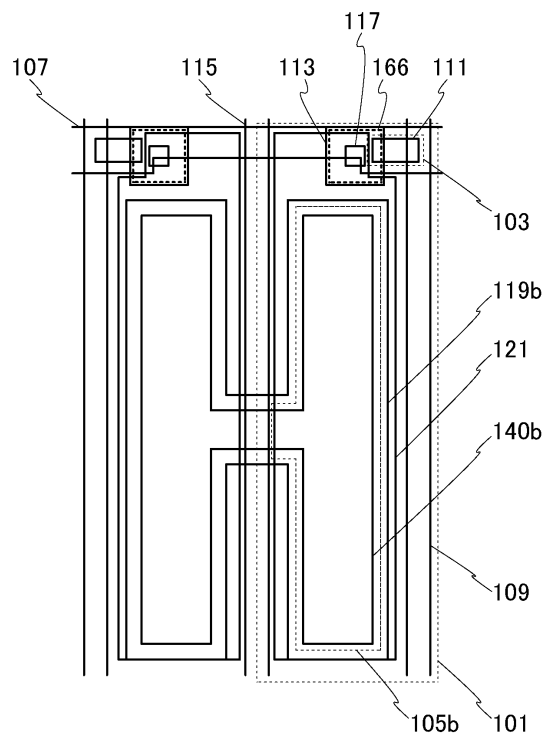
도면8



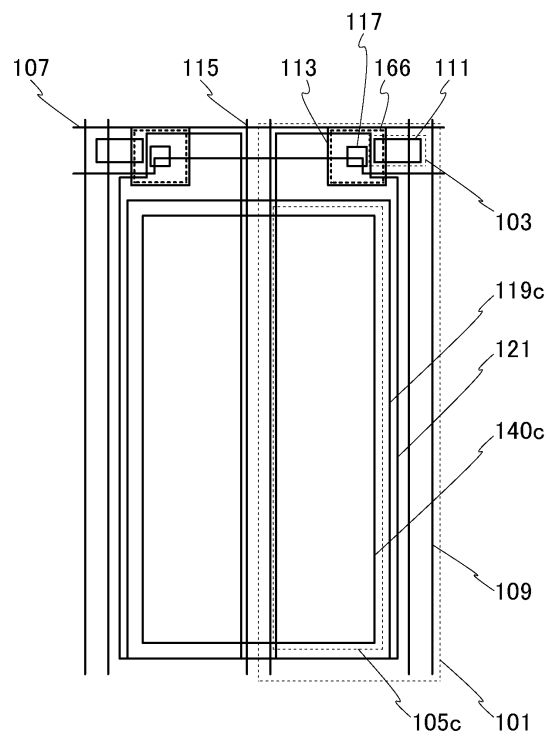
도면9



도면10

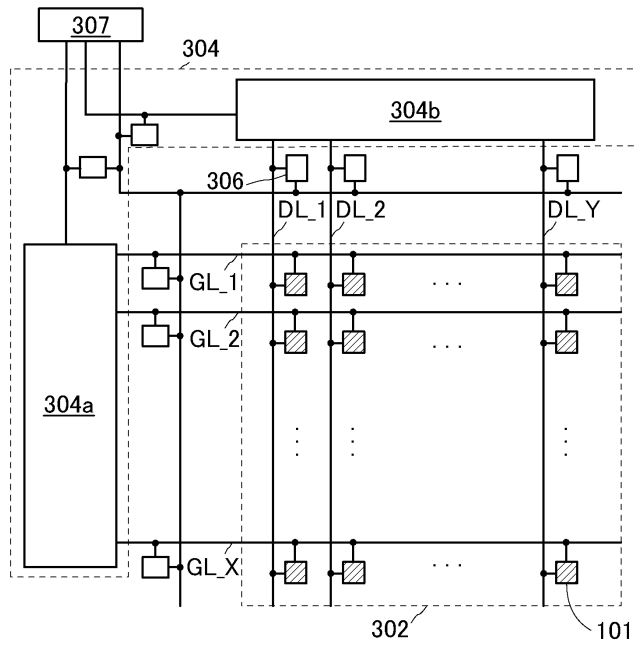


도면11

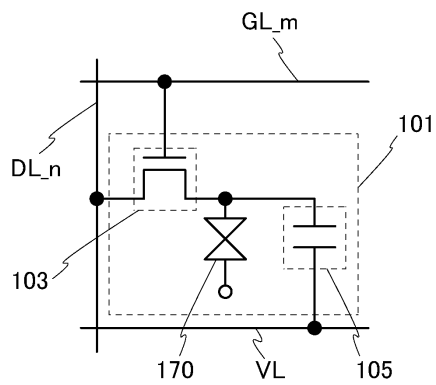


도면12

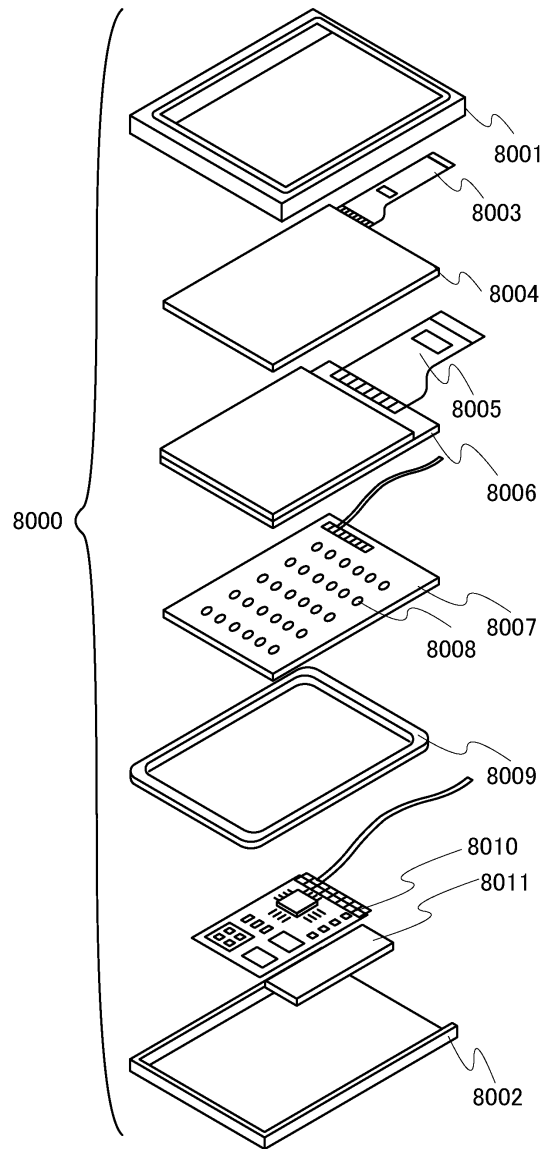
(A)



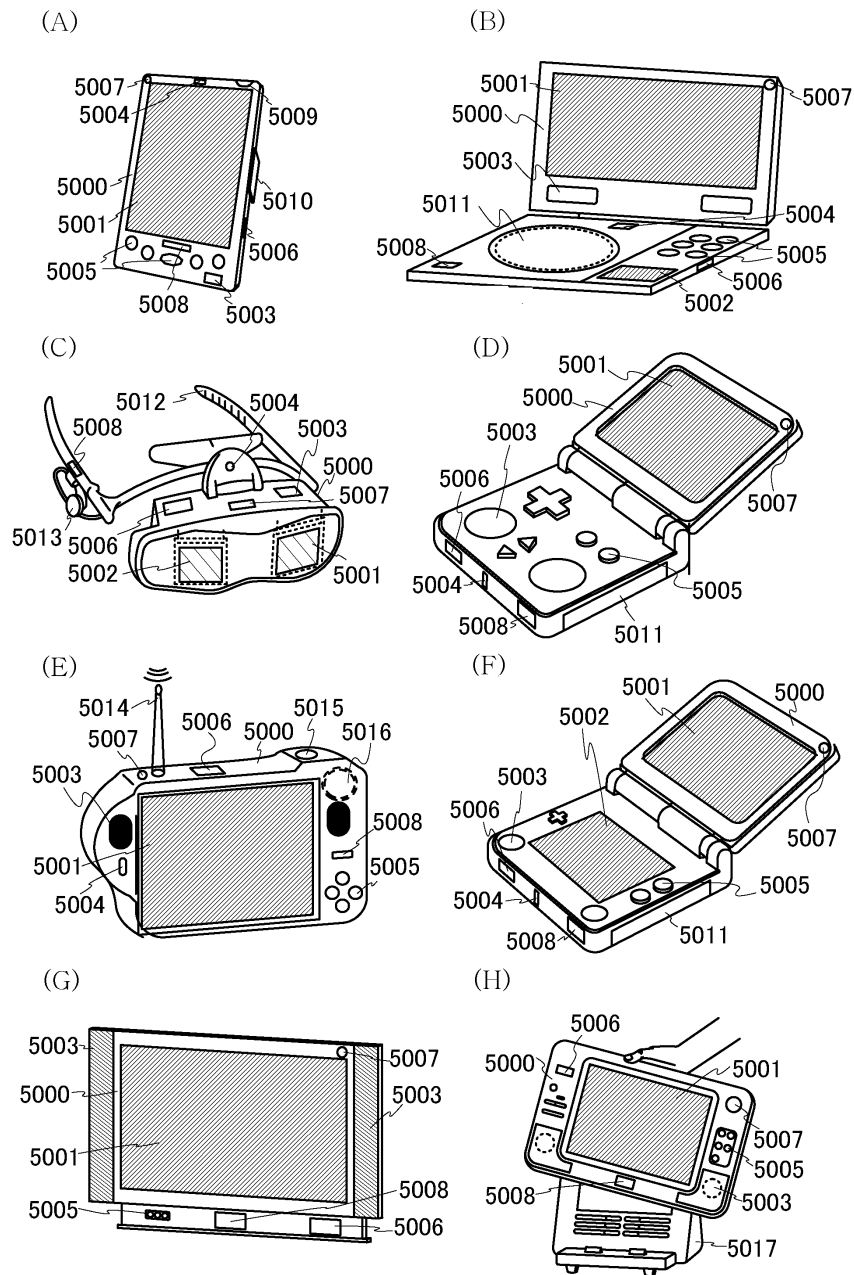
(B)



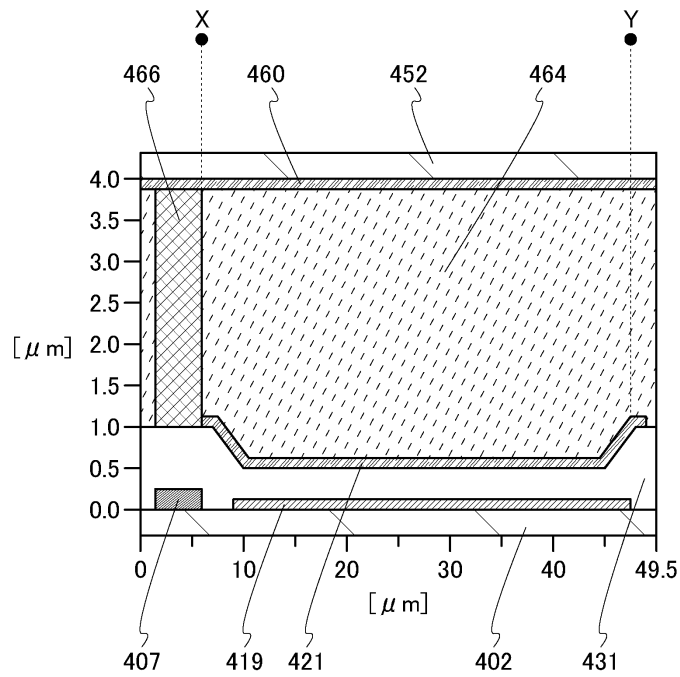
도면13



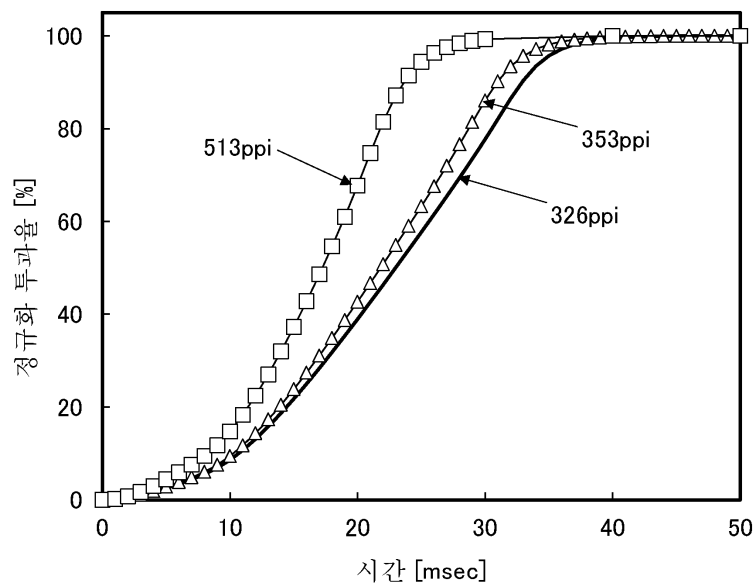
도면14



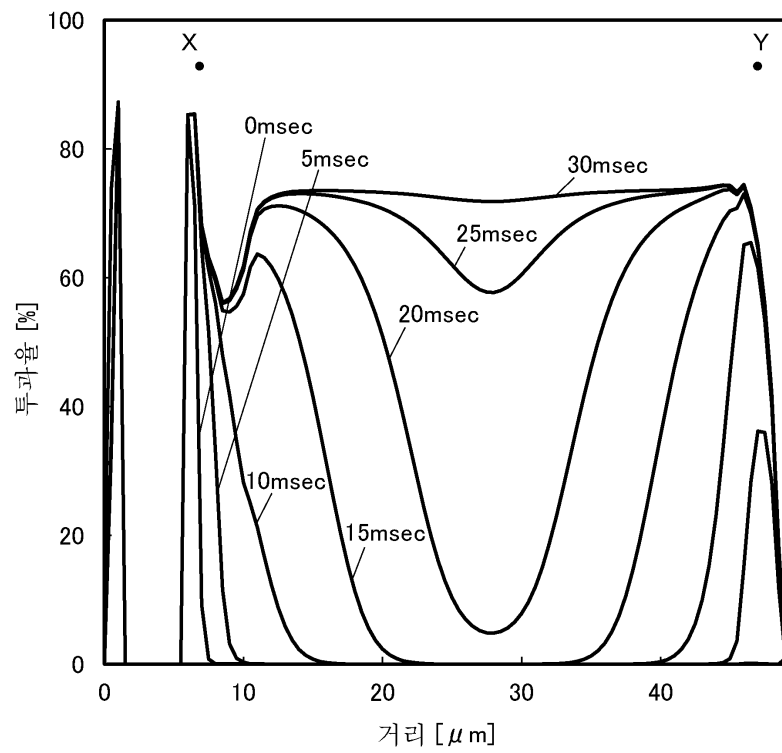
도면15



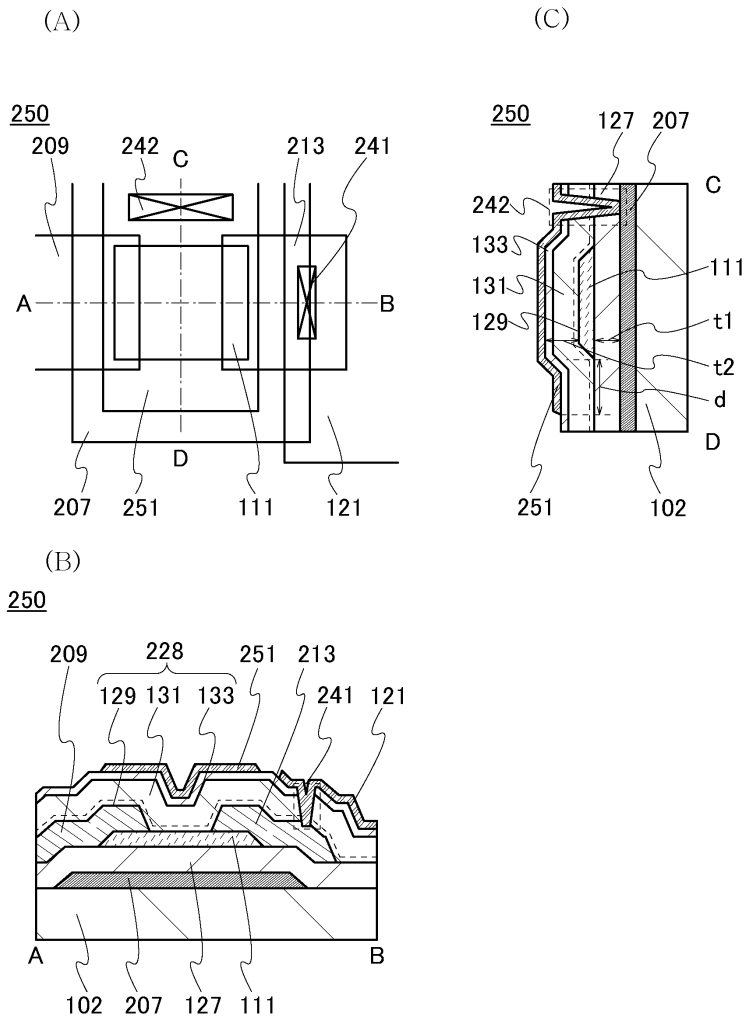
도면16



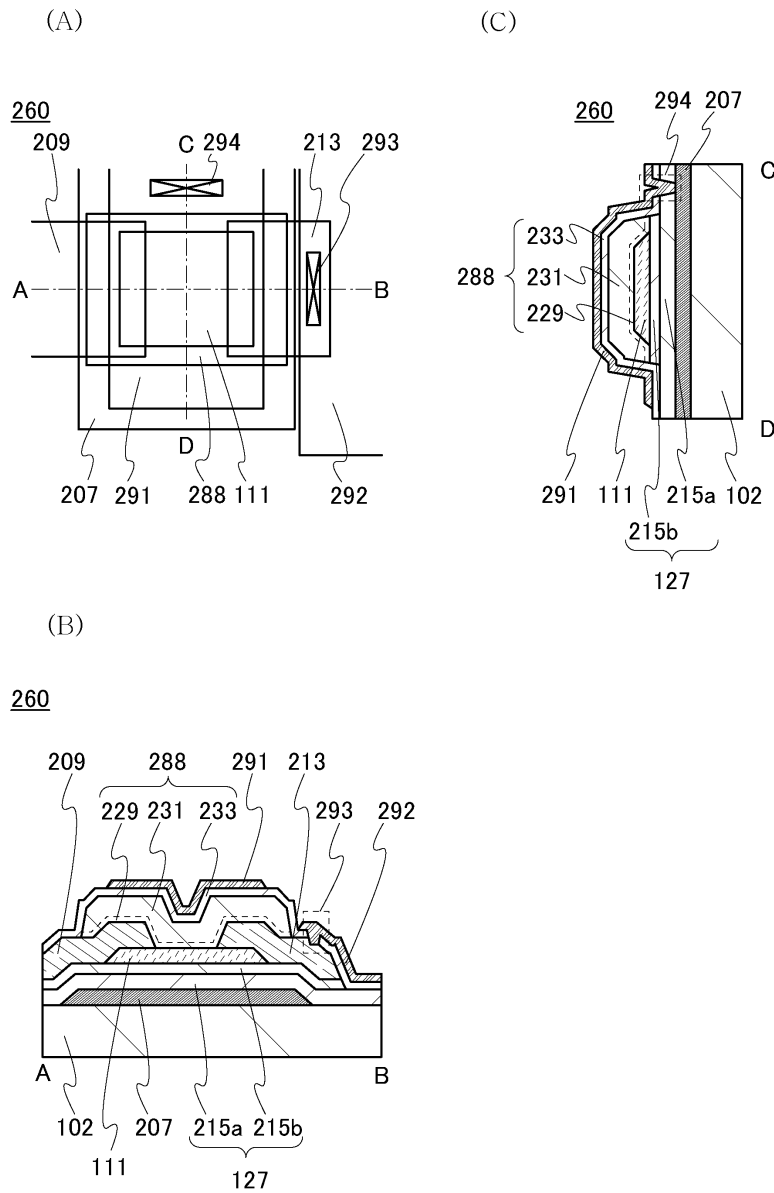
도면17



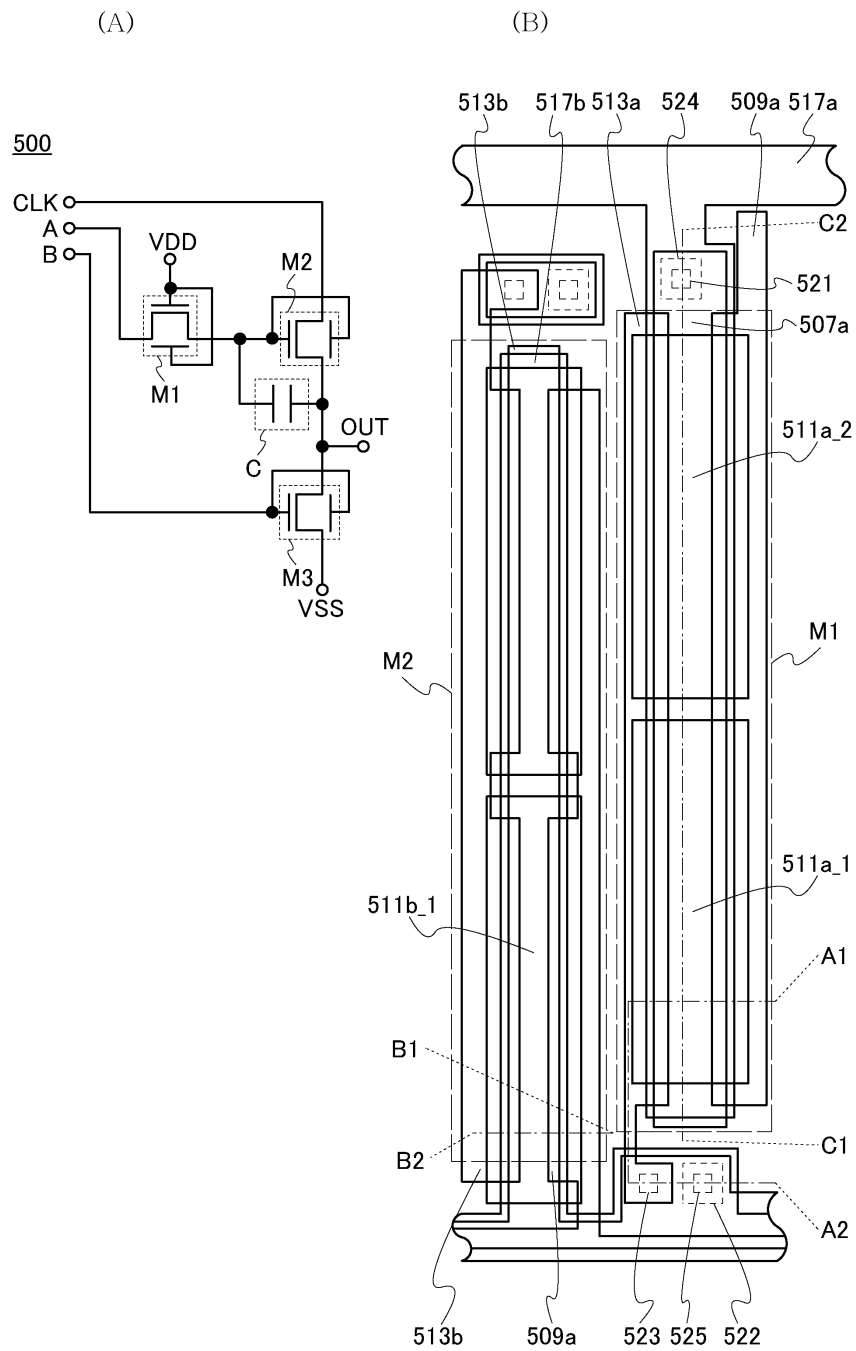
도면18



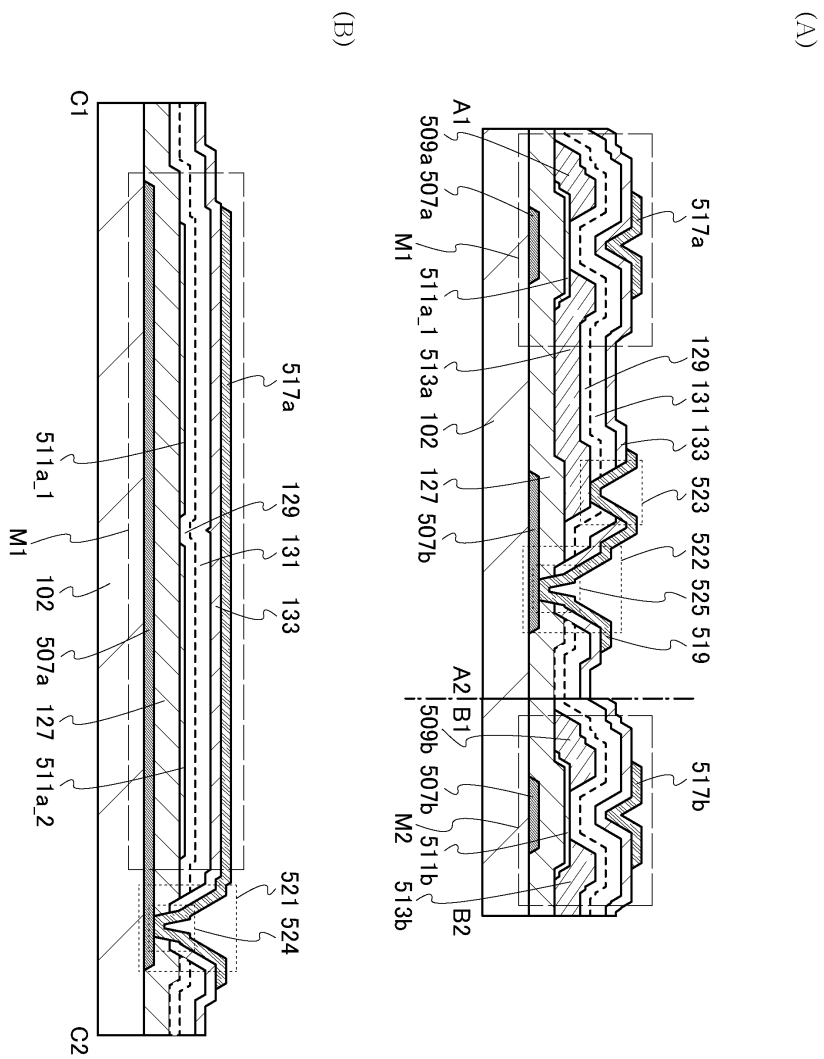
도면19



도면20



도면21



도면22

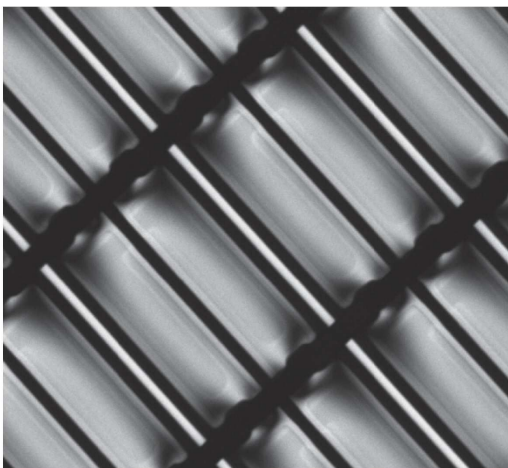


도면23

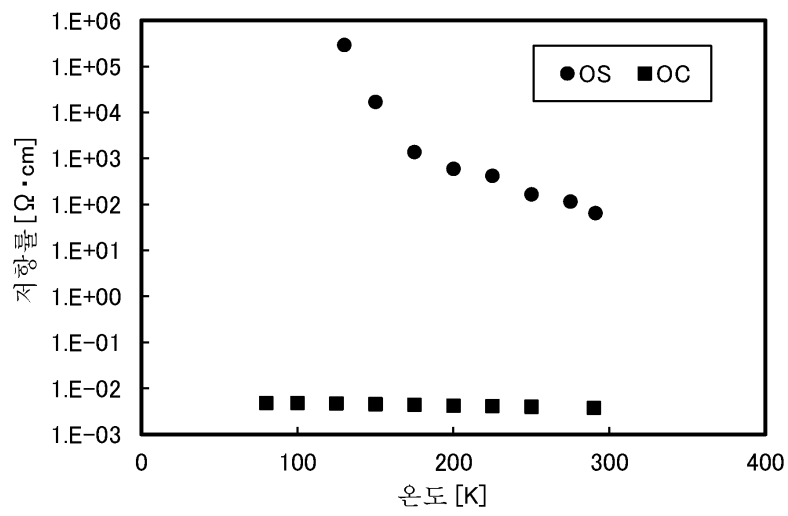
(A)



(B)



도면24



专利名称(译)	显示装置和电子设备		
公开(公告)号	KR1020140143094A	公开(公告)日	2014-12-15
申请号	KR1020140064309	申请日	2014-05-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KUBOTA DAISUKE 구보타다이스케 KUBOTA YUSUKE 구보타유스케		
发明人	구보타다이스케 구보타유스케		
IPC分类号	G02F1/1337 G02F1/136 G02F1/1339		
CPC分类号	G02F1/133707 G02F1/136213 G02F1/13394		
优先权	2013118550 2013-06-05 JP 2013122849 2013-06-11 JP 2014037205 2014-02-27 JP		
外部链接	Espacenet		

摘要(译)

提供了具有较少缺陷对准的显示装置。还提供了一种具有高孔径比并且包括可以增加充电容量的电容器的显示装置。还提供了一种具有高孔径比的显示装置，包括具有大充电容量的电容器，并且具有较少的缺陷对准。显示装置包括由扫描线，数据线和电容器线限定的区域中的像素。像素包括在对电极和像素电极之间的液晶层，在液晶层中的间隔物，以及连接到像素电极的晶体管。像素电极具有凹陷部分，并且液晶层中的对准由凹陷部分和间隔物控制。

