



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0130295
(43) 공개일자 2014년11월10일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2013-0048366

(22) 출원일자 2013년04월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박해준

서울특별시 강서구 등촌1동 코오롱1차아파트 101동 1508호

이철환

경기 수원시 팔달구 화산로 57, 146동 602호 (화서동, 꽃피버들마을진흥아파트)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

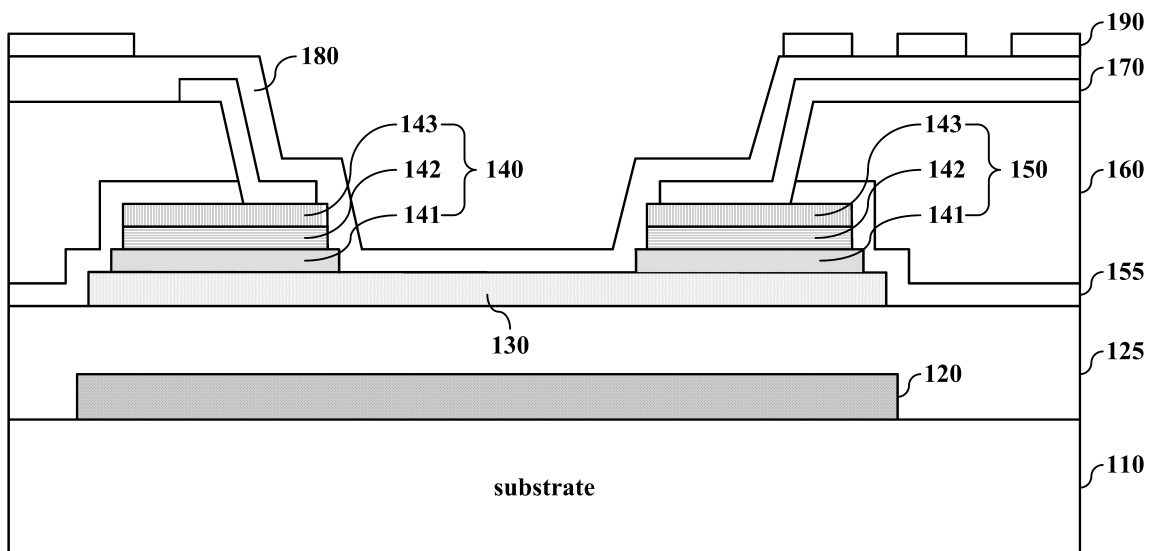
(54) 발명의 명칭 액정 디스플레이 장치와 이의 제조방법

(57) 요약

본 발명은 TFT와 픽셀 전극의 콘택 불량 및 부식(erosion) 불량을 방지하여 신뢰성이 향상된 액정 디스플레이 장치와 제조 공정의 안정성 및 수율을 높일 수 있는 액정 디스플레이 장치의 제조방법에 관한 것이다.

본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 절연막을 사이에 두고 형성된 게이트 전극과 반도체층; 상기 반도체층 상부 일측에 형성된 소스 전극과, 상기 반도체층의 상부 타측에 형성된 드레인 전극; 상기 소스 전극과 상기 드레인 전극 상부에 형성된 제1 보호막과 평탄화층; 상기 드레인 전극과 콘택되고 상기 평탄화층 상부에 형성된 픽셀 전극; 상기 픽셀 전극 상부에 형성된 제2 보호층; 및 상기 제2 보호층 상부에 형성된 공통 전극을 포함하고, 상기 소스 전극 및 드레인 전극은 제1 레이어, 상기 제1 레이어 상부에 형성된 제2 레이어 및 상기 제2 레이어 상부에 형성된 제3 레이어를 포함하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

게이트 절연막을 사이에 두고 형성된 게이트 전극과 반도체층;

상기 반도체층 상부 일측에 형성된 소스 전극과, 상기 반도체층의 상부 타측에 형성된 드레인 전극;

상기 소스 전극과 상기 드레인 전극 상부에 형성된 제1 보호막과 평탄화층;

상기 드레인 전극과 콘택되고 상기 평탄화층 상부에 형성된 픽셀 전극;

상기 픽셀 전극 상부에 형성된 제2 보호층; 및

상기 제2 보호층 상부에 형성된 공통 전극을 포함하고,

상기 소스 전극 및 드레인 전극은 제1 레이어, 상기 제1 레이어 상부에 형성된 제2 레이어 및 상기 제2 레이어 상부에 형성된 제3 레이어를 포함하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2

제1 항에 있어서,

상기 제3 레이어는 상기 제2 레이어의 보호막으로 형성되어 상기 제2 레이어 표면의 산화를 방지하는 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3

제1 항에 있어서,

상기 제1 레이어는 제1 금속으로 형성되고,

상기 제2 레이어는 상기 제1 금속과 상이한 제2 금속으로 형성되고,

상기 제3 레이어는 상기 제2 금속과 상이한 제3 금속으로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4

제1 항에 있어서,

상기 제1 레이어는 몰리브덴(Mo) 또는 티타늄(Ti) 또는 몰리브덴-티타늄 합금으로 형성되고,

상기 제2 레이어는 구리(Cu)로 형성되고,

상기 제3 레이어는 티타늄, 몰리브덴, 티타늄-몰리브덴 합금, 알루미늄(Al), 은(Ag), 금(Au), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr) 또는 지르코늄(Zr)으로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5

제1 항에 있어서,

상기 제3 레이어는 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 금(Au), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr) 또는 지르코늄(Zr)을 포함하는 합금으로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6

기관 상에 형성된 게이트 전극을 덮도록 게이트 절연막을 형성하고, 상기 게이트 절연막 상부에 반도체층을 형성하는 단계;

상기 반도체층 상부에 제1 금속으로 제1 레이어를 형성하고, 제2 금속으로 제2 레이어를 형성하고, 제3 금속으로 제3 레이어를 순차적으로 형성하는 단계;

상기 제3 레이어 상부에 제1 보호층을 형성하고, 상기 제1 보호층 상부에 평탄화층을 형성하는 단계;

상기 제1 보호층과 상기 평탄화층의 일부를 제거하여 상기 제3 레이어를 노출시킨 후, 투명 전도성 물질을 도포하여 투명 전극 레이어를 형성하는 단계; 및

상기 제1 레이어, 상기 제2 레이어, 상기 제3 레이어 및 상기 투명 전극 레이어를 일괄 식각하여, 픽셀 전극을 형성하고 상기 제1 레이어, 상기 제2 레이어, 상기 제3 레이어로 구성된 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이 장치의 제조방법.

청구항 7

제6 항에 있어서,

상기 제3 레이어는 상기 제2 레이어의 보호막으로 형성되어, 상기 제1 보호층과 상기 평탄화층의 일부를 제거하는 공정에 의해 상기 제2 레이어 표면이 산화되는 것을 방지하는 것을 특징으로 하는 액정 디스플레이 장치의 제조방법.

청구항 8

제6 항에 있어서,

상기 제1 레이어는 제1 금속으로 형성되고,

상기 제2 레이어는 상기 제1 금속과 상이한 제2 금속으로 형성되고,

상기 제3 레이어는 상기 제2 금속과 상이한 제3 금속으로 형성되는 것을 특징으로 하는 액정 디스플레이 장치의 제조방법.

청구항 9

제6 항에 있어서,

상기 제1 레이어는 몰리브덴(Mo) 또는 티타늄(Ti) 또는 몰리브덴-티타늄 합금으로 형성되고,

상기 제2 레이어는 구리(Cu)로 형성되고,

상기 제3 레이어는 티타늄, 몰리브덴, 티타늄-몰리브덴 합금, 알루미늄(Al), 은(Ag), 금(Au), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr) 또는 지르코늄(Zr)으로 형성되는 것을 특징으로 하는 액정 디스플레이 장치의 제조방법.

청구항 10

제 6 항에 있어서,

상기 제3 레이어는 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 금(Au), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr) 또는 지르코늄(Zr)을 포함하는 합금으로 형성되는 것을 특징으로 하는 액정 디스플레이 장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 TFT와 픽셀 전극의 컨택 불량 및 부식(erosion) 불량을 방지하여 신뢰성이 향상된 액정 디스플레이 장치와 제조 공정의 안정성 및 수율을 높일 수 있는 액정 디스플레이 장치의 제조방법에 관한 것이다.

배경기술

[0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 디스플레이 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

[0003] 평판 디스플레이 장치로는 액정 디스플레이 장치(Liquid Crystal Display Device), 플라즈마 디스플레이 패널(Plasma Display Panel), 전계 방출 디스플레이 장치(Field Emission Display Device), 발광 다이오드 디스플레이

레이 장치(Light Emitting Diode Display Device), 유기 발광 디스플레이 장치(Organic Light Emitting Display Device) 등이 개발되었다.

- [0004] 이러한, 평판 디스플레이 장치들은 화소들이 액티브 매트릭스 형태로 배열되어 있는데, 각 화소를 구동시키기 위한 소자로 박막 트랜지스터(TFT: Thin Film Transistor)를 적용하고 있다.
- [0005] 도 1은 종래 기술에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이고, 도 2는 종래 기술에 따른 액정 디스플레이 장치의 제조방법을 나타내는 도면이다.
- [0006] 도 1에서는 AH-IPS(Advanced High Performance-IPS) 방식의 TFT 어레이 기판(하부 기판) 구조를 나타내고 있으며, TFT 어레이 기판에 형성되는 복수의 픽셀 중에서 하나의 픽셀만을 도시하고 있다. 도 1에서는 액정층 및 상부기판의 도시는 생략했다.
- [0007] TFT 어레이 기판에는 복수의 픽셀이 형성되어 있으며, 상기 복수의 픽셀 각각은 서로 교차하는 데이터 라인들(미도시)과 게이트 라인들(미도시)에 의해 정의된다. 데이터 라인들과 게이트 라인들이 교차되는 영역에 박막 트랜지스터(thin film transistor, 이하 'TFT'라 칭한다.)가 형성되어 있다.
- [0008] 도 1 및 도 2를 참조하면, 종래 기술에 따른 액정 디스플레이 장치의 TFT 어레이 기판은 기판(10), TFT, 게이트 절연막(25, GI: gate insulator), 제1 보호막(50, PAS1), 평탄화층(60), 픽셀 전극(70, pixel electrode), 제2 보호막(80, PAS2) 및 공통 전극(90, common electrode(Vcom))을 포함한다.
- [0009] 픽셀 전극(70) 및 공통 전극(90)은 투명 전도성 물질인 ITO(indium tin oxide)로 형성된다. 제1 보호막(50) 및 제2 보호막(80)은 SiO₂, 또는 SiNx로 형성되고, 평탄화층(60)은 포토아크릴(photoacryl)로 형성된다.
- [0010] TFT는 바텀 게이트(bottom gate) 방식으로 형성되어 있으며, 기판(10) 상에 형성된 게이트 전극(20), 게이트 절연막(25), 반도체층(30), 소스 전극(40) 및 드레인 전극(45)을 포함하여 구성된다. 소스 전극(45) 및 드레인 전극(50)은 구리(Cu)로 형성된다.
- [0011] 이러한, 종래 기술에 따른 액정 디스플레이 장치는 소스/드레인 레이어와 픽셀 전극 레이어를 직접 컨택(direct contact)하는 구조를 적용하고 있다.
- [0012] 픽셀 전극(70)을 형성하는 제조 공정 시, 픽셀 전극의 패터를 이용하여 소스/드레인 레이어의 물질인 구리와 픽셀 전극의 물질인 ITO를 일괄 식각(etch)하여 마스크(mask) 개수의 저감 및 컨택 홀을 형성하지 않아 개구율을 증가시키는 효과가 있다.
- [0013] 평탄화층(60)의 홀을 마스크로 이용하여 제1 보호막(50)을 건식 식각(dry etch)하게 되는데, 제1 보호막(50)의 식각에 이용되는 산소(oxygen) 중 가스(예로서, N₂O 가스)에 의해서 구리로 형성된 소스 전극(40) 및 드레인 전극(45)의 표면이 산화된다. 소스 전극(40) 및 드레인 전극(45)의 표면이 산화됨으로 인해서, 픽셀 전극(70) 및 컨택의 매개로 이용되는 ITO와 소스 전극(40) 및 드레인 전극(45)의 표면의 접촉력이 약화되어 컨택 불량 발생되는 문제점이 있다.
- [0014] 또한, 습식 식각(wet etch)으로 구리(Cu) 레이어를 패터닝하여 소스 전극(40)과 드레인 전극(45)을 형성하게 되는데, 습식 각각의 에천트(Etchant)의 침투로 인해 ITO막이 과다 식각되어 컨택과 픽셀 전극의 유실이 발생하는 문제점이 있다.
- [0015] ITO막의 과다 식각은 픽셀 전극(70)과 드레인 전극(45)의 컨택 면적을 감소시키고, 저항 증가 및 채널 길이(length)의 불균일 불량을 발생시켜 TFT와 픽셀의 불량을 발생시키는 문제점이 있다.
- [0016] TFT 소스 전극 및 드레인 전극과 함께 형성되는 데이터 라인도 부식 불량이 발생되어 패널의 신뢰성이 떨어지는 문제점이 있다. 광 반사율이 높은 구리(Cu)를 소스/드레인 레이어의 금속으로 사용함으로 인해 명암비율(contrast ratio)이 낮은 문제점이 있다. 이러한, 문제점들로 인해 제조 공정의 효율이 저하되고 제품의 수율이 감소한다.

발명의 내용

해결하려는 과제

- [0017] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, TFT의 소스 전극과 드레인 전극의 산화를 방지할 수 있는 액정 디스플레이 장치와 이의 제조방법을 제공하는 것을 기술적 과제로 한다.

- [0018] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 드레인 전극과 픽셀 전극의 컨택 성능 및 소스 전극과 IT0의 컨택 성능이 향상된 액정 디스플레이 장치와 이의 제조방법을 제공하는 것을 기술적 과제로 한다.
- [0019] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 소스 전극 및 드레인 전극의 부식을 방지하여 제조 공정의 안정성 및 제품 수율을 높일 수 있는 액정 디스플레이 장치의 제조방법을 제공하는 것을 기술적 과제로 한다.
- [0020] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 데이터 라인의 부식을 방지하여 패널의 신뢰성이 향상된 액정 디스플레이 장치와 이의 제조방법을 제공하는 것을 기술적 과제로 한다.
- [0021] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 광 반사율이 낮은 금속을 소스/드레인 레이어에 적용하여 광 반사를 줄이고 명암비율을 높일 수 있는 액정 디스플레이 장치와 이의 제조방법을 제공하는 것을 기술적 과제로 한다.
- [0022] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0023] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 게이트 절연막을 사이에 두고 형성된 게이트 전극과 반도체층; 상기 반도체층 상부 일측에 형성된 소스 전극과, 상기 반도체층의 상부 타측에 형성된 드레인 전극; 상기 소스 전극과 상기 드레인 전극 상부에 형성된 제1 보호막과 평탄화층; 상기 드레인 전극과 컨택되고 상기 평탄화층 상부에 형성된 픽셀 전극; 상기 픽셀 전극 상부에 형성된 제2 보호층; 및 상기 제2 보호층 상부에 형성된 공통 전극을 포함하고, 상기 소스 전극 및 드레인 전극은 제1 레이어, 상기 제1 레이어 상부에 형성된 제2 레이어 및 상기 제2 레이어 상부에 형성된 제3 레이어를 포함하는 것을 특징으로 한다.
- [0024] 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조방법은 기판 상에 형성된 게이트 전극을 덮도록 게이트 절연막을 형성하고, 상기 게이트 절연막 상부에 반도체층을 형성하는 단계; 상기 반도체층 상부에 제1 금속으로 제1 레이어를 형성하고, 제2 금속으로 제2 레이어를 형성하고, 제3 금속으로 제3 레이어를 순차적으로 형성하는 단계; 상기 제3 레이어 상부에 제1 보호층을 형성하고, 상기 제1 보호층 상부에 평탄화층을 형성하는 단계; 상기 제1 보호층과 상기 평탄화층의 일부를 제거하여 상기 제3 레이어를 노출시킨 후, 투명 전도성 물질을 도포하여 투명 전극 레이어를 형성하는 단계; 및 상기 제1 레이어, 상기 제2 레이어, 상기 제3 레이어 및 상기 투명 전극 레이어를 일괄 식각하여, 픽셀 전극을 형성하고 상기 제1 레이어, 상기 제2 레이어, 상기 제3 레이어로 구성된 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

발명의 효과

- [0025] 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조방법은 TFT의 소스 전극과 드레인 전극의 산화를 방지할 수 있다.
- [0026] 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조방법은 드레인 전극과 픽셀 전극의 컨택 성능 및 소스 전극과 IT0의 컨택 성능을 향상시킬 수 있다.
- [0027] 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조방법은 소스 전극 및 드레인 전극의 부식을 방지하여 제조 공정의 안정성 및 제품 수율을 높일 수 있다.
- [0028] 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조방법은 데이터 라인의 부식을 방지하여 패널의 신뢰성이 향상된 액정 디스플레이 장치와 이의 제조방법을 제공할 수 있다.
- [0029] 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조방법은 광 반사율이 낮은 금속을 소스/드레인 레이어에 적용하여 광 반사를 줄이고 명암비율을 높일 수 있다.
- [0030] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

- [0031] 도 1은 종래 기술에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이다.
- 도 2는 종래 기술에 따른 액정 디스플레이 장치의 제조방법을 나타내는 도면이다.

도 3은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이다.

도 4 내지 도 13은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조방법을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.
- [0033] 한편, 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0034] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.
- [0035] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0036] 본 발명의 실시 예들을 설명함에 있어서 어떤 구조물(전극, 라인, 레이어, 컨택)이 다른 구조물 "상부에 또는 상에" 및 "하부에 또는 아래에" 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석 되어야 한다.
- [0037] 아울러, 상기 "상부에 또는 상에" 및 "하부에 또는 아래에"라는 표현은 도면에 기초하여 터치 센서가 내장된 액정 디스플레이 장치의 구성 및 본 발명의 제조방법들을 설명하기 위한 것이다. 따라서, 상기 "상부에 또는 상에" 및 "하부에 또는 아래에" 제조 공정 과정과 제조가 완료된 이후 구성에서 서로 상이할 수 있다.
- [0038] 액정 디스플레이 장치는 액정층의 배열을 조절하는 방식에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 다양하게 개발되어 있다.
- [0039] 그 중에서, IPS 모드와 FFS 모드는 하부 기판 상에 픽셀 전극과 공통 전극을 배치하여 픽셀 전극과 공통 전극 사이의 전계에 의해 액정층의 배열을 조절하는 방식이다.
- [0040] 본 발명은 FFS 모드로 동작하는 AH-IPS 방식의 액정 디스플레이 장치와 이의 제조방법에 관한 것이다. 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조방법에 대하여 설명하기로 한다.
- [0041] 도 3은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이다. 도 3에서는 TFT 어레이 기판에 형성되는 복수의 픽셀 중에서 하나의 픽셀만을 도시하고 있으며, 액정층, 컬러필터 어레이 기판(상부 기판), 백라이트 유닛 및 구동 회로부의 도시는 생략했다. 또한, 도 3에서는 게이트 링크, 데이터 링크, 게이트 패드 및 데이터 패드 영역의 도시를 생략했다.
- [0042] TFT 어레이 기판에는 복수의 픽셀이 형성되며, 상기 복수의 픽셀 각각은 서로 교차하는 데이터 라인들(미도시)과 게이트 라인들(미도시)에 의해 정의된다. 상기 데이터 라인들과 상기 게이트 라인들이 교차되는 영역에 TFT가 형성되어 있다.
- [0043] 도 3을 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 장치의 TFT 어레이 기판은 기판(110) 상에 형성된 TFT, 픽셀 전극(170) 및 공통 전극(190)을 포함한다.
- [0044] 기판(110) 상에 게이트 전극(120)이 형성되어 있고, 게이트 전극(120)을 덮도록 게이트 절연막(125)이 형성되어 있다. 게이트 절연막(125) 상부 중에서 게이트 전극(120)과 중첩되는 영역에 반도체층(130)이 형성되어 있다. 즉, 게이트 절연막(125)을 사이에 두고 게이트 전극(120)과 반도체층(130)이 형성되어 있다. 반도체층(130)의 상부 일측에는 소스 전극(140)이 형성되어 있고, 타측에는 드레인 전극(150)이 형성되어 있다.
- [0045] 소스 전극(140) 및 드레인 전극(150) 상부에 제1 보호막(155, PAS1) 및 평탄화층(160)이 형성되어 있고, 평탄화층(160) 상에 픽셀 전극(170)이 형성되어 있다. 픽셀 전극(170)을 덮도록 제2 보호막(180, PAS2)이 형성되어 있고, 제2 보호막(180) 상에 공통 전극(190)이 형성되어 있다.
- [0046] 픽셀 전극(170) 및 공통 전극(190)은 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin

zinc oxide)의 투명 전도성 물질로, 500~1,000Å의 두께를 가지도록 형성될 수 있다.

- [0047] 제1 보호막(155)은 SiO_2 , 또는 SiNx 로 0.1 μm 의 두께를 가지도록 형성되고, 평탄화층(160)은 포토아크릴(photoacryl)로 1.9 μm 의 두께를 가지도록 형성되고, 제2 보호막(180)은 SiO_2 , 또는 SiNx 로 0.2 μm 의 두께를 가지도록 형성된다.
- [0048] TFT는 바텀 게이트(bottom gate) 방식으로 형성되어 있으며, 게이트 전극(120), 게이트 절연막(125), 반도체층(130), 다중막 구조로 형성된 소스 전극(140) 및 다중막 구조로 형성된 드레인 전극(150)으로 구성된다. 소스/드레인 레이어와 픽셀 전극 레이어는 직접 콘택(direct contact) 된다.
- [0049] 게이트 전극(120)은 알루미늄(Al) 또는 몰리브덴(Mo)으로, 3,000Å의 두께를 가지도록 형성된다. 게이트 절연막(125)은 SiO_2 또는 SiNx 로 1,000~1,500Å의 두께를 가지도록 형성된다. 다른 예로서, 게이트 절연막(125)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 형성될 수도 있다.
- [0050] 소스 전극(140) 및 드레인 전극(150)은 몰리브덴(Mo)-티타늄(Ti) 합금(MoTi)으로 형성된 제1 레이어(141), 구리(Cu)로 형성된 제2 레이어(142) 및 제2 레이어(142)의 부식을 방지하기 위한 보호막(또는 배리어(barrier))으로 형성된 제3 레이어(143)를 포함하여 구성된다. 반도체층(130) 상부에 제1 레이어(141), 제2 레이어(142) 및 제3 레이어(143)가 순차적으로 형성되어 있다.
- [0051] 제3 레이어(143)는 제2 레이어(142)를 화학 작용으로부터 보호하는 배리어로써, 제1 보호막(155)의 식각에 이용되는 산소(oxygen) 중 가스(예로서, N_2O 가스)가 구리(Cu)로 형성된 제2 레이어(142)에 접촉하는 것을 방지한다.
- [0052] 여기서, 소스 전극(140) 및 드레인 전극(150)의 제1 레이어(141)는 몰리브덴(Mo)-티타늄(Ti) 합금(MoTi)으로 0.03 μm 의 두께를 가지도록 형성된다.
- [0053] 소스 전극(140) 및 드레인 전극(150)의 제2 레이어(142)는 구리(Cu)로 0.25 μm 의 두께를 가지도록 형성된다.
- [0054] 소스 전극(140) 및 드레인 전극(150)의 제3 레이어(143)는 티타늄(Ti), 몰리브덴(Mo) 또는 티타늄(Ti)-몰리브덴(Mo) 합금(MoTi)로 0.01 μm 의 두께를 가지도록 형성될 수 있다.
- [0055] 그러나, 이에 한정되지 않고, 제3 레이어(143)는 알루미늄(Al), 은(Ag), 금(Au), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr) 또는 지르코늄(Zr)으로 형성될 수 있다.
- [0056] 아울러, 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 은(Ag), 금(Au), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr) 또는 지르코늄(Zr)을 포함하는 합금으로 형성될 수도 있다.
- [0057] 이와 같이, 구리(Cu)로 형성된 제2 레이어(142) 상에 배리어인 제3 레이어(143)를 형성하여 소스 전극(140) 및 드레인 전극(150)을 구성하면, 제조 공정 중 제1 보호층(155)이 식각되어도 제2 레이어(142)의 표면이 배리어인 제3 레이어(143)에 의해 보호되어 제2 레이어(142)가 산화되는 것을 방지할 수 있다.
- [0058] 이와 같이, 구리(Cu)로 형성된 제2 레이어(142)의 산화로 인해 계면이 부식되는 것을 방지할 수 있고, 픽셀 전극(170)과의 콘택 불량에 발생되는 것을 방지할 수 있다. 또한, 구리(Cu)보다 광 반사율이 낮은 금속으로 제3 레이어(143)를 형성하면, 픽셀에 입사된 외부 광의 반사를 줄여 명암비율을 높일 수 있다.
- [0059] 도 4 내지 도 13은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조방법을 나타내는 도면이다. 이하, 도 4와 함께, 도 5 내지 도 13을 참조하여 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조방법을 상세히 설명한다.
- [0060] 도 5를 참조하면, 기판(110) 상에 알루미늄(Al) 또는 몰리브덴(Mo)의 금속을 증착시킨 후, 마스크를 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수행하여 게이트 라인과 함께 게이트 전극(120)을 형성한다. 이때, 게이트 전극(120)은 3,000Å의 두께를 가지도록 형성된다.
- [0061] 이후, 게이트 전극(120)을 게이트 절연막(125)을 형성한다. 이때, 게이트 절연막(125)은 SiO_2 또는 SiNx 로 1,000~1,500Å의 두께를 가지도록 형성된다. 다른 예로서, 게이트 절연막(125)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 형성될 수도 있다.

- [0062] 이어서, 도 6을 참조하면, 게이트 절연막(125) 상에 반도체 물질을 증착시켜 반도체 레이어를 형성한다.
- [0063] 이후, 반도체 레이어 상에 금속 물질을 증착시켜 게이트 전극을 형성하기 위한 제1 레이어(141), 제2 레이어(142) 및 제3 레이어(143)를 순차적으로 형성한다.
- [0064] 이후, 마스크를 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수행하여 게이트 전극(120)과 중첩되는 영역에 반도체층(130)을 형성하고, 반도체층(130) 상에 소스/드레인 전극의 제1 레이어(141), 제2 레이어(142) 및 제3 레이어(143)를 형성한다. 이때, 습식 식각 공정을 수행하여 소스/드레인 전극의 제1 레이어(141), 제2 레이어(142) 및 제3 레이어(143)를 형성하고, 건식 식각 공정을 수행하여 반도체층(130)을 형성한다.
- [0065] 여기서, 비정질 실리콘(a-Si: amorphous silicon), 다결정 실리콘(polycrystalline silicon), 저온 다결정 실리콘(LTPS: Low Temperature Poly Silicon), 금속 산화물(metal oxide)로 반도체층을 형성할 수 있다.
- [0066] 소스/드레인 전극의 제1 레이어(141)는 몰리브덴(Mo)-티타늄(Ti) 합금(MoTi)으로 0.03um의 두께를 가지도록 형성된다.
- [0067] 소스/드레인 전극의 제2 레이어(142)는 구리(Cu)로 0.25um의 두께를 가지도록 형성된다.
- [0068] 이러한, 제3 레이어(143)는 티타늄(Ti), 몰리브덴(Mo) 또는 티타늄(Ti)-몰리브덴(Mo) 합금(MoTi)로 0.01um의 두께를 가지도록 형성될 수 있다.
- [0069] 그러나, 이에 한정되지 않고, 제3 레이어(143)는 알루미늄(Al), 은(Ag), 금(Au), 몰리브덴(Mo), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 또는 크롬(Cr), 지르코늄(Zr)으로 형성될 수 있다. 아울러, 알루미늄(Al), 은(Ag), 금(Au), 몰리브덴(Mo), 니켈(Ni), 지르코늄(Zr), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 또는 크롬(Cr), 지르코늄(Zr)을 포함하는 합금으로 형성될 수도 있다.
- [0070] 이어서, 도 7을 참조하면, 기판(110) 전면에서 제1 보호막(155)을 형성한다. 이때, 제1 보호막(155)은 SiO₂, 또는 SiN_x로 0.1um의 두께를 가지도록 형성된다.
- [0071] 이후, 제1 보호막(155) 상에 평탄화층(160)을 형성한다. 이때, 평탄화층(160)은 포토아크릴(photoacryl)로 1.9um의 두께를 가지도록 형성된다.
- [0072] 이어서, 도 8을 참조하면, TFT의 채널을 형성시키기 위해서 반도체층(130)과 중첩되는 영역의 평탄화층(160)을 식각하여 제거한다.
- [0073] 이어서, 도 9를 참조하면, 평탄화층(160)이 제거된 부분의 제1 보호층(155)을 식각하여 제거한다. 이를 통해, 소스/드레인 전극의 제3 레이어(143)가 외부에 노출된다. 소스/드레인 전극의 제3 레이어(143)가 배리어로 기능하여 제2 레이어(142)은 노출되지 않는다.
- [0074] 소스/드레인 전극의 제3 레이어(143)는 구리(Cu)로 형성된 제2 레이어(142)를 화학 작용으로부터 보호하는 배리어(barrier)으로써, 제1 보호막(155)의 식각에 이용되는 산소(oxygen) 중 가스(예로서, N₂ 가스)이 구리(Cu)로 형성된 제2 레이어(142)에 접촉하는 것을 방지한다.
- [0075] 이어서, 도 10을 참조하면, ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)의 투명 전도성 물질을 도포하여 투명 전극 레이어를 형성한다.
- [0076] 이후, 마스크를 이용한 포토리소그래피 공정, 습식 식각 공정 및 애싱 공정을 수행하여 제3 레이어(143) 상부 및 평탄화층(160) 상부에 픽셀 전극(170)을 형성한다.
- [0077] 이어서, 도 11을 참조하면, 픽셀 전극(170)을 형성할 때, 일괄 식각 공정을 수행하여 소스/드레인 전극의 제1 레이어(141), 제2 레이어(142) 및 제3 레이어(143)의 일부를 제거한다. 이를 통해, 반도체층(130)의 상부 일측에 소스 전극(140)이 형성되고, 타측에 드레인 전극(150)이 형성된다.
- [0078] 반도체층(130)과 소스 전극(140) 및 드레인 전극(150)이 직접 접촉된 구조로 TFT가 형성된다. 드레인 전극(150)과 픽셀 전극(170)이 접촉되고, 소스 전극(140)은 투명 전극 패턴을 통해 데이터 라인과 접촉(미도시)된다.
- [0079] 이와 같이, 소스/드레인 전극 레이어를 3중 막으로 형성할 때, 서로 다른 금속으로 제2 레이어(142)와 제3 레이어(143)를 형성하면, 금속마다 식각 비율(etch rate)에 차이가 있어 오버행(overhang)이 발생될 수 있다.
- [0080] 몰리브덴(Mo)-티타늄(Ti) 합금(MoTi)으로 형성된 제3 레이어(143)에 비해 구리(Cu)로 형성된 제2 레이어(142)가

상대적으로 많은 식각되는데, 이러한 오버행은 이후 공정에서 코팅(coating) 불량 및 정전기 불량을 야기할 수 있다.

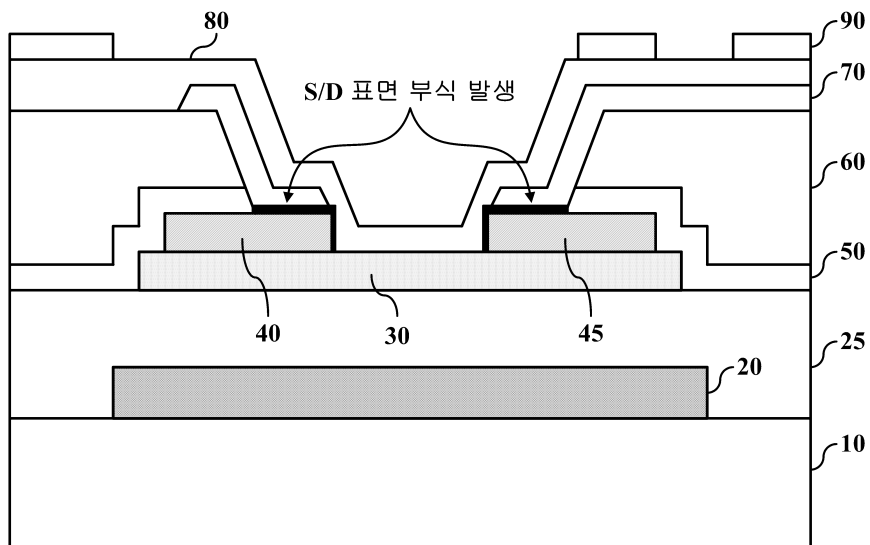
- [0081] 따라서, 본 발명에서는 제1 레이어(141), 제2 레이어(142), 제3 레이어(143)를 식각하여 소스 전극(140) 및 드레인 전극(150)을 형성할 때 이용된 포토레지스트(photoresist)를 제거한다. 이후, n^+ 전식 식각 공정을 수행하여 제3 레이어(143)의 오버행 부분을 함께 제거할 수 있다.
- [0082] 이어서, 도 12를 참조하면, 기판 전면(110)에 기판(110) 전면(110)에 제2 보호막(180)을 형성한다. 이때, 제2 보호막(180)은 SiO_2 , 또는 $SiNx$ 로 0.2 μm 의 두께를 가지도록 형성된다. 제2 보호막(180)은 평탄화층(160)과 픽셀 전극(170)을 덮도록 형성되고, 채널을 형성하기 위해서 제1 보호층(155) 및 평탄화층(160)이 제거되어 부분에 형성되어 반도체층(130)의 노출된 부분을 덮는다.
- [0083] 이어서, 도 13을 참조하면, ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)의 투명 전도성 물질을 도포하여 투명 전극 레이어를 형성한다.
- [0084] 이후, 마스크를 이용한 포토리소그래피 공정, 습식 식각 공정 및 애싱 공정을 통해 투명 전극 레이어를 패터닝하여 제2 보호층(190)에 공통 전극(190)을 형성한다. 제2 보호층(180)을 사이에 두고 픽셀 전극(170)과 공통 전극(190)이 형성되어 프린지 필드가 형성되게 된다.
- [0085] 상술한 제조 공정을 수행하여 본 발명의 액정 디스플레이 장치의 TFT 어레이 기판을 제조할 수 있다.
- [0086] 본 발명과 같이, 구리(Cu)로 형성된 제2 레이어(142) 상에 배리어인 제3 레이어(143)를 형성하여 소스 전극(140) 및 드레인 전극(150)을 구성하면, 제조 공정 중 TFT의 채널을 형성하기 위해서 제1 보호층(155)을 식각하더라도 제2 레이어(142)의 표면이 배리어인 제3 레이어(143)에 의해 보호된다.
- [0087] 따라서, 제3 레이어(143)에 의해 제2 레이어(142)가 외부로 노출되는 것을 방지하여 제2 레이어(142)의 표면이 산화되는 것을 방지할 수 있다. 이와 같이, 제2 레이어(142)의 산화로 인해 계면이 부식되는 것을 방지할 수 있고, 픽셀 전극(170)과의 컨택 불량이 발생하는 것을 방지할 수 있다.
- [0088] 또한, 데이터 라인의 상부에도 제3 레이어(143)를 적용하여, 소스 전극(140) 및 드레인 전극(150)과 동일 레이어에 형성되는 데이터 라인의 부식을 방지하여 패널의 신뢰성을 높일 수 있다. 아울러, 구리(Cu)보다 광 반사율이 낮은 금속으로 제3 레이어(143)를 형성하면, 픽셀에 입사된 외부 광의 반사를 줄여 명암비율을 높일 수 있다.
- [0089] 본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.
- [0090] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

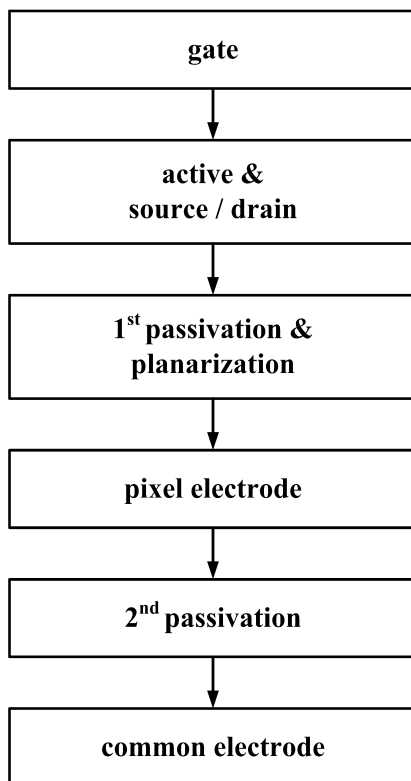
- [0091]
- | | |
|--------------|-------------|
| 110: 기판 | 120: 게이트 전극 |
| 125: 게이트 절연막 | 130: 반도체층 |
| 140: 소스 전극 | 141: 제1 레이어 |
| 142: 제2 레이어 | 143: 제3 레이어 |
| 150: 드레인 전극 | 155: 제1 보호층 |
| 160: 평탄화층 | 170: 픽셀 전극 |
| 180: 제2 보호층 | 190: 공통 전극 |

도면

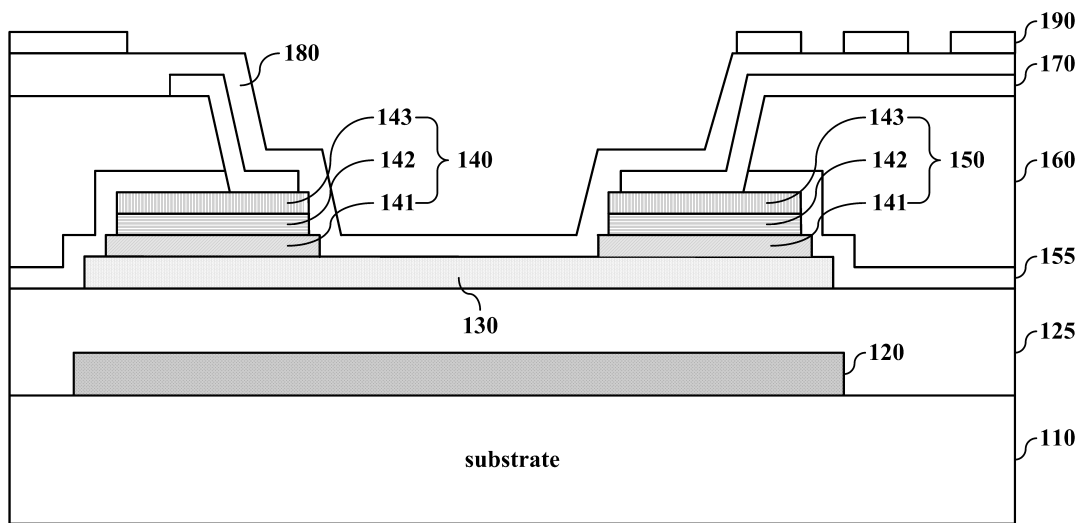
도면1



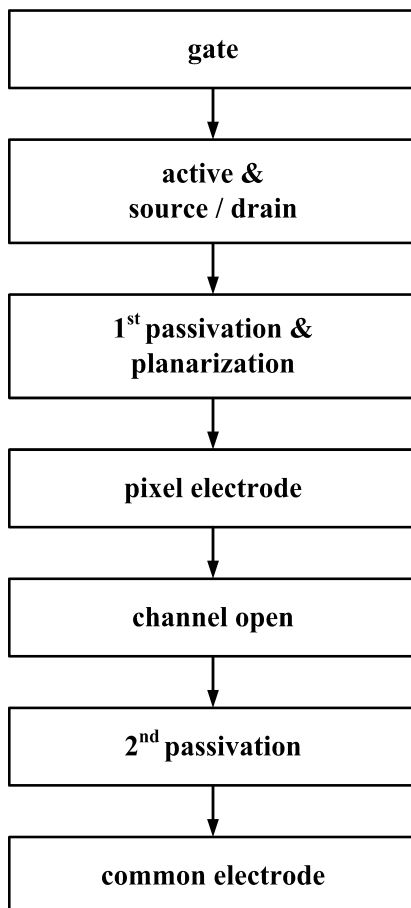
도면2



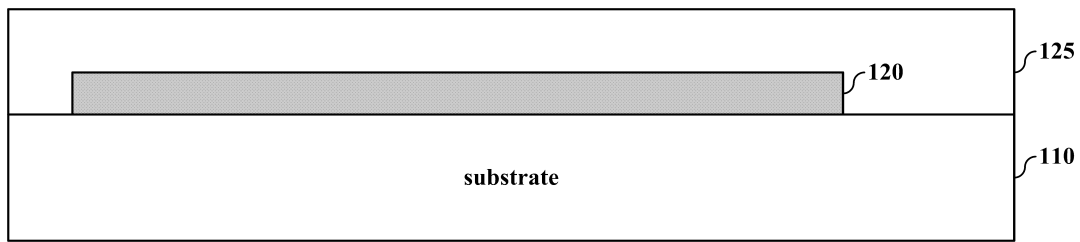
도면3



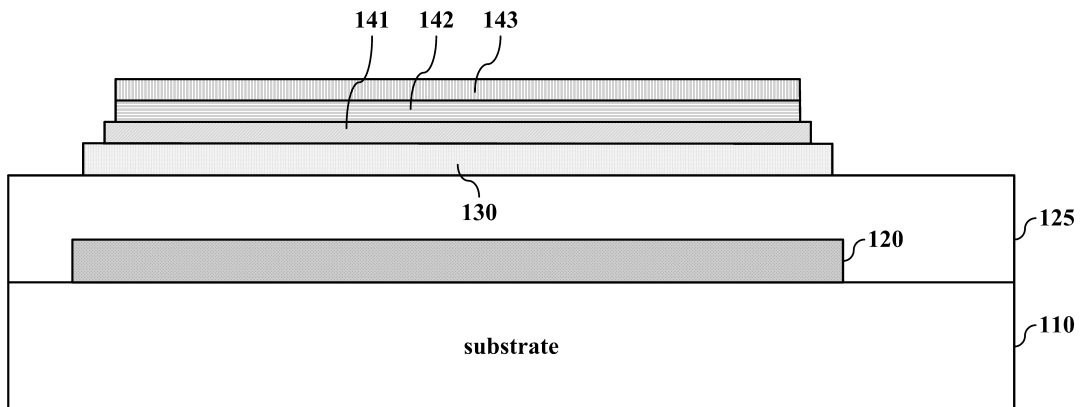
도면4



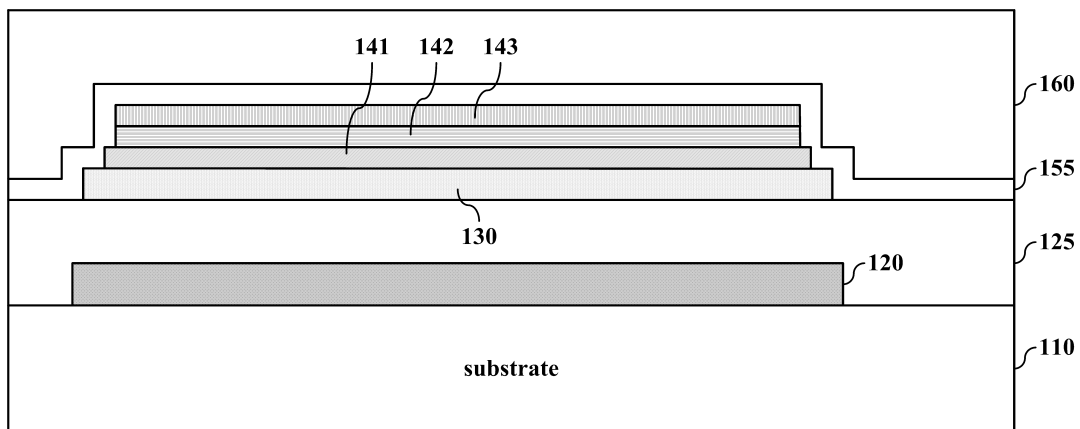
도면5



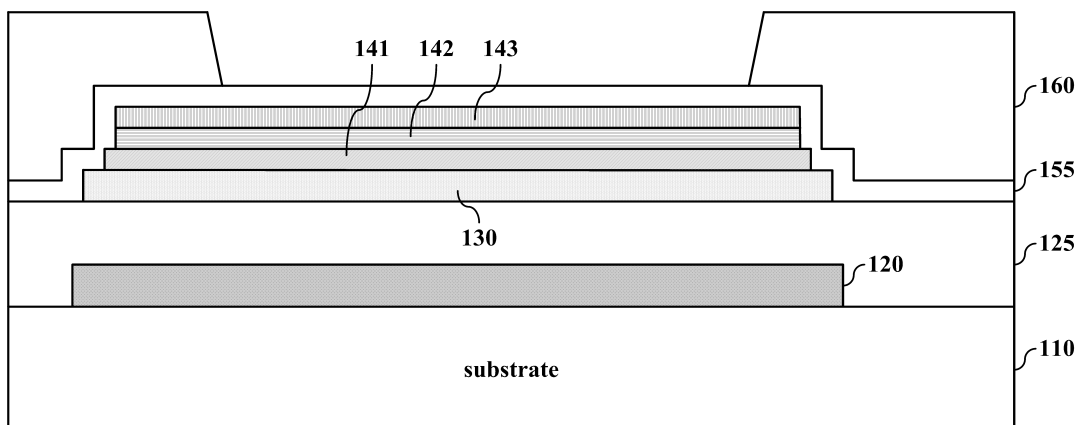
도면6



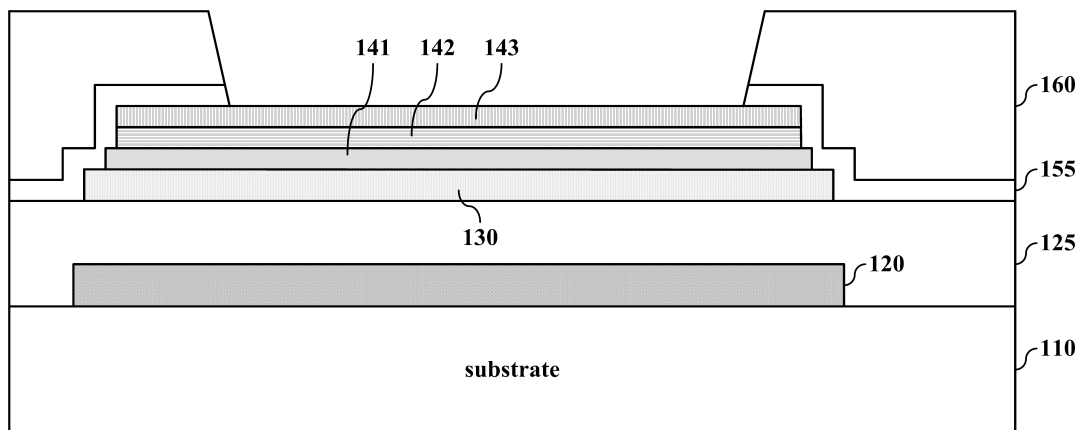
도면7



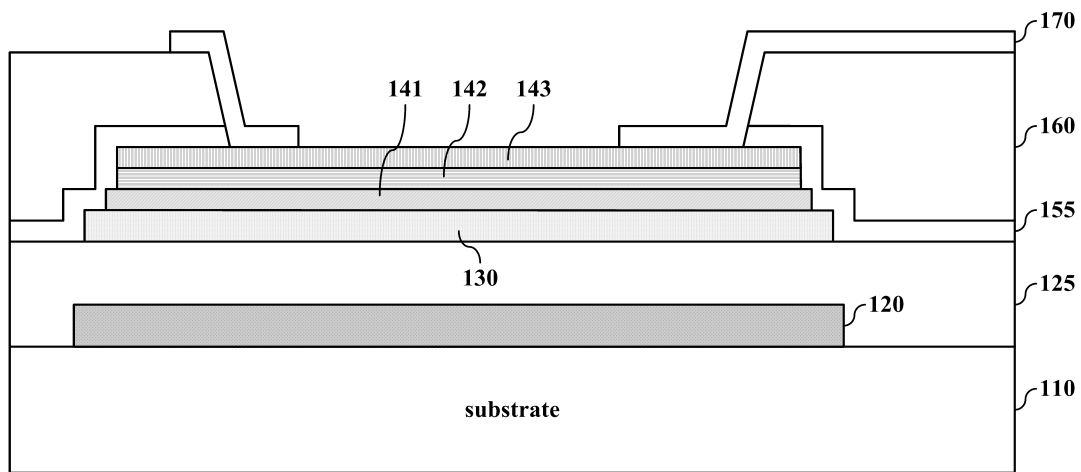
도면8



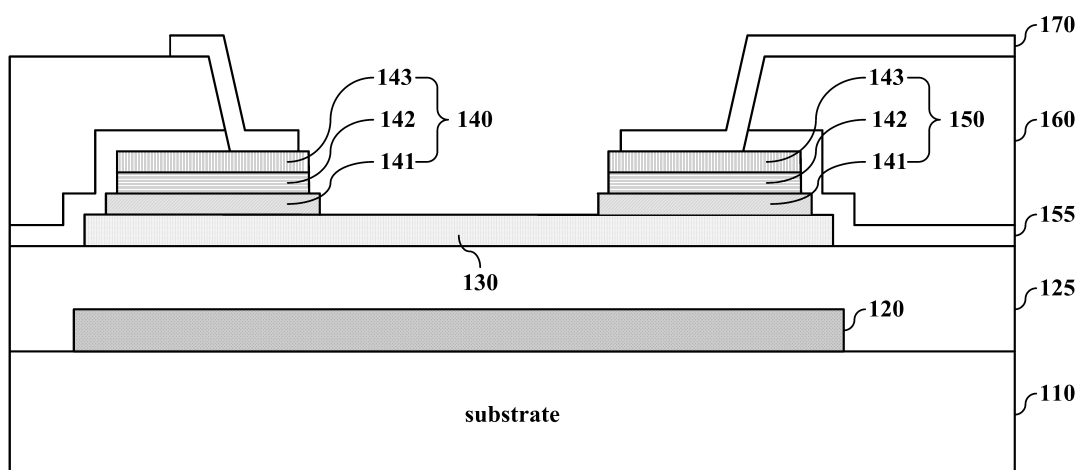
도면9



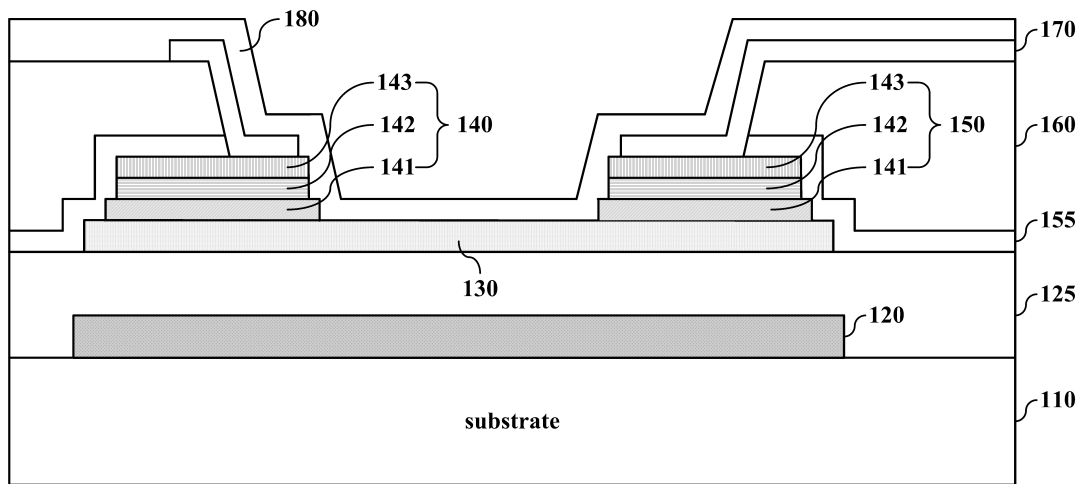
도면10



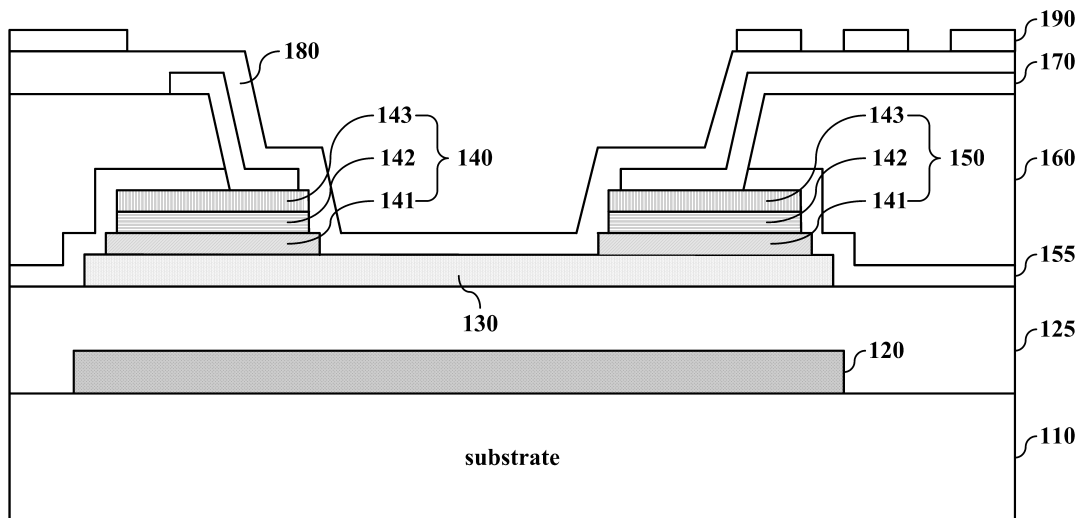
도면11



도면12



도면13



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020140130295A	公开(公告)日	2014-11-10
申请号	KR1020130048366	申请日	2013-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAEJUN PARK 박해준 CHEOLHWAN LEE 이철환		
发明人	박해준 이철환		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1368 H01L29/78618 G02F1/136227 G02F1/134363 G02F2001/134372		
其他公开文献	KR102066136B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种通过防止TFT和像素电极的不良接触和腐蚀而具有改善的可靠性的液晶显示装置，以及一种制造液晶显示装置的方法，能够提高制造工艺的可靠性和产量。根据本发明实施例的液晶显示装置包括：栅电极和围绕栅极绝缘膜形成的半导体层；形成在半导体膜上部一侧的源电极和形成在半导体膜上部另一侧的漏电极；第一保护膜和平坦化层形成在源电极和漏电极的上部；像素电极，与漏电极接触，形成在平坦化层的上部；形成在像素电极上部的第二保护层；以及形成在第二保护层的上部的公共电极。源电极和漏电极包括第一层，形成在第一层的上部的第二层，以及形成在第二层的上部的第三层。COPYRIGHT KIPO 2015

