



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0082299
(43) 공개일자 2014년07월02일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2012-0152087

(22) 출원일자 2012년12월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김규진

경기 파주시 월롱면 엘씨도로 201, 정다운마을 F동 1208호

상우규

경기 파주시 쇠재로 133, 505동 902호 (금촌동, 쇠재마을아파트)

(74) 대리인

특허법인로알

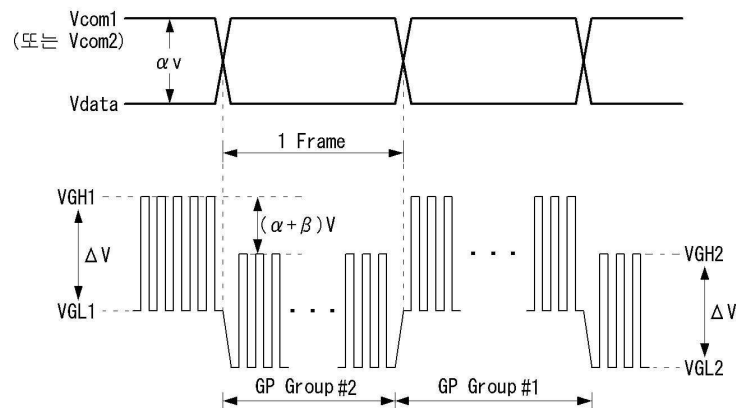
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명에 따른 액정표시장치는 액정표시패널; 일정 기간을 주기로 제1 레벨과 제2 레벨 사이에서 서로 반대로 스위칭되는 제1 공통전압과 제2 공통전압을 생성하고, 상기 제1 공통전압을 상기 액정표시패널의 기수 픽셀라인들에 공급하고, 상기 제2 공통전압을 상기 액정표시패널의 우수 픽셀라인들에 공급하는 공통전압 발생부; 제1 게이트하이전압과 제1 게이트로우전압으로 이루어진 제1 그룹의 게이트펄스와, 제2 게이트하이전압과 제2 게이트로우전압으로 이루어진 제2 그룹의 게이트펄스를 생성하고, 상기 제1 공통전압의 스위칭에 동기하여 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 교대로 상기 액정표시패널의 기수 게이트라인들에 공급하는 제1 게이트 구동부; 및 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 생성하고, 상기 제2 공통전압의 스위칭에 동기하여 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 교대로 상기 액정표시패널의 우수 게이트라인들에 공급하는 제2 게이트 구동부를 구비한다.

대표도 - 도6



특허청구의 범위

청구항 1

액정표시패널;

일정 기간을 주기로 제1 레벨과 제2 레벨 사이에서 서로 반대로 스윙되는 제1 공통전압과 제2 공통전압을 생성하고, 상기 제1 공통전압을 상기 액정표시패널의 기수 픽셀라인들에 공급하고, 상기 제2 공통전압을 상기 액정표시패널의 우수 픽셀라인들에 공급하는 공통전압 발생부;

제1 게이트하이전압과 제1 게이트로우전압으로 이루어진 제1 그룹의 게이트펄스와, 제2 게이트하이전압과 제2 게이트로우전압으로 이루어진 제2 그룹의 게이트펄스를 생성하고, 상기 제1 공통전압의 스윙에 동기하여 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 교대로 상기 액정표시패널의 기수 게이트라인들에 공급하는 제1 게이트 구동부; 및

상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 생성하고, 상기 제2 공통전압의 스윙에 동기하여 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 교대로 상기 액정표시패널의 우수 게이트라인들에 공급하는 제2 게이트 구동부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 공통전압과 상기 제2 공통전압은 1 프레임 주기로 서로 반대로 스윙되고;

상기 제1 게이트 구동부는, 제 n 프레임(n 은 양의 정수)에서 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스 중 어느 하나를 상기 기수 게이트라인들에 공급하고, 제 $n+1$ 프레임에서 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스 중 나머지 하나를 상기 기수 게이트라인들에 공급하고;

상기 제2 게이트 구동부는 상기 제 n 프레임에서 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스 중 상기 나머지 하나를 상기 우수 게이트라인들에 공급하고, 상기 제 $n+1$ 프레임에서 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스 중 상기 어느 하나를 상기 우수 게이트라인들에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 게이트하이전압은 상기 제1 레벨과 제2 레벨 사이의 전압차 이상만큼 상기 제2 게이트하이전압보다 높고,

상기 제1 게이트로우전압은 상기 제1 레벨과 제2 레벨 사이의 전압차 이상만큼 상기 제2 게이트로우전압보다 높은 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 게이트하이전압과 상기 제1 게이트로우전압의 차는, 상기 제2 게이트하이전압과 상기 제2 게이트로우전압의 차와 동일한 것을 특징으로 하는 액정표시장치.

명세서

기술분야

본 발명은 액정표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과 이 액정표시패널을 구동하기 위한 구동회로를 구비한다.
- [0003] 액정표시장치는 액정의 열화를 방지하고 표시 품질을 향상시키기 위해 액정셀의 극성을 일정 단위로 반전시키는 인버전 방식으로 구동된다. 인버전 방식으로는 게이트라인에 평행한 라인 단위로 액정셀의 극성을 반전시키는 라인 인버전 방식, 데이터라인에 평행한 컬럼 단위로 액정셀의 극성을 반전시키는 컬럼 인버전 방식, 도트 단위로 액정셀의 극성을 반전시키는 도트 인버전 방식이 있다.
- [0004] 이 중 라인 인버전 방식은, 데이터 구동회로의 출력 스윙폭을 줄이기 위해 도 1과 같이 프레임 단위로 공통전압(Vcom)을 데이터전압(Vdata)과 반대로 스윙시키고 있다. 한편, 액정표시패널의 액정셀들(C1c) 각각에는 도 2와 같이 TFT(Thin Film Transistor), TFT에 연결되며 게이트펄스가 인가되는 게이트라인, 및 TFT에 연결되며 데이터전압(Vdata)이 인가되는 데이터라인, 스토리지 커패시터(Cst) 이외에, 다양한 기생 커패시터들(Cgs, Cgd, Cgc, Cdp, Cdc)이 형성되어 있다.
- [0005] 그런데, 도 3과 같이 데이터전압(Vdata)과 반대로 공통전압(Vcom)을 스윙시키는 경우, 게이트펄스에 의한 스캔 타임이 상대적으로 빠른 액정표시패널의 상단부와 게이트펄스에 의한 스캔 타임이 상대적으로 늦은 액정표시패널의 하단부에서 휘도차가 발생된다. 도 3에서, 액정표시패널의 상단부 픽셀은 정상 휘도'PL1'으로 유지되는 기간이 감소된 휘도'PL2'(PL2<PL1)로 유지되는 기간에 비해 긴 반면에, 액정표시패널의 하단부 픽셀은 오히려 정상 휘도'PL1'으로 유지되는 기간이 감소된 휘도'PL2'(PL2<PL1)로 유지되는 기간에 비해 짧다. 'PL1'이 'PL2'로 낮아지는 이유는, 액정표시패널에 형성된 기생 커패시터(특히, Cgs)의 영향이 크다. 공통전압(Vcom)이 높은 레벨에서 낮은 레벨로 스윙되는 순간에, 액정셀(C1c)에 충전된 데이터전압(Vdata)도 변동되는 것이다.

발명의 내용

해결하려는 과제

- [0006] 따라서, 본 발명의 목적은 공통전압을 스윙시킬 때 발생하는 액정표시패널의 상단 및 하단 간 휘도차를 억제할 수 있도록 한 액정표시장치를 제공하는 데 있다.

과제의 해결 수단

- [0007] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널; 일정 기간을 주기로 제1 레벨과 제2 레벨 사이에서 서로 반대로 스윙되는 제1 공통전압과 제2 공통전압을 생성하고, 상기 제1 공통전압을 상기 액정표시패널의 기수 픽셀라인들에 공급하고, 상기 제2 공통전압을 상기 액정표시패널의 우수 픽셀라인들에 공급하는 공통전압 발생부; 제1 게이트하이전압과 제1 게이트로우전압으로 이루어진 제1 그룹의 게이트펄스와, 제2 게이트하이전압과 제2 게이트로우전압으로 이루어진 제2 그룹의 게이트펄스를 생성하고, 상기 제1 공통전압의 스윙에 동기하여 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 교대로 상기 액정표시패널의 기수 게이트라인들에 공급하는 제1 게이트 구동부; 및 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 생성하고, 상기 제2 공통전압의 스윙에 동기하여 상기 제1 그룹의 게이트펄스와 상기 제2 그룹의 게이트펄스를 교대로 상기 액정표시패널의 우수 게이트라인들에 공급하는 제2 게이트 구동부를 구비한다.

발명의 효과

- [0008] 본 발명은 공통전압을 스윙시킬 때 게이트펄스들의 스윙 전압범위도 공통전압의 스윙폭만큼 쉬프트시킴으로써 액정표시패널의 상단 및 하단 간 휘도차를 억제할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 라인 인버전 기술에서 데이터전압과 공통전압을 반대로 스위칭시키는 것을 보여주는 도면.
- 도 2는 액정셀의 등가회로를 보여주는 도면.
- 도 3은 공통전압을 스위칭시킬 때 발생하는 액정표시패널의 상단 및 하단 간 휘도차를 보여주는 도면.
- 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여주는 도면.
- 도 5는 일정 기간을 주기로 제1 및 제2 공통전압이 서로 반대로 스위칭되는 것을 보여주는 도면.
- 도 6은 공통전압의 스위칭에 동기하여 게이트펄스가 서로 다른 2개의 스위칭 전압 범위들에서 생성되는 것을 보여주는 도면.
- 도 7은 게이트 구동부와 게이트라인들의 접속을 보여주는 도면.
- 도 8은 게이트 구동부에서 출력되는 게이트펄스들의 타이밍을 보여주는 도면.
- 도 9는 1 프레임을 주기로 제1 그룹의 게이트펄스와 제2 그룹의 게이트펄스가 서로 번갈아 반대로 발생하는 것을 보여주는 도면.
- 도 10은 액정표시패널의 기수 픽셀라인들과 우수 픽셀라인들을 보여주는 도면.
- 도 11은 공통전압 스위칭에 게이트펄스의 스위칭 전압 범위를 동기시킴으로써 액정셀의 충전 전압을 일정하게 유지시킬 수 있음을 보여주는 도면.
- 도 12는 공통전압을 스위칭시킬 때 발생되던 액정표시패널의 상단 및 하단 간 휘도차가 억제되는 것을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하, 도 4 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대해 설명하기로 한다.
- [0011] 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여준다. 도 5는 일정 기간을 주기로 제1 및 제2 공통전압이 서로 반대로 스위칭되는 것을 보여준다. 도 6은 공통전압의 스위칭에 동기하여 게이트펄스가 서로 다른 2개의 전압 범위들(VGH1-VGL1, VGH2-VGL2)에서 생성되는 것을 보여준다.
- [0012] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 액정표시패널(10)의 데이터라인들(DL)을 구동하기 위한 데이터 구동부(12), 액정표시패널(10)의 기수 게이트라인들(UGL)을 구동하기 위한 제1 게이트 구동부(13A), 액정표시패널(10)의 우수 게이트라인들(UGL)을 구동하기 위한 제2 게이트 구동부(13B), 데이터 구동부(12)와 게이트 구동부(13A, 13B)를 제어하는 타이밍 콘트롤러(11), 제1 및 제2 공통전압(Vcom1, Vcom2)을 발생하는 공통전압 발생부(14), 및 게이트 전원을 발생하여 제1 및 제2 게이트 구동부(13A, 13B)에 공급하는 전원 발생부(15)를 포함한다.
- [0013] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(10)의 하부 유리기관에는 다수의 데이터라인들(DL)과 다수의 게이트라인들(UGL, EGL)이 교차된다. 데이터라인들(DL)과 게이트라인들(UGL, EGL)의 교차 구조에 의해 액정표시패널(10)에는 액정셀(Clc)들이 매트릭스 형태로 배치된다. 또한, 액정표시패널(10)의 하부 유리기관에는 도 8과 같이 박막트랜지스터(TFT), 박막트랜지스터(TFT)에 접속된 액정셀(Clc)의 화소전극, 스토리지 커패시터(Cst), 다수의 기생 커패시터들(Cgs, Cgd, Cgc, Cdp, Cdc)등이 형성된다.
- [0014] 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전압(Vcom1, Vcom2)이 공급되는 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 하부 유리기관 상에 형성된다. 공통전극은 전기적으로 분리되는 제1 공통전극과 제2 공통전극을 포함한다. 제1 공통전극에는 제1 공통전압(Vcom1)이 인가되고, 제2 공통전극에는 제2 공통전압(Vcom2)이 인가된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0015] 타이밍 콘트롤러(11)는 시스템 보드로부터 입력되는 디지털 비디오 데이터(RGB)를 액정표시패널에 맞게 정렬한 후 데이터 구동부(12)에 공급한다. 타이밍 콘트롤러(11)는 시스템 보드(미도시)로부터의 타이밍신호들(Vsync,

Hsync, DE, DCLK)에 기초하여 데이터 구동부(12)와 제1 및 제2 게이트 구동부(13A, 13B)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들(DDC, GDC1, GDC2)을 발생한다.

[0016] 데이터 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)는 1 수평기간 중에서 유효 데이터가 인가되는 액정셀(C1c)의 위치를 지시하는 소스 스타트 펄스(Source Start Pulse : SSP), 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(13) 내에서 데이터의 래치동작을 지시하는 소스 샘플링 클럭(Source Sampling Clock : SSC), 데이터 구동회로(13)의 출력을 지시하는 소스 출력 인에이블신호(SOE), 및 액정표시패널(10)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시하는 극성제어신호(POL) 등을 포함한다.

[0017] 제1 게이트 구동부(13A)의 동작 타이밍을 제어하기 위한 제1 게이트 타이밍 제어신호(GDC1)는 한 화면이 표시되는 1 수직기간 중에서 기수 픽셀라인들(도 7의 L#1, L#3, ...)의 스캔이 시작되는 시작 픽셀라인을 지시하는 제1 게이트 스타트 펄스(Gate Start Pulse : GSP1), 제1 게이트 구동부(13A) 내의 쉬프트 레지스터에 입력되어 제1 게이트 스타트 펄스(GSP1)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하여 대략 2 배의 펄스폭으로 발생하는 제1 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC1), 및 제1 게이트 구동부(13A)의 출력을 지시하는 제1 게이트 출력 인에이블신호(Gate Output Enable : GOE1) 등을 포함한다.

[0018] 제2 게이트 구동부(13B)의 동작 타이밍을 제어하기 위한 제2 게이트 타이밍 제어신호(GDC2)는 한 화면이 표시되는 1 수직기간 중에서 우수 픽셀라인들(도 7의 L#2, L#4, ...)의 스캔이 시작되는 시작 픽셀라인을 지시하며 제1 게이트 스타트 펄스(GSP1)보다 늦게 발생하는 제2 게이트 스타트 펄스(Gate Start Pulse : GSP2), 제2 게이트 구동부(13B) 내의 쉬프트 레지스터에 입력되어 제2 게이트 스타트 펄스(GSP2)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하여 대략 2 배의 펄스폭으로 발생됨과 아울러 제1 게이트 쉬프트 클럭신호(GSC1)보다 1 수평기간 지연되는 제2 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC2), 및 제2 게이트 구동부(13B)의 출력을 지시하는 제2 게이트 출력 인에이블신호(Gate Output Enable : GOE2) 등을 포함한다.

[0019] 공통전압 발생부(14)는 도 2와 같이 일정 기간(1 프레임 기간)을 주기로 제1 레벨과 제2 레벨 사이에서 서로 반대로 스위칭되는 제1 공통전압(Vcom1)과 제2 공통전압(Vcom2)을 생성한다. 공통전압 발생부(14)는 제1 공통전압(Vcom1)을 액정표시패널(10)의 기수 픽셀라인들에 공급하고, 제2 공통전압(Vcom2)을 액정표시패널(10)의 우수 픽셀라인들에 공급한다.

[0020] 데이터 구동부(12)는 클럭신호를 샘플링하기 위한 쉬프트레지스터, 디지털 비디오 데이터(RGB)를 일시저장하기 위한 레지스터, 쉬프트레지스터로부터의 클럭신호에 응답하여 데이터를 1 라인분씩 저장하고 저장된 1 라인분의 데이터를 동시에 출력하기 위한 래치, 래치로부터의 디지털 데이터값에 대응하여 감마기준전압의 참조하에 정극성/부극성의 감마전압을 선택하기 위한 디지털/아날로그 변환기, 정극성/부극성 감마전압에 의해 변환된 아날로그 데이터가 공급되는 데이터라인(DL)을 선택하기 위한 멀티플렉서 및 멀티플렉서와 데이터라인(DL) 사이에 접속된 출력버퍼 등을 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 데이터 구동부(12)는 타이밍 콘트롤러(11)로부터의 데이터 타이밍 제어신호(DDC)에 응답하여 디지털 비디오 데이터(RGB)를 래치하고, 이 래치된 디지털 비디오 데이터(RGB)를 정극성/부극성 감마보상전압을 이용하여 정극성/부극성 아날로그 데이터전압으로 변환한 후 데이터라인들(DL)에 공급한다. 데이터 구동부(12)로부터 출력되는 데이터전압(Vdata)은 도 6에 도시된 바와 같이 공통전압(Vcom1, Vcom2)과 반대로 스위칭됨으로써, 데이터 구동부(12)의 출력 스윙폭을 줄인다.

[0021] 전원 발생부(15)는 제1 게이트하이전압(VGH1)과 제1 게이트로우전압(VGL1), 그리고 제2 게이트하이전압(VGH2)과 제2 게이트로우전압(VGL2)을 발생하여 제1 및 제2 게이트 구동부(13A, 13B)에 공급한다. 여기서, 제1 게이트하이전압(VGH1)과 제1 게이트로우전압(VGL1) 간의 전압차(VGH1-VGL1= ΔV)는 도 6과 같이 액정셀의 TFT 구동에 적합한 스윙폭이 되도록 적절히 선택된다. 제2 게이트하이전압(VGH2)과 제2 게이트로우전압(VGL2)의 전압차(VGH2-VGL2= ΔV)는 도 6과 같이 상기 제1 게이트하이전압(VGH1)과 제1 게이트로우전압(VGL1) 간의 전압차(ΔV)와 동일하게 선택된다. 또한, 제1 게이트하이전압(VGH1)은 도 6과 같이 제1 및 제2 공통전압(Vcom1, Vcom2)의 제1 레벨과 제2 레벨 사이의 전압차(α) 이상만큼($\alpha + \beta$) 제2 게이트하이전압(VGH2)보다 높다. 그리고, 제1 게이트로우전압(VGL1)은 제1 및 제2 공통전압(Vcom1, Vcom2)의 제1 레벨과 제2 레벨 사이의 전압차(α) 이상만큼($\alpha + \beta$) 제2 게이트로우전압(VGL2)보다 높다. 여기서, ' β '는 액정표시패널(10)의 상단부 픽셀과 하단부 픽셀 간 휘도차를 보다 정확히 보상하기 위한 보상치로서, 경우에 따라 생략될 수 있다.

[0022] 제1 게이트 구동부(13A)는 쉬프트 레지스터와 출력 버퍼등을 포함한다. 제1 게이트 구동부(13A)는 타이밍 콘트

롤러(11)로부터의 제1 게이트 타이밍 제어신호(GDC1)에 응답하여, 도 6과 같이 제1 게이트하이전압(VGH1)과 제1 게이트로우전압(VGL1)으로 이루어진 제1 그룹의 게이트펄스(GP Group #1)와, 제2 게이트하이전압(VGH2)과 제2 게이트로우전압(VGL2)으로 이루어진 제2 그룹의 게이트펄스(GP Group #2)를 생성하고, 제1 공통전압(Vcom1)의 스윙에 동기하여 제1 그룹의 게이트펄스(GP Group #1)와 제2 그룹의 게이트펄스(GP Group #2)를 교대로 액정표시패널(10)의 기수 게이트라인들(UGL)에 공급한다.

[0023] 제2 게이트 구동부(13B)는 쉬프트 레지스터와 출력 버퍼등을 포함한다. 제2 게이트 구동부(13B)는 타이밍 컨트롤러(11)로부터의 제2 게이트 타이밍 제어신호(GDC2)에 응답하여, 도 6과 같이 제1 게이트하이전압(VGH1)과 제1 게이트로우전압(VGL1)으로 이루어진 제1 그룹의 게이트펄스(GP Group #1)와, 제2 게이트하이전압(VGH2)과 제2 게이트로우전압(VGL2)으로 이루어진 제2 그룹의 게이트펄스(GP Group #2)를 생성하고, 제2 공통전압(Vcom2)의 스윙에 동기하여 제1 그룹의 게이트펄스(GP Group #1)와 제2 그룹의 게이트펄스(GP Group #2)를 교대로 액정표시패널(10)의 우수 게이트라인들(UGL)에 공급한다.

[0024] 도 7은 제1 게이트 구동부(13A)와 기수 게이트라인들(UGL)의 접속 및, 제2 게이트 구동부(13B)와 우수 게이트라인들(UGL)의 접속을 보여준다. 도 8은 제1 및 제2 게이트 구동부(13A, 13B)에서 출력되는 게이트펄스들의 타이밍을 보여준다. 그리고, 도 9는 1 프레임을 주기로 제1 그룹의 게이트펄스(GP Group #1)와 제2 그룹의 게이트펄스(GP Group #2)가 서로 번갈아 반대로 발생하는 것을 보여준다.

[0025] 도 7 내지 도 10을 참조하면, 제1 게이트 구동부(13A)는 타이밍 컨트롤러(11)로부터의 제1 게이트 타이밍 제어신호(GDC1)에 응답하여, 대략 1 수평기간의 펄스폭을 가지는 게이트펄스를 순차적으로 출력하여 액정표시패널(10)의 기수 게이트라인들(UGL)에 공급한다. 구체적으로, 제1 게이트 구동부(13A)는 대략 2 수평기간(2H)의 펄스폭을 가지고 대략 4 수평기간(4H)을 주기로 발생하는 제1 게이트 쉬프트 클럭신호(GSC1)의 라이징 에지 및 폴링 에지에 동기하여, 대략 1 수평기간(1H)의 펄스폭을 가지고 대략 2 수평기간(2H)씩 쉬프트되는 게이트펄스들(SP1, SP2, SP3...)을 발생한다. 게이트펄스들(SP1, SP2, SP3...)은 1 프레임을 주기로 제1 그룹의 게이트펄스(GP Group #1)와 제2 그룹의 게이트펄스(GP Group #2)로 교번된다. 제1 게이트 구동부(13A)는 제n 프레임(n은 양의 정수)(Fn)에서 제1 게이트하이전압(VGH1)과 제1 게이트로우전압(VGL1) 사이에서 스윙되는 제1 그룹의 게이트펄스(GP Group #1)를 기수 게이트라인들(UGL)에 공급하고, 제n+1 프레임(Fn+1)에서 제2 게이트하이전압(VGH2)과 제2 게이트로우전압(VGL2) 사이에서 스윙되는 제2 그룹의 게이트펄스(GP Group #2)를 기수 게이트라인들(UGL)에 공급한다.

[0026] 제2 게이트 구동부(13B)는 타이밍 컨트롤러(11)로부터의 제2 게이트 타이밍 제어신호(GDC2)에 응답하여, 대략 1 수평기간의 펄스폭을 가지는 게이트펄스를 순차적으로 출력하여 액정표시패널(10)의 우수 게이트라인들(UGL)에 공급한다. 구체적으로, 제2 게이트 구동부(13B)는 대략 2 수평기간(2H)의 펄스폭을 가지고 대략 4 수평기간(4H)을 주기로 발생하는 제2 게이트 쉬프트 클럭신호(GSC2)의 라이징 에지 및 폴링 에지에 동기하여, 대략 1 수평기간(1H)의 펄스폭을 가지고 대략 2 수평기간(2H)씩 쉬프트되는 게이트펄스들(SP2, SP4, SP6...)을 발생한다. 게이트펄스들(SP2, SP4, SP6...)은 1 프레임을 주기로 제2 그룹의 게이트펄스(GP Group #2)와 제1 그룹의 게이트펄스(GP Group #1)로 교번된다. 제2 게이트 구동부(13B)는 제n 프레임(n은 양의 정수)(Fn)에서 제2 게이트하이전압(VGH2)과 제2 게이트로우전압(VGL2) 사이에서 스윙되는 제2 그룹의 게이트펄스(GP Group #2)를 우수 게이트라인들(UGL)에 공급하고, 제n+1 프레임(Fn+1)에서 제1 게이트하이전압(VGH1)과 제 게이트로우전압(VGL1) 사이에서 스윙되는 제1 그룹의 게이트펄스(GP Group #1)를 우수 게이트라인들(UGL)에 공급한다.

[0027] 도 10은 액정표시패널(10)의 기수 픽셀라인들과 우수 픽셀라인들을 보여준다. 도 11은 공통전압 스윙에 게이트펄스의 스윙 전압 범위를 동기시킴으로써 액정셀(C1c)의 충전 전압을 일정하게 유지시킬 수 있음을 보여준다. 그리고, 도 12는 공통전압을 스윙시킬 때 발생되던 액정표시패널의 상단 및 하단 간 휘도차가 억제되는 것을 보여준다.

[0028] 제1 공통전압이 인가되는 액정표시패널(10)의 기수 픽셀라인들c에는 제1 그룹의 게이트펄스(GP Group #1)와 제2 그룹의 게이트펄스(GP Group #2)가 1 프레임을 주기로 교번한다. 그리고, 제2 공통전압이 인가되는 액정표시패널(10)의 우수 픽셀라인들에는 제2 그룹의 게이트펄스(GP Group #2)와 제1 그룹의 게이트펄스(GP Group #2)가 1 프레임을 주기로 교번한다.

[0029] 이에 따라, 도 11과 같이 공통전압(Vcom1, Vcom2)이 높은 레벨(또는 낮은 레벨)에서 낮은 레벨(또는 높은 레벨)로 'α'만큼 스윙될 때, 게이트펄스들의 스윙 전압범위도 상기 'α'만큼 쉬프트되기 때문에, 액정셀(C1c)에 충전된 데이터전압(Vdata)은 변동되지 않고 유지된다. 그 결과, 본 발명은 도 12와 같이 액정표시패널의 상단부 픽셀의 휘도와 하단부 픽셀의 휘도를 'PL1'으로 동일하게 유지할 수 있다.

[0030] 상술한 바와 같이, 본 발명은 공통전압을 스윙시킬 때 게이트펄스들의 스윙 전압범위도 공통전압의 스윙폭만큼 쉬프트시킴으로써 액정표시패널의 상단 및 하단 간 휘도차를 억제할 수 있다.

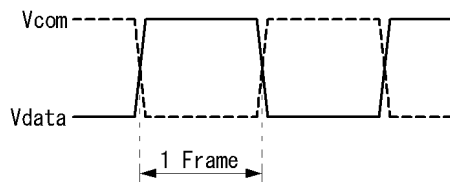
[0031] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

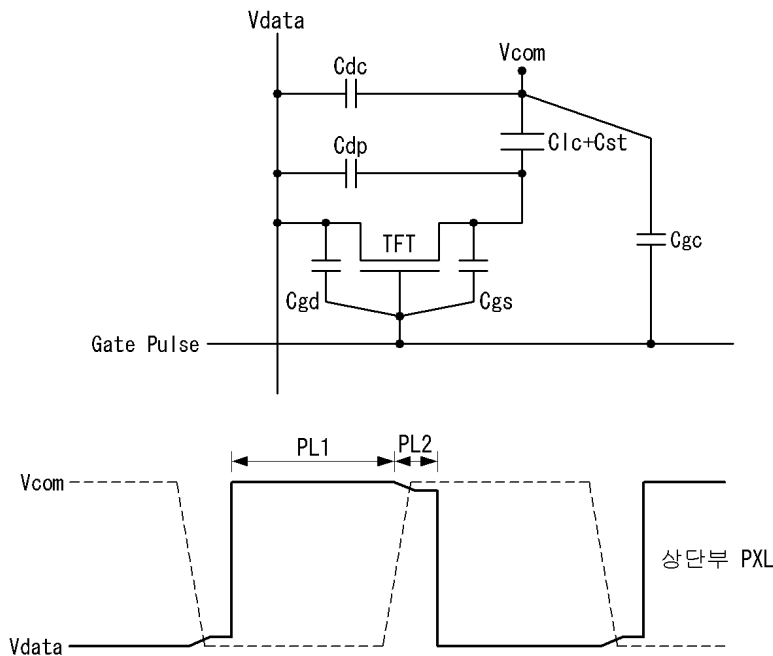
[0032] 10 : 액정표시패널 11 : 타이밍 컨트롤러
12 : 데이터 구동부 13A : 제1 게이트 구동부
13B : 제2 게이트 구동부 14 : 공통전압 발생부
15 : 전원 발생부

도면

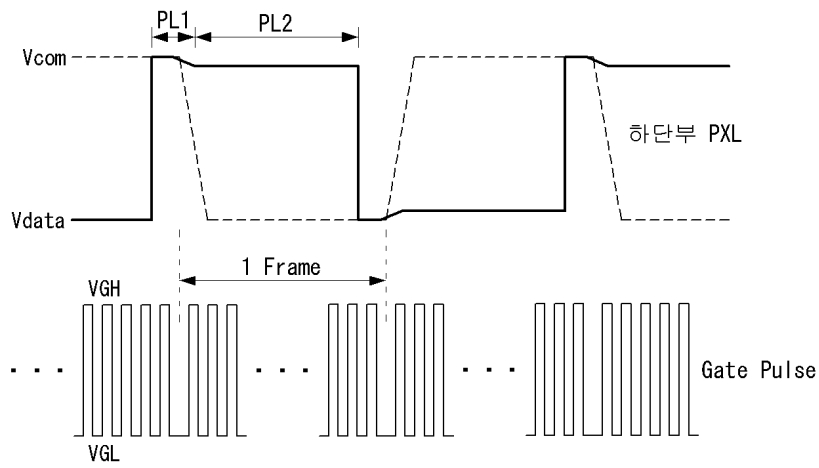
도면1



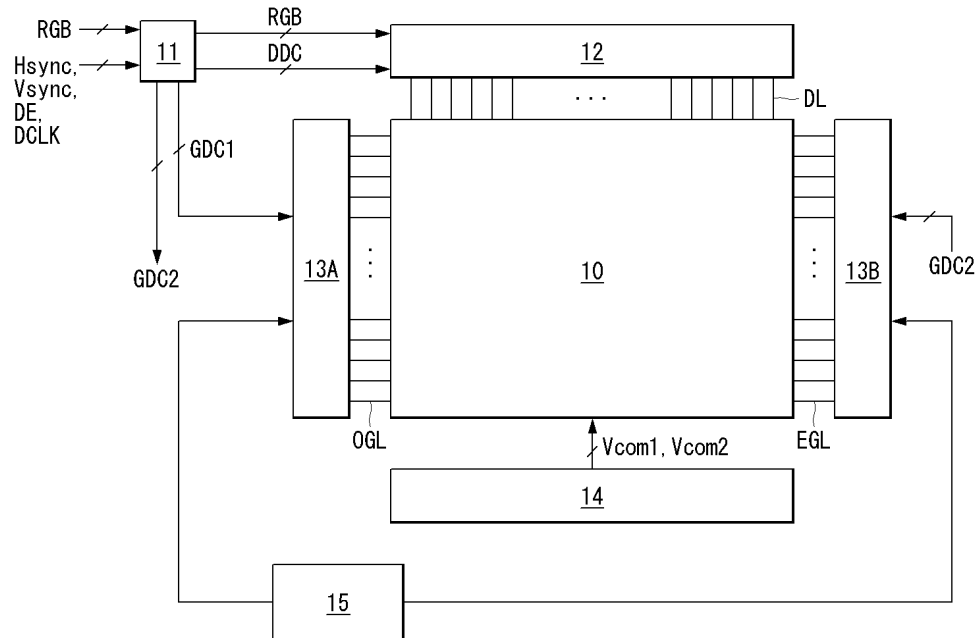
도면2



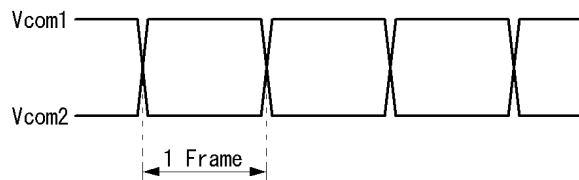
도면3



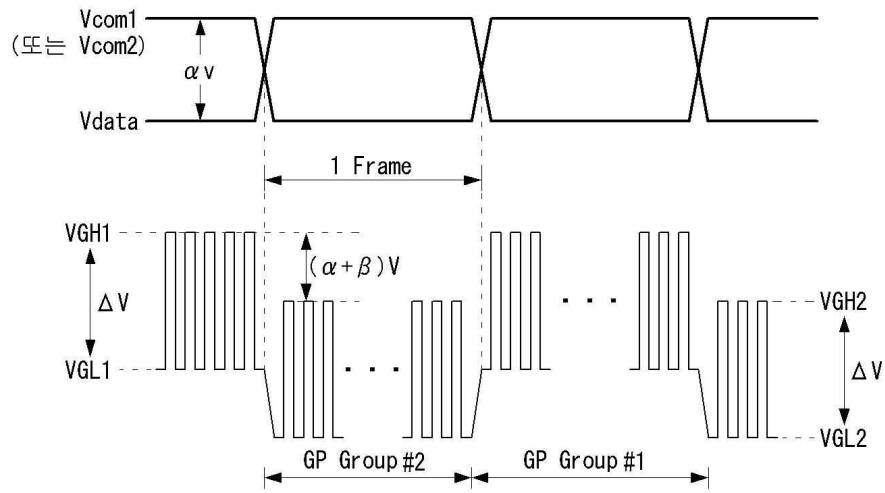
도면4



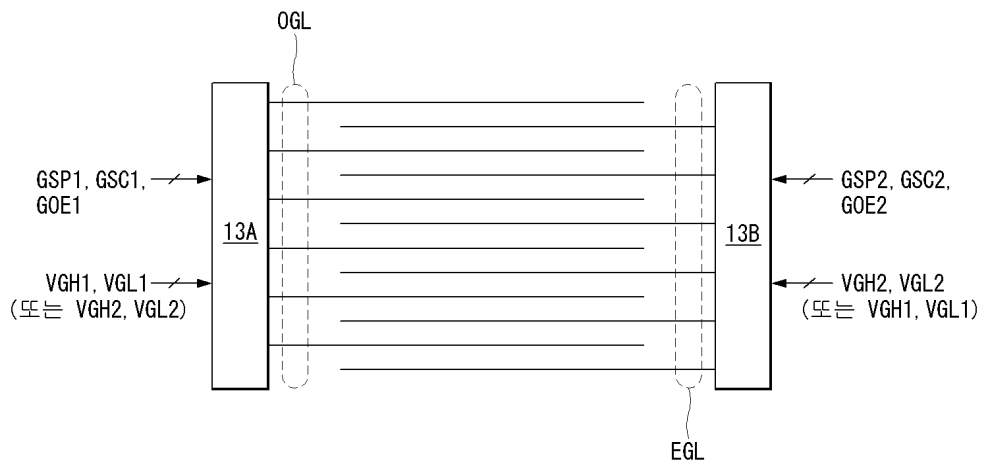
도면5



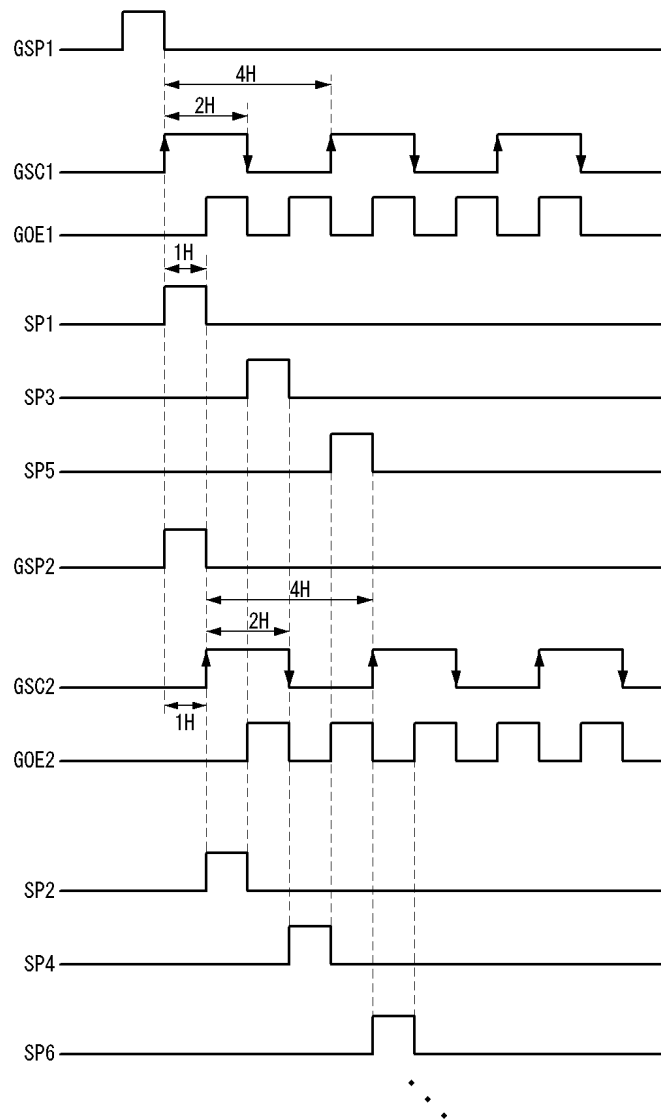
도면6



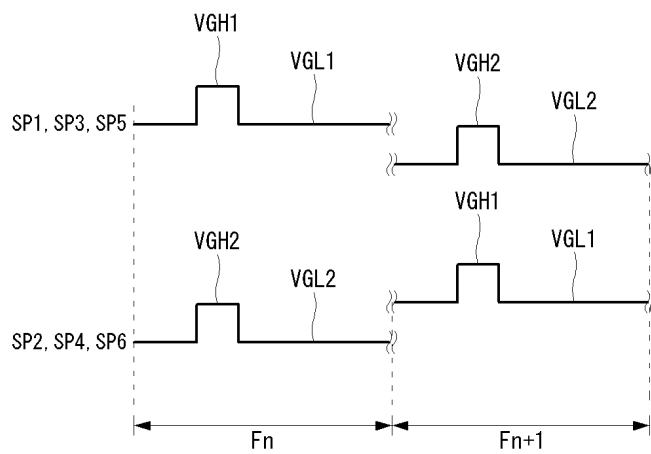
도면7



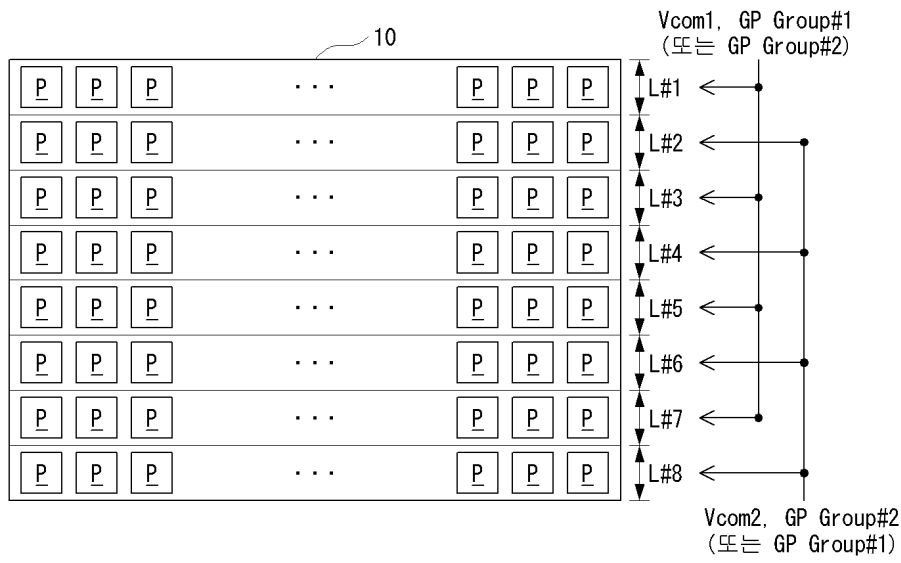
도면8



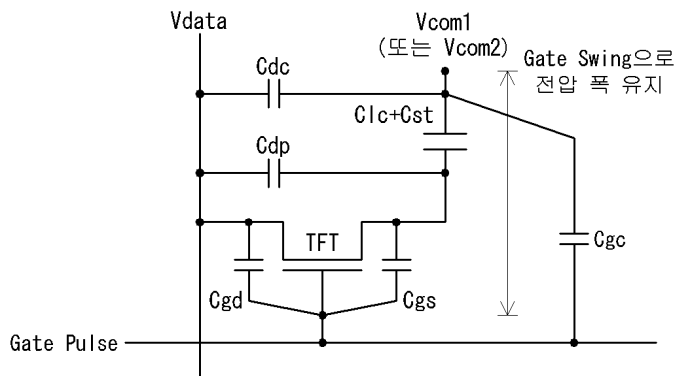
도면9



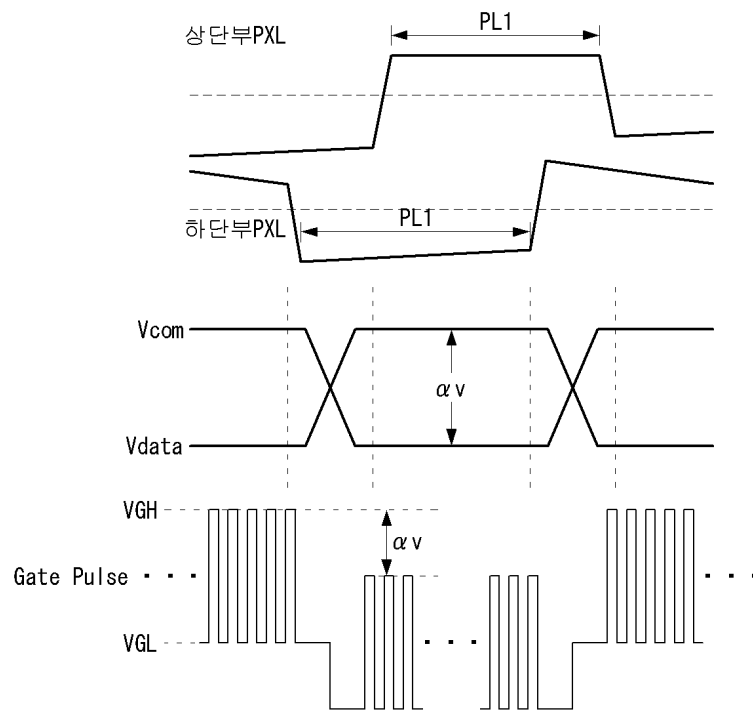
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR1020140082299A	公开(公告)日	2014-07-02
申请号	KR1020120152087	申请日	2012-12-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KYU JIN 김규진 SANG WOO KYU 상우규		
发明人	김규진 상우규		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3696 G09G3/2081 G09G2310/08 G09G3/3614 G09G2310/0289		
其他公开文献	KR102007818B1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置包括液晶显示板;产生第一公共电压和第二公共电压,以规则间隔在第一电平和第二电平之间相反地摆动,并将第一公共电压提供给液晶显示面板的奇数像素线;公共电压发生器,向液晶显示板的偶数像素线提供第二公共电压;产生包括第一栅极高电压和第一栅极低电压的第一组栅极脉冲和包括第二栅极高电压和第二栅极低电压的第二组栅极脉冲。第一栅极驱动器,被配置为与摆动同步地交替地将第一组的栅极脉冲和第二组的栅极脉冲提供给液晶显示面板的奇数栅极线;并且,产生第一组的栅极脉冲和第二组的栅极脉冲,并且与第二公共电压的摆动同步地交替地移位第一组的栅极脉冲和第二组的栅极脉冲。并且第二栅极驱动器被配置为提供显示面板的偶数栅极线。 专利公开10-2014-0082299

