



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0017198
(43) 공개일자 2012년02월28일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0079744

(22) 출원일자 2010년08월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이상용

서울특별시 노원구 한글비석로14길 37, 201동 902호 (중계동, 중앙하이츠아파트)

임종진

경기 파주시 교하읍 동패리 진흥효자아파트 1204-1103

김기상

서울특별시 관악구 신림로50길 17-10, 202호 (신림동)

(74) 대리인

특허법인로알

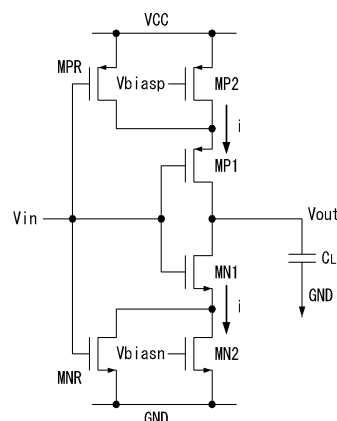
전체 청구항 수 : 총 8 항

(54) 인버터 회로와 이를 이용한 액정표시장치

(57) 요약

본 발명은 인버터 회로와 이를 이용한 액정표시장치에 관한 것으로, 이 인버터 회로는 입력 단자를 통해 입력되는 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 상승시키는 제1 p 타입 트랜지스터; 고전위 전원 전압원과 상기 제1 p 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 p 타입 트랜지스터; 상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원으로부터의 전류를 상기 출력 단자로 흐르게 하는 제3 p 타입 트랜지스터; 상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 하강시키는 제1 n 타입 트랜지스터; 저전위 전원 전압원과 상기 제1 n 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 n 타입 트랜지스터; 및 상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제3 n 타입 트랜지스터를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

입력 단자를 통해 입력되는 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 상승시키는 제1 p 타입 트랜지스터;

고전위 전원 전압원과 상기 제1 p 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 p 타입 트랜지스터;

상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원 으로부터의 전류를 상기 출력 단자로 흐르게 하는 제3 p 타입 트랜지스터;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 하강시키는 제1 n 타입 트랜지스터;

저전위 전원 전압원과 상기 제1 n 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 n 타입 트랜지스터; 및

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제3 n 타입 트랜지스터를 포함하는 것을 특징으로 하는 인버터 회로.

청구항 2

제 1 항에 있어서,

상기 1 p 타입 트랜지스터의 게이트전극, 상기 제3 p 타입 트랜지스터의 게이트전극, 상기 제1 n 타입 트랜지스터의 게이트전극, 및 상기 제3 n 타입 트랜지스터의 게이트전극은 상기 입력 단자에 공통으로 접속되는 것을 특징으로 하는 인버터 회로.

청구항 3

제 2 항에 있어서,

상기 제1 p 타입 트랜지스터의 소스전극은 상기 제2 p 타입 트랜지스터의 드레인전극에 접속되고, 상기 제1 p 타입 트랜지스터의 드레인전극은 상기 출력 단자에 접속되고,

상기 출력 단자에는 로드 커패시터가 접속되고,

상기 제2 p 타입 트랜지스터의 게이트전극에는 제1 바이어스 전압이 입력되고, 상기 제2 p 타입 트랜지스터의 소스전극은 상기 고전위 전원 전압원으로부터의 고전위 전원 전압이 공급되고,

상기 제3 p 타입 트랜지스터의 소스전극에는 상기 고전위 전원 전압이 공급되고, 상기 제3 p 타입 트랜지스터의 드레인전극은 상기 제1 p 타입 트랜지스터의 소스전극과 상기 제2 p 타입 트랜지스터의 드레인전극 사이의 노드에 접속되고,

상기 제1 n 타입 트랜지스터의 소스전극은 상기 제2 n 타입 트랜지스터의 드레인전극에 접속되고, 상기 제1 n 타입 트랜지스터의 드레인전극은 상기 출력 단자에 접속되고,

상기 제2 n 타입 트랜지스터의 게이트전극에는 제2 바이어스 전압이 입력되고, 상기 제2 n 타입 트랜지스터의 소스전극에는 상기 저전위 전압원으로부터의 저전위 전원 전압이 공급되며,

상기 제3 n 타입 트랜지스터의 소스전극에는 상기 저전위 전원 전압이 공급되고, 상기 제3 n 타입 트랜지스터의 드레인전극은 상기 제1 n 타입 트랜지스터의 소스전극과 상기 제2 n 타입 트랜지스터의 드레인전극 사이의 노드에 접속되는 것을 특징으로 하는 인버터 회로.

청구항 4

입력 단자를 통해 입력되는 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 상승시키는 제1 p 타입 트랜지스터;

고전위 전원 전압원과 상기 제1 p 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 p 타입 트랜지스터;

상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원 으로부터의 전류를 상기 출력 단자로 흐르게 하는 제3 p 타입 트랜지스터;

상기 제1 p 타입 트랜지스터와 상기 제3 p 타입 트랜지스터 사이의 전류패스를 제1 디지털 제어 데이터에 따라 절환하는 제1 스위치;

상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원 으로부터의 전류를 상기 출력 단자로 흐르게 하는 제4 p 타입 트랜지스터;

상기 제1 p 타입 트랜지스터와 상기 제4 p 타입 트랜지스터 사이의 전류패스를 제2 디지털 제어 데이터에 따라 절환하는 제2 스위치;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 하강시키는 제1 n 타입 트랜지스터;

저전위 전원 전압원과 상기 제1 n 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 n 타입 트랜지스터;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제3 n 타입 트랜지스터;

상기 제1 n 타입 트랜지스터와 상기 제3 n 타입 트랜지스터 사이의 전류패스를 제3 디지털 제어 데이터에 따라 절환하는 제3 스위치;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제4 n 타입 트랜지스터; 및

상기 제1 n 타입 트랜지스터와 상기 제4 n 타입 트랜지스터 사이의 전류패스를 제4 디지털 제어 데이터에 따라 절환하는 제4 스위치를 포함하는 것을 특징으로 하는 인버터 회로.

청구항 5

데이터와 외부 클럭신호 각각을 차신호쌍으로 출력하는 타이밍 콘트롤러;

상기 외부 클럭신호보다 높은 주파수의 내부 클럭신호들을 발생하고 상기 내부 클럭신호들에 맞추어 상기 데이터를 샘플링하는 하나 이상의 소스 드라이브 IC들;

상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들을 직렬로 연결하여 상기 데이터를 상기 소스 드라이브 IC들에 직렬 전송하는 데이터 배선쌍; 및

상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들을 캐스캐이드 형태로 연결하여 상기 클럭신호를 상기 소스 드라이브 IC들에 전송하는 클럭신호 배선쌍을 구비하고,

상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들 중 적어도 어느 하나는 인버터 회로를 포함하고,

상기 인버터 회로는,

입력 단자를 통해 입력되는 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 상승시키는 제1 p 타입 트랜지스터;

고전위 전원 전압원과 상기 제1 p 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 p 타입 트랜지스터;

상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원 으로부터의 전류를 상기 출력 단자로 흐르게 하는 제3 p 타입 트랜지스터;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 하강시키는 제1 n 타입 트랜지스터;

저전위 전원 전압원과 상기 제1 n 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 n 타입 트랜지스터; 및

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제3 n 타입 트랜지스터를 포함하는 것을 특징으로 하는

액정표시장치.

청구항 6

제 5 항에 있어서,

상기 1 p 타입 트랜지스터의 게이트전극, 상기 제3 p 타입 트랜지스터의 게이트전극, 상기 제1 n 타입 트랜지스터의 게이트전극, 및 상기 제3 n 타입 트랜지스터의 게이트전극은 상기 입력 단자에 공통으로 접속되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제1 p 타입 트랜지스터의 소스전극은 상기 제2 p 타입 트랜지스터의 드레인전극에 접속되고, 상기 제1 p 타입 트랜지스터의 드레인전극은 상기 출력 단자에 접속되고,

상기 출력 단자에는 로드 커패시터가 접속되고,

상기 제2 p 타입 트랜지스터의 게이트전극에는 제1 바이어스 전압이 입력되고, 상기 제2 p 타입 트랜지스터의 소스전극은 상기 고전위 전원 전압원으로부터의 고전위 전원 전압이 공급되고,

상기 제3 p 타입 트랜지스터의 소스전극에는 상기 고전위 전원 전압이 공급되고, 상기 제3 p 타입 트랜지스터의 드레인전극은 상기 제1 p 타입 트랜지스터의 소스전극과 상기 제2 p 타입 트랜지스터의 드레인전극 사이의 노드에 접속되고,

상기 제1 n 타입 트랜지스터의 소스전극은 상기 제2 n 타입 트랜지스터의 드레인전극에 접속되고, 상기 제1 n 타입 트랜지스터의 드레인전극은 상기 출력 단자에 접속되고,

상기 제2 n 타입 트랜지스터의 게이트전극에는 제2 바이어스 전압이 입력되고, 상기 제2 n 타입 트랜지스터의 소스전극에는 상기 저전위 전압원으로부터의 저전위 전원 전압이 공급되며,

상기 제3 n 타입 트랜지스터의 소스전극에는 상기 저전위 전원 전압이 공급되고, 상기 제3 n 타입 트랜지스터의 드레인전극은 상기 제1 n 타입 트랜지스터의 소스전극과 상기 제2 n 타입 트랜지스터의 드레인전극 사이의 노드에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 8

데이터와 외부 클럭신호 각각을 차신호쌍으로 출력하는 타이밍 콘트롤러;

상기 외부 클럭신호보다 높은 주파수의 내부 클럭신호들을 발생하고 상기 내부 클럭신호들에 맞추어 상기 데이터를 샘플링하는 하나 이상의 소스 드라이브 IC들;

상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들을 직렬로 연결하여 상기 데이터를 상기 소스 드라이브 IC들에 직렬 전송하는 데이터 배선쌍; 및

상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들을 캐스캐이드 형태로 연결하여 상기 클럭신호를 상기 소스 드라이브 IC들에 전송하는 클럭신호 배선쌍을 구비하고,

상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들 중 적어도 어느 하나는 인버터 회로를 포함하고,

상기 인버터 회로는,

입력 단자를 통해 입력되는 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 상승시키는 제1 p 타입 트랜지스터;

고전위 전원 전압원과 상기 제1 p 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 p 타입 트랜지스터;

상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원으로부터의 전류를 상기 출력 단자로 흐르게 하는 제3 p 타입 트랜지스터;

상기 제1 p 타입 트랜지스터와 상기 제3 p 타입 트랜지스터 사이의 전류패스를 제1 디지털 제어 데이터에 따라 절환하는 제1 스위치;

상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원으로 부터의 전류를 상기 출력 단자로 흐르게 하는 제4 p 타입 트랜지스터;

상기 제1 p 타입 트랜지스터와 상기 제4 p 타입 트랜지스터 사이의 전류패스를 제2 디지털 제어 데이터에 따라 절환하는 제2 스위치;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 하강시키는 제1 n 타입 트랜지스터;

저전위 전원 전압원과 상기 제1 n 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 n 타입 트랜지스터;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제3 n 타입 트랜지스터;

상기 제1 n 타입 트랜지스터와 상기 제3 n 타입 트랜지스터 사이의 전류패스를 제3 디지털 제어 데이터에 따라 절환하는 제3 스위치;

상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제4 n 타입 트랜지스터; 및

상기 제1 n 타입 트랜지스터와 상기 제4 n 타입 트랜지스터 사이의 전류패스를 제4 디지털 제어 데이터에 따라 절환하는 제4 스위치를 포함하는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 인버터 회로와 이를 이용한 액정표시장치에 관한 것이다.

배경기술

[0002] 고속 디지털 전송 시스템에서 인버터 회로는 집적회로(Integrated Circuit 이하, "IC"라 함)의 딜레이 셀(Delay cell)과 VCO(Voltage controlled oscillator)에서 전류 차단 인버터(Current starved inverter)가 주로 이용되고 있다. 기존 전류 차단 인버터의 일 예는 도 1과 같다.

[0003] 도 1을 참조하면, 전류 차단 인버터 회로는 p 타입 트랜지스터들(MP1, MP2)과, n 타입 트랜지스터들(MN1, MN2)을 포함한다. 트랜지스터들 각각은 MOSFET(metal oxide semiconductor field effect transistor)로 구현된다.

[0004] 제1 p 타입 트랜지스터(MP1)와 제1 n 타입 트랜지스터(MN1)의 게이트전극은 입력 단자에 공통으로 접속된다. 입력 단자에는 디지털 입력신호(Vin)가 입력된다. 제1 p 타입 트랜지스터(MP1)의 소스전극은 제2 p 타입 트랜지스터(MP2)의 드레인전극에 접속되고, 제1 p 타입 트랜지스터(MP1)의 드레인전극은 출력 단자에 접속된다. 출력 단자에는 도 2 및 도 3과 같이 입력 신호의 반전 신호로 발생하는 출력신호(Vout)가 출력된다. 출력 단자에는 로드 커패시터(C_L)이 접속된다. 제2 p 타입 트랜지스터(MP2)의 게이트전극에는 제1 바이어스 전압(Vbiasp)이 입력된다. 제2 p 타입 트랜지스터(MP2)의 소스전극은 고전위 전원 전압(Vcc)이 공급된다.

[0005] 제1 n 타입 트랜지스터(MN1)의 소스전극은 제2 n 타입 트랜지스터(MN2)의 드레인전극에 접속되고, 제1 n 타입 트랜지스터(MN1)의 드레인전극은 출력 단자에 접속된다. 제2 n 타입 트랜지스터(MN2)의 게이트전극에는 제2 바이어스 전압(Vbiasn)이 입력된다. 제2 p 타입 트랜지스터(MP2)의 소스전극에는 기저전압(GND)이 공급된다.

[0006] 디지털 입력신호(Vin)가 로우 로직 레벨(Low logic level)로부터 하이 로직 레벨(High logic level)로 변할 때 도 2와 같이 제1 n 타입 트랜지스터(MN1)가 턴-온된다. 이 때, 제2 바이어스 전압(Vbiasn)에 의해 제2 n 타입 트랜지스터(MN2)가 온 상태를 유지하고 있으므로 출력 단자에 연결된 로드 커패시터(C_L)의 전압은 제1 및 제2 n 타입 트랜지스터(MN1, MN2)의 소스 및 드레인전극들을 통해 기저전압원으로 방전된다. 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 변할 때, 전류(i)는 n 타입 트랜지스터들(MN1, MN2)을 통해 흐른다.

[0007] 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 변할 때, 도 3과 같이 제1 p 타입 트랜지스터(MP1)가 턴-온된다. 이 때, 제1 바이어스 전압(Vbiasp)에 의해 제2 p 타입 트랜지스터(MP2)가 온 상태를 유지

하고 있으므로 출력 단자에 연결된 로드 커패시터(C_L)의 전압은 제1 및 제2 p 타입 트랜지스터(MP1, MP2)의 소스 및 드레인전극들을 통해 유입되는 전류(i)에 의해 상승한다.

[0008] 도 1과 같은 전류 차단 인버터의 슬류 레이트(Slew rate, SR)를 높이기 위해서는 로드 커패시터(C_L)의 용량을 줄이거나 정전류(i)를 높여야 한다. 그런데, 로드 커패시터(C_L)는 출력 단자에 연결된 부하에 따라 결정되므로 표시장치와 같이 부하가 고정되어 있으면 그 용량을 줄이기가 불가능하다. 또한, 정전류(i)를 높이면 수학적 식 2와 같이 소비전력(P_{total})이 증가되므로 저전력 전자기기에서 적용될 수 없다. 아래의 수학적 식 1 및 2는 슬류 레이트(SR)와 소비전력(P_{total})을 나타낸다.

수학적 식 1

$$SR = \frac{i}{C_L}$$

[0009]

수학적 식 2

$$\begin{aligned} P_{total} &= P_{static} + P_{dynamic} \\ &= V \cdot i + f \cdot C_L \cdot V_{CC} \end{aligned}$$

[0010]

[0011] 여기서, f 는 디지털 입력신호(V_{in})의 트랜지션 주파수이다. P_{static} 은 정적 파워소모이고, $P_{dynamic}$ 은 동적 파워소모이다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 소비전력 증가없이 슬류 레이트를 높이도록 한 인버터 회로와 이를 이용한 액정표시장치를 제공한다.

과제의 해결 수단

[0013] 본 발명의 인버터 회로는 입력 단자를 통해 입력되는 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 상승시키는 제1 p 타입 트랜지스터; 고전위 전원 전압원과 상기 제1 p 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 p 타입 트랜지스터; 상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원으로부터의 전류를 상기 출력 단자로 흐르게 하는 제3 p 타입 트랜지스터; 상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 하강시키는 제1 n 타입 트랜지스터; 저전위 전원 전압원과 상기 제1 n 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 n 타입 트랜지스터; 및 상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제3 n 타입 트랜지스터를 포함한다.

[0014] 본 발명의 인버터 회로는 입력 단자를 통해 입력되는 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 상승시키는 제1 p 타입 트랜지스터; 고전위 전원 전압원과 상기 제1 p 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 p 타입 트랜지스터; 상기 디지털 입력신호가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원으로부터의 전류를 상기 출력 단자로 흐르게 하는 제3 p 타입 트랜지스터; 상기 제1 p 타입 트랜지스터와 상기 제3 p 타입 트랜지스터 사이의 전류패스를 제1 디지털 제어 데이터에 따라 절환하는 제1 스위치; 상기 디지털 입력신호가 하이 로직 레벨로부

터 로우 로직 레벨로 트랜지션될 때 턴-온되어 상기 고전위 전압원으로부터의 전류를 상기 출력 단자로 흐르게 하는 제4 p 타입 트랜지스터; 상기 제1 p 타입 트랜지스터와 상기 제4 p 타입 트랜지스터 사이의 전류패스를 제2 디지털 제어 데이터에 따라 절환하는 제2 스위치; 상기 디지털 입력신호가 로우 로직 레벨로 트랜지션될 때 턴-온되어 출력 단자의 전압을 하강시키는 제1 n 타입 트랜지스터; 저전위 전원 전압원과 상기 제1 n 타입 트랜지스터 사이에서 전류패스를 형성하는 제2 n 타입 트랜지스터; 상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제3 n 타입 트랜지스터; 상기 제1 n 타입 트랜지스터와 상기 제3 n 타입 트랜지스터 사이의 전류패스를 제3 디지털 제어 데이터에 따라 절환하는 제3 스위치; 상기 디지털 입력신호가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 상기 출력 단자로부터의 전류를 상기 저전위 전원 전압원으로 흐르게 하는 제4 n 타입 트랜지스터; 및 상기 제1 n 타입 트랜지스터와 상기 제4 n 타입 트랜지스터 사이의 전류패스를 제4 디지털 제어 데이터에 따라 절환하는 제4 스위치를 포함한다.

[0015] 본 발명의 액정표시장치는 데이터와 외부 클럭신호 각각을 차신호쌍으로 출력하는 타이밍 콘트롤러; 상기 외부 클럭신호보다 높은 주파수의 내부 클럭신호들을 발생하고 상기 내부 클럭신호들에 맞추어 상기 데이터를 샘플링하는 하나 이상의 소스 드라이브 IC들; 상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들을 직렬로 연결하여 상기 데이터를 상기 소스 드라이브 IC들에 직렬 전송하는 데이터 배선쌍; 및 상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들을 캐스캐이드 형태로 연결하여 상기 클럭신호를 상기 소스 드라이브 IC들에 전송하는 클럭신호 배선쌍을 구비한다. 상기 타이밍 콘트롤러와 상기 소스 드라이브 IC들 중 적어도 어느 하나는 상기 인버터 회로를 포함한다.

발명의 효과

[0016] 본 발명은 고전위 전원 전압원과 출력 단자 사이에 두 개 이상의 p 타입 트랜지스터들을 병렬 연결하고, 저전위 전원 전압원과 상기 출력 단자 사이에 두 개 이상의 n 타입 트랜지스터들을 병렬 연결한다. 그 결과, 본 발명은 인버터 회로의 소비전력 증가없이 슬루 레이트를 높일 수 있고, 액정표시장치의 타이밍 콘트롤러 또는 소스 드라이브 IC들에 적용되어 데이터의 송/수신 에러를 최소화할 수 있다.

도면의 간단한 설명

[0017] 도 1은 종래 기술의 전류 차단 인버터 회로를 보여 주는 회로도이다.
 도 2 및 도 3은 도 1에 도시된 인버터 회로의 동작을 보여 주는 회로도들이다.
 도 4는 본 발명의 제1 실시예에 따른 인버터 회로를 보여 주는 회로도이다.
 도 5 및 도 6은 도 4에 도시된 인버터 회로의 동작을 보여 주는 회로도들이다.
 도 7은 도 1에 도시된 종래의 인버터 회로와 도 4에 도시된 본 발명의 인버터 회로를 동일 실험 조건에서 비교 실험한 결과를 보여 주는 도면이다.
 도 8은 본 발명의 제2 실시예에 따른 인버터 회로를 보여 주는 회로도이다.
 도 9는 도 1에 도시된 종래의 인버터 회로와 도 8에 도시된 본 발명의 인버터 회로를 동일 실험 조건에서 비교 실험한 결과를 보여 주는 도면이다.
 도 10은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
 도 11은 타이밍 콘트롤러로부터 차신호쌍으로 발생되는 외부 클럭신호와 데이터를 보여 주는 타이밍도이다.
 도 12는 도 10에 도시된 소스 드라이브 IC의 회로 구성을 보여 주는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설

명을 생략한다.

- [0019] 도 4 내지 도 6을 참조하면, 본 발명의 제1 실시예에 따른 인버터 회로는 p 타입 트랜지스터들(MP1, MP2, MPR)과, n 타입 트랜지스터들(MN1, MN2, MNR)을 포함한다. 트랜지스터들 각각은 MOSFET(metal oxide semiconductor field effect transistor)로 구현된다.
- [0020] 제1 p 타입 트랜지스터(MP1)의 게이트전극, 제3 p 타입 트랜지스터(MPR)의 게이트전극, 제1 n 타입 트랜지스터(MN1)의 게이트전극, 및 제3 n 타입 트랜지스터(MNR)의 게이트전극은 입력 단자에 공통으로 접속된다. 입력 단자에는 디지털 입력신호(Vin)가 입력된다. 제1 p 타입 트랜지스터(MP1)의 소스전극은 제2 p 타입 트랜지스터(MP2)의 드레인전극에 접속되고, 제1 p 타입 트랜지스터(MP1)의 드레인전극은 출력 단자에 접속된다. 출력 단자에는 도 5 및 도 6과 같이 입력 신호의 반전 신호로 발생하는 출력신호(Vout)가 출력된다. 출력 단자에는 로드 커패시터(C_L)가 접속된다. 제2 p 타입 트랜지스터(MP2)의 게이트전극에는 제1 바이어스 전압(Vbiasp)이 입력된다. 제1 바이어스 전압(Vbiasp)은 정전류 i 가 흐를 수 있게 하는 게이트 바이어스 전압이다. 제2 p 타입 트랜지스터(MP2)는 제1 바이어스 전압(Vbiasp)에 따라 포화(Saturation) 상태로 동작하여 출력 단자 쪽으로 정전류 i 를 흐르게 한다. 제2 p 타입 트랜지스터(MP2)의 소스전극은 고전위 전원 전압(Vcc)이 공급된다. 고전위 전원 전압(Vcc)은 도 7 및 도 9의 실험에서 1.8V로 적용되었다.
- [0021] 제3 p 타입 트랜지스터(MPR)의 소스전극에는 고전위 전원 전압(Vcc)이 공급된다. 제3 p 타입 트랜지스터(MPR)의 드레인전극은 제1 p 타입 트랜지스터(MP1)의 소스전극과 제2 p 타입 트랜지스터(MP2)의 드레인전극에 접속된다. 제3 p 타입 트랜지스터(MPR)는 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 변할 때 턴-온되어 출력 단자로 흐르는 전류양을 증가시킨다.
- [0022] 제1 n 타입 트랜지스터(MN1)의 소스전극은 제2 n 타입 트랜지스터(MN2)의 드레인전극에 접속되고, 제1 n 타입 트랜지스터(MN1)의 드레인전극은 출력 단자에 접속된다. 제2 n 타입 트랜지스터(MN2)의 게이트전극에는 제2 바이어스 전압(Vbiasn)이 입력된다. 제2 바이어스 전압(Vbiasn)은 정전류 i 가 흐를 수 있게 하는 게이트 바이어스 전압이다. 제2 n 타입 트랜지스터(MN2)는 제1 바이어스 전압(Vbiasn)에 따라 포화 상태로 동작하여 기저전압원 쪽으로 정전류 i 를 흐르게 한다. 제2 n 타입 트랜지스터(MN2)의 소스전극에는 기저전압(GND 또는 저전위 전원 전압)이 공급된다. 기저전압(GND)이나 저전위 전원 전압은 0V로 설정될 수 있다.
- [0023] 제3 n 타입 트랜지스터(MNR)의 소스전극에는 기저전압(GND)이 공급된다. 제3 n 타입 트랜지스터(MNR)의 드레인전극은 제1 n 타입 트랜지스터(MN1)의 소스전극과 제2 n 타입 트랜지스터(MN2)의 드레인전극에 접속된다. 제3 n 타입 트랜지스터(MNR)는 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 변할 때 턴-온되어 출력 단자로부터 방전되는 전류양을 증가시킨다.
- [0024] 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 도 5와 같이 제1 n 타입 트랜지스터(MN1)가 턴-온되어 제1 및 제2 n 타입 트랜지스터(MN1, MN2)를 통해 로드 커패시터(C_L)로부터 기저전압원 쪽으로 전류(i)가 흐르고 이와 동시에, 제3 n 타입 트랜지스터(MNR)가 턴-온되어 제3 n 타입 트랜지스터(MNR)를 통해 출력 단자에 연결된 로드 커패시터(C_L)로부터 기저전압원 쪽으로 전류(i_{add})가 흐른다. 제3 n 타입 트랜지스터(MNR)는 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때 턴-온되어 기저전압원 쪽으로 흐르는 방전 전류를 증가시킴으로써 로드 커패시터(C_L)의 방전 전류양을 증가시킨다. 그 결과, 본 발명은 로드 커패시터(C_L)의 전압이 하이 로직 레벨로부터 로우 로직 레벨로 변하는 시간을 줄일 수 있어 인버터 회로의 슬루 레이트를 높일 수 있다. 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 트랜지션될 때, 제2 바이어스 전압(Vbiasn)에 의해 제2 n 타입 트랜지스터(MN2)는 온 상태를 유지하고 있고, 제1, 제2 및 제3 p 타입 트랜지스터(MP1, MP2, MPR)은 오프 상태를 유지한다.
- [0025] 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 도 6과 같이 제1 p 타입 트랜지스터(MP1)가 턴-온되어 제1 및 제2 p 타입 트랜지스터(MP1, MP2)를 통해 고전위 전원 전압원으로부터 출력 단자에 연결된 로드 커패시터(C_L) 쪽으로 전류(i)가 흐르고 이와 동시에, 제3 p 타입 트랜지스터(MPR)가 턴-온되어 제3 p 타입 트랜지스터(MNR)를 통해 고전위 전원 전압원으로부터 로드 커패시터(C_L) 쪽으로 전류(i_{add})가 흐른다. 제3 p 타입 트랜지스터(MNR)는 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때 턴-온되어 로드 커패시터(C_L)로 흐르는 충전 전류를 증가시킴으로써 로드 커패시터(C_L)의 충전 전류양을 증가시킨다. 그 결과, 본 발명은 로드 커패시터(C_L)의 전압이 로우 로직 레벨로부터 하이 로직 레벨로 변화

는 시간을 줄일 수 있으므로 인버터 회로의 슬류 레이트를 높일 수 있다. 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 트랜지션될 때, 제1 바이어스 전압(Vbiasp)에 의해 제2 p 타입 트랜지스터(MP2)는 온 상태를 유지하고 있고, 제1, 제2 및 제3 n 타입 트랜지스터(MN1, MN2, MNR)은 오프 상태를 유지한다.

[0026] 제3 n 타입 트랜지스터(MNR)는 도 8과 같이 서로 병렬 연결된 2 개 이상의 n 타입 트랜지스터들을 포함할 수 있다. 제3 p 타입 트랜지스터(MPR)는 도 8과 같이 서로 병렬 연결된 2 개 이상의 p 타입 트랜지스터들을 포함할 수 있다.

[0027] 디지털 입력 신호(Vin)가 트랜지션될 때, 제3 n 타입 트랜지스터(MNR)와 제3 p 타입 트랜지스터(MPR)의 포화 (Saturation) 상태로 동작하며 그 전류(i_{add})는 수학적 식 3과 같다.

수학적 식 3

$$i_{add} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$$

[0028]

[0029] 여기서, μ 는 트랜지스터의 이동도, C_{ox} 는 트랜지스터의 기생용량, W 는 트랜지스터의 채널 폭, L 은 트랜지스터의 채널 길이, V_{gs} 는 트랜지스터의 게이트-소스 전압, V_{th} 는 트랜지스터의 문턱전압을 각각 의미한다.

[0030] 종래의 인버터 회로는 슬류 레이트를 증가시키기 위하여 큰 정전류를 인버터 회로에 공급하여야 한다. 반면에, 본 발명의 인버터 회로는 전술한 바와 같이 디지털 입력 신호(Vin)가 트랜지션될 때 제3 n 타입 트랜지스터 (MNR)과 제3 p 타입 트랜지스터(MPR)의 게이트-소스 전압(V_{gs})의 제공으로 동적 전류(i_{add})를 흐르게 하므로 저전 력으로 구동하면서도 슬류 레이트를 높일 수 있다. 이는 도 7의 실험 결과에서 입증되었다. 도 7의 실험 결과 는 도 1과 같은 종래 기술의 인버터 회로와 도 4와 같은 본 발명의 인버터 회로를 동일한 트랜지스터 동작 특성 과 동일한 구동 전압 조건 하에서 비교 실험에서 얻어졌다.

[0031] 도 8은 본 발명의 제2 실시예에 따른 인버터 회로를 보여 주는 회로도이다. 도 9는 도 1에 도시된 종래의 인버 터 회로와 도 8에 도시된 본 발명의 인버터 회로를 동일 실험 조건에서 비교 실험한 결과를 보여 주는 도면이다.

[0032] 도 8을 참조하면, 본 발명의 제2 실시예에 따른 인버터 회로는 p 타입 트랜지스터들(MP1, MP2, MPR1~MPR4)과, n 타입 트랜지스터들(MN1, MN2, MNR1~MNR4)과, 디지털 제어 데이터에 의해 제어되는 스위치들(S1~S8)을 포함한다. 트랜지스터들 각각은 MOSFET(metal oxide semiconductor field effect transistor)로 구현된다.

[0033] 제1 및 제2 p 타입 트랜지스터(MP1, MP2)와, 제1 및 제2 n 타입 트랜지스터(MN1, MN2)는 전술한 제1 실시예의 그 것들과 실질적으로 동일하다.

[0034] 제1 p 타입 트랜지스터(MP1)의 게이트전극, 제3 내지 제6 p 타입 트랜지스터(MPR1~MPR4)의 게이트전극들, 제1 n 타입 트랜지스터(MN1), 및 제3 내지 제6 n 타입 트랜지스터(MNR1~MNR4)의 게이트전극들은 입력 단자에 공통으로 접속된다. 입력 단자에는 디지털 입력신호(Vin)가 입력된다. 출력신호(Vout)가 출력되는 출력 단자에는 로드 커패시터(C_L)가 접속된다.

[0035] 제3 p 타입 트랜지스터(MPR1)의 소스전극에는 고전위 전원 전압(Vcc)이 공급된다. 제3 p 타입 트랜지스터 (MPR1)의 드레인전극은 제1 스위치(S1)를 통해 제1 p 타입 트랜지스터(MP1)의 소스전극과 제2 p 타입 트랜지스 터(MP2)의 드레인전극 사이의 노드에 접속된다. 제3 p 타입 트랜지스터(MPR1)는 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 변할 때 턴-온되어 출력 단자로 흐르는 전류양을 증가시킨다. 제1 스위치 (S1)는 디지털 제어 데이터의 제1 비트(b1)에 응답하여 온/오프되어 제3 p 타입 트랜지스터(MPR1)의 드레인전극 과 제1 p 타입 트랜지스터(MP1)의 소스전극 사이의 전류패스를 절환한다.

[0036] 제4 p 타입 트랜지스터(MPR2)의 소스전극에는 고전위 전원 전압(Vcc)이 공급된다. 제4 p 타입 트랜지스터 (MPR2)의 드레인전극은 제2 스위치(S2)를 통해 제1 p 타입 트랜지스터(MP1)의 소스전극과 제2 p 타입 트랜지스 터(MP2)의 드레인전극 사이의 노드에 접속된다. 제4 p 타입 트랜지스터(MPR2)는 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 변할 때 턴-온되어 출력 단자로 흐르는 전류양을 증가시킨다. 제2 스위치

(S2)는 디지털 제어 데이터의 제2 비트(b2)에 응답하여 온/오프되어 제4 p 타입 트랜지스터(MPR2)의 드레인전극과 제1 p 타입 트랜지스터(MP1)의 소스전극 사이의 전류패스를 절환한다.

[0037] 제5 p 타입 트랜지스터(MPR3)의 소스전극에는 고전위 전원 전압(Vcc)이 공급된다. 제5 p 타입 트랜지스터(MPR3)의 드레인전극은 제3 스위치(S3)를 통해 제1 p 타입 트랜지스터(MP1)의 소스전극과 제2 p 타입 트랜지스터(MP2)의 드레인전극 사이의 노드에 접속된다. 제5 p 타입 트랜지스터(MPR3)는 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 변할 때 턴-온되어 출력 단자로 흐르는 전류량을 증가시킨다. 제3 스위치(S3)는 디지털 제어 데이터의 제3 비트(b3)에 응답하여 온/오프되어 제5 p 타입 트랜지스터(MPR3)의 드레인전극과 제1 p 타입 트랜지스터(MP1)의 소스전극 사이의 전류패스를 절환한다.

[0038] 제6 p 타입 트랜지스터(MPR4)의 소스전극에는 고전위 전원 전압(Vcc)이 공급된다. 제6 p 타입 트랜지스터(MPR4)의 드레인전극은 제4 스위치(S4)를 통해 제1 p 타입 트랜지스터(MP1)의 소스전극과 제2 p 타입 트랜지스터(MP2)의 드레인전극 사이의 노드에 접속된다. 제6 p 타입 트랜지스터(MPR4)는 디지털 입력신호(Vin)가 하이 로직 레벨로부터 로우 로직 레벨로 변할 때 턴-온되어 출력 단자로 흐르는 전류량을 증가시킨다. 제4 스위치(S4)는 디지털 제어 데이터의 제4 비트(b4)에 응답하여 온/오프되어 제6 p 타입 트랜지스터(MPR4)의 드레인전극과 제1 p 타입 트랜지스터(MP1)의 소스전극 사이의 전류패스를 절환한다.

[0039] 제3 n 타입 트랜지스터(MNR1)의 소스전극에는 기저전압(GND)이 공급된다. 제3 n 타입 트랜지스터(MNR1)의 드레인전극은 제5 스위치(S5)를 통해 제1 n 타입 트랜지스터(MN1)의 소스전극과 제2 n 타입 트랜지스터(MN2)의 드레인전극 사이의 노드에 접속된다. 제3 n 타입 트랜지스터(MNR1)는 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 변할 때 턴-온되어 출력 단자로부터 기저전압원 쪽으로 흐르는 전류량을 증가시킨다. 제5 스위치(S5)는 디지털 제어 데이터의 제5 비트(b5)에 응답하여 온/오프되어 제3 n 타입 트랜지스터(MNR1)의 드레인전극과 제1 n 타입 트랜지스터(MN1)의 소스전극 사이의 전류패스를 절환한다.

[0040] 제4 n 타입 트랜지스터(MNR2)의 소스전극에는 기저전압(GND)이 공급된다. 제4 n 타입 트랜지스터(MNR2)의 드레인전극은 제6 스위치(S6)를 통해 제1 n 타입 트랜지스터(MN1)의 소스전극과 제2 n 타입 트랜지스터(MN2)의 드레인전극 사이의 노드에 접속된다. 제4 n 타입 트랜지스터(MNR2)는 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 변할 때 턴-온되어 출력 단자로부터 기저전압원 쪽으로 흐르는 전류량을 증가시킨다. 제6 스위치(S6)는 디지털 제어 데이터의 제6 비트(b6)에 응답하여 온/오프되어 제4 n 타입 트랜지스터(MNR2)의 드레인전극과 제1 n 타입 트랜지스터(MN1)의 소스전극 사이의 전류패스를 절환한다.

[0041] 제5 n 타입 트랜지스터(MNR3)의 소스전극에는 기저전압(GND)이 공급된다. 제5 n 타입 트랜지스터(MNR3)의 드레인전극은 제7 스위치(S7)를 통해 제1 n 타입 트랜지스터(MN1)의 소스전극과 제2 n 타입 트랜지스터(MN2)의 드레인전극 사이의 노드에 접속된다. 제5 n 타입 트랜지스터(MNR3)는 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 변할 때 턴-온되어 출력 단자로부터 기저전압원 쪽으로 흐르는 전류량을 증가시킨다. 제7 스위치(S7)는 디지털 제어 데이터의 제7 비트(b7)에 응답하여 온/오프되어 제5 n 타입 트랜지스터(MNR3)의 드레인전극과 제1 n 타입 트랜지스터(MN1)의 소스전극 사이의 전류패스를 절환한다.

[0042] 제6 n 타입 트랜지스터(MNR4)의 소스전극에는 기저전압(GND)이 공급된다. 제6 n 타입 트랜지스터(MNR4)의 드레인전극은 제8 스위치(S8)를 통해 제1 n 타입 트랜지스터(MN1)의 소스전극과 제2 n 타입 트랜지스터(MN2)의 드레인전극 사이의 노드에 접속된다. 제6 n 타입 트랜지스터(MNR4)는 디지털 입력신호(Vin)가 로우 로직 레벨로부터 하이 로직 레벨로 변할 때 턴-온되어 출력 단자로부터 기저전압원 쪽으로 흐르는 전류량을 증가시킨다. 제8 스위치(S8)는 디지털 제어 데이터의 제8 비트(b8)에 응답하여 온/오프되어 제6 n 타입 트랜지스터(MNR4)의 드레인전극과 제1 n 타입 트랜지스터(MN1)의 소스전극 사이의 전류패스를 절환한다.

[0043] 제3 내지 제6 p 타입 트랜지스터(MPR1~MPR4)과, 제3 내지 제6 n 타입 트랜지스터(MNR1~MNR4)는 디지털 제어 데이터에 응답하여 개별적으로 턴온된다. 따라서, 본 발명은 디지털 제어 데이터를 이용하여 인버터 회로의 슬류 레이트를 높이고 도 9와 같이 입력 데이터와 부하에 따라 그 슬류 레이트를 조절할 수 있다.

[0044] 본 발명의 인버터 회로는 최근 고품위 화질을 구현하기 위하여 패널의 해상도가 높아지고 데이터 전송 속도가 빨라지는 액정표시장치에서 디지털 신호의 비트 에러율을 줄이는데 효과적으로 적용될 수 있다.

[0045] 본원 출원인은 액정표시장치에서 타이밍 콘트롤러와 소스 드라이브 IC들 사이의 인터페이스로서 널리 이용되어 왔던 mini LVDS(Low Voltage Differential Signaling) 인터페이스 보다 데이터 배선수와 PCB 크기를 줄일 수 있는 새로운 인터페이스를 제안한 바 있다. 제안된 인터페이스 방법은 본원 출원인에 의해 기출원된 대한민국 특허출원 제10-2008-0127458호(2008.12.15), 대한민국 특허출원 제10-2008-0127456호(2008.12.15), 대한민국

특허출원 제10-2008-0132466호(2008.12.19), 대한민국 특허출원 제10-2008-0132479호(2008.12.23), 대한민국 특허출원 제10-2008-0132493호(2008.12.23), 대한민국 특허출원 제10-2009-0047672호(2009.05.29), 미국 특허출원 제12/543,996호(2009.08.19), 미국 특허출원 제12/461,652호(2009.08.19), 미국 특허출원 제12/537,341호(2009.08.07), 미국 특허출원 제12/554,763호(2009.09.04) 등에서 상세히 설명되었다. 도 10 내지 도 12는 제안된 인터페이스를 적용한 액정표시장치의 일 예를 나타낸다.

- [0046] 도 10 내지 도 12를 참조하면, 본 발명의 액정표시장치는 액정표시패널(LCP), 타이밍 콘트롤러(TCON), 하나 이상의 소스 드라이브 IC들(SIC#1~SIC#8), 및 게이트 드라이브 IC들(GIC)을 구비한다.
- [0047] 액정표시패널(LCP)의 유리기관들 사이에는 액정층이 형성된다. 액정표시패널(LCP)은 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(Clc)을 포함한다.
- [0048] 액정표시패널(LCP)의 하부 유리기관에는 데이터라인들(DL), 게이트라인들(GL), TFT(Thin Film Transistor)들, 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이가 형성된다. 액정셀들(Clc)은 TFT를 통해 데이터전압이 공급되는 화소전극과, 공통전압(Vcom)이 공급되는 공통전극 사이의 전계에 의해 구동된다. TFT의 게이트전극은 게이트라인(GL)에 접속되고, 그 드레인전극은 데이터라인(DL)에 접속된다. TFT의 소스전극은 액정셀의 화소전극에 접속된다. TFT는 게이트라인(GL)을 통해 공급되는 게이트펄스에 따라 턴-온되어 데이터라인(DL)으로부터의 정극성/부극성 아날로그 비디오 데이터전압을 액정셀(Clc)의 화소전극에 공급한다. 액정표시패널(LCP)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극 등이 형성된다.
- [0049] 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0050] 액정표시패널(LCP)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 액정표시패널(LCP)의 상부 유리기관과 하부 유리기관 사이에는 액정셀(Clc)의 셀갭(cell gap)을 유지하기 위한 스페이서가 형성될 수 있다.
- [0051] 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0052] 타이밍 콘트롤러(TCON)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 비디오 소스를 포함한 외부 SoC(System On Chip)로부터 수직/수평 동기신호(Vsync, Hsync), 외부 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 외부 타이밍신호를 입력받는다. 타이밍 콘트롤러(TCON)는 점 대 점(point to point) 형태로 소스 드라이브 IC들(SIC#1~SIC#8) 각각에 직렬로 접속된다.
- [0053] 타이밍 콘트롤러(TCON)는 RGB 디지털 비디오 데이터, 콘트롤 데이터 등의 데이터들을 차신호쌍(differential signal pair)으로 발생한다. 콘트롤 데이터는 소스 드라이브 IC들(SIC#1~SIC#8)로부터 출력되는 데이터전압의 출력 타이밍, 데이터전압의 극성 등을 제어하기 위한 소스 콘트롤 데이터를 포함한다. 콘트롤 데이터는 게이트 드라이브 IC(GIC)의 동작 타이밍을 제어하기 위한 게이트 콘트롤 데이터를 포함할 수 있다. 이와 다른 방법으로, 타이밍 콘트롤러(TCON)는 외부 Soc부터 입력되는 타이밍 신호들을 이용하여 게이트 드라이브 IC들(GIC)의 동작 타이밍을 제어하기 위한 별도의 게이트 콘트롤 신호들을 발생하고, 그 게이트 콘트롤 신호들을 데이터 배선쌍과 분리된 별도의 게이트 콘트롤 배선(도시하지 않음)을 통해 게이트 드라이브 IC들(GIC)로 전송할 수 있다.
- [0054] 타이밍 콘트롤러(TCON)는 RGB 디지털 비디오 데이터, 콘트롤 데이터 등의 데이터를 실선으로 나타낸 데이터 배선쌍을 통해 동시에 소스 드라이브 IC들(SIC#1~SIC#8)에 직렬로 전송한다. 타이밍 콘트롤러(TCON)는 외부 클럭 신호(EXTCLK)를 차신호쌍으로 발생하고, 그 외부 클럭신호(EXTCLK)를 점선으로 나타낸 클럭신호 배선쌍을 통해 하나 이상의 소스 드라이브 IC들(SIC#1~SIC#8)에 전송한다. 외부 클럭신호는 프레임기간 내에서 데이터가 존재하는 구간에 발생하는 노멀 클럭들과, 노멀 클럭보다 주기가 긴 스페셜 코드들(Special code)을 포함한다. 외부 클럭신호(EXTCLK)의 노멀 클럭들과 스페셜 코드들(Special code)은 RGB 디지털 비디오 데이터의 전송 주파수보다 낮은 전송 주파수로 전송된다. 스페셜 코드는 1 프레임기간이 시작되기 직전의 블랭크기간에 발생된다.

스페셜 코드는 노멀 클럭과 다른 주기를 가지며, 그 이후에 데이터가 소스 드라이브 IC들(SIC#1~SIC#8)로 전송된다는 것을 소스 드라이브 IC들(SIC#1~SIC#8)에 알리는 역할을 한다.

[0055] 외부 클럭신호(EXTCLK)의 노멀 클럭 주파수는 도 11과 같이 1 클럭당 1 개의 서브픽셀(sub-pixel) 데이터가 전송될 때 데이터 전송 주파수의 $1/N$ (N 은 RGB 디지털 비디오 데이터의 비트 수) 정도로 낮고, 1 클럭당 1 개의 픽셀(pixel) 데이터가 전송될 때 $1/(N*3)$, 3은 1 픽셀에 포함된 서브픽셀의 개수) 예를 들어, 1 클럭당 10 bit의 서브픽셀 데이터가 전송되면, 외부 클럭신호(EXTCLK)의 노멀 클럭 주파수는 데이터 전송 주파수의 $1/10$ 로 낮다. 또한, 1 클럭당 30 bit의 R, G 및 B 서브픽셀 데이터들이 전송되면, 외부 클럭신호(EXTCLK)의 노멀 클럭 주파수는 데이터 전송 주파수의 $1/30$ 로 더 낮아지게 된다.

[0056] 소스 드라이브 IC들(SIC#1~SIC#8)은 2 쌍의 데이터 배선쌍을 통해 타이밍 컨트롤러(TCON)와 점 대 점 형태로 연결된다. 소스 드라이브 IC들(SIC#1~SIC#8) 각각은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 액정표시패널(LCP)의 데이터라인들에 접속될 수 있다.

[0057] 소스 드라이브 IC들(SIC#1~SIC#8)과 타이밍 컨트롤러(TCON)는 클럭신호 배선쌍을 통해 캐스 캐이드(Cascade) 형태로 연결된다. 소스 드라이브 IC들(SIC#1~SIC#8)은 데이터 배선쌍을 통해 RGB 디지털 비디오 데이터와 콘트롤 데이터를 입력받고, 클럭신호 배선쌍을 통해 외부 클럭신호쌍을 입력받는다. 소스 드라이브 IC들(SIC#1~SIC#8)은 클럭신호 배선쌍을 통해 입력되는 외부 클럭신호쌍을 이웃한 소스 드라이브 IC로 전달한다. 소스 드라이브 IC들(SIC#1~SIC#8)은 외부 클럭신호쌍으로부터 외부 클럭신호(EXTCLK)를 복원하고, 위상 고정 루프(Phase locked loop 이하, "PLL"이라 함) 혹은 지연 락 루프(Delay Locked loop, 이하 "DLL"이라 함)를 이용하여 외부 클럭신호(EXTCLK)를 체배하거나 지연시켜 RGB 디지털 비디오 데이터의 비트수 $\times 2$ 개의 내부 클럭신호들을 발생한다. 그리고 소스 드라이브 IC들(SIC#1~SIC#8)은 복원된 내부 클럭신호들을 이용하여 RGB 디지털 비디오 데이터와 콘트롤 데이터를 샘플링하고 샘플링한 RGB 디지털 비디오 데이터를 병렬 데이터 체계로 변환한다.

[0058] 소스 드라이브 IC들(SIC#1~SIC#8)은 데이터 배선쌍을 통해 입력되는 콘트롤 데이터를 코드 맵핑 방식으로 디코딩하여 소스 콘트롤 데이터와 게이트 콘트롤 데이터를 복원한다. 소스 드라이브 IC들(SIC#1~SIC#8)은 소스 콘트롤 데이터에 따라 병렬 체계로 변환된 RGB 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 액정표시패널(LCP)의 데이터라인들(DL)에 공급한다. 소스 드라이브 IC들(SIC#1~SIC#8)은 게이트 콘트롤 데이터를 게이트 드라이브 IC(GIC) 중 하나 이상에 전송할 수 있다.

[0059] 게이트 드라이브 IC(GIC)는 TAP 공정을 통해 액정표시패널의 하부 유리기관의 게이트라인들에 연결되거나 GIP(Gate In Panel) 공정으로 액정표시패널(LCP)의 하부 유리기관 상에 직접 형성될 수 있다. 게이트 드라이브 IC(GIC)는 타이밍 컨트롤러(TCON)로부터 공급되거나, 소스 드라이브 IC들(SIC#1~SIC#8)을 통해 공급되는 게이트 콘트롤 데이터에 따라 게이트펄스를 게이트라인들(GL)에 순차적으로 공급한다. 게이트 콘트롤 데이터는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 제어한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 드라이브 IC(GIC) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC(GIC)의 출력 타이밍을 제어한다.

[0060] 소스 드라이브 IC들(SIC#1~SIC#8) 각각은 데이터 샘플링 및 직병렬 변환부(21), 디지털 아날로그 변환기(Digital to Analog Convertor, 이하 "DAC"라 함)(22), 및 출력회로(23) 등을 포함한다. 데이터 샘플링 및 직병렬 변환부(21)는 PLL 혹은 DLL을 이용하여 내부 클럭신호들을 발생하고 그 내부 클럭신호들에 따라 데이터 배선쌍을 통해 직렬로 입력되는 RGB 디지털 비디오 데이터를 샘플링하고 래치함으로써 병렬 데이터로 변환한다. 또한, 데이터 샘플링 및 직병렬 변환부(21)는 데이터 배선쌍을 통해 입력되는 콘트롤 데이터를 코드 맵핑 방식으로 복원하여 소스 콘트롤 데이터를 발생한다. 극성제어신호(POL)는 데이터라인들(D1~Dk)에 공급되는 정극성/부극성 아날로그 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 소스 드라이브 IC들(SIC#1~SIC#8)의 출력 타이밍을 제어한다. 콘트롤 데이터에 게이트 콘트롤 데이터가 인코딩된 경우에, 데이터 샘플링 및 직병렬 변환부(21)는 데이터 배선쌍을 통해 입력되는 콘트롤 데이터로부터 게이트 콘트롤 데이터를 복원하여 게이트 드라이브 IC(GIC)에 전송한다. 게이트 콘트롤 데이터는 게이트 스타트 펄스, 게이트 출력 인에이블 신호 등을 포함한다.

[0061] DAC(22)는 데이터 샘플링 및 직병렬 변환부(21)로부터의 RGB 디지털 비디오 데이터들을 정극성 감마보상전압(GH)과 부극성 감마보상전압(GL)으로 변환하여 정극성/부극성 아날로그 비디오 데이터전압을 발생한다. 그리고 DAC(22)는 극성제어신호(POL)에 응답하여 정극성/부극성 아날로그 비디오 데이터전압의 극성을 반전시킨다.

[0062] 출력회로(23)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 차지쉐어전압(Charge share voltage)이나 공통전압(Vcom)을 출력버퍼를 통해 데이터라인들(D1~Dk)에 공급한다. 출력회로(23)는 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 정극성/부극성 아날로그 비디오 데이전압을 출력버퍼를 통해 데이터라인들(D1~Dk)에 공급한다. 차지쉐어전압은 정극성 전압이 공급되는 데이터라인과 부극성 전압이 공급되는 데이터라인이 단락될 때 발생되며, 그 정극성 전압과 부극성 전압의 평균 전압 레벨을 갖는다.

[0063] 본 발명의 인버터 회로는 타이밍 컨트롤러(TCON)의 인터페이스 수신회로/송신회로, 타이밍 컨트롤러(TCON)에 내장된 딜레이셀 또는 VCO, 소스 드라이브 IC들(SIC#1~SIC#8)의 데이터/외부 클럭 수신회로, 소스 드라이브 IC들(SIC#1~SIC#8)에 내장된 딜레이셀 또는 VCO, 소스 드라이브 IC들(SIC#1~SIC#8)의 출력버퍼 등에 적용될 수 있다.

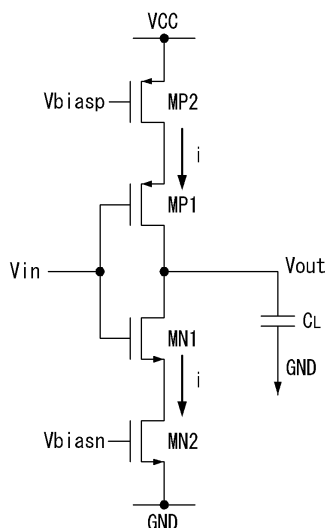
[0064] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

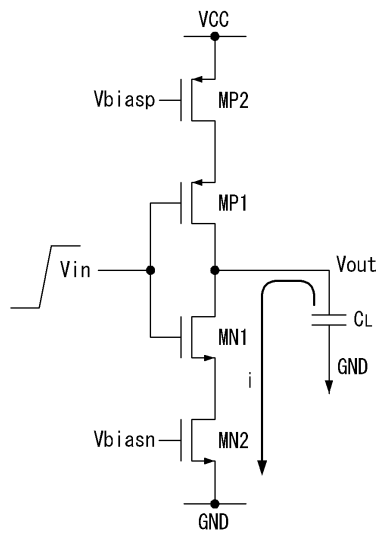
[0065]	TCON : 타이밍 컨트롤러	SIC : 소스 드라이브 IC
	GIC : 게이트 드라이브 IC	21 : 데이터 샘플링 및 직병렬 변환부
	22 : 디지털 아날로그 변환기(DAC)	23 : 출력회로
	MP1, MP2, MPR, MPR1~MPR4 : p 타입 트랜지스터	
	MN1, MN2, MNR, MNR1~MNR4 : n 타입 트랜지스터	
	C _L : 로드 커패시터	

도면

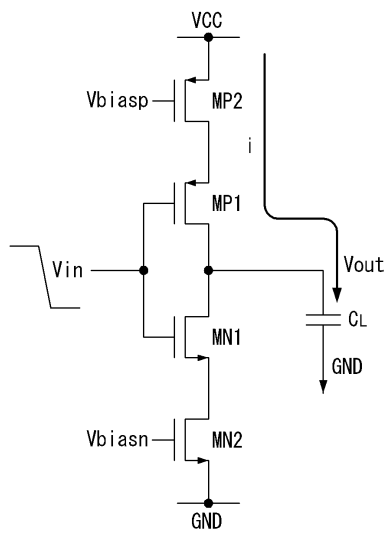
도면1



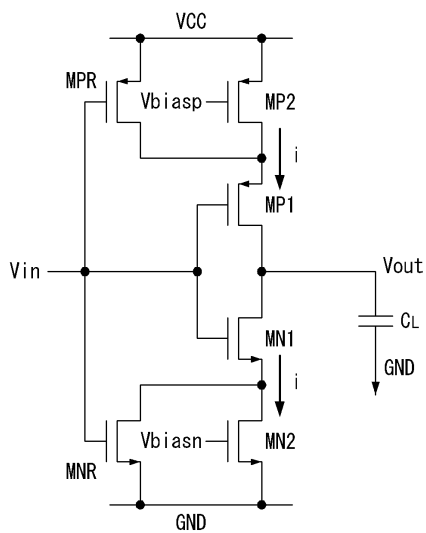
도면2



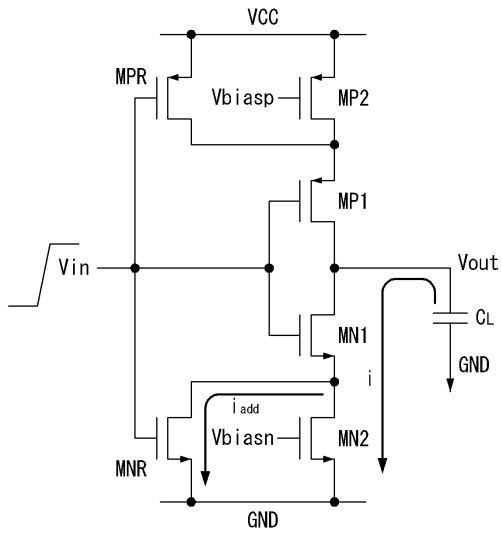
도면3



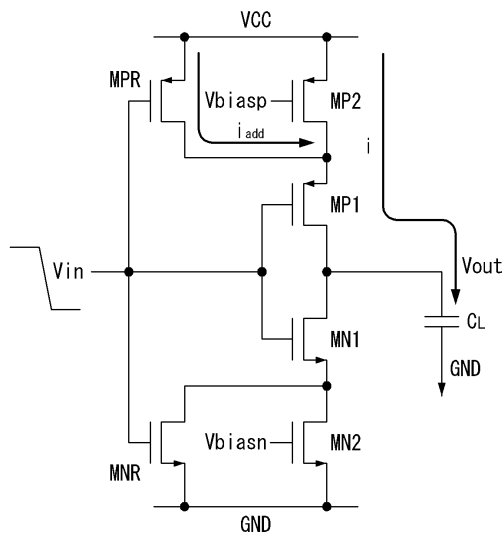
도면4



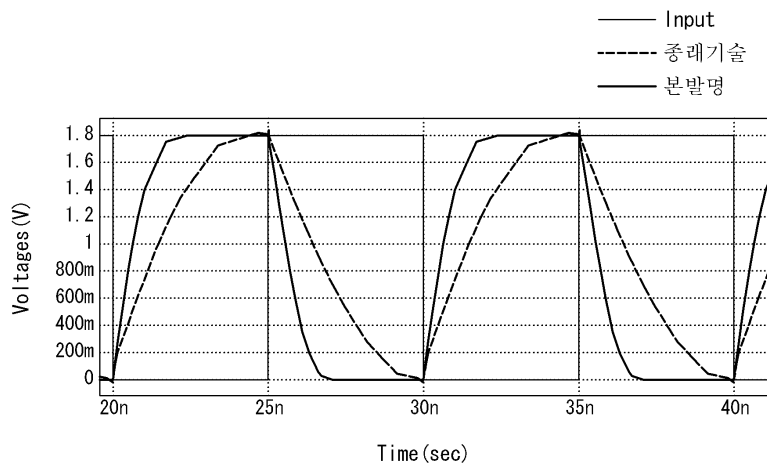
도면5



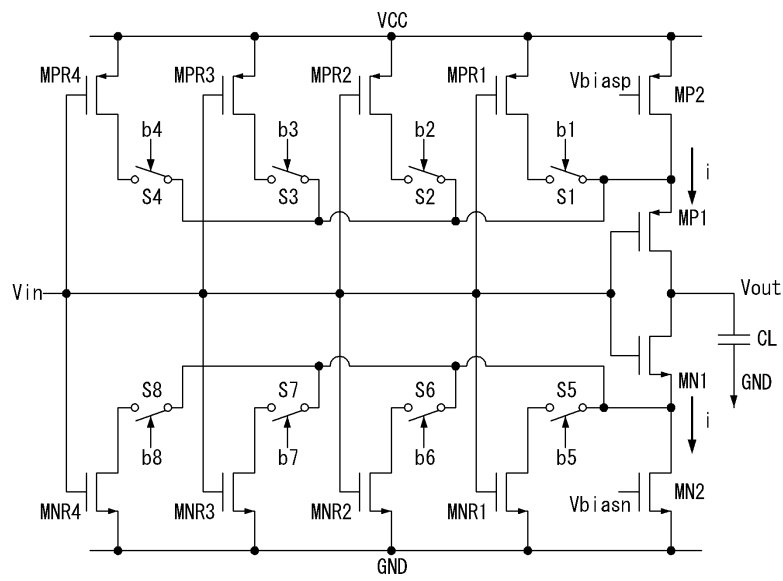
도면6



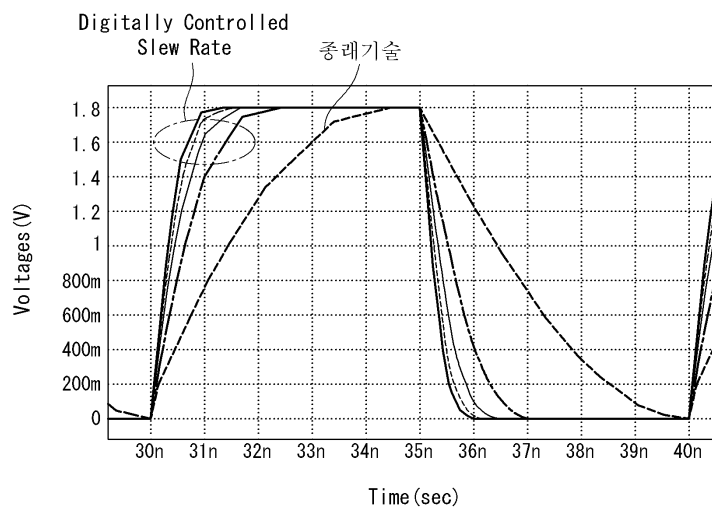
도면7



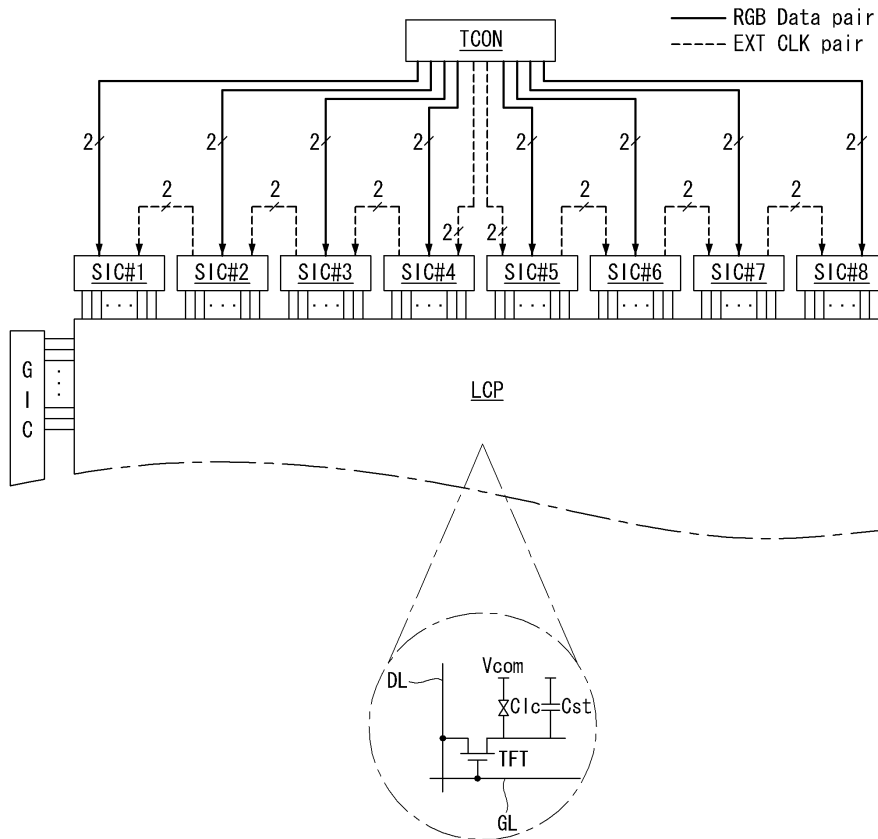
도면8



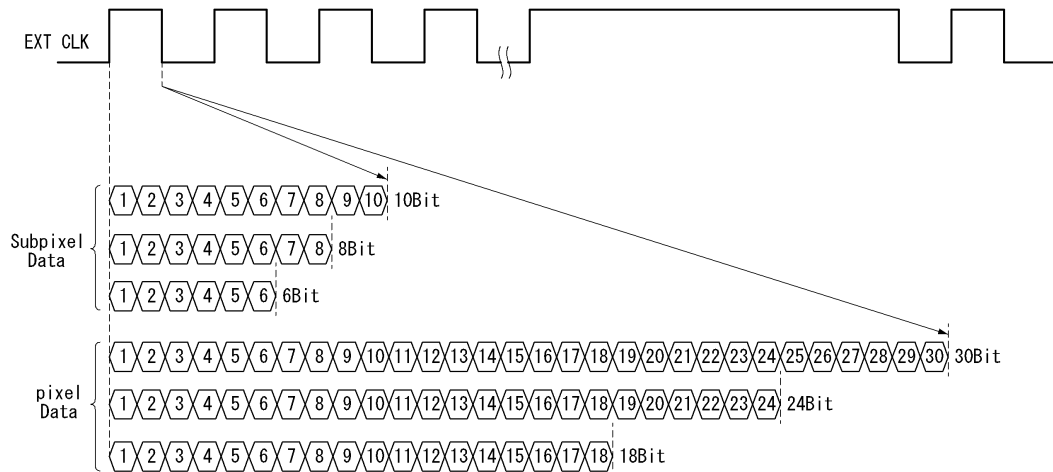
도면9



도면10

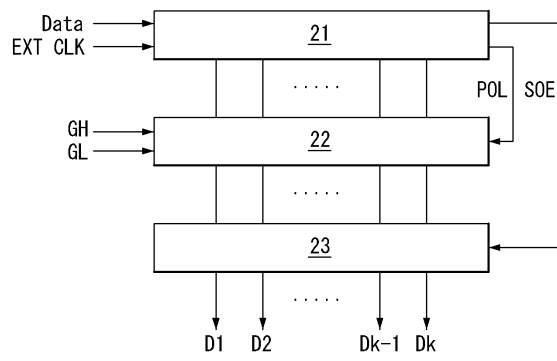


도면11



도면12

SIC



专利名称(译)	逆变器电路和使用该逆变器的液晶显示器		
公开(公告)号	KR1020120017198A	公开(公告)日	2012-02-28
申请号	KR1020100079744	申请日	2010-08-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SANG YONG 이상용 LIM JONG JIN 임종진 KIM KI SANG 김기상		
发明人	이상용 임종진 김기상		
IPC分类号	G09G3/36 G09G3/34		
CPC分类号	G09G3/36 G09G3/3648 G09G3/3426 G09G2320/0257 G09G2320/046		
其他公开文献	KR101696477B1		
外部链接	Espacenet		

摘要(译)

本发明涉及使用逆变器电路，因为这一液晶显示器，所述逆变器电路被接通时，这是输入通过输入端的数字输入信号是从高到低转换的转换 - 是上输出端升高电压键入第一个p型晶体管;第二p型晶体管，在高电位电源电压源和第一p型晶体管之间形成电流路径; 3，p型晶体管导通以使电流流从高电势电压源到输出端子导通，当输入信号是从高至低转变的过渡上;第一n型晶体管，用于在数字输入信号从低逻辑电平转变为高逻辑电平时导通输出端的电压;第二n型晶体管，形成低电位电源和第一n型晶体管之间的电流路径;和导通，当输入信号是从一个低逻辑电平到高逻辑电平的转变上 - 被接通和一个第二n型晶体管3流向低电位电源电压源，从所述输出端子的电流。专利公开10-2012-0017198

