



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월22일
 (11) 등록번호 10-2001890
 (24) 등록일자 2019년07월15일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)
 (21) 출원번호 10-2012-0109249
 (22) 출원일자 2012년09월28일
 심사청구일자 2017년09월01일
 (65) 공개번호 10-2014-0042983
 (43) 공개일자 2014년04월08일
 (56) 선행기술조사문헌
 W02009104322 A1*
 KR1020110031748 A*
 KR1020040095053 A*
 KR1020110076450 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
최정미
 경기도 파주시 책향기로 403 705동 406호 (동패동, 숲속길마을월드메르디앙센트럴파크아파트)
 (74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 8 항

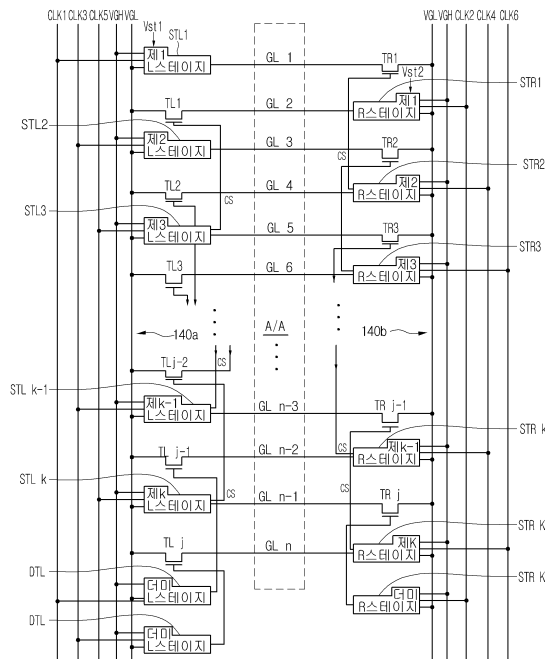
심사관 : 추장희

(54) 발명의 명칭 **액정표시장치**

(57) 요약

본 발명은 액정표시장치를 개시한다. 개시된 본 발명의 액정표시장치는, n(n은 자연수)개의 게이트 라인이 형성된 액정표시패널; 외부시스템으로부터 타이밍 신호를 인가받아 제1 내지 제6 클럭 신호를 생성하는 타이밍 제어부; 상기 제1, 제3 및 제5 클럭 신호들에 대응하여 게이트 하이전압을 상기 2n-1번째 게이트 라인의 일측에 인가(뒷면에 계속)

대표도 - 도3



하는 제1 게이트 구동부; 상기 제2, 제4 및 제6 클럭 신호들에 대응하여 상기 게이트 하이전압을 상기 2n번째 게이트 라인의 일측에 인가하는 제2 게이트 구동부; 상기 2n+1 번째 게이트 라인의 전압레벨에 대응하여 상기 2n-1 번째 게이트 라인의 타측에 게이트 로우전압을 인가하는 L-방전회로; 및 상기 2n+2 번째 게이트 라인의 전압레벨에 대응하여 상기 제2n 게이트 라인의 타측에 게이트 로우전압을 인가하는 R-방전회로를 포함하고, 상기 제 1 게이트 구동부는 게이트 하이전압을 출력하는 게이트 출력단과 상기 L-방전회로를 제어하는 캐리신호 출력단을 포함하는 다수개의 L-스태이지들을 포함하고, 상기 제 2 게이트 구동부는 게이트 하이전압을 출력하는 출력단과 상기 R-방전회로를 제어하는 캐리신호 출력단을 포함하는 R-스태이지들을 포함한다.

명세서

청구범위

청구항 1

n (n 은 자연수)개의 게이트 라인이 형성된 액정표시패널;

외부시스템으로부터 타이밍 신호를 인가받아 제1 내지 제6 클럭 신호를 생성하는 타이밍 제어부;

상기 제1, 제3 및 제5 클럭 신호들에 대응하여 게이트 하이전압을 $2k-1$ (k 는 n 보다 작은 자연수) 번째 게이트 라인의 일측에 인가하는 제1 게이트 구동부;

상기 제2, 제4 및 제6 클럭 신호들에 대응하여 상기 게이트 하이전압을 $2k$ 번째 게이트 라인의 일측에 인가하는 제2 게이트 구동부;

$2k+3$ 번째 게이트 라인의 전압레벨에 대응하여 상기 $2k$ 번째 게이트 라인의 타측에 게이트 로우전압을 인가하는 L-방전회로들; 및

$2k+2$ 번째 게이트 라인의 전압레벨에 대응하여 상기 $2k-1$ 번째 게이트 라인의 타측에 게이트 로우전압을 인가하는 R-방전회로들을 포함하고,

상기 제 1 게이트 구동부는 다수개의 L-스테이지를 포함하며, 상기 제 2 게이트 구동부는 다수개의 R-스테이지를 포함하고, 상기 L-스테이지들과 상기 R-스테이지들 각각은 게이트 하이전압을 출력하는 게이트 출력부와 L 또는 R-방전회로를 제어하는 캐리신호를 출력하는 캐리신호 출력부를 구비하며,

상기 R-방전회로들 각각은 제 1 게이트 구동부의 L-스테이지들과 각각 연결된 게이트 라인과 상기 제 2 게이트 구동부와 연결된 제 2 게이트 로우전압 공급라인 사이에 연결되고, 상기 L-방전회로들 각각은 제 2 게이트 구동부의 R-스테이지들과 각각 연결된 게이트 라인과 상기 제 1 게이트 구동부와 연결된 제 1 게이트 로우전압 공급라인 사이에 연결되며,

상기 L-방전회로는 상기 L-스테이지에서 출력되는 캐리신호와 상기 R-방전회로는 상기 R-스테이지에서 출력되는 캐리신호에 응답하여 각각 게이트 로우전압을 게이트 라인에 인가하는 액정표시장치.

청구항 2

제 1 항에 있어서, 상기 제1 내지 제6 클럭 신호는,

각각 3 수평기간(3H)의 하이구간을 가지며, 전후 신호간 2 수평기간(2H)이 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 제1 게이트 구동부는,

상기 L-방전회로와 연결되는 적어도 하나의 더미 L-스테이지를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서, 상기 L-방전회로는,

상기 2k 번째 게이트 라인과 연결된 제1 전극;

상기 제 1 게이트 로우전압 라인과 연결된 제2 전극; 및

상기 2k+3 번째 게이트 라인과 연결된 L-스테이지의 캐리신호 출력부와 연결된 게이트 전극을 포함하는 트랜지스터인 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서, 상기 게이트 출력부는 서로 직렬 연결된 제1 풀업 트랜지스터와 제1 풀다운 트랜지스터를 구비하고, 상기 캐리신호 출력부는 서로 직렬 연결된 제2 풀업 트랜지스터와 제2 풀다운 트랜지스터를 구비하며, 상기 게이트 출력부의 직렬 연결된 제 1 풀업 트랜지스터와 제 1 풀다운 트랜지스터와 상기 캐리신호 출력부의 직렬 연결된 제 2 풀업 트랜지스터와 제 2 풀다운 트랜지스터는 각각 양끝단이 서로 공통으로 연결된 병렬연결 구조인 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서, 상기 제2 게이트 구동부는,

상기 R-방전회로와 연결되는 적어도 하나의 더미 R-스테이지를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서, 상기 R-방전회로는,

상기 2k-1 번째 게이트 라인과 연결된 제1 전극;

상기 제 2 게이트 로우전압 라인과 연결된 제2 전극; 및

상기 2k+2 번째 게이트 라인과 연결되는 R-스테이지의 캐리신호 출력부와 연결된 게이트 전극을 포함하는 트랜지스터인 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서, 상기 제1 및 제2 게이트 구동부는,

상기 액정표시패널의 비표시영역에 내장되는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 게이트 라인들에 공급되는 게이트 구동전압의 특성을 개선한 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근, 전자정보 표시장치분야에서는 평판표시장치(Flat Display Device)가 기존의 음극선관 표시장치(CRT) 등을 대체하고 있으며, 이러한 평판표시장치로는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), FED(Field Emission Display) 및 OLED(Organic Light Emitting Diodes) 등이 있다. 이러한 평판표시장치들 중, 액정표시장치는 양산화 기술, 구동수단의 용이성, 고화질의 구현 및 대면적 화면의 실현이라는 이유로 인해 현재 가장 많이 사용되고 있다.

- [0003] 특히, 스위칭 소자로서 박막트랜지스터(Thin Film Transistor)가 이용되는 액티브 매트릭스(active matrix) 방식의 액정표시장치는 동적인 영상을 표시하기에 적합하다. 전술한 박막트랜지스터의 턴-온/오프 동작을 제어하기 위해, 통상의 액정표시장치에는 주사신호를 생성 및 제공하는 게이트 구동부가 구비되며, 화상의 계조를 나타내기 위한 데이터신호를 제공하는 데이터 구동부가 구비된다.
- [0004] 특히, 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor)가 이용되는 액티브 매트릭스(active matrix) 액정표시장치는 동적인 영상을 표시하기에 적합하다.
- [0005] 도 1은 종래의 액정표시장치의 기본 구성을 나타낸 블록도이다.
- [0006] 도시된 바와 같이, 종래의 액정표시장치는 화상을 표시하는 액정표시패널(1)과 구동부들(4,5)로 이루어진다.
- [0007] 액정표시패널(1)은 글라스를 이용한 기판 상에 다수의 게이트라인(GL)과 다수의 데이터라인(DL)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소를 정의하며, 화소에 인가되는 데이터신호에 따라 화상을 표시한다. 이러한 액정표시패널(1)은 화소가 형성되어 화상을 구현하는 표시영역(A/A)과, 표시영역(A/A)을 둘러싸는 비표시영역(N/A)으로 구분된다.
- [0008] 상기 구동부(4,5)는 게이트 구동부(4) 및 데이터 구동부(5)를 포함한다. 게이트 구동부(4)는 타이밍 제어부(미도시)로부터 공급되는 게이트 제어신호(GCS)에 응답하여 액정표시패널(1) 상에 배열된 화소의 스위칭 소자의 턴-온/오프(turn on/off)를 제어한다. 이러한 게이트 구동부(4)는 게이트라인(GL)을 통해 액정표시패널(1)에 게이트 구동전압(VG)을 출력하여 라인씩 순차적으로 화소의 스위칭 소자를 턴-온함으로써, 한 수평주기마다 데이터 구동부(5)로부터 공급되는 데이터신호가 화소에 공급되도록 한다.
- [0009] 데이터 구동부(5)는 타이밍 제어부로부터 공급되는 데이터 제어신호(DCS)에 응답하여 디지털 파형의 영상데이터를 아날로그 파형의 데이터신호로 변조한다. 다음으로, 하나의 수평기간에 해당하는 데이터신호는 수평주기마다 모든 데이터라인(DL)을 통해 동시에 액정표시패널(1)에 공급되어 각 화소가 화상의 계조를 표시하게 된다.
- [0010] 이러한 구조의 액정표시장치에서, 게이트 구동부(4)는 데이터 구동부(5)에 비해 상대적으로 그 구조가 단순하다는 특징이 있으며, 액정표시장치의 부피와 무게, 그리고 제조비용절감을 위해 게이트 구동부를 별도의 IC로 구현하여 액정표시패널에 본딩(bonding)하는 방식이 아닌, 액정표시패널의 기판제조시 박막트랜지스터의 형태로 함께 비표시영역(N/A) 상에 제조하는 게이트-인-패널(Gate-In-Panel, GIP)방식이 제안되었다.
- [0011] 또한, 액정표시장치는 액정 응답속도의 한계에 따라 화질이 저하되는 모션블러(motion blur) 특성이 있다. 이를 극복하기 위해, 액정표시장치의 구동주파수를 60Hz 가 아닌 120Hz 이상으로 적용하는 방식이 제안되었다. 그러나, 120Hz 이상으로 액정표시장치를 구동하게 되면 하나의 1 수평기간(1H)이 그만큼 짧아지게 됨에 따라, 각 화소의 스위칭 소자를 턴-온하는 시간을 확보하기 어렵게 된다.
- [0012] 이에 따라, 최근의 액정표시장치에는 도 1에 도시된 바와 같이 게이트 구동부(4)를 액정표시패널(10)의 좌우에 GIP 방식으로 내장하고, 각 전후 게이트 구동전압 간 오버랩 구간을 두어 게이트 라인에 대한 프리차징(pre-charging)을 통해 스위칭 소자가 안정적으로 턴-온되도록 하는 구조가 적용되고 있다.
- [0013] 하지만, 상기와 같이 게이트 구동전압 간 오버랩 구간을 두거나 구동주파수가 높아질 경우, 게이트 라인들에 인가된 게이트 구동전압을 신속하게 방전시키는데 한계가 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명은, 액정표시장치에 구비된 게이트 라인들을 각각에 대해 방전회로를 배치하여, 게이트 라인들에 공급된 게이트 구동전압들을 빠르게 방전하여 화질저하를 개선한 액정표시장치를 제공하는데 그 목적이 있다.
- [0015] 또한, 본 발명은, 듀얼 GIP 방식 액정표시장치의 게이트 구동부에 배치된 스테이지들에서 게이트 구동전압과 전단 게이트 라인에 배치된 방전회로를 제어하기 위한 캐리신호를 각각 분리하여 출력함으로써, 게이트 구동전압 방전지연을 방지한 액정표시장치를 제공하는데 다른 목적이 있다.
- [0016] 또한, 본 발명은, 듀얼 GIP 방식 액정표시장치에서 게이트 구동전압을 두 게이트 구동부에서 동시에 출력하는 것이 아닌 교번으로 출력하는 구조를 통해 스테이지의 개수를 줄임으로써, 게이트 구동부가 차지하는 영역을 최

소화할 수 있는 액정표시장치를 제공하는데 다른 목적이 있다.

과제의 해결 수단

[0017] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 액정표시장치는, n (n 은 자연수)개의 게이트 라인이 형성된 액정표시패널; 외부시스템으로부터 타이밍 신호를 인가받아 제1 내지 제6 클럭 신호를 생성하는 타이밍 제어부; 상기 제1, 제3 및 제5 클럭 신호들에 대응하여 게이트 하이전압을 상기 $2n-1$ 번째 게이트 라인의 일측에 인가하는 제1 게이트 구동부; 상기 제2, 제4 및 제6 클럭 신호들에 대응하여 상기 게이트 하이전압을 상기 $2n$ 번째 게이트 라인의 일측에 인가하는 제2 게이트 구동부; 상기 $2n+1$ 번째 게이트 라인의 전압레벨에 대응하여 상기 $2n-1$ 번째 게이트 라인의 타측에 게이트 로우전압을 인가하는 L-방전회로; 및 상기 $2n+2$ 번째 게이트 라인의 전압레벨에 대응하여 상기 제 $2n$ 게이트 라인의 타측에 게이트 로우전압을 인가하는 R-방전회로를 포함하고, 상기 제 1 게이트 구동부는 게이트 하이전압을 출력하는 게이트 출력단과 상기 L-방전회로를 제어하는 캐리신호 출력단을 포함하는 다수개의 L-스테이지들을 포함하고, 상기 제 2 게이트 구동부는 게이트 하이전압을 출력하는 출력단과 상기 R-방전회로를 제어하는 캐리신호 출력단을 포함하는 R-스테이지들을 포함한다.

발명의 효과

[0018] 본 발명에 따른 액정표시장치는, 액정표시장치에 구비된 게이트 라인들 각각에 대해 방전회로를 배치하여, 게이트 라인들에 공급된 게이트 구동전압들을 빠르게 방전하여 화질저하를 개선한 효과가 있다.

[0019] 또한, 본 발명에 따른 액정표시장치는, 액정표시장치의 게이트 구동부에 배치된 스테이지들에서 게이트 구동전압과 전단 게이트 라인에 배치된 방전회로를 제어하기 위한 캐리신호를 각각 분리하여 출력함으로써, 게이트 구동전압 방전지연을 방지한 효과가 있다.

[0020] 또한, 본 발명에 따른 액정표시장치는, 듀얼 GIP 방식 액정표시장치에서 게이트 구동전압을 두 게이트 구동부에서 동시에 출력하는 것이 아닌 교번으로 출력하는 구조를 통해 스테이지의 개수를 줄임으로써 게이트 구동부가 차지하는 영역을 최소화할 수 있는 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 종래의 액정표시장치의 기본 구성을 나타낸 블록도이다.
 도 2는 본 발명의 제1실시예에 따른 액정표시장치 및 그 구동부를 도시한 도면이다.
 도 3은 본 발명의 제1실시예에 따른 액정표시패널 상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.
 도 4a 및 도 4b는 본 발명의 제1실시예에 따른 액정표시장치의 게이트 구동부에 배치된 스테이지의 구조와 스테이지 출력부의 회로구조를 도시한 도면이다.
 도 5는 본 발명의 제1실시예에 따라 게이트 구동부의 n 번째 스테이지에서 출력되는 게이트 구동전압과 캐리신호를 비교한 도면이다.
 도 6은 본 발명의 제1실시예에 따른 액정표시장치의 게이트 라인들에 공급된 게이트 구동전압의 변화를 도시한 도면이다.
 도 7은 본 발명의 제2실시예에 따른 액정표시장치 및 그 구동부를 도시한 도면이다.
 도 8은 본 발명의 제2실시예에 따른 액정표시패널 상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.
 도 9는 본 발명의 제2실시예에 따른 액정표시장치의 게이트 라인들에 공급된 게이트 구동전압의 변화를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0023] 도 2는 본 발명의 제1실시예에 따른 액정표시장치 및 그 구동부를 도시한 도면이다.
- [0024] 도시된 바와 같이, 본 발명의 제1 실시예는 120Hz 동작시보다 안정적인 구동을 위해 6상의 클럭신호(CLK 1 ~ CLK 6)를 이용한 것이다.
- [0025] 본 발명의 제1 실시예에 따른 액정표시장치(100)는 액정표시패널(101)과, 외부시스템으로부터 타이밍 신호를 인가받아 각종 제어신호를 생성하는 타이밍 제어부(122)와, 제어신호에 대응하여 액정표시패널(101)을 제어하는 게이트 및 데이터구동부(140, 125)를 포함한다.
- [0026] 액정표시패널(101)은 글라스를 이용한 기관상에 다수의 게이트 라인(GL)과 다수의 데이터라인(DL)이 매트릭스 형태로 교차되고, 교차지점에 다수의 화소를 정의한다. 각 화소에는 박막트랜지스터(TFT)와 액정캐패시터(C1c) 및 스토리지캐패시터(Cst)가 구비되며, 모든 화소들은 하나의 표시영역(A/A)을 이루게 된다. 화소가 정의되지 않은 영역은 비표시영역(N/A)으로 구분된다.
- [0027] 상기 타이밍 제어부(122)는 외부시스템으로부터 전송되는 영상신호(RGB)와, 클럭신호(DCLK), 수평동기신호(Hsync), 수직동기신호(Vsync) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호를 인가받아 게이트 구동부(140) 및 데이터 구동부(125)의 제어신호를 생성한다.
- [0028] 여기서, 수평동기신호(Hsync)는 화면의 한 수평선을 표시하는 데 걸리는 시간을 나타내는 신호이고, 수직동기신호(Vsync)는 한 프레임의 화면을 표시하는 데 걸리는 시간을 나타내는 신호이다. 또한, 데이터 인에이블 신호(DE)는 액정표시패널(101)에 정의된 화소에 데이터전압을 공급하는 시간을 나타내는 신호이다.
- [0029] 상기 타이밍 제어부(122)는 입력되는 타이밍 신호에 동기화하여 게이트 구동부(140)의 제어신호(GCS) 및 데이터 구동부(125)의 제어신호(DCS)를 생성한다. 또한, 타이밍 제어부(122)는 게이트 구동부(140)의 각 스테이지의 구동 타이밍을 결정하는 복수의 클럭신호(CLK1 ~ CLK6)를 생성한다. 여기서, 제1 내지 제6 클럭신호(CLK 1 ~ CLK 6)는 하이구간이 3 수평기간(3H) 동안 진행되며, 서로 간 2 수평기간(2H)이 중첩되는 신호이다. 제1,3,5 클럭신호(CLK 1, CLK 3, CLK 5)는 제1 게이트 구동부(140a)에 제공되고, 제2,4,6 클럭신호(CLK 2, CLK 4, CLK 6)는 제2 게이트 구동부(140b)에 제공된다.
- [0030] 그리고, 타이밍 제어부(122)는 입력받은 영상데이터(RGB DATA)를 데이터 구동부(150)가 처리가능한 형태로 정렬 및 변조하여 출력한다. 여기서, 정렬된 영상 데이터(RGBv)는 화질개선을 위한 색좌표 보정 알고리즘이 적용된 형태일 수 있다.
- [0031] 게이트 구동부(140)는 액정표시패널(101)의 양단, 비표시영역(N/A)에 두 개가 구비된다. 각 게이트 구동부(140a, 140b)는 쉬프트레지스터를 포함하는 복수의 스테이지로 이루어진다. 이러한 게이트 구동부(140)는 액정표시패널(101)의 기관 제조시 박막 패턴 형태로 비표시영역 상에 게이트-인-패널(Gate-In-Panel, GIP)방식으로 내장된다.
- [0032] 상기 게이트 구동부(140: 140a, 140b)는 타이밍 제어부(122)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정표시패널(101)에 형성된 다수의 게이트 라인(GL 1 ~ GL n)을 통해 3 수평기간(3H)마다 교번으로 게이트 하이전압(VGH)을 출력한다. 여기서, 출력된 게이트 하이전압(VGH)은 3 수평기간(3H) 동안 유지되고 전후 게이트 하이전압(VGH)이 2 수평기간(2H) 동안 중첩된다. 이는 게이트 라인(GL1 ~ GL n)을 프리차징(pre-charging) 하기 위한 것으로, 데이터전압 인가시보다 안정적인 화소 충전을 진행할 수 있다.
- [0033] 이를 위해, 제1 게이트 구동부(140a)에는 각각 3 수평기간(3H)을 갖는 제1, 제3 및 제5 클럭신호(CLK 1, CLK 3, CLK 5)가 인가되고, 제2 게이트 구동부(140b)에는 이와 2 수평기간(2H)씩 중첩되며, 3 수평기간(3H)을 갖는 제2, 제4 및 제6 클럭신호(CLK 2, CLK 4, CLK 6)가 인가된다.
- [0034] 일 예로서, 제1 게이트 구동부(140a)가 n 번째 게이트 라인(GL n)으로 게이트 하이전압(VGH)을 출력하면, 1 수평기간(1H) 후 제2 게이트 구동부(140b)는 n+1번째 게이트 라인(GL n+1)으로 게이트 하이전압(VGH)을 출력하며,

1 수평기간(1H)후 제1 게이트 구동부(140a)가 n+2 번째 게이트 라인(GL n+2)으로 게이트 하이전압(VGH)을 출력한다.

- [0035] 다음으로, 1 수평기간(1H)후 제2 게이트 구동부(140b)가 n+3 번째 게이트 라인(GL n+3)으로 게이트 하이전압(VGH)을 출력하고, 이후 제1 게이트 구동부(140a)가 n+4 번째 게이트 라인(GL n+4)으로 게이트 하이전압(VGH)을 출력하는 동시에, 제1 게이트 구동부(140a)는 n 번째 게이트 라인(GL n)으로 게이트 로우전압(VGL)을 출력하여 박막 트랜지스터(TFT)를 턴-오프 함으로서 액정캐패시터(C1c)에 충전된 데이터전압이 1 프레임 동안 유지되도록 한다.
- [0036] 특히, 본 발명은 게이트 라인(GL n)의 전압이 게이트 하이전압(VGH)에서 로우전압(VGL)으로 전환되는 시점에 지연 없이 게이트 로우전압(VGL)이 공급될 수 있도록 각각의 게이트 라인들(G1,..Gn)에 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)를 배치하여, 게이트 구동전압의 방전지연을 방지하였다.
- [0037] 이에 따라, n 번째 게이트 라인(GL n)의 전압이 게이트 하이전압(VGH)에서 로우전압(VGL)으로 전환되는 시점에 게이트 로우전압(VGL)을 인가하는 방전회로(TLj, TRj)가 활성화되어 게이트 라인(GL n)을 방전시킴으로서 방전지연이 최소화된다.
- [0038] 전술한 방전회로는 각 게이트 라인(GL 1 ~ GL n)에 대응하여 그 끝단과 연결되며, 기수번째 게이트 라인(GL 2n-1)과 연결되는 R 방전회로(TR 1 ~ TR j, j는 자연수)는 제2 게이트 구동부(140b)에 인접하여 구비되고, 우수번째 게이트 라인(GL 2n)과 연결되는 L 방전회로(TL 1 ~ TL j)는 제1 게이트 구동부(140a)에 인접하여 구비된다.
- [0039] 여기서, 각 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)는 n번째 게이트 라인(GL n)을 기준으로 n+3번째 이후의 게이트 라인(GL n+3)에 게이트 구동전압을 공급하는 스테이지의 캐리신호(Carry Signal)에 의해 활성화된다. 본 발명의 게이트 구동부(140)에 배치되어 있는 스테이지들은 종래 기술과 달리 게이트 구동전압과 각 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)들을 활성화하기 위한 캐리신호를 독립적으로 출력한다.
- [0040] 따라서, 각 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)들이 활성화됨으로써, 이와 연결되어 있는 각각의 게이트 라인들에 게이트 로우전압(VGL)이 인가되는 구조이다. 또한, 본 발명의 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)는 게이트 구동부(140)를 구성하는 각 스테이지 사이에 박막트랜지스터로 형성된다. 이에 따라 각 게이트 구동부(140a, 140b)가 액정표시패널(101)의 비표시영역(N/A)에서 차지하는 면적이 줄어들게 된다.
- [0041] 이러한 게이트 구동부(140)의 스테이지 및 방전회로의 보다 상세한 구조를 후술하도록 한다.
- [0042] 데이터 구동부(125)는 타이밍 제어부(122)로부터 입력되는 데이터 제어신호(DCS)에 대응하여 입력되는 디지털 형태의 변조 영상데이터(RGBv)를 기준전압(Vref)에 따라 선택적으로 아날로그 형태의 데이터전압(VDATA)으로 변환한다. 데이터전압(VDATA)은 하나의 수평라인씩 래치되고, 하나의 수평기간(1H) 동안 모든 데이터 라인(DL 1 ~ DL m)을 통해 동시에 액정표시패널(101)에 입력된다.
- [0043] 전술한 구조에 따라, 본 발명의 실시예에 따른 통합형 구동회로를 포함하는 액정표시장치는 양 게이트 구동부에서 게이트 구동전압을 동시에 출력하는 것이 아닌 교번으로 출력하여 스테이지의 개수를 줄이되, 각 스테이지 사이에 별도의 방전수단을 구비하여 게이트 라인의 방전을 보조함으로써 방전기간 지연을 최소화한다.
- [0044] 이하, 도면을 참조하여 본 발명의 제1 실시예에 따른 게이트 구동부 및 방전회로의 구조를 보다 상세하게 설명하도록 한다.
- [0045] 도 3은 본 발명의 제1 실시예에 따른 액정표시패널 상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.
- [0046] 도시한 바와 같이, 본 발명의 게이트 구동부는 액정표시패널의 일단에 형성되는 제1 게이트 구동부(140a) 및 타단에 형성되는 제2 게이트 구동부(140b)를 포함한다. 또한, 방전회로는 제1 게이트 구동부(140a)의 각 스테이지 사이에 형성되는 복수의 L-방전 트랜지스터 (TL1 ~ TL j) 및 제2 게이트 구동부(140b)의 각 스테이지 사이에 형성되는 복수의 R-방전트랜지스터(TR 1 ~ TR j)를 포함한다.
- [0047] 각 스테이지에는 6상 방식으로 제1 내지 제6 클럭신호(CLK 1 ~ CLK 6)와, 게이트 하이전압(VGH), 다른 스테이지로부터 공급되는 캐리신호(CS) 및 게이트 로우전압(VGL)이 인가되며, 도시하지는 않았지만, 전원전압(VDD) 및 접지전압(GND)이 인가될 수 있다. 특히, 제1 내지 제6 클럭신호(CLK 1 ~ CLK 6)는 하이구간이 3 수평기간(3H) 동안 진행되며, 서로 2 수평기간(2H)이 중첩되는 신호이다. 또한, 게이트 하이전압(VGH)은 표시영역(A/A)의 박막 트랜지스터를 턴-온하는 전압이며, 상기 캐리신호(CS)는 스테이지로부터 직접출력되어 방전회로를 제어하는

신호이다. 또한, 게이트 로우전압(VGL)은 표시영역(A/A)의 박막트랜지스터를 턴-오프하는 전압이다.

- [0048] 본 발명의 게이트 구동부(140)를 구성하는 각각의 스테이지들은 종래 기술과 달리 게이트 구동전압(게이트 하이 전압)을 출력하는 게이트 출력단(Gate)과 인접한 게이트 라인들에 연결되어 있는 방전회로를 제어하는 캐리 신호를 출력하는 캐리신호 출력단을 포함한다. 본 발명의 구동부에 사용되는 스테이지의 구조는 도 4a 및 도 4b에서 상세하게 설명한다.
- [0049] 제1 게이트 구동부(140a)는 제1, 제3 및 제5 클럭신호(CLK 1, CLK 3, CLK 5)와, 게이트 하이전압(VGH), 캐리신호(CS) 및 게이트 로우전압(VGL)을 인가받으며, 게이트 스타트 펄스(GSP)에 대응하는 제1 스타트전압(Vst 1)에 따라 다수의 기수 게이트 라인(GL 2n-1)에 게이트 구동전압을 출력한다. 게이트 구동전압 중, 박막트랜지스터를 턴-온 하는 게이트 하이전압(VGH)은 3 수평기간(3H)씩 출력된다. 또한, 전후 게이트 하이전압(VGH)은 서로 2 수평기간(2H)씩 중첩된다.
- [0050] 이러한 제1 게이트 구동부(140a)는 출력단과 제1 스타트전압(Vst 1) 단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) L-스테이지(STL 1 ~ STL k)와, 두 개의 더미 L-스테이지(DTL)로 이루어진다.
- [0051] 제2 게이트 구동부(140b)는 제2, 제4 및 제6 클럭신호(CLK 2, CLK 4, CLK 6)와, 게이트 하이전압(VGH), 캐리신호(CS) 및 게이트 로우전압(VGL)을 인가받으며, 게이트 스타트 펄스(GSP)에 대응하는 제2 스타트전압(Vst 2)에 따라 다수의 우수번째 게이트 라인(GL 2n)에 게이트 구동전압을 출력한다.
- [0052] 이러한 제2 게이트 구동부(140b)는 출력단과 제2 스타트전압(Vst 2) 단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) R-스테이지(STL 1 ~ STL k)와, 제1 및 제2 더미 R-스테이지(DTR 1, DTR 2)로 이루어진다.
- [0053] 또한, 각 L-스테이지(STL 1 ~ STL k)와, 더미 L-스테이지(DTL) 사이에는 L-방전 트랜지스터(TL 1 ~ TL j)가 구비된다.
- [0054] 여기서, 전술한 더미 L,R-스테이지(DTL, DTR)는 이후의 L,R-스테이지(STLk, STR k)가 존재하지 않음에 따라, 마지막 방전 트랜지스터(방전회로)를 구동하기 위해 구비되는 것이다.
- [0055] L-방전 트랜지스터(TL 1 ~ TL j)의 제1 전극은 R-스테이지(STR 1 ~ STR k)의 출력단 및 더미 R-스테이지(DTR)의 출력단과 연결되는 우수번째 게이트 라인(GL 2n)과 연결된다. 게이트 전극은 제1 전극보다 후순위의 L 스테이지의 캐리신호 출력단과 연결된다. 그리고 L-방전 트랜지스터(TL 1 ~ TL j)의 제2 전극에는 게이트 로우전압(VGL) 공급라인이 연결된다.
- [0056] 즉, 제1 L-방전 트랜지스터(TL 1)의 제1 전극은 제2 게이트 라인(GL 2)과 연결되며, 게이트 전극은 제5 게이트 라인(GL 4)과 연결된 제3 스테이지(STL 3)의 캐리신호 출력단(CS)과 연결되고, 제2 전극에는 게이트로우전압(VGL)이 인가되는 구조이다.
- [0057] 또한, 각 R-스테이지(STR 1 ~ STR k)와 더미 R-스테이지(DTR) 사이에는 R-방전 트랜지스터(TR 1 ~ TR j)가 구비된다.
- [0058] R-방전 트랜지스터(TR 1 ~ TR j)의 제1 전극은 L-스테이지(STL 1 ~ STL k)의 출력단과 연결되는 기수번째 게이트 라인(GL 2n-1)과 연결된다. 게이트 전극은 제1 전극보다 후순위의 R 스테이지의 캐리신호 출력단과 연결된다. 그리고 R-방전 트랜지스터(TR 1 ~ TR j)의 제2 전극에는 게이트 로우전압(VGL) 공급라인이 연결된다.
- [0059] 즉, 제1 R-방전 트랜지스터(TR 1)의 제1 전극은 제1 게이트 라인(GL 1)과 연결되며, 게이트 전극은 제 3 게이트 라인에 게이트 하이전압을 공급하는 제 2 R 스테이지의 캐리신호 출력단과 연결되고, 제2 전극에는 게이트 로우전압(VGL)이 인가되는 구조이다.
- [0060] 이하, 전술한 구조의 6상 방식 게이트 구동부 및 방전회로의 구동방법을 설명하면 다음과 같다.
- [0061] 제1 및 제2 스타트전압(Vst 1, Vst2)이 각각 제1 및 제2 게이트 구동부(140a, 140b)에 인가되면, 먼저 제1 게이트 구동부(140a)의 제1 L-스테이지(STL 1)가 제1 클럭신호(CLK 1)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제1 게이트 라인(GL 1)으로 출력한다.
- [0062] 다음으로, 제2 게이트 구동부(140b)의 제1 R-스테이지(STR 1)가 제2 클럭신호(CLK 2)에 대응하여 2 수평기간(2H) 동안 게이트 출력단을 통해 게이트 하이전압(VGH)을 제2 게이트 라인(GL 2)으로 출력한다.
- [0063] 여기서, 제1 클럭신호(CLK 1)와 제2 클럭신호(CLK 2)는 2 수평기간(2H)동안 중첩되는 신호이며, 따라서 제1 게이트 라인(GL 1)에 인가된 게이트 하이전압(VGH)의 후반부와 제2 게이트 라인(GL 2)에 인가된 게이트 하이전압

(VGH)의 전반부는 2 수평기간(2H)이 중첩되게 된다.

- [0064] 다음으로, 제2 L-스테이지(STL 2)가 제3 클럭신호(CLK 3)에 대응하여 게이트 하이전압(VGH)을 제3 게이트 라인(GL 3)으로 출력하고, 이후, 제2 R-스테이지(STR 2)가 제4 클럭신호(CLK 4)에 대응하여 2 수평기간(2H)동안 게이트 하이전압(VGH)을 제4 게이트 라인(GL 4)으로 출력한다.
- [0065] 위에서 설명하고 있는 게이트 하이전압(VGH)은 본 발명의 스테이지의 게이트 출력단을 통해 출력되는 게이트 구동전압이다. 본 발명에서는 스테이지에 게이트 출력단과 캐리신호 출력단을 분리 배치하고, 게이트 출력단으로부터 게이트 하이전압(VGH)을 출력하고, 캐리신호 출력단으로부터 캐리신호(CS)를 출력한다. N번째 게이트 라인과 연결된 스테이지의 캐리신호(CS)는 동일 구동부 내의 N-3번째 게이트 라인에 연결된 방전회로를 제어한다.
- [0066] 이때, 제1 L-스테이지(STL 1)는 제1 클럭신호(CLK 1)에 대응하여 제1 게이트 라인(GL1)으로 게이트 로우전압(VGL)을 출력하고, 동시에 제1 게이트 라인(GL 1)의 끝단과 연결된 제1 R-방전 트랜지스터(TR 1)의 게이트 단에 제 2 R 스테이지(STR 2)로부터 출력하는 캐리신호(CS)가 인가된다. 따라서, 본 발명에서는 제1 R-방전 트랜지스터(TR 1)가 제2 R 스테이지(STR2)의 캐리신호(CS)에 의해 턴-온된다. 제1 방전 트랜지스터(TR 1)의 제2 전극은 게이트 로우전압(VGL) 라인과 연결되어 있으며, 따라서 제 1 게이트 라인(GL 1)에 충전된 게이트 하이전압(VGH)이 게이트 로우전압(VGL)으로 천이 된다.
- [0067] 즉, 제1 게이트 라인(GL 1)의 양측에서 동시에 게이트 로우전압(VGL)이 인가되어 라인 저항에 따른 신호지연이 최소화되며, 제1 게이트 라인(GL 1)은 방전 트랜지스터(방전회로)에 의해 신속하게 방전되게 된다.
- [0068] 또한, 게이트 하이전압(VGH)이 "하이" 상태에서 "로우" 상태로 천이 될 때, 지연을 최소화하기 위해 본 발명에서는 스테이지의 캐리신호(CS) 출력단에서 직접 출력되는 캐리신호(CS)를 방전 트랜지스터의 게이트 전극에 공급하였다.
- [0069] 종래 기술에서는 일반적으로 스테이지의 게이트 하이전압(VGH)을 제어 신호로 사용하는데, 게이트 하이전압(VGH)은 게이트 라인과 연결되어 있어, 많은 부하를 받고 있다. 그러므로 방전회로의 방전 트랜지스터를 턴-온하기 위해 공급되는 게이트 하이전압(VGH)도 게이트 라인과 연결된 상태에서는 더 큰 지연 값을 갖기 때문에 부하와 연결되지 않은 캐리신호(CS)에 의해 방전회로를 제어할 경우, 신속한 방전이 이루어질 수 있다.
- [0070] 도 4a 및 도 4b는 본 발명의 제1실시예에 따른 액정표시장치의 게이트 구동부에 배치된 스테이지의 구조와 스테이지 출력부의 회로구조를 도시한 도면이고, 도 5는 본 발명의 제1실시예에 따라 게이트 구동부의 n번째 스테이지에서 출력되는 게이트 구동전압과 캐리신호를 비교한 도면이다.
- [0071] 도면에 도시된 바와 같이, 본 발명의 게이트 구동부에 각각 형성되어 있는 스테이지는 클럭(CLK) 신호, 게이트 하이전압(VGH) 및 게이트 로우전압(VGL)을 입력신호로 공급받는 입력부(171)와, 입력부(171)의 신호들을 제어하는 제어부(172) 및 클럭신호를 이용하여 게이트 하이전압(VGH)을 출력하는 출력부(173)를 포함한다.
- [0072] 본 발명의 스테이지의 출력부(173)는 게이트 출력부(173a)와 캐리신호 출력부(173b)를 포함하고, 게이트 출력부(173a)는 제 1 풀업 트랜지스터(Trpu1)와 제 1 풀다운 트랜지스터(Trpud1)를 가질 수 있고, 캐리신호 출력부(173b)는 제 2 풀업 트랜지스터(Trpu2)와 제 2 풀다운 트랜지스터(Trpud2)를 가질 수 있다.
- [0073] 상기 게이트 출력부(173)는 클럭신호(CLK)의 제어에 따라 게이트 출력단에서 게이트 하이전압(VGH: 게이트 구동전압, Gate signal)을 출력하여, 스테이지와 연결되어 있는 게이트 라인에 게이트 하이전압(구동전압)(VGH)을 출력한다. 즉, 상기 게이트 하이전압(VGH)은 스테이지 내의 Q 노드의 제어신호에 따라 곧바로 연결된 게이트 라인에 게이트 하이전압이 공급된다.
- [0074] 또한, 상기 캐리신호 출력부(173b)는 클럭신호(CLK)의 제어에 따라 캐리신호 출력단에서 캐리신호(CS)를 출력하여, 현재 N번째 게이트 라인의 스테이지에서 N-3번째 게이트 라인에 연결되어 있는 방전회로(방전 트랜지스터)를 활성화한다.
- [0075] 마찬가지로 Q 노드의 제어신호에 따라 게이트 하이전압(VGH)과 동일한 형태의 전압이 캐리신호 출력부(173b)에서 출력되는데 캐리신호는 어느 게이트 라인들과 연결되어 있지 않고, 곧바로 다른 게이트 라인들에 연결되어 있는 방전회로를 제어하기 때문에 초기 지연없이 방전회로를 동작시킬 수 있다.
- [0076] 이로 인하여 각각의 게이트 라인들에 공급된 게이트 하이전압이 로우전압으로 지연 없이 신속하게 방전될 수 있다.
- [0077] 도 5에 도시된 바와 같이, Nth 스테이지의 게이트 출력단에서 출력되는 신호를 보면, "로우"에서 "하이"로 천이

되는 구간에 지연이 발생하지만, "하이"에서 "로우"로 천이 되는 경우에는 지연이 종래 기술(점선--)보다 개선되었음을 볼 수 있다.

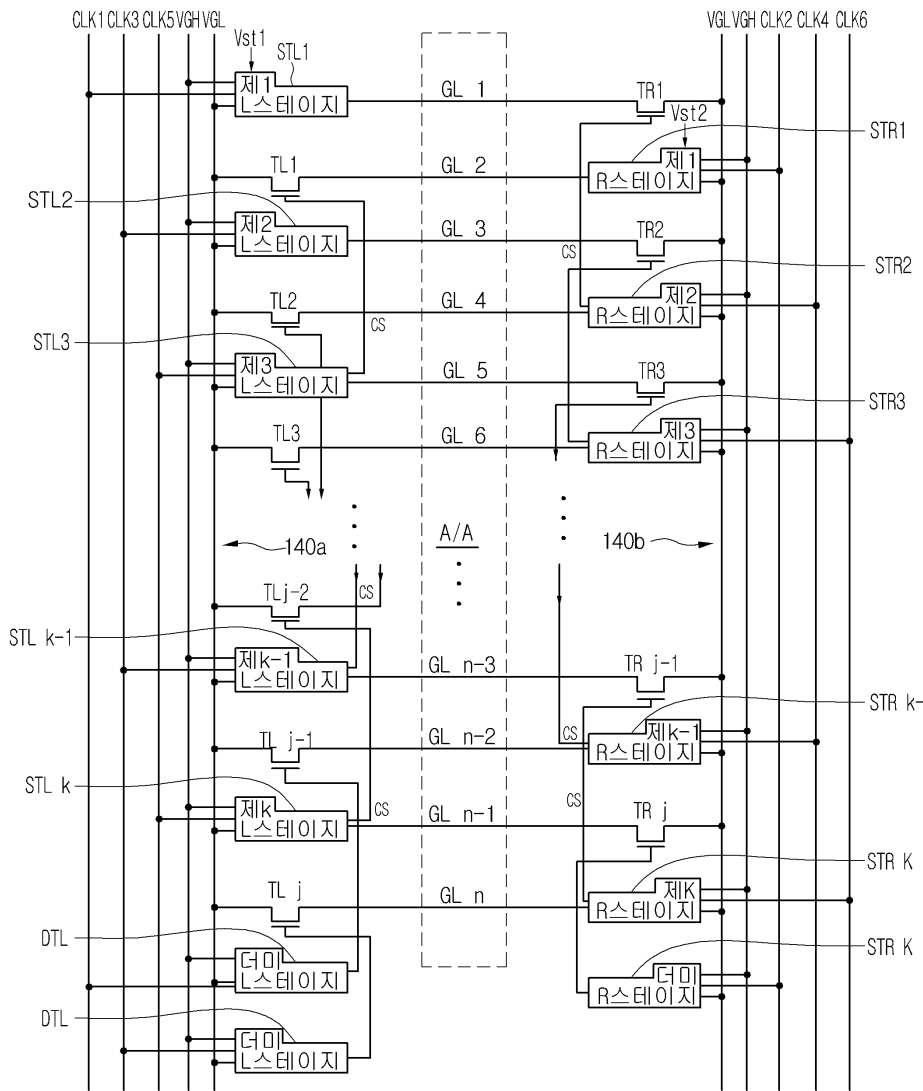
- [0078] 이것은, Nth 스테이지와 대응되는 N번째 게이트 라인에 연결된 방전회로에 N+3)번째 게이트 라인에 연결되어 있는 스테이지의 캐리신호(CS)에 의해 방전회로가 동작되기 때문에 N번째 게이트 라인에 공급된 게이트 하이전압(VGH)이 신속히 방전되기 때문이다.
- [0079] 즉, 스테이지 내에서 캐리신호와 게이트 하이전압(VGH)을 분리하지 않을 경우에는 방전회로를 활성화하는 제어 신호를 게이트 하이전압(VGH)으로 사용한다. 이럴 경우, Nth Gate 신호를 보면, 게이트 하이전압(VGH)은 초기 지연 값을 가지면서 "하이" 상태가 되기 때문에 방전회로의 턴-온/턴-오프도 초기 지연값 만큼 지연 동작하게 되어 점선과 같이 게이트 하이전압(VGH)이 신속하게 방전되지 못한다.
- [0080] 본 발명에서는 게이트 라인들에 연결되어 있는 방전회로를 스테이지와 게이트 라인이 연결되지 않은 캐리신호 출력단을 형성하고, 스테이지에서 생성된 캐리신호(CS)를 곧바로 방전회로에 공급하여 각각의 게이트 라인들(G1, ...Gn)에 공급된 게이트 하이전압(VGH)을 신속히 방전시키도록 하였다.
- [0081] 도 6은 본 발명의 제1실시예에 따른 액정표시장치의 게이트 라인들에 공급된 게이트 구동전압의 변화를 도시한 도면이다.
- [0082] 도 6 및 도 3을 참조하면, 본 발명의 제1 실시예에 따른 방전회로를 구비한 액정표시장치에서 각 게이트 라인(GL 1 ~ GL n)은 3 수평기간(3H) 동안 게이트 하이전압(VGH) 레벨로 충전된 후, 다시 게이트 로우전압(VGL) 레벨로 방전된다. 이때, 이웃한 게이트 라인(GL 1 ~ GL n) 간에는 2 수평기간(2H)씩 중첩되며, 동일 게이트 구동부와 연결되는 라인들간에는 1 수평기간(1H)씩 중첩된다. 여기서, 데이터전압(d)은 게이트 라인(GL n-1 ~ GL n)들 간 중첩기간 중, 1 수평기간(1H) 동안에 각 화소로 인가된다.
- [0083] 특히, 도시된 바와 같이 게이트 라인의 방전시에는 양측단으로 게이트 로우 전압(VGL)이 인가되어 급격한 경사 형태를 가지며, 게이트 로우전압(VGL) 레벨로 천이 되게 된다(c).
- [0084] 본 발명에서는 도 3에 도시된 바와 같이, 제 1 게이트 라인(GL1)에 연결되어 있는 제 1 R-방전 트랜지스터(TR 1)가 제4 게이트 라인(GL4)에 연결된 제 2 R 스테이지(STR2)의 캐리신호(CS)에 의해 턴-온되기 때문에 제 1 게이트 라인(GL 1)의 게이트 하이전압(VGH)이 "로우" 상태로 천이될 때, 지연 없이 곧 바로 방전된다. 점선(--))은 제 4 게이트 라인(GL)에 공급되는 게이트 하이전압(VHG)으로 제 1 R-방전 트랜지스터(TR1)가 턴온 되었을 경우, 게이트 하이전압(VHG)이 "하이"에서 "로우"로 천이될 때, 지연되는 문제점을 보인 것이다.
- [0085] 도면에 도시된 바와 같이, 제1 게이트 구동부(140a)와 제 2 게이트 구동부(140b)에 배치되어 있는 방전회로(L-방전 트랜지스터들과 R-방전 트랜지스터들)를 제어하는 캐리신호(CS)들의 전단이 게이트 하이전압(VHG)의 전단과 달리 매우 이상적으로 "로우" 상태에서 "하이" 상태로 천이 되는 것을 볼 수 있다.
- [0086] 따라서, 각각의 게이트 라인들(GL1,..GLn)에 연결되어 있는 방전 트랜지스터들은 각 스테이지들에서 공급되는 캐리신호들에 의해 신속하게 턴온/턴오프가 되어, 게이트 하이전압(VGH)을 지연 없이 방전시킨다.
- [0087] 도 7은 본 발명의 제2실시예에 따른 액정표시장치 및 그 구동부를 도시한 도면이다.
- [0088] 본 발명의 제2 실시예는 120Hz 동작시보다 안정적인 구동을 위해 4상의 클럭신호(CLK 1 ~ CLK 4)를 이용한 것이다. 따라서, 제1 실시예에서 설명한 게이트 구동부에 배치되어 있는 각각의 스테이지들의 구조는 제2 실시예에 동일하게 적용된다. 이하, 제 1 실시예와 구별되는 부분을 중심으로 설명한다.
- [0089] 도면에 도시된 바와 같이, 본 발명의 액정표시장치는 화상을 표시하는 액정표시패널(201)과, 외부시스템으로부터 타이밍 신호를 인가받아 각종 제어신호를 생성하는 타이밍 제어부(220)와, 제어신호에 대응하여 액정표시패널(201)을 제어하는 게이트 및 데이터구동부(240,250)를 포함한다.
- [0090] 그 밖에 타이밍 제어부(220)는 게이트 구동부(240)의 각 스테이지의 구동 타이밍을 결정하는 복수의 클럭신호(CLK 1 ~ CLK 4)를 생성하고, 게이트 구동부(240)에 제공한다. 여기서, 제1 내지 제4 클럭신호(CLK 1 ~ CLK 4)는 하이구간이 2 수평기간(2H) 동안 진행되며, 서로간 1 수평기간(1H)이 중첩되는 신호이다.
- [0091] 게이트 구동부(240)는 액정표시패널(201)의 양단, 비표시영역(N/A)에 두 개가 구비된다. 각 게이트 구동부(240a, 240b)는 쉬프트레지스터를 포함하는 복수의 스테이지로 이루어진다.

- [0092] 이러한 제1 및 제2 게이트 구동부(240a, 240b)는 타이밍 제어부(220)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 액정표시패널(201)에 형성된 다수의 게이트 라인(GL 1 ~ GL n)을 통해 2 수평기간(2H)마다 교번으로 게이트 하이전압(VGH)을 출력한다. 여기서, 출력된 게이트 하이전압(VGH)은 2 수평기간(2H)동안 유지되고 전후 게이트 하이전압(VGH)이 1 수평기간(1H) 동안 중첩된다. 이는 게이트 라인(GL1 ~ GL n)을 프리차징(pre-charging)하기 위한 것으로, 데이터전압 인가시보다 안정적인 화소 충전을 진행할 수 있다. 이를 위해, 제1 게이트 구동부(240a)에는 각각 2 수평기간(2H)을 갖는 제1 및 제3 클록신호(CLK 1, CLK 3)가 인가되고, 제2 게이트 구동부(240b)에는 제1 및 제3 클록신호(CLK 1, CLK 3)와 1 수평기간(1H)이 중첩되며, 2 수평기간(2H)을 갖는 제2 및 제4 클록신호(CLK 2, CLK 4)가 인가된다.
- [0093] 일 예로서, 제1 게이트 구동부(240a)가 n 번째 게이트 라인(GL n)으로 게이트 하이전압(VGH)을 출력하면, 1 수평기간(1H) 후 제2 게이트 구동부(240b)는 n+1
- [0094] 번째 게이트 라인(GL n+1)으로 게이트 하이전압(VGH)을 출력한다.
- [0095] 다음으로, 1 수평기간(1H) 후 다시 제1 게이트 구동부(240a)가 n+2 번째 게이트 라인(GL n+2)으로 게이트 하이전압(VGH)을 출력하면, 이와 동시에 제1 게이트 구동부(240a)는 n 번째 게이트 라인(GL n)으로 게이트 로우전압(VGL)을 출력하여 박막 트랜지스터(TFT)를 턴-오프 함으로서 액정캐패시터(C1c)에 충전된 데이터전압이 1 프레임 동안 유지되도록 한다. 제 2 게이트 구동부(240b)의 경우에도 제 1 게이트 구동부(240a) 동일하게 동작하되, 게이트 라인들이 서로 교대로 연결되어 있다. 이와 관련된 구체적인 설명은 제 1 실시예를 참조한다.
- [0096] 특히, 본 발명은 게이트 라인(GL n)의 전압이 게이트 하이전압(VGH)에서 로우전압(VGL)으로 전환되는 시점에 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)를 더 구비하여 게이트 라인(GL n)의 방전지연을 최소화하는 것을 특징으로 한다. 전술한 방전회로는 각 게이트 라인(GL 1 ~ GL n)에 대응하여 그 끝단과 연결되며, 기수번째 게이트 라인(GL 2n-1)과 연결되는 R 방전회로(TR 1 ~ TR j, j는 자연수)는 제2 게이트 구동부(240b)에 인접하여 구비되고, 우수번째 게이트 라인(GL 2n)과 연결되는 L 방전회로(TL 1 ~ TL j)는 제1 게이트 구동부(240a)에 인접하여 구비된다.
- [0097] 본 발명에서는 게이트 구동부(240)의 각 스테이지도 도 4a 및 도 4b와 같이 게이트 출력단과 캐리신호(CS) 출력단을 형성하고, 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)를 초기 지연이 없는 캐리신호(CS)에 의해 제어하도록 하였다.
- [0098] 도 8은 본 발명의 제2 실시예에 따른 액정표시패널 상에 형성된 게이트 구동부 및 방전회로의 구조를 도시한 도면이다.
- [0099] 도시한 바와 같이, 본 발명의 게이트 구동부는 액정표시패널의 일단에 형성되는 제1 게이트 구동부(240a) 및 타단에 형성되는 제2 게이트 구동부(240b)를 포함한다. 또한, 방전회로는 제1 게이트 구동부(240a)의 각 스테이지 사이에 형성되는 복수의 L-방전 트랜지스터 (TL1 ~ TL j) 및 제2 게이트 구동부(240b)의 각 스테이지 사이에 형성되는 복수의 R-방전트랜지스터(TR 1 ~ TR j)를 포함한다.
- [0100] 각 스테이지에는 4상 방식으로 제1 내지 제4 클록신호(CLK 1 ~ CLK 4)와, 게이트 하이전압(VGH), 다른 스테이지로부터 공급되는 캐리신호(CS) 및 게이트 로우전압(VGL)이 인가되며, 도시하지는 않았지만, 전원전압(VDD) 및 접지전압(GND)이 인가될 수 있다. 특히, 제1 내지 제4 클록신호(CLK 1 ~ CLK 4)는 하이구간이 2 수평기간(2H) 동안 진행되며, 서로 1 수평기간(1H)이 중첩되는 신호이다.
- [0101] 본 발명의 게이트 구동부(240)를 구성하는 각각의 스테이지들은 종래 기술과 달리 게이트 구동전압(게이트 하이전압)을 출력하는 게이트 출력단(Gate)과 인접한 게이트 라인들에 연결되어 있는 방전회로를 제어하는 캐리신호를 출력하는 캐리신호 출력단을 포함한다.(도 4a 및 도 4b 참조)
- [0102] 제1 게이트 구동부(240a)는 제1 및 제3 클록신호(CLK 1, CLK 3)와, 게이트 하이전압(VGH), 캐리신호(CS) 및 게이트 로우전압(VGL)을 인가받으며, 게이트 스타트 펄스(GSP)에 대응하는 제1 스타트전압(Vst 1)에 따라 다수의 기수 게이트 라인(GL 2n-1)에 게이트 구동전압을 출력한다. 게이트 구동전압 중, 박막트랜지스터를 턴-온 하는 게이트 하이전압(VGH)은 2 수평기간(2H)씩 출력된다. 또한, 전후 게이트 하이전압(VGH)은 서로 1 수평기간(1H)씩 중첩된다.
- [0103] 이러한 제1 게이트 구동부(240a)는 출력단과 제1 스타트전압(Vst 1) 단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) L-스테이지(STL 1 ~ STL k)와, 두 개의 더미 L-스테이지(DTL)로 이루어진다.
- [0104] 제2 게이트 구동부(240b)는 제2 및 제4 클록신호(CLK 2, CLK 4)와, 게이트 하이전압(VGH), 캐리신호(CS) 및 게

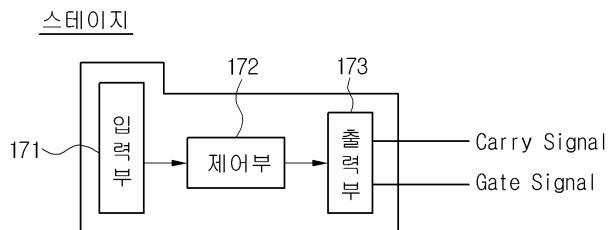
이트 로우전압(VGL)을 인가 받으며, 게이트 스타트 펄스(GSP)에 대응하는 제2 스타트전압(Vst 2)에 따라 다수의 우수번째 게이트 라인(GL 2n)에 게이트 구동전압을 출력한다.

- [0105] 이러한 제2 게이트 구동부(240b)는 출력단과 제2 스타트전압(Vst 2)단이 서로 연결된 복수의 제1 내지 제k(k는 자연수) R-스테이지(STL 1 ~ STL k)와, 제1 및 제2 더미 R-스테이지(DTR 1, DTR 2)로 이루어진다.
- [0106] 또한, 각 L-스테이지(STL 1 ~ STL k)와, 더미 L-스테이지(DTL)사이에는 L-방전 트랜지스터(TL 1 ~ TL j)가 구비된다.
- [0107] L-방전 트랜지스터(TL 1 ~ TL j)의 제1 전극은 R-스테이지(STR 1 ~ STR k)의 출력단 및 더미 R-스테이지(DTR)의 출력단과 연결되는 우수번째 게이트 라인(GL 2n)과 연결된다. 게이트 전극은 제1 전극보다 후순위의 L 스테이지의 캐리신호 출력단과 연결된다. 그리고 L-방전 트랜지스터(TL 1 ~ TL j)의 제2 전극에는 게이트 로우전압(VGL) 공급라인이 연결된다.
- [0108] 즉, 제1 L-방전 트랜지스터(TL 1)의 제1 전극은 제2 게이트 라인(GL 2)과 연결되며, 게이트 전극은 제4 게이트 라인(GL 4)과 연결된 제2 R 스테이지(STL 2)의 캐리신호 출력단(CS)과 연결되고, 제2 전극에는 게이트로우전압(VGL)이 인가되는 구조이다.
- [0109] 또한, 각 R-스테이지(STR 1 ~ STR k)와 더미 R-스테이지(DTR) 사이에는 R-방전 트랜지스터(TR 1 ~ TR j)가 구비된다.
- [0110] R-방전 트랜지스터(TR 1 ~ TR j)의 제1 전극은 L-스테이지(STL 1 ~ STL k)의 출력단과 연결되는 기수번째 게이트 라인(GL 2n-1)과 연결된다. 게이트 전극은 제1 전극보다 후순위의 제2 L 스테이지의 캐리신호 출력단과 연결된다. 그리고 R-방전 트랜지스터(TR 1 ~ TR j)의 제2 전극에는 게이트 로우전압(VGL) 공급라인이 연결된다.
- [0111] 즉, 제1 R-방전 트랜지스터(TR 1)의 제1 전극은 제1 게이트 라인(GL 1)과 연결되며, 게이트 전극은 제 3 게이트 라인에 게이트 하이전압을 공급하는 제 2 L 스테이지의 캐리신호 출력단과 연결되고, 제2 전극에는 게이트 로우전압(VGL)이 인가되는 구조이다.
- [0112] 본 발명의 제2 실시예는 제 1 실시예의 동작과 동일한 동작을 하지만, 4상 클럭신호(CLK1~CLK4)에 의해 제 1 게이트 라인(GL1)에 연결되어 있는 제1 R-방전 트랜지스터(TR1)의 턴-온 신호를 반대편 제2 L-스테이지(STL 2)의 캐리신호(CS)로 사용한다.
- [0113] 또한, 제 2 게이트 라인(GL2)에 연결되어 있는 제1 L-방전 트랜지스터(TL1)의 턴-온 신호는 반대편 제 2 R-스테이지(STR 2)의 캐리신호(CS)를 사용한다.
- [0114] 즉, 각각의 게이트 라인들(GL1,..GLn)에 연결되어 있는 방전회로(TL 1 ~ TL j, TR 1 ~ TR j)를 게이트 라인들에 공급되는 게이트 하이전압(VGH)을 사용하지 않고, 각각의 스테이지로부터 독립적으로 출력되는 캐리신호(CS)를 사용하여 게이트 하이전압(VGH)의 지연을 방지하였다.
- [0115] 도 9는 본 발명의 제2실시예에 따른 액정표시장치의 게이트 라인들에 공급된 게이트 구동전압의 변화를 도시한 도면이다.
- [0116] 도 8 및 도 9를 참조하면, 본 발명의 제2 실시예에 따른 방전회로를 구비한 액정표시장치에서 각 게이트 라인(GL 1 ~ GL n)은 2 수평기간(2H) 동안 게이트 하이전압(VGH)레벨로 충전된 후, 다시 게이트 로우전압(VGL)레벨로 방전된다. 이때, 이웃한 게이트 라인(GL 1 ~ GL n)간에는 1 수평기간(1H)씩 중첩되며, 동일 게이트 구동부와 연결되는 라인들간에는 1 수평기간(1H)씩 중첩된다. 여기서, 데이터전압(d)은 게이트 라인(GL n-1 ~ GL n)들간 중첩기간 중, 1 수평기간(1H)동안에 각 화소로 인가된다.
- [0117] 특히, 도시된 바와 같이 게이트 라인의 방전시에는 양측단으로 게이트 로우 전압(VGL)이 인가되어 급격한 경사 형태를 가지며, 게이트 로우전압(VGL)레벨로 천이되게 된다(F).
- [0118] 본 발명에서는 도 8에 도시된 바와 같이, 제 1 게이트 라인(GL1)에 연결되어 있는 제 1 R-방전 트랜지스터(TR 1)가 제3 게이트 라인(GL3)에 연결된 제 2 L 스테이지(STL2)의 캐리신호(CS)에 의해 턴-온되기 때문에 제 1 게이트 라인(GL 1)의 게이트 하이전압(VHG)이 "로우" 상태로 천이될 때, 지연 없이 곧 바로 방전된다. 점선(Y:-)은 제 3 게이트 라인(GL)에 공급되는 게이트 하이전압(VHG)으로 제 1 R-방전 트랜지스터(TR1)는 턴온하였을 경우, 게이트 하이전압(VHG)이 "하이"에서 "로우"로 천이될 때, 지연되는 문제점을 보인 것이다.
- [0119] 도면에 도시된 바와 같이, 제1 게이트 구동부(240a)와 제 2 게이트 구동부(240b)에 배치되어 있는 방전회로(L-

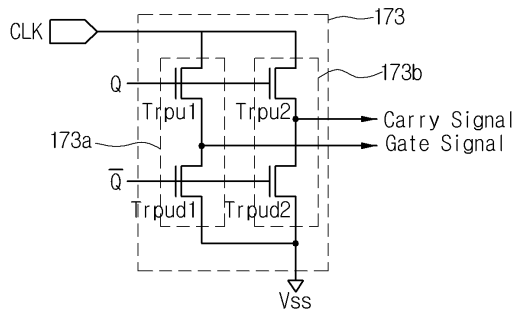
도면3



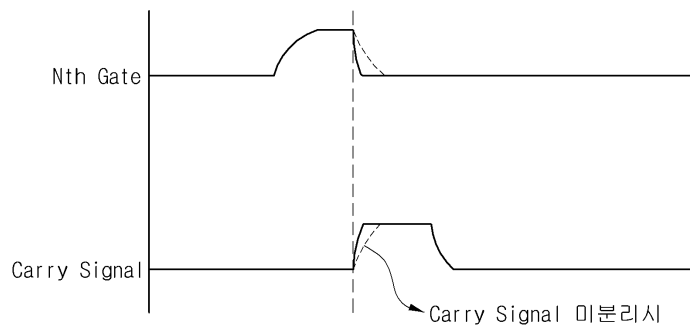
도면4a



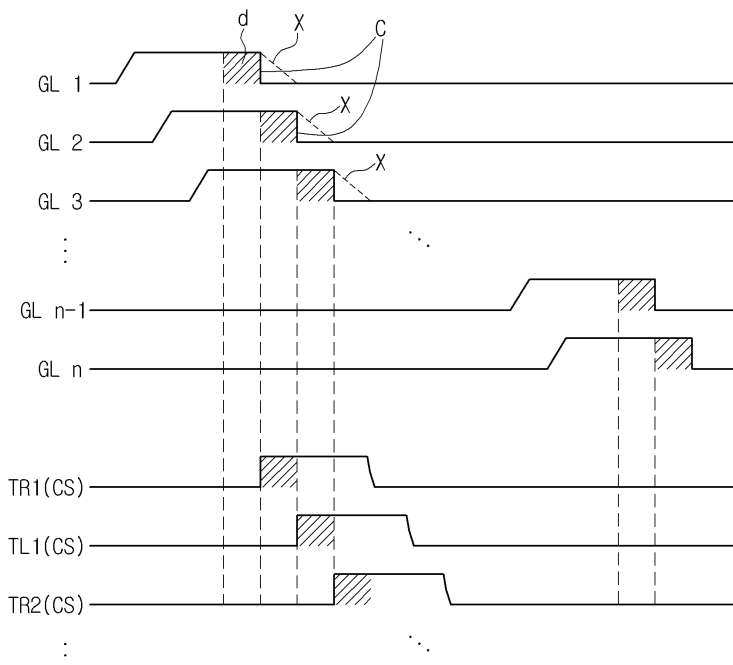
도면4b



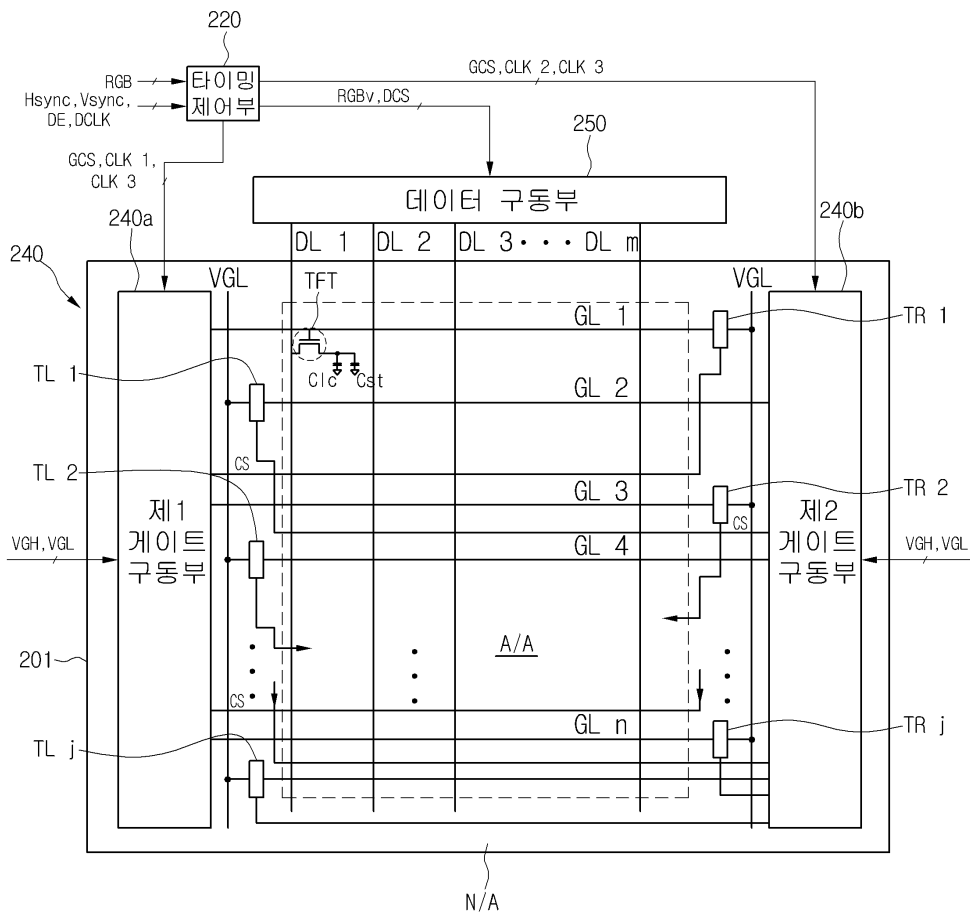
도면5



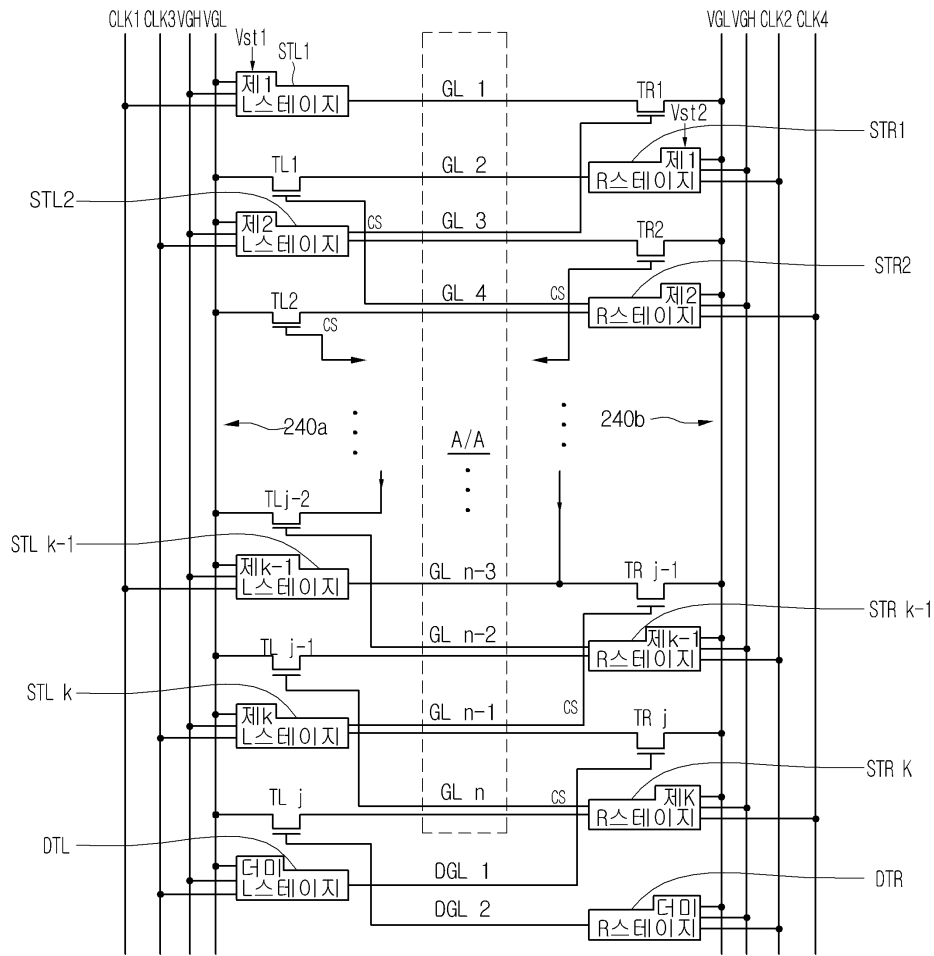
도면6



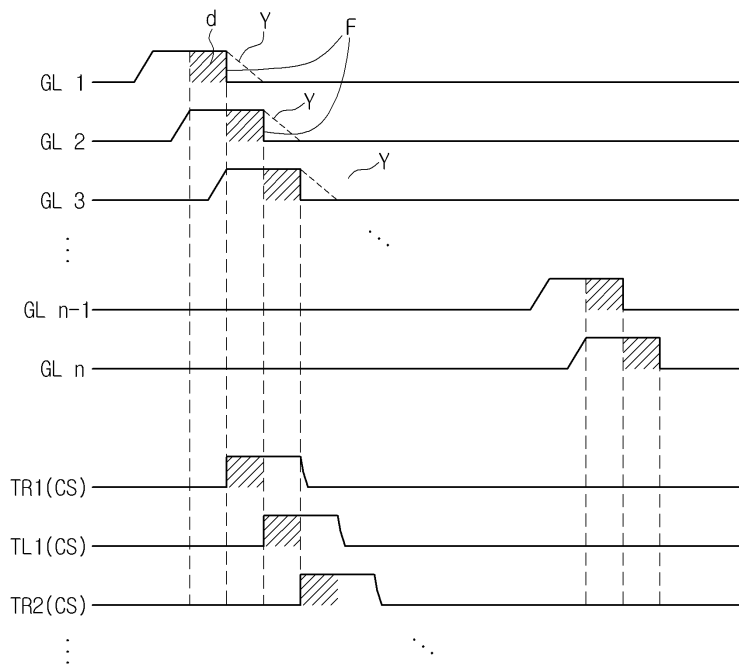
도면7



도면8



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR102001890B1	公开(公告)日	2019-07-22
申请号	KR1020120109249	申请日	2012-09-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최정미		
发明人	최정미		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3696 G09G3/3655 G09G3/3659 G09G3/3677 G09G3/3688 G09G2310/0251 G09G2310/0286 G09G2320/02 G11C19/287		
审查员(译)	酋长姬		
其他公开文献	KR1020140042983A		
外部链接	Espacenet		

摘要(译)

根据实施例的LCD装置包括：液晶显示面板，在该液晶显示面板中形成有n条栅极线；时序控制器产生第一至第六时钟信号；第一栅极驱动器响应于第一，第三和第五时钟信号，将高栅极电压施加到第(2k-1)条栅极线的一端；第二栅极驱动器响应于第二，第四和第六时钟信号，将高栅极电压施加到第(2k)条栅极线的一端；左放电电路分别根据第(2k+1)条栅极线上的电压电平向第(2k-1)条栅极线的另一端施加低栅极电压；右放电电路分别根据第(2k+2)条栅极线上的电压电平将低栅极电压施加到第(2k)条栅极线的另一端。

