



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월07일
(11) 등록번호 10-1865065
(24) 등록일자 2018년05월31일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2011-0084394

(22) 출원일자 2011년08월24일

심사청구일자 2016년08월18일

(65) 공개번호 10-2013-0021869

(43) 공개일자 2013년03월06일

(56) 선행기술조사문헌

KR1020040002745 A*

KR1020100043452 A*

KR1020110075505 A*

KR1020040048739 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

문명국

대구광역시 달서구 장기로 145, 성당래미안e-편한 세상 204동 504호 (본리동)

김중우

경기도 파주시 쇠재로 30, 서원마을아파트 703동 1005호 (금촌동)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 15 항

심사관 : 추장희

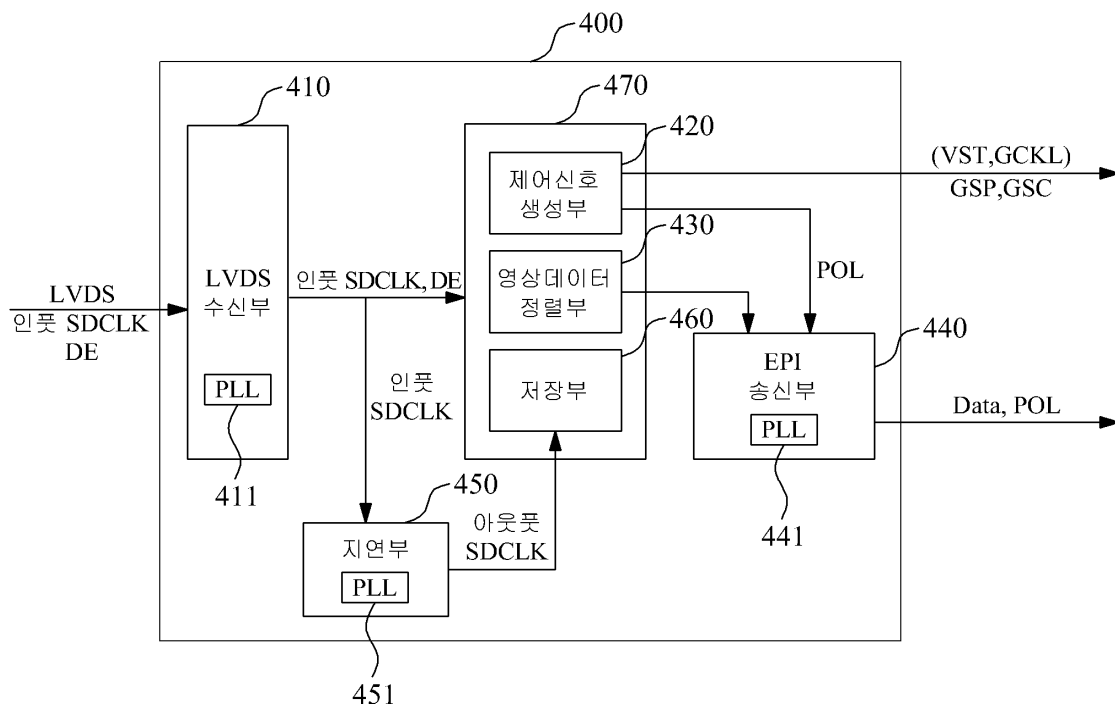
(54) 발명의 명칭 타이밍 컨트롤러 및 그 구동 방법과 이를 이용한 액정표시장치

(57) 요약

본 발명은 타이밍 컨트롤러 및 그 구동 방법과 이를 이용한 액정표시장치에 관한 것으로서, 특히, 위상고정루프가 입력신호를 신속하게 따라가지 못하는 기능을 이용하여, 순간적인 비정상 클럭이 입력되더라도, 비정상적인 출력이 발생되지 않도록 할 수 있는, 타이밍 컨트롤러 및 그 구동 방법과 이를 이용한 액정표시장치를 제공하는

(뒷면에 계속)

대표도 - 도4



것을 기술적 과제로 한다. 이를 위해 본 발명에 따른 타이밍 컨트롤러는, 영상데이터와 인풋 SDCLK를 수신하기 위한 LVDS수신부; 상기 LVDS수신부를 통해 상기 인풋 SDCLK을 수신하며, 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 지연부; 상기 아웃풋 SDCLK을 이용하여 게이트 제어신호와 데이터 제어신호를 생성하여 출력하고, 상기 LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하기 위한 처리부; 및 상기 처리부로부터 전송되어온 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 각 데이터 드라이브 IC로 출력하기 위한 EPI송신부를 포함한다.

명세서

청구범위

청구항 1

영상데이터와 인풋 SDCLK를 수신하기 위한 LVDS수신부;

상기 LVDS수신부를 통해 상기 인풋 SDCLK을 수신하며, 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 지연부;

상기 아웃풋 SDCLK을 이용하여 게이트 제어신호와 데이터 제어신호를 생성하여 출력하고, 상기 LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하기 위한 처리부; 및

상기 처리부로부터 전송되어온 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 각 데이터 드라이버 IC로 출력하기 위한 EPI송신부를 포함하고,

상기 지연부는,

역확산(De-Spreading)용 PLL을 이용하여 구성되고,

상기 역확산용 PLL은 입력되는 상기 인풋 SDCLK와 출력되는 상기 아웃풋 SDCLK의 주파수 또는 위상을 동일하게 맞추고, 입력되는 상기 인풋 SDCLK를 지속적으로 궤환시키고, 상기 인풋 SDCLK의 순간적인 비정상 클럭을 필터링하는 타이밍 컨트롤러.

청구항 2

제 1 항에 있어서,

상기 인풋 SDCLK은,

외부 시스템으로부터 입력된 도트클럭(DCLK)이, 확산스펙트럼 IC에서 기 설정된 주파수 범위 내에서 주파수 확산되어 생성된 것임을 특징으로 하는 타이밍 컨트롤러.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 처리부는,

상기 아웃풋 SDCLK를 이용하여 구동부 제어신호를 출력하기 위한 제어신호 생성부;

상기 아웃풋 SDCLK을 이용하여 상기 영상데이터를 재정렬하여 출력하기 위한 영상데이터 정렬부; 및

상기 제어신호 생성부와 영상데이터 정렬부가 상기 아웃풋 SDCLK을 이용할 수 있도록 상기 지연부에서 전송되어온 상기 아웃풋 SDCLK을 저장하기 위한 저장부를 포함하는 타이밍 컨트롤러.

청구항 5

제 4 항에 있어서,

상기 저장부는,

선입선출방식(FIFO)을 이용한 메모리인 것을 특징으로 하는 타이밍 컨트롤러.

청구항 6

영상데이터와 인풋 SDCLK를 수신하기 위한 LVDS수신부;

구동부 제어신호를 생성하여 출력하고, 상기 영상데이터를 재정렬하여 출력하기 위한 처리부; 및

상기 처리부로부터 전송되어온 데이터 제어신호(DCS)와 재정렬된 영상데이터를 점 대 점 방식으로 각 데이터 드라이브 IC로 출력하고, 상기 처리부를 통해 수신된 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 EPI송신부를 포함하며,

상기 처리부는 상기 EPI송신부로부터 전송되어온 상기 아웃풋 SDCLK을 이용하여 상기 구동부 제어신호를 생성하고, 상기 영상데이터를 재정렬하고,

상기 EPI송신부는,

상기 EPI송신부로 입출력되는 신호들의 주파수를 일치시켜 락을 고정시키고, 상기 인풋 SDCLK을 이용하여 상기 아웃풋 SDCLK을 출력하기 위해, 역확산(De-Spreading)용 PLL을 이용하고,

상기 역확산용 PLL은 입력되는 상기 인풋 SDCLK과 출력되는 상기 아웃풋 SDCLK의 주파수 또는 위상을 동일하게 맞추고, 입력되는 상기 인풋 SDCLK를 지속적으로 케환시키고, 상기 인풋 SDCLK의 순간적인 비정상 클럭을 필터링하는 타이밍 컨트롤러.

청구항 7

제 6 항에 있어서,

상기 인풋 SDCLK은,

외부 시스템으로부터 입력된 도트클럭(DCLK)이, 확산스펙트럼 IC에서 기 설정된 주파수 범위 내에서 주파수 확산되어 생성된 것임을 특징으로 하는 타이밍 컨트롤러.

청구항 8

삭제

청구항 9

제 6 항에 있어서,

상기 처리부는,

상기 아웃풋 SDCLK를 이용하여 구동부 제어신호를 출력하기 위한 제어신호 생성부;

상기 아웃풋 SDCLK을 이용하여 상기 영상데이터를 재정렬하여 출력하기 위한 영상데이터 정렬부; 및

상기 제어신호 생성부와 영상데이터 정렬부가 상기 아웃풋 SDCLK을 이용할 수 있도록 상기 EPI송신부에 포함된 지연부에서 전송되어온 상기 아웃풋 SDCLK을 저장하기 위한 저장부를 포함하는 타이밍 컨트롤러.

청구항 10

제 9 항에 있어서,

상기 저장부는,

선입선출방식(FIFO)을 이용한 메모리인 것을 특징으로 하는 타이밍 컨트롤러.

청구항 11

영상데이터와 인풋 SDCLK를 수신하는 단계;

상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 단계;

상기 아웃풋 SDCLK을 이용하여 게이트 제어신호와 데이터 제어신호를 생성하여 출력하고, LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하는 단계; 및

상기 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 각 데이터 드라이브 IC로 출력하고, 상기 게이트 제어신호를 게이트 드라이브 IC로 출력하는 단계를 포함하며,

상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭의 필터링은 역확산(De-Spreading)용 PLL을 이용하여 이

루어지고,

상기 역확산용 PLL은 입력되는 상기 인풋 SDCLK와 출력되는 상기 아웃풋 SDCLK의 주파수 또는 위상을 동일하게 맞추고, 입력되는 상기 인풋 SDCLK를 지속적으로 궤환시키는 타이밍 컨트롤러 구동 방법.

청구항 12

제 11 항에 있어서,

상기 인풋 SDCLK은,

외부 시스템으로부터 입력된 도트클럭(DCLK)이, 확산스펙트럼 IC에서 기 설정된 주파수 범위 내에서 주파수 확산되어 생성된 것임을 특징으로 하는 타이밍 컨트롤러 구동 방법.

청구항 13

삭제

청구항 14

제 11 항에 있어서,

상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 후 출력된 상기 아웃풋 SDCLK을 저장부에 저장하는 단계를 더 포함하며,

상기 저장부에 저장되어 있는 상기 아웃풋 SDCLK은, 상기 게이트 제어신호와 상기 데이터 제어신호를 생성하여 출력하고, 상기 영상데이터를 재정렬하여 출력하는 단계에서 이용되는 것을 특징으로 하는 타이밍 컨트롤러 구동 방법.

청구항 15

제 14 항에 있어서,

상기 저장부는 선입선출방식(FIFO)으로 상기 아웃풋 SDCLK을 입출력시키는 것을 특징으로 하는 타이밍 컨트롤러 구동 방법.

청구항 16

패널의 게이트라인을 제어하기 위한 적어도 하나 이상의 게이트 드라이브 IC;

상기 패널의 데이터라인을 제어하기 위한 적어도 하나 이상의 데이터 드라이브 IC;

외부 시스템으로부터 입력된 도트클럭(DCLK)을, 기 설정된 주파수 범위 내에서 주파수 확산시킨 인풋 SDCLK을 출력하기 위한 확산스펙트럼 IC; 및

상기 인풋 SDCLK을 수신하여, 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하고, 상기 아웃풋 SDCLK을 이용하여 게이트 제어신호를 생성하여 상기 게이트 드라이브 IC로 출력하고, 상기 아웃풋 SDCLK을 이용하여 데이터 제어신호를 생성하고 영상데이터를 재정렬한 후, 상기 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 상기 각 데이터 드라이브 IC로 출력하기 위한 타이밍 컨트롤러를 포함하며,

상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭의 필터링은 역확산(De-Spreading)용 PLL을 이용하여 이루어지고,

상기 역확산용 PLL은 입력되는 상기 인풋 SDCLK와 출력되는 상기 아웃풋 SDCLK의 주파수 또는 위상을 동일하게 맞추고, 입력되는 상기 인풋 SDCLK를 지속적으로 궤환시키는 액정표시장치.

청구항 17

제 16 항에 있어서,

상기 타이밍 컨트롤러는,

상기 영상데이터와 상기 인풋 SDCLK를 수신하기 위한 LVDS수신부;

상기 LVDS수신부를 통해 상기 인풋 SDCLK을 수신하며, 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 상기 아웃풋 SDCLK을 출력하는 지연부;

상기 아웃풋 SDCLK을 이용하여 상기 게이트 제어신호와 상기 데이터 제어신호를 생성하여 출력하고, 상기 LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하기 위한 처리부; 및

상기 처리부로부터 전송되어온 상기 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 상기 각 데이터 드라이브 IC로 출력하기 위한 EPI송신부를 포함하는 액정표시장치.

청구항 18

제 16 항에 있어서,

상기 타이밍 컨트롤러는,

상기 영상데이터와 상기 인풋 SDCLK를 수신하기 위한 LVDS수신부;

구동부 제어신호를 생성하여 출력하고, 상기 영상데이터를 재정렬하여 출력하기 위한 처리부; 및

상기 처리부로부터 전송되어온 데이터 제어신호(DCS)와 재정렬된 영상데이터를 점 대 점 방식으로 상기 각 데이터 드라이브 IC로 출력하고, 상기 처리부를 통해 수신된 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 EPI송신부를 포함하며,

상기 처리부는 상기 EPI송신부로부터 전송되어온 상기 아웃풋 SDCLK을 이용하여 상기 구동부 제어신호를 생성하고, 상기 영상데이터를 재정렬하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 타이밍 컨트롤러 및 이를 이용한 액정표시장치에 관한 것으로서, 특히, 순간적인 비정상 클럭이 입력된 경우에 비정상적인 영상이 출력되는 것을 방지할 수 있는 타이밍 컨트롤러 및 그 구동 방법과 이를 이용한 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 영상데이터신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하는 장치로서, 박형, 경량, 저소비전력 등의 장점을 지니고 있다. 따라서, 액정표시장치는 컴퓨터 모니터와 노트북, 개인휴대단말기 및 벽걸이형 텔레비전에 이르기까지 널리 사용되고 있다.

[0003] 이러한 액정표시장치는 일반적으로, 영상을 표시하는 패널, 게이트 드라이브 IC, 데이터 드라이브 IC 및 타이밍 컨트롤러(timing controller)를 포함하여 구성된다.

[0004] 도 1은 종래의 타이밍 컨트롤러로 입력되는 도트클럭(DCLK)의 파형을 나타낸 예시도이다.

[0005] 액정표시장치를 구성하는 타이밍 컨트롤러는 일반적으로 저전압 차등 시그널링(LVDS : low voltage differential signaling)을 이용한 인터페이스를 통해 외부 시스템과 연결되어 있으며, 점 대 점 방식(EPI)을 이용하여 데이터 드라이브 IC의 각 데이터 드라이브 IC들과 연결되어 있다.

[0006] 또한, 타이밍 컨트롤러는 외부 시스템으로부터 전송되어온 타이밍 신호(Vsync, Hsync, DCLK)를 이용하여 게이트 제어신호(GCS), 데이터 제어신호(DCS)를 생성하여 게이트 드라이브 IC와 데이터 드라이브 IC로 전송하는 기능을 수행한다.

[0007] 또한, 타이밍 컨트롤러는 외부 시스템으로부터 전송되어온 영상데이터를 재정렬시켜 데이터 드라이브 IC로 전송하는 기능을 수행한다.

[0008] 이러한, 타이밍 컨트롤러는 외부 시스템 또는 데이터 드라이브 IC 등에서 사용되는 클럭들과 주파수(위상)를 맞추기 위해 위상고정루프(PLL : Phase Locked Loop)(이하, 간단히 'PLL'이라 함)를 이용하고 있다.

- [0009] 즉, 타이밍 컨트롤러의 LVDS수신부는 위상고정루프를 포함하고 있어서, 외부 시스템으로부터 LVDS수신부로 수신되는 신호의 주파수(위상)와, LVDS 수신부로부터 출력되는 신호의 주파수(위상)를 일정하게 락킹(고정)시키고 있고, 타이밍 컨트롤러 내부의 EPI송신부도 위상고정루프를 포함하고 있어서, 타이밍 컨트롤러 내부에서 이용되는 클럭들의 주파수(위상)를 일정하게 락킹(고정)시키고 있으며, 타이밍 컨트롤러와 데이터 드라이브 IC 간의 점 대 점 방식을 구현하기 위해 데이터 드라이브 IC들 각각에도 위상고정루프가 이용되고 있다.
- [0010] 그러나, 상기한 바와 같은 종래의 EPI 방식의 타이밍 컨트롤러는, 도 1에 도시된 바와 같이 순간적인 비정상 클럭(abnormal Clock)(A)이 입력될 때, 비정상적인 영상데이터 또는 구동부 제어신호를 출력한다는 문제점을 가지고 있다.
- [0011] 즉, 종래의 액정표시장치의 시스템 보드(System B/D)에서는, 모드(Mode) 변경 시 순간적인 비정상 클럭(abnormal clock)이 발생될 수 있다.
- [0012] 이러한 순간적인 비정상 클럭이 발생되면, 임베디드 클럭(Embedded clock)방식의 인터페이스(예를 들어, EPI)를 사용하고 있는 타이밍 컨트롤러(T-Con)와 데이터 드라이브 IC(D-IC)에서, 위상고정루프의 락(PLL Lock)이 풀리는 문제가 발생하게 된다. 한편, 타이밍 컨트롤러와 데이터 드라이브 IC에서, 위상고정루프의 락이 해제되면, 패널에서 비정상적인 디스플레이(abnormal display)(비정상적인 영상)가 유발된다. 즉, 종래의 타이밍 컨트롤러로 순간적인 비정상 클럭(abnormal clock)이 입력되면, 타이밍 컨트롤러의 출력(영상 데이터 및 구동부 제어신호)도 비정상적으로 되며, 이는 데이터 드라이브 IC(D-IC)의 위상고정루프 락(PLL Lock) 해제를 유발하여, 결국 비정상적인 디스플레이(normal display)가 패널을 통해 발생된다.
- [0013] 또한, 순간적인 비정상 클럭이 발생되어, 타이밍 컨트롤러와 데이터 드라이브 IC에서 락이 풀리게 되면, 이후, 다시 정상적인 클럭이 타이밍 컨트롤러로 인가되더라도, 위상고정루프의 락이 잠길 때까지는(락킹(Locking)될 때까지는), 비정상적 디스플레이가 계속해서 발생된다. 즉, 순간적인 비정상 클럭의 발생 후, 다시 정상적인 클럭이 인가되더라도, 비정상적인 디스플레이가 일정 기간 지속된 후에야 정상적인 영상이 출력될 수 있다. 부연하여 설명하면, 종래의 액정표시장치에서는 순간적인 비정상 클럭의 발생 이후에, 정상적인 클럭(clock)이 다시 인가되더라도, 위상고정루프(PLL)의 락(Lock) 시간이 소요되기 때문에, 비정상적인 디스플레이(abnormal display)의 출력 시간이 길어지게 된다.
- [0014] 상기한 바와 같이 종래의 타이밍 컨트롤러는, 타이밍 컨트롤러로 순간적인 비정상 클럭(Abnormal Clock)이 입력된 경우에, 이를 해결할 수 있는 역확산(De-spreading) 기능을 구비하지 못하고 있다.

발명의 내용

해결하려는 과제

- [0015] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 위상고정루프가 입력신호를 신속하게 따라가지 못하는 기능을 이용하여, 순간적인 비정상 클럭이 입력되더라도, 비정상적인 출력이 발생되지 않도록 할 수 있는, 타이밍 컨트롤러 및 그 구동 방법과 이를 이용한 액정표시장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

- [0016] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 타이밍 컨트롤러는, 영상데이터와 인풋 SDCLK를 수신하기 위한 LVDS수신부; 상기 LVDS수신부를 통해 상기 인풋 SDCLK을 수신하며, 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 지연부; 상기 아웃풋 SDCLK을 이용하여 게이트 제어신호와 데이터 제어신호를 생성하여 출력하고, 상기 LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하기 위한 처리부; 및 상기 처리부로부터 전송되어온 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 각 데이터 드라이브 IC로 출력하기 위한 EPI송신부를 포함한다.
- [0017] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 타이밍 컨트롤러는, 영상데이터와 인풋 SDCLK를 수신하기 위한 LVDS수신부; 구동부 제어신호를 생성하여 출력하고, 상기 영상데이터를 재정렬하여 출력하기 위한 처리부; 및 상기 처리부로부터 전송되어온 데이터 제어신호(DCS)와 재정렬된 영상데이터를 점 대 점 방식으로 각 데이터 드라이브 IC로 출력하고, 상기 처리부를 통해 수신된 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 EPI송신부를 포함하며, 상기 처리부는 상기 EPI송신부로부터 전송되어온 상기 아웃풋 SDCLK을 이용하여 상기 구동부 제어신호를 생성하고, 상기 영상데이터를 재정렬하는 것을 특징으로 한다.

[0018] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 타이밍 컨트롤러 구동 방법은, 영상데이터와 인풋 SDCLK를 수신하는 단계; 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하는 단계; 상기 아웃풋 SDCLK을 이용하여 게이트 제어신호와 데이터 제어신호를 생성하여 출력하고, 상기 LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하는 단계; 및 상기 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 각 데이터 드라이브 IC로 출력하고, 상기 게이트 제어신호를 게이트 드라이브 IC로 출력하는 단계를 포함한다.

[0019] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 액정표시장치는, 패널의 게이트라인을 제어하기 위한 적어도 하나 이상의 게이트 드라이브 IC; 상기 패널의 데이터라인을 제어하기 위한 적어도 하나 이상의 데이터 드라이브 IC; 외부 시스템으로부터 입력된 도트클럭(DCLK)을, 기 설정된 주파수 범위 내에서 주파수 확산시킨 인풋 SDCLK을 출력하기 위한 확산스펙트럼 IC; 및 상기 인풋 SDCLK을 수신하여, 상기 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 필터링된 아웃풋 SDCLK을 출력하고, 상기 아웃풋 SDCLK을 이용하여 게이트 제어신호를 생성하여 상기 게이트 드라이브 IC로 출력하고, 상기 아웃풋 SDCLK을 이용하여 데이터 제어신호를 생성하고 영상데이터를 재정렬한 후, 상기 데이터 제어신호와 재정렬된 영상데이터를 점 대 점 방식으로 상기 각 데이터 드라이브 IC로 출력하기 위한 타이밍 컨트롤러를 포함한다.

발명의 효과

[0020] 상술한 해결 수단에 따라 본 발명은 다음과 같은 효과를 제공한다.

[0021] 즉, 본 발명은 위상고정루프가 입력신호를 신속하게 따라가지 못하는 기능을 이용하여, 외부 시스템으로부터 순간적인 비정상 클럭이 입력되더라도, 비정상적인 출력이 발생되지 않도록 함으로써, 데이터 드라이브 IC의 위상 고정루프의 오동작을 방지하여, 비정상적인 영상이 출력되는 것을 방지할 수 있다.

[0022] 또한, 본 발명은 순간적인 비정상 클럭을 필터링 시킨 아웃풋 SDCLK을 저장하기 위한 FIFO memory와, 타이밍 컨트롤러 내부에서 영상데이터 정렬 등을 위해 이용되는 memory를 공용화함으로써, 비용(cost)을 저감시킬 수 있다는 효과를 제공한다.

도면의 간단한 설명

[0023] 도 1은 종래의 타이밍 컨트롤러로 입력되는 도트클럭(DCLK)의 파형을 나타낸 예시도.

도 2는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도.

도 3은 본 발명에 따른 액정표시장치 중 데이터 드라이브 IC의 구성을 나타낸 예시도.

도 4는 본 발명의 제1실시예에 따른 타이밍 컨트롤러(400)의 내부 구성을 나타낸 예시도.

도 5는 본 발명에 따른 타이밍 컨트롤러(400)로 입출력되는 SDCLK을 나타낸 그래프.

도 6은 본 발명의 제2실시예에 따른 타이밍 컨트롤러(400)의 내부 구성을 나타낸 예시도.

도 7은 본 발명에 따른 타이밍 컨트롤러 중 지연부로 입력되는 인풋 SDCLK과 지연부로부터 출력되는 아웃풋 SDCLK의 시뮬레이션 결과를 나타낸 파형도.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.

[0025] 도 2는 본 발명에 따른 액정표시장치의 구성을 나타낸 예시도이다. 또한, 도 3은 본 발명에 따른 액정표시장치 중 데이터 드라이브 IC의 구성을 나타낸 예시도이다.

[0026] 본 발명에 따른 액정표시장치는 도 2에 도시된 바와 같이, 액정셀 매트릭스를 갖는 패널(100), 패널의 게이트라인들을 구동하기 위한 적어도 하나 이상의 게이트 드라이브 IC(GDIC#1~GDIC#4)(200), 패널의 데이터라인들을 구동하기 위한 적어도 하나 이상의 데이터 드라이 IC(SDIC#1~SDIC#8)(300), 게이트 드라이브 IC와 데이터 드라이브 IC를 제어하기 위한 타이밍 컨트롤러(400) 및 외부 시스템으로부터 입력된 도트클럭(DCLK)을 기 설정된 주파수 범위 내에서 주파수 확산시켜 타이밍 컨트롤러로 입력시키기 위한 확산스펙트럼 IC(500)을 포함하여 구성될 수 있다. 이하의 설명 중, 게이트 드라이브 IC, 데이터 드라이브 IC, 파워 IC 등을 통칭하여 구동부라 하며, 게이트 드라이브 IC, 데이터 드라이브 IC, 파워 IC를 제어하기 위해 타이밍 컨트롤러에서 생성되는 게이트 제어신

호, 데이터 제어신호, 파워 제어신호를 통칭하여 구동부 제어신호라 한다.

- [0027] 우선, 패널(100)은 게이트라인들과 데이터라인들(DL1 내지 DLm)의 교차로 정의되는 영역마다 형성된 박막트랜지스터(TFT)와, 화소전극(PXL)을 포함하는 액정셀을 구비한다.
- [0028] 박막트랜지스터(TFT)는 게이트라인으로부터의 스캔신호에 응답하여 데이터라인으로부터의 화소신호(영상데이터 신호)를 화소전극(PXL)에 공급한다. 화소전극(PXL)은 화소신호에 응답하여 공통전극과의 사이에 위치하는 액정을 구동함으로써 빛의 투과율을 조절하게 된다.
- [0029] 본 발명에 적용되는 패널의 액정모드는, TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 종류의 액정모드도 가능하다. 또한, 본 발명에 따른 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다.
- [0030] 다음, 확산스펙트럼 IC(500)는 외부 시스템으로부터 입력된 도트클럭(DCLK)을 기 설정된 주파수 범위 내에서 주파수 확산시켜 확산스펙트럼 도트클럭(Spread Spectrum DCLK)(이하, 간단히 'SDCLK'이라 함)을 생성한 후, 생성된 SDCLK을 타이밍 컨트롤러로 입력시키는 기능을 수행한다.
- [0031] 즉, 확산스펙트럼 IC(500)는 입력된 DCLK을 주파수 변조시키고, 변조된 주파수에 따라 위상고정루프(Phase-locked Loop)(이하, 간단히 'PLL'이라 함)를 이용하여 발진 주파수를 조정함으로써, 특정한 주파수 범위 내에서 일정한 주기를 가지고 변화하는 SDCLK를 출력하게 된다.
- [0032] 한편, 이하에서 설명될 타이밍 컨트롤러(400)는 게이트 드라이브 IC와 데이터 드라이브 IC로 전송되는 각종 구동부 제어신호들 및 영상데이터들 간의 전자기적 간섭(Electromagnetic Interference)(이하, 간단히 'EMI'라 함)을 줄이기 위하여, 확산스펙트럼 IC(500)에서 확산 스펙트럼(Spread Spectrum) 방식에 따라 특정한 주파수 범위 내에서 주파수 확산된 SDCLK을 이용하여 GSP, GSC, GOE, SSP, SSC, SOE, POL, GCLK, VST 등과 같은 각종 구동부 제어신호들을 생성한다.
- [0033] 따라서, 타이밍 컨트롤러(400)에서 생성되는 구동부 제어신호들의 주파수는 일정하게 유지되지 않고, SDCLK을 따라 특정한 주파수 범위 내에서 흔들리는 형태를 가지게 된다. 그 결과 흔들리는 주파수에 의해 구동부 제어신호들 간의 EMI가 상쇄되어 줄어드는 효과가 얻어질 수 있다.
- [0034] 즉, 상기한 바와 같은 주파수 확산을 위하여, 도 2에 도시된 본 발명에 따른 액정표시장치는, 외부 시스템으로부터 입력되는 DCLK을 주파수 확산시켜 타이밍 컨트롤러(400)로 공급하기 위한 확산스펙트럼 IC(500)를 포함하고 있다.
- [0035] 그러나, 특정한 주파수 범위 내에서 변화하는 SDCLK은 도 1에 도시된 바와 같이, 다양한 원인들에 의해 순간적으로 높은 주파수를 갖게 되며, 이로 인해, 순간적인 비정상 클럭(A)이 타이밍 컨트롤러(400)로 입력될 수 있다.
- [0036] 즉, 도 1에 도시된 도트클럭(DCLK)은 실질적으로는 확산스펙트럼 IC(500)에서 가공된 SDCLK의 시간별 주파수를 나타낸 예시도이다.
- [0037] 한편, 본 발명에 따른 타이밍 컨트롤러는, SDCLK이 순간적으로 높은 주파수를 갖게 되어 발생하는, 순간적인 비정상 클럭이 입력될 경우, 이러한 순간적인 비정상 클럭에 의해 비정상적인 출력이 발생되지 않도록 하는 기능을 수행한다. 여기서 출력이라 함은, 타이밍 컨트롤러에서 생성되는 구동부 제어신호 또는 재정렬된 영상데이터를 의미할 수도 있으며, 패널을 통해 출력되는 영상을 의미할 수도 있다.
- [0038] 다음, 타이밍 컨트롤러(400)는 외부 시스템으로부터 입력되는 타이밍 신호, 즉, 수직동기신호(Vsync), 수평동기신호(Hsync) 및 데이터 인에이블 신호(DE) 등과, 확산스펙트럼 IC(500)로부터 입력되는 SDCLK을 이용하여, 게이트 드라이브 IC(200)들의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)와 데이터 드라이브 IC(300)들의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)를 생성하며, 데이터 드라이브 IC(300)들에 영상데이터를 공급한다.
- [0039] 또한, 타이밍 컨트롤러는 상기한 바와 같이, 순간적인 비정상 클럭이 입력되더라도, 정상적인 출력이 발생되도록 하는 기능을 수행한다. 이에 대하여는 도 4 내지 도 6을 참조하여 상세히 설명된다.

- [0040] 한편, 타이밍 컨트롤러(400)에서 발생하는 게이트 제어신호들은 게이트 드라이브 IC의 형태에 따라 달라질 수 있다. 예를 들어, 게이트 드라이브 IC(200)가 도 2에 도시된 바와 같이 칩온필름(COF) 또는 테이프 캐리어 패키지(TCP) 형태로 패널에 연결되는 경우에 타이밍 컨트롤러(400)에서 발생하는 게이트 제어신호들로는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC), 게이트 출력 인에이블 신호(GOE) 등이 있다. 또한, 게이트 드라이브 IC(200)가 패널에 실장되어 있는 게이트 인 패널(GIP) 타입의 경우에 타이밍 컨트롤러(400)에서 발생하는 게이트 제어신호들로는 게이트 스타트신호(VST), 게이트 클럭(GCLK) 등이 있다.
- [0041] 또한, 타이밍 컨트롤러(400)에서 발생하는 데이터 제어신호들에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다. 그러나, 이러한 데이터 제어신호들은, 타이밍 컨트롤러와 데이터 드라이브 IC간에 이용되고 있는 인터페이스 방식이, TTL 방식인지, mini LVDS 방식인지 또는 EPI 방식인지에 따라 다양한 형태로 변경될 수 있다.
- [0042] 즉, 타이밍 컨트롤러(400)는, 외부 시스템과의 인터페이스는 저전압 차등 시그널링(LVDS : low voltage differential signaling)(이하, 간단히 'LVDS'라 함)을 이용하고, 데이터 드라이브 IC와의 인터페이스는 이피아이(EPI : Embedded Clock Point-Point Interface) 방식(이하, 간단히 'EPI'라 함)을 이용할 수 있다.
- [0043] 한편, 이하에서는 설명의 편의상 타이밍 컨트롤러가 LVDS 및 EPI를 이용하고 있는 것을 일례로 하여 본 발명이 설명된다.
- [0044] 따라서, 타이밍 컨트롤러는 LVDS를 이용하여 외부 시스템과 통신을 수행하기 위해 LVDS수신부를 구비하고 있고, EPI를 이용하여 데이터 드라이브 IC와 통신을 수행하기 위해 EPI송신부를 구비하고 있으며, LVDS수신부와 EPI송신부 각각에는 입력력 신호의 위상을 고정시키기 위해 위상고정루프(PLL : phase locked loop)(이하, 간단히 'PLL'이라 함)가 구비되어 있다. 또한, 데이터 드라이브 IC의 경우에도 입력력 신호의 위상을 고정시키기 위해 상기한 바와 같은 PLL 또는 지연 락 루프(DLL : Delay Locked loop)를 포함하고 있다. LVDS, EPI 및 PLL 등에 대하여는 이하에서 설명된다.
- [0045] 다음, 게이트 드라이브 IC(GDIC#1~GDIC#4)(200)들 각각은 타이밍 컨트롤러에서 생성된 게이트 제어신호들을 이용하여 게이트라인들에 스캔신호를 공급한다.
- [0046] 즉, 본 발명에 적용되는 게이트 드라이브 IC(200)는 종래의 액정표시장치에 적용되던 게이트 드라이브 IC가 그대로 적용될 수 있다.
- [0047] 한편, 본 발명에 적용되는 게이트 드라이브 IC(200)는 상기한 바와 같이, 패널과 독립되게 형성되어, 다양한 방식으로 패널과 전기적으로 연결될 수 있는 형태로 구성될 수 있으나, 액정패널 내에 실장되어 있는 게이트 인 패널(Gate In Panel : GIP)방식으로 구성될 수도 있다.
- [0048] 이 경우, 게이트 드라이브 IC를 제어하기 위한 제어신호로는 스타트신호(VST) 및 게이트클럭(GCLK)이 될 수 있는바, 이하에서는 게이트 인 패널(GIP) 방식의 게이트 드라이브 IC를 일례로 하여 본 발명이 설명된다.
- [0049] 그러나, 본 발명이 이에 한정되는 것은 아니므로, 게이트 드라이브 IC는 게이트 인 패널 이외의 방식으로 구현될 수도 있으며, 이 경우에는 게이트 드라이브 IC가 스캔신호를 출력하지 않도록 하거나 비정상적으로 구동되지 않도록 하는 다양한 종류의 신호들(GSP, GSC, GOE)이 게이트 제어신호로 적용될 수 있다.
- [0050] 마지막으로, 데이터 드라이브 IC(300)는 입력된 영상 데이터를 아날로그 화소신호(영상데이터신호)로 변환하여 게이트라인에 스캔신호가 공급되는 1수평기간마다 1수평라인분의 영상데이터신호를 데이터라인들에 공급한다. 즉, 데이터 드라이브 IC(300)는 감마전압 발생부(도시하지 않음)로부터 공급되는 감마전압들을 이용하여, 영상 데이터를 영상데이터신호로 변환시킨 후 데이터라인으로 출력시킨다.
- [0051] 즉, 본 발명에 적용되는 데이터 드라이브 IC(300)는 종래의 EPI 방식을 이용한 액정표시장치에 적용되던 데이터 드라이브 IC가 그대로 적용될 수 있는 것으로서, 타이밍 컨트롤러에서 전송되어온 디지털 영상데이터를 아날로그 그 값을 갖는 영상데이터신호로 저장하고 있다가, 타이밍 컨트롤러에서 전송되어오는 게이트 제어신호에 따라 구동되는 게이트 드라이브 IC를 통해, 각 게이트라인으로 스캔신호가 인가되면, 데이터라인으로 영상데이터신호를 1수평기간 동안 출력하는 기능을 수행한다.
- [0052] 한편, 이러한 데이터 드라이브 IC(300)는 출원번호 10-2008-0127456 및 도 3에 도시된 바와 같이, 쉬프트 레지

스터부(331), 래치부(332), 디지털 아날로그 변환부(DAC)(333) 및 출력버퍼(334)를 포함하고 있으며, 특히, 쉬프트 레지스터부(331)에는 상기한 바와 같은 PLL(301)이 포함되어 있다.

[0053] 즉, 쉬프트 레지스터부(331)는 타이밍 컨트롤러(TCON)의 EPI송신부로부터 입력되는 입력신호 또는 앞단 데이터 드라이브 IC들(SDIC#1~SDIC#7)로부터 전달된 락신호(Lock In)를 비교하여 두 신호가 모두 하이논리일 때 하이논리의 락신호(Lock Out)를 출력한다. 하이논리의 락신호는 다음 단의 데이터 드라이브 IC들(SDIC#2~SDIC#8)에 전달되고, 마지막 데이터 드라이브 IC(SDIC#8)는 하이논리의 락신호(EPI_Rx_LOCK)를 타이밍 컨트롤러(TCON)의 EPI송신부로 피드백 입력한다.

[0054] 이하에서는, 도 4 내지 도 6을 참조하여 본 발명에 따른 타이밍 컨트롤러의 구체적인 구성 및 그 기능이 설명된다.

[0055] 도 4는 본 발명의 제1실시예에 따른 타이밍 컨트롤러(400)의 내부 구성을 나타낸 예시도이다. 또한, 도 5는 본 발명에 따른 타이밍 컨트롤러(400)로 입출력되는 SDCLK을 나타낸 그래프로서, (a)는 타이밍 컨트롤러로 입력되는 인풋 SDCLK의 시간별 주파수 변화를 나타내고 있으며, (b)는 타이밍 컨트롤러에서 출력되는 아웃풋 SDCLK의 시간별 주파수 변화를 나타내고 있다.

[0056] 본 발명에 따른 타이밍 컨트롤러(400)는 게이트 드라이브 IC와 데이터 드라이브 IC로 전송되는 각종 구동부 제어신호들 및 영상데이터들 간의 전자기적 간섭(Electromagnetic Interference)(이하, 간단히 'EMI'라 함)을 줄이기 위하여, 확산스펙트럼 IC(500)에서 확산 스펙트럼(Spread Spectrum) 방식에 따라 특정한 주파수 범위 내에서 주파수 확산된 인풋 SDCLK을 이용하여 GSP, GSC, GOE, SSP, SSC, SOE, POL, GCLK, VST 등과 같은 각종 구동부 제어신호들을 생성한다.

[0057] 특히, 본 발명에 따른 타이밍 컨트롤러는, 확산스펙트럼 IC(500)로부터 입력되는 SDCLK이 순간적으로 높은 주파수를 갖게 되어 발생하는, 순간적인 비정상 클럭(인풋 SDCLK)이 입력될 경우, 이러한 순간적인 비정상 클럭에 의해 비정상적인 출력이 발생되지 않도록 하는 기능을 수행한다.

[0058] 이를 위해, 본 발명의 제1실시예에 따른 타이밍 컨트롤러는 도 4에 도시된 바와 같이, 외부 시스템 또는 확산스펙트럼 IC(500)로부터 전송되는 영상데이터(Data)와 타이밍 신호(Vsync, Hsync, DE, 인풋 SDCLK)를 수신하기 위한 LVDS수신부(410), LVDS수신부를 통해 수신된 인풋 SDCLK을 역확산(De-Spreading)시켜 인풋 SDCLK에서 순간적인 비정상 클럭이 발생되더라도, 이러한 순간적인 비정상 클럭이 반영되지 않은 아웃풋 SDCLK을 출력할 수 있는 지연부(450), LVDS수신부를 통해 수신된 Vsync, Hsync, DE 및 지연부를 통해 수신된 아웃풋 SDCLK을 이용하여 각종 구동부 제어신호를 생성하여 출력하고, LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하기 위한 처리부(470) 및 처리부로부터 전송되어온 데이터 제어신호(DCS)와 재정렬된 영상데이터를 점 대 점 방식(Point to Point)으로 각 데이터 드라이브 IC로 출력하기 위한 EPI송신부(440)를 포함하여 구성될 수 있다. 또한, 타이밍 컨트롤러(400)는 도면으로 도시되어 있지는 않지만, 타이밍 컨트롤러 내부에서 필요한 내부클럭을 발생시키기 위한 내부클럭 발생부(VCO), 각종 정보를 저장하기 위한 저장부(SRAM) 및 저장부와 기타 서브IC들과 통신을 수행하기 위한 I2C Master를 더 포함할 수도 있다.

[0059] 우선, LVDS수신부(410)는 외부 시스템(미도시)으로부터 수직동기신호(Vsync), 수평동기신호(Hsync), 데이터 인에이블(DE) 신호와 같은 타이밍 신호 및 영상데이터(RGB) 등을 수신하고, 확산스펙트럼 IC(500)로부터 인풋 SDCLK을 수신하는 기능을 수행하는 것으로서, 특히, LVDS 인터페이스를 통해 구성될 수 있다.

[0060] 여기서, LVDS란 고속의 디지털 인터페이스로, LVDS에서는 상반된 극성의 두 개의 신호를 생성하고, 두 개의 신호를 서로 참조하여 데이터를 전송한다. 따라서, LVDS는 저전압으로 데이터 전송을 실현할 수 있어, 소비 전력이 낮고, 전송속도가 빠르며, 노이즈에 대해 우수한 내성을 가진다는 특징을 가지고 있다.

[0061] 이러한, LVDS수신부(410)는 외부 시스템의 LVDS전송부(LVDS Transmitter)(미도시)와 연결되어 있으며, 내부에는 PLL(411)이 포함되어 있다.

[0062] PLL(411)은 외부 시스템으로부터 전송되어온 입력신호(영상데이터 및 타이밍신호)와 LVDS수신부(410)로부터 출력되는 출력신호의 주파수(위상)를 일정하게 유지시키는 기능을 수행한다.

- [0063] 다음으로, 지연부(450)는 LVDS수신부(410)로부터 인풋 SDCLK을 수신하여, 아웃풋 SDCLK을 처리부(470)로 출력하는 기능을 수행한다. 이러한 지연부는 도 5의 (a)에 점선원으로 도시된 바와 같이, 인풋 SDCLK에 순간적인 비정상 클럭이 포함되어 있더라도, 도 5의 (b)에 도시된 바와 같이 이러한 순간적인 비정상 클럭이 포함되어 있지 않은 정상적인 아웃풋 SDCLK을 출력한다는 특징을 가지고 있다.
- [0064] 이를 위해 지연부(450)는 역확산(De-Spreading)용 PLL(451)을 이용하여 구성될 수 있다.
- [0065] 일반적으로 PLL은 입력되는 신호와 출력되는 신호의 주파수 또는 위상을 동일하게 맞추는 기능을 수행하는 것으로서, 이를 위해 PLL은 입력되는 신호를 지속적으로 케환시키고 있다.
- [0066] 즉, PLL은 위상비교기, 발진기 및 분주기 등으로 구성되어, 입력되는 신호에 따른 출력신호를 발진기를 통해 출력시키고 있다. 또한, PLL은 출력신호를 다시 분주기를 이용하여 위상비교기로 전송하며, 위상비교기가 입력신호와 케환된 출력신호의 위상을 비교하도록 하고 있다. 이러한 동작은 입력신호의 위상과 출력신호의 위상이 동일해질 때까지 반복적으로 수행된다.
- [0067] 따라서, PLL로 입력되는 입력신호의 주파수 또는 위상이 급변하는 경우에도, PLL로부터 출력되는 출력신호의 주파수 또는 위상은 급변하지 않게 된다.
- [0068] 즉, 지연부는 역확산(De-spreading)용 PLL 사용을 통해, 순간적인 비정상 클럭을 필터링(filtering)할 수 있다는 특징을 가지고 있다.
- [0069] 지연부(450)는 상기한 바와 같은 PLL의 지연 특성을 이용한 것으로서, 다양한 형태의 PLL로 구성될 수 있다. 한편, 본 발명에서는 상기한 바와 같은 PLL의 지연 특성을 이용하여 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 아웃풋 SDCLK에 포함되지 않도록 하기 위한 것으로서, 본 발명에 적용되는 PLL은 종래에 이용되는 일반적인 PLL이 될 수 있다. 또한, 본 발명에 적용되는 PLL은 상기한 바와 같은 지연 기능을 특화시킨 것으로서, 이하의 설명에서는 역확산용 PLL이라 한다.
- [0070] 부연하여 설명하면, 본 발명은 순간적인 비정상 클럭(Abnormal Clock) 입력 시, 이를 없애기 위해 역확산용 PLL(De-spreading용 PLL)을 사용하고 있다. 이러한 역확산용 PLL은 갑작스런 클럭(Clock)의 변화를 따라가지 못하기 때문에, 순간적인 비정상 클럭을 필터링(filtering)시킬 수 있다.
- [0071] 다음으로, 처리부(470)는 각종 구동부 제어신호를 출력하기 위한 제어신호 생성부(420), LVDS수신부로부터 수신된 영상데이터를 재정렬하여 출력하기 위한 영상데이터 정렬부(430) 및 제어신호 생성부와 영상데이터 정렬부가 아웃풋 SDCLK을 이용할 수 있도록 지연부에서 전송되어온 아웃풋 SDCLK을 저장하기 위한 저장부(460)를 포함하여 구성될 수 있다.
- [0072] 여기서, 제어신호 생성부(420)는 저장부(460)에 저장되어 있는 아웃풋 SDCLK과 LVDS수신부를 통해 수신된 타이밍 제어신호들을 이용하여 게이트 드라이브 IC를 제어하기 위한 게이트 제어신호(GCS)와 데이터 드라이브 IC를 제어하기 위한 데이터 제어신호(DCS)와 파워 IC를 제어하기 위한 파워 제어신호(PWM) 등을 포함하는 구동부 제어신호를 생성하는 기능을 수행한다.
- [0073] 또한, 영상데이터 정렬부(430)는 LVDS수신부를 통해 수신된 디지털 영상데이터(RGB)를, 저장부(460)에 저장되어 있는 아웃풋 SDCLK을 이용하여 액정패널(100)의 해상도에 맞게 재정렬하여 출력하는 기능을 수행한다.
- [0074] 또한, 저장부(460)는 상기한 바와 같이 지연부(450)에서 전송되어온 아웃풋 SDCLK을 저장하고 있다가, 제어신호 생성부(420) 및 영상데이터 정렬부(430)로 전송하는 기능을 수행한다. 이러한 저장부(460)는 종래의 타이밍 컨트롤러에서도 제어신호 생성부와 영상데이터 정렬부에 필요한 정보들을 저장하기 위하여 구비되어 있던 것으로서, 본 발명은 특히 이러한 저장부를 이용하여 지연부로부터 전송되어온 아웃풋 SDCLK을 저장하고 있다는 특징을 가지고 있다. 한편, 저장부(460)는 선입선출방식(FIFO : First In First Out)을 이용한 다양한 형태의 메모리가 적용될 수 있다.
- [0075] 즉, 확산용 PLL로부터 출력된 클럭은 LVDS수신부를 통해 입력된 클럭과는 다른 클럭이므로, 영상데이터 래치(Data latch)를 위해서는, 버퍼(Buffer)용 FIFO memory가 필요하게 된다. 따라서, 본 발명은 순간적인 비정상 클럭을 필터링 시킨 아웃풋 SDCLK을 저장하기 위한 FIFO memory와, 타이밍 컨트롤러 내부에서 영상데이터 정렬 등을 위해 이용되는 memory를 공용화함으로써, 비용(cost)을 저감시킬 수 있다.
- [0076] 상기한 바와 같이, 처리부(470)의 제어신호 생성부(420) 및 영상데이터 정렬부(430)는, 지연부(450)로부터 전송

되어온 아웃풋 SDCLK를 이용하여 각종 구동부 제어신호를 생성하는 한편, 영상데이터를 재정렬하고 있다.

- [0077] 따라서, LVDS수신부(410)를 통해 순간적인 비정상 클럭이 포함되어 있는 인풋 SDCLK이 타이밍 컨트롤러로 입력 되더라도, 처리부(470)는 지연부(450)로부터 전송되어온 순간적인 비정상 클럭이 제거된 아웃풋 SDCLK을 이용하여, 정상적인 구동부 제어신호와 재정렬된 영상데이터를 출력할 수 있다. 이로 인해, 패널에서도 정상적인 영상이 출력될 수 있다.
- [0078] 마지막으로, EPI송신부(440)는 제어신호 생성부(420)로부터 전송되어온 데이터 제어신호(DCS) 및 영상데이터 정렬부(430)로부터 전송되어온 영상데이터를 데이터 드라이브 IC로 전송하는 기능을 수행한다. 이러한 EPI송신부(440)는 출원번호 10-2008-0127456호 등에 기재되어 있는 바와 같이, 타이밍 컨트롤러(400)를 점 대 점(point to point) 방식으로 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각과 접속시키기 위한 것으로서, 데이터 드라이브 IC와의 인터페이스가 EPI 방식으로 이루어지고 있는 타이밍 컨트롤러에서 일반적으로 이용되고 있다.
- [0079] 이러한 EPI송신부(440)와 데이터 드라이브 간의 구성을 간단히 요약하면 다음과 같다.
- [0080] EPI송신부(440)와 데이터 드라이브 IC들(SDIC#1~SDIC#8) 사이에는 데이터 배선쌍(DATA&CLK), 제어 배선쌍(SCL/SDA), 락체크 배선(LCS) 등의 배선들이 형성된다.
- [0081] 데이터 배선쌍(DATA&CLK)은 1:1 즉, 점 대 점(Point to Point) 방식으로 EPI 송신부(440)를 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각에 직렬 연결한다. 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각은 데이터 배선쌍(DATA&CLK)을 통해 입력되는 클럭들을 복원하기 때문에, 도 2에 도시된 바와 같이 이웃한 데이터 드라이브 IC들(SDIC#1~SDIC#8) 사이에는 영상데이터(RGB)를 전달하는 배선이 필요 없다.
- [0082] 또한, 락체크 배선(LCS)은 상기한 바와 같이 EPI송신부(440)와 데이터 드라이브 IC(300)간 및 데이터 드라이브 IC들 상호간에 락신호를 전송하기 위한 것으로서, 마지막 데이터 드라이브 IC(300)로부터는 EPI_Rx_LOCK이 타이밍 컨트롤러의 EPI송신부(440)로 전송된다.
- [0083] 또한, EPI송신부(440)는 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 칩 식별코드(CID)와 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 각 기능을 제어하기 위한 칩 개별 제어 데이터들을 제어 배선쌍(SCL/SDA)을 통해 데이터 드라이브 IC들(SDIC#1~SDIC#8)에 전송한다.
- [0084] 상기한 바와 같이 구성된 EPI송신부(440)의 기능을 간단히 요약하면 다음과 같다.
- [0085] 우선, EPI송신부(440)는 영상데이터를 데이터 드라이브 IC로 전송하기에 앞서, 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 클럭 분리 및 데이터 샘플링부 출력이 안정하게 고정되었는지의 여부를 확인하기 위한 락신호(LOCK)를, 락체크 배선(LCS1)을 통해 제1 데이터 드라이브 IC(SDIC#1)에 공급한다.
- [0086] 제1 데이터 드라이브 IC(SDIC#1)는 데이터 샘플링을 위한 클럭 출력의 주파수 및 위상이 고정되면 하이논리값(H(1))의 락신호(Lock)를 제2 데이터 드라이브 IC(SDIC#2)로 전달하고, 제2 데이터 드라이브 IC(SDIC#2)는 출력 클럭의 주파수 및 위상을 고정된 후에 하이 논리의 락신호(Lock)를 제2 데이터 드라이브 IC(SDIC#2)에 전달한다.
- [0087] 이와 같이 데이터 드라이브 IC들(SDIC#1~SDIC#8)의 클럭 출력 주파수와 위상이 고정된 후에 마지막 데이터 드라이브 IC(SDIC#8)의 클럭 출력 주파수와 위상이 고정되면 마지막 데이터 드라이브 IC(SDIC#8)는 상기한 바와 같이 하이논리값의 락 신호(EPI_Rx_LOCK)를 피드백 락체크 배선(LCS)을 통해 EPI송신부(440)로 피드백 입력한다.
- [0088] EPI송신부(440)는 락신호의 피드백 입력을 수신한 후에, 데이터 제어신호 패킷 및 영상데이터(RGB) 패킷을 데이터 드라이브 IC들(SDIC#1~SDIC#8) 각각에 전송한다.
- [0089] 즉, EPI송신부(440)는 데이터 제어신호와 영상데이터를 각각의 데이터 드라이브 IC로 전송하는 기능을 수행한다.
- [0090] 한편, 상기한 바와 같은 기능을 수행하는 EPI송신부(440)도 LVDS수신부(410) 또는 데이터 드라이브 IC(300)와 같이, PLL(441)을 포함하고 있다.
- [0091] 여기서, EPI송신부(440)에 포함되어 있는 PLL(441)은, 영상데이터 정렬부(430) 또는 제어신호 생성부로부터 전송되어오는 입력신호와 EPI송신부(440)로부터 출력되는 출력신호의 주파수(위상)를 일정하게 유지시키는 기능을 수행한다.
- [0092] 상기한 바와 같이, 본 발명의 제1실시예에 따른 타이밍 컨트롤러는, LVDS수신부(410)와 처리부(470) 사이에 지

연부(450)를 구비하고 있고, 이러한 지연부(450)는 역확산용 PLL(De-Spreading용 PLL)을 이용하여, 역확산(De-spreading) 클럭(아웃풋 SDCLK)을 생성하고 있으며, 지연부는 아웃풋 SDCLK을 처리부로 전송하고 있다. 한편, 본 발명의 제1실시예는 제어신호 생성부(420) 또는 영상데이터 정렬부(430)에 필요한 정보들을 저장하기 위해 종래부터 이용되고 있던 저장부(460)가, 지연부(450)로부터 전송되어온 아웃풋 SDCLK을 저장하도록 하고 있다. 이러한 저장부(460)는 FIFO로 사용될 수 있다.

[0093] 도 6은 본 발명의 제2실시예에 따른 타이밍 컨트롤러(400)의 내부 구성을 나타낸 예시도이다. 또한, 도 7은 본 발명에 따른 타이밍 컨트롤러 중 지연부로 입력되는 인풋 SDCLK과 지연부로부터 출력되는 아웃풋 SDCLK의 시물레이션 결과를 나타낸 파형도이다.

[0094] 한편, 상기한 바와 같은 목적 및 기능을 달성하기 위한 본 발명의 제2실시예에 따른 타이밍 컨트롤러는 도 6에 도시된 바와 같이, 외부 시스템 또는 확산스펙트럼 IC(500)로부터 전송되는 영상데이터(Data)와 타이밍 신호(Vsync, Hsync, DE, 인풋 SDCLK)를 수신하기 위한 LVDS수신부(410), LVDS수신부를 통해 수신된 Vsync, Hsync, DE와 같은 타이밍 제어신호를 이용하여 각종 구동부 제어신호를 생성하여 출력하고, LVDS수신부를 통해 수신된 영상데이터를 재정렬하여 출력하기 위한 처리부(470), 처리부로부터 전송되어온 데이터 제어신호(DCS)와 재정렬된 영상데이터를 점 대 점 방식(Point to Point)으로 각 데이터 드라이브 IC로 출력하며, 처리부를 통해 수신된 인풋 SDCLK을 역확산(De-Spreading)시켜 인풋 SDCLK에서 순간적인 비정상 클럭이 발생되더라도, 이러한 순간적인 비정상 클럭이 반영되지 않은 아웃풋 SDCLK를 처리부로 출력할 수 있는 EPI송신부(440)를 포함하여 구성될 수 있다.

[0095] 본 발명의 제2실시예에 따른 타이밍 컨트롤러(400)는 제1실시예에서 LVDS수신부(410)와 처리부(470) 사이에 구비되어 있던 지연부(450)가, EPI송신부(440) 내부에 구비되어 있다는 점을 제외하고는, 그 구성 및 기능이 제1실시예에 따른 타이밍 컨트롤러(400)의 구성 및 기능과 동일함으로, 이하에서는, 제1실시예와 다른 구성 및 기능이 중점적으로 설명된다.

[0096] 즉, 본 발명의 제2실시예에 적용되는 LVDS수신부(410) 및 그 내부에 포함되어 있는 PLL(411)의 기능은 제1실시예에서 설명된 LVDS수신부(410) 및 PLL(411)의 기능과 동일하다.

[0097] 또한, 본 발명의 제2실시예에 적용되는 처리부(470)의 구성 및 기능 역시, 제1실시예에서 설명된 처리부(470)의 구성 및 기능과 동일하다. 다만, 본 발명의 제2실시예에 적용되는 처리부(470)가 EPI송신부(440) 내부에 포함되어 있는 지연부(450)로부터 수신된 아웃풋 SDCLK을 이용하여 각종 구동부 제어신호를 생성하고, 영상데이터를 재정렬하는 기능은, 제1실시예에서 설명된 기능과 차이가 있다.

[0098] 즉, 제1실시예에서의 지연부(450)는 LVDS수신부(410)와 처리부(470) 사이에 구비되어, LVDS수신부로부터 직접적으로 수신된 인풋 SDCLK을 변환시켜 처리부(470)로 전송하였으나, 제2실시예에서의 지연부(450)는 EPI송신부(440) 내부에 포함되어 있어서 처리부(470)를 통해 수신된 인풋 SDCLK을 변환시켜 처리부(470)로 전송하고 있다.

[0099] 한편, 제2실시예에서 EPI송신부(440)에 포함되어 있는 지연부(450)는, 도 4에 도시된 제1실시예에서 EPI송신부(440)에 포함되어 있던 PLL(441)과, LVDS송신부(410)와 처리부(470) 사이에 구비되어 있는 지연부(450)의 기능을 모두 수행하고 있다는 특징을 가지고 있다.

[0100] 즉, 제1실시예 및 제2실시예에서, 지연부(450)는 PLL의 지연 특성을 이용하여 인풋 SDCLK에 포함되어 있는 순간적인 비정상 클럭이 아웃풋 SDCLK에 포함되지 않도록 하는 기능을 수행하고 있으며, 특히, 제2실시예에서의 지연부(450)를 구성하는 PLL은 제1실시예에서 영상데이터 정렬부(430) 또는 제어신호 생성부로부터 전송되어오는 입력신호와 EPI송신부(440)로부터 출력되는 출력신호의 주파수(위상)를 일정하게 유지시켜 주기 위한 PLL(441)의 기능을 추가적으로 수행하고 있다.

[0101] 즉, 제2실시예에서는, 제1실시예의 EPI송신부(440)에서 사용되던 PLL(441)이 지연부(450)의 역확산용 PLL로 이용되고 있다.

[0102] 그러나, 제2실시예에서, EPI송신부(440)에 포함되어 있는 지연부(450)는, 제1실시예의 EPI송신부에 포함되어 있던 PLL(441)과 독립되어 있는 별도의 PLL을 통해 구성될 수도 있다.

[0103] 상기한 바와 같이, 본 발명의 제2실시예에 따른 타이밍 컨트롤러는, EPI송신부(440) 내부에 지연부(450)를 구비하고 있으며, 이러한 지연부는 EPI송신부에 구비되어 있던 PLL을 개조하여 역확산용 PLL(De-Spreading용 PLL)로

이용하고 있다. 또한, 지연부(450)는 처리부(470)를 통해 수신된 인풋 SDCLK에서 순간적인 비정상 클럭을 필터링하여 처리부(470)로 전송하고 있으며, 처리부는 지연부(450)로부터 전송되어온 아웃풋 SDCLK을 이용하여 정상적인 구동부 제어신호와 재정렬된 영상데이터를 출력하고 있다. 한편, 본 발명의 제2실시예는 제어신호 생성부(420) 또는 영상데이터 정렬부(430)에 필요한 정보들을 저장하기 위해 종래부터 이용되고 있던 저장부(460)가, 지연부(450)로부터 전송되어온 아웃풋 SDCLK을 저장하도록 하고 있다. 이러한 저장부(460)는 FIFO로 사용될 수 있다.

[0104] 상기한 바와 같은 본 발명의 제1실시예 및 제2실시예에 의하면, 타이밍 컨트롤러는 외부로부터 수신된 인풋 SDCLK에 도 5의 (a)에 도시된 바와 같은 순간적인 비정상 클럭이 포함되어 있더라도, 도 5의 (b)에 도시된 바와 같이 순간적인 비정상 클럭이 포함되어 있지 않은 아웃풋 SDCLK을 출력시킬 수 있다. 한편, 본 발명에 따른 타이밍 컨트롤러는 아웃풋 SDCLK을 이용하여 각종 구동부 제어신호를 출력하는 한편, 영상데이터를 재정렬하고 있다. 따라서, 본 발명은 타이밍 컨트롤러로 입력되는 인풋 SDCLK에 순간적인 비정상 클럭이 포함되어있는지의 여부와 상관없이 지속적으로 안정적인 구동부 제어신호와 재정렬된 영상데이터를 출력할 수 있다는 특징을 가지고 있다.

[0105] 즉, 본 발명은 순간적인 비정상 클럭(abnormal clock)이 타이밍 컨트롤러로 입력되더라도, 타이밍 컨트롤러가 정상적인 출력(구동부 제어신호 및 영상데이터)을 냄으로써, EPI용 데이터 드라이브 IC(D-IC)의 PLL Lock 해제를 방지할 수 있게 된다. 그 결과 순간적인 비정상 클럭이 액정표시장치로 입력되더라도, 정상적인 영상 출력이 가능하게 된다.

[0106] 한편, 도 7은 역확산(De-spreading)을 위한 저장부(FIFO)의 시뮬레이션(simulation) 결과를 나타낸 것이다. 상기한 바와 같이 역확산용 PLL(De-spreading용 PLL)의 출력 클럭(아웃풋 SDCLK)의 경우, 입력되는 클럭(인풋 SDCLK)과 다른 위상 또는 주파수를 가지기 때문에, 데이터를 정상적으로 래치(latch)하기 위해서는, 반드시 FIFO memory가 필요하다.

[0107] 이를 위해 본 발명은 저장부(460)를 구비하고 있으며, 도 7에 도시된 시뮬레이션 결과를 통해, 역확산 클럭(아웃풋 SDCLK)과 입력 클럭(인풋 SDCLK)이 다르더라도 정상적으로 데이터가 출력되고 있음을 알 수 있다.

[0108] 즉, 도 7의 (a)에 도시된 바와 같이, FIFO 입력 data는 인풋 클럭(인풋 SDCLK)에 동기가 맞게 들어가고 있으며, (b)에 도시된 바와 같이, FIFO 출력 data는 역확산 클럭(아웃풋 SDCLK)에 동기가 맞게 나오고 있음을 알 수 있다.

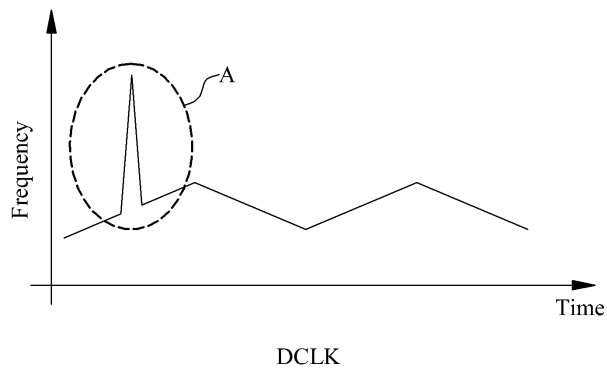
[0109] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

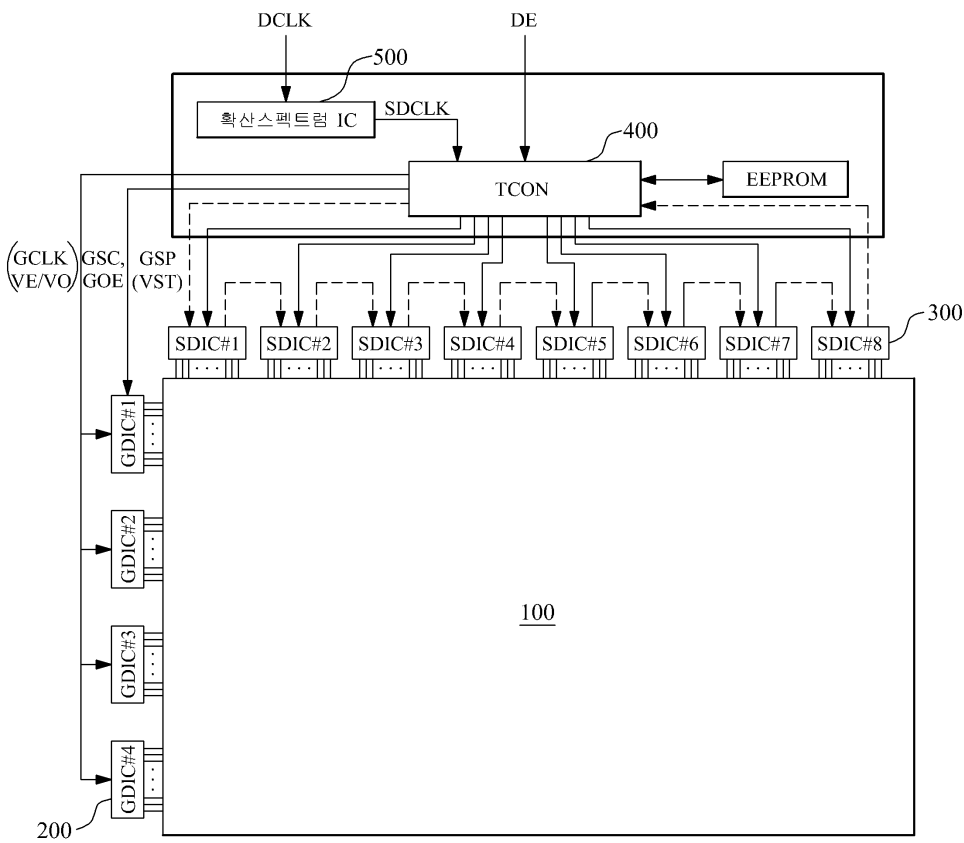
[0110] 100 : 패널	200 : 게이트 드라이브 IC
300 : 데이터 드라이브 IC	400 : 타이밍 컨트롤러
410 : LVDS수신부	420 : 제어신호 생성부
430 : 영상데이터 정렬부	440 : EPI송신부
450 : 지연부	460 : 저장부
470 : 처리부	

도면

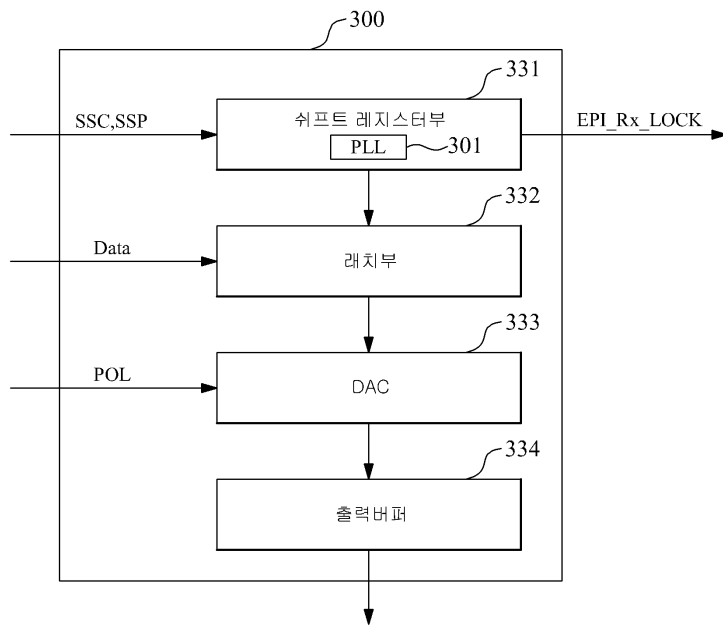
도면1



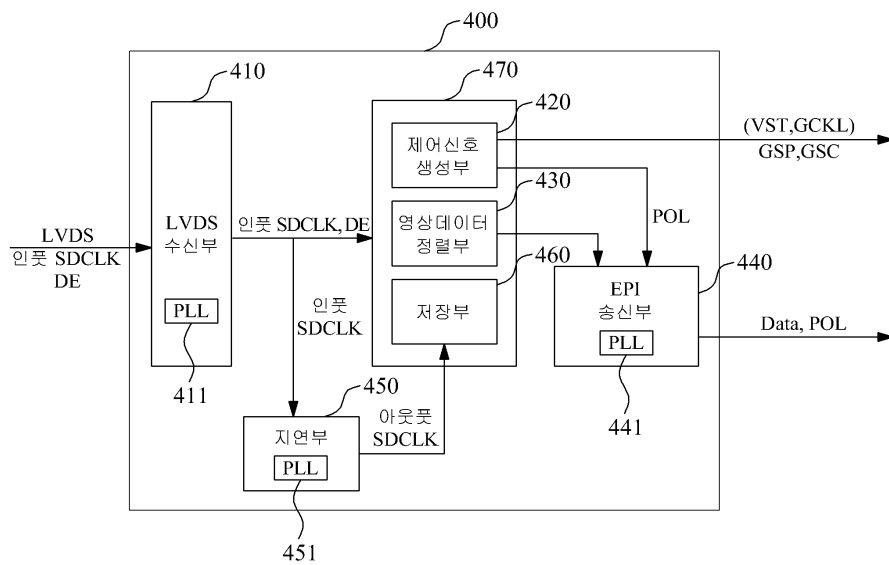
도면2



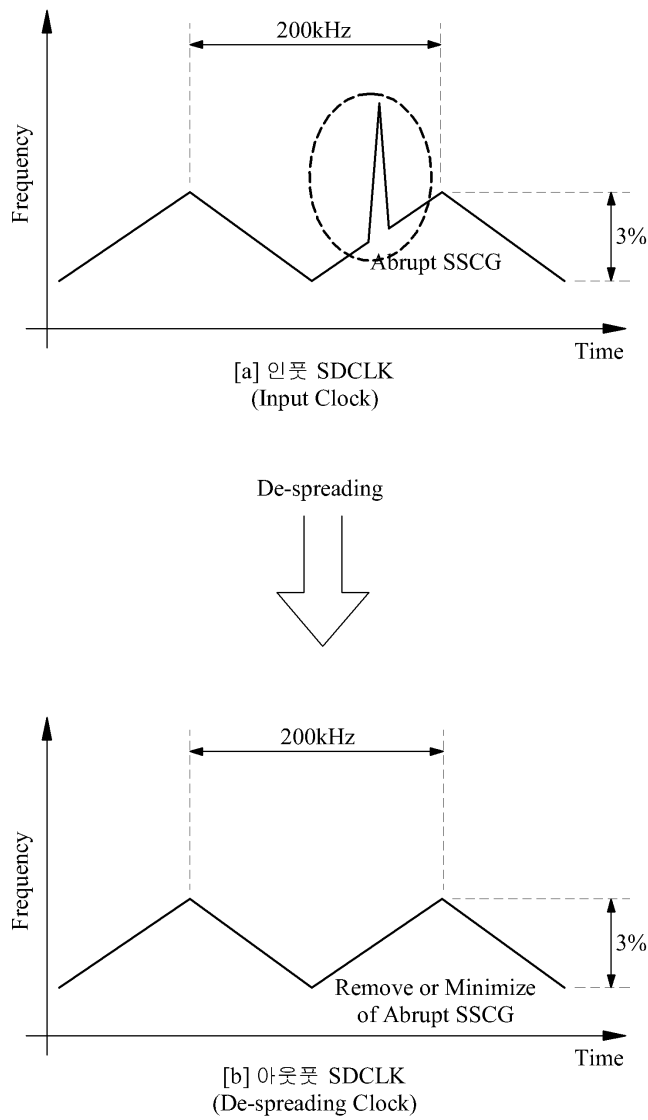
도면3



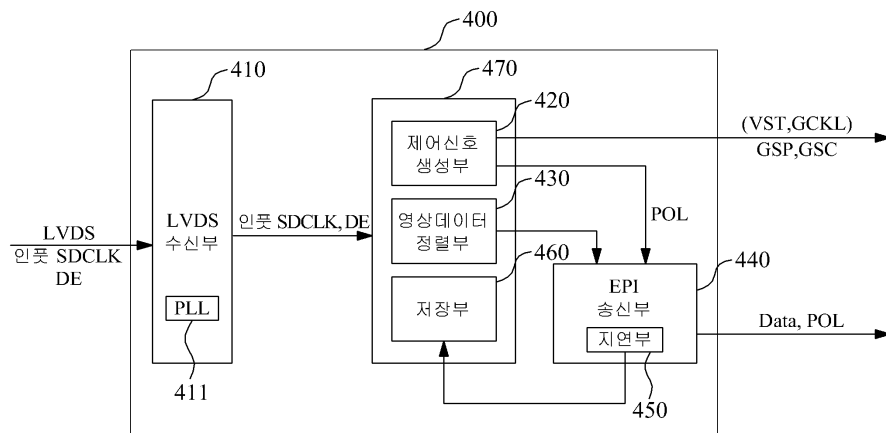
도면4



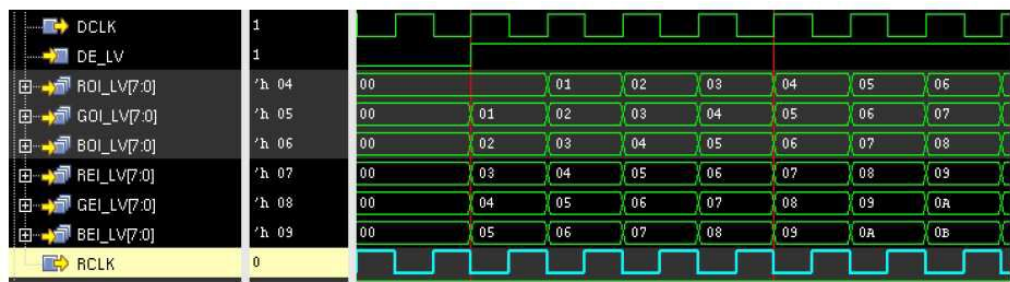
도면5



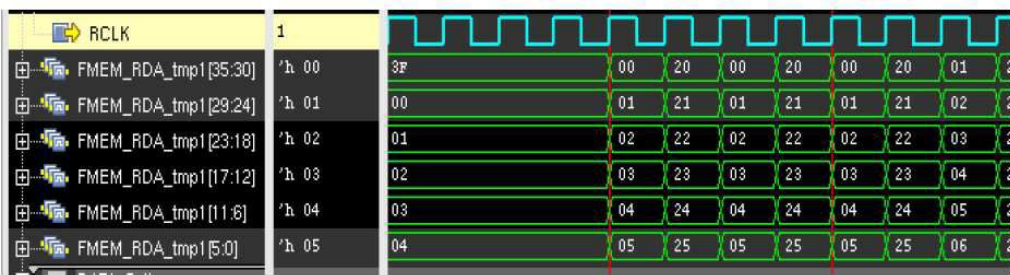
도면6



도면7



(a)



(b)

专利名称(译)	定时控制器，其驱动方法以及使用该定时控制器的液晶显示装置		
公开(公告)号	KR101865065B1	公开(公告)日	2018-06-07
申请号	KR1020110084394	申请日	2011-08-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON MYUNG KOOK 문명국 KIM JONG WOO 김종우		
发明人	문명국 김종우		
IPC分类号	G09G3/36 H03L7/08 G09G3/20		
CPC分类号	G09G3/3688 H03L7/08 G09G3/2092 G09G2310/08 G09G2370/14 G09G2300/0842		
其他公开文献	KR1020130021869A		
外部链接	Espacenet		

摘要(译)

本发明是一个定时控制器及其驱动方法，它利用，尤其涉及一种液晶显示装置，通过使用函数的锁相环不能沿输入信号即使瞬时异常时钟输入快速保持，异常输出生成以及使用该定时控制器的液晶显示装置。为此，根据本发明的定时控制器包括：LVDS接收单元，用于接收图像数据和输入SDCLK;经由LVDS接收器接收输入SDCLK延迟单元，对应于所述至少一个输入SDCLK瞬时的异常时钟滤波输出SDCLK输出;对于使用输出SDCLK生成栅极控制信号和数据控制信号，以输出，并且输出到重新排列经由LVDS接收器接收的图像数据的处理;以及用于在所述数据控制信号的每一个数据驱动IC和已经从处理点对点方式发送的重排的视频数据输出EPI的发送部。

