



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년02월20일
(11) 등록번호 10-1830439
(24) 등록일자 2018년02월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1337 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2010-0115435
(22) 출원일자 2010년11월19일
심사청구일자 2015년11월03일
(65) 공개번호 10-2012-0054183
(43) 공개일자 2012년05월30일
(56) 선행기술조사문헌
KR1020090124527 A*
JP2010165961 A*
JP2007213092 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
문태웅
경기도 파주시 후곡로 50, 후곡마을아파트 421동
1801호 (금촌동)
(74) 대리인
특허법인인벤투스

전체 청구항 수 : 총 10 항

심사관 : 하정균

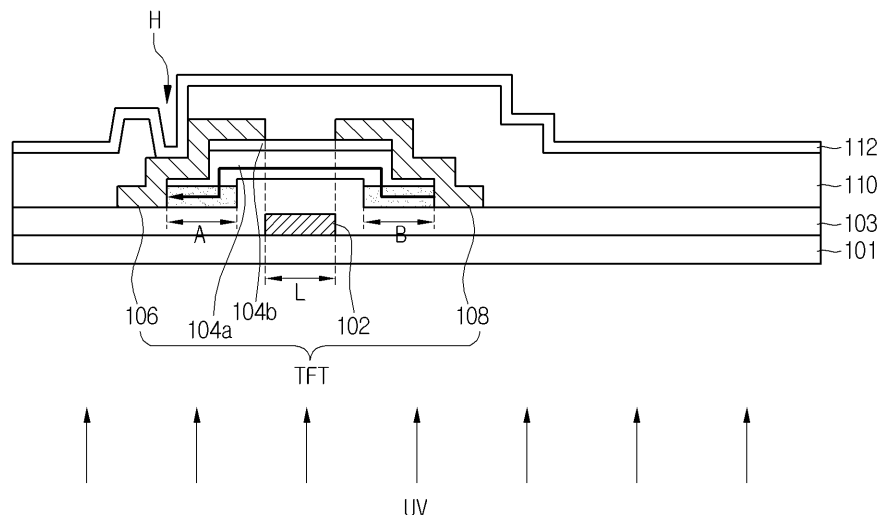
(54) 발명의 명칭 액정표시장치 및 그의 제조방법

(57) 요약

액정표시장치 및 그의 제조방법이 개시된다.

본 발명에 따른 액정표시장치는 제1 기판과, 상기 제1 기판 상에 형성된 게이트 전극과, 상기 게이트 전극이 형성된 제1 기판 전면에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성되어 상기 게이트 전극과 대응되도록 형성된 제1 반도체층과, 상기 제1 반도체층 상에 형성되며 불순물을 포함하는 제2 반도체층과, 상기 제2 반도체층 상에 형성되어 일정간격 이격되는 소스 및 드레인 전극과, 상기 소스 및 드레인 전극이 형성된 제1 기판 전면에 형성되어 상기 드레인 전극의 일부분을 노출시키는 콘택홀을 구비한 보호막과, 상기 보호막 상에 형성되어 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 접속된 화소 전극과, 상기 제1 기판과 대향되는 제2 기판 및 상기 제1 및 제2 기판 사이에 형성된 액정층을 포함하고, 상기 제1 반도체층은 옥사이드 재질로 구성된다.

대표도 - 도2e



명세서

청구범위

청구항 1

제1 기판;

상기 제1 기판 상에 형성된 게이트 전극;

상기 게이트 전극이 형성된 제1 기판 전면에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성되어 상기 게이트 전극과 대응되도록 형성된 제1 반도체층;

상기 제1 반도체층 상에 형성되며 불순물을 포함하는 제2 반도체층;

상기 제2 반도체층 상에 형성되고, 상기 게이트 전극의 선평만큼 이격되는 소스 전극 및 드레인 전극;

상기 소스 전극 및 상기 드레인 전극이 형성된 제1 기판 전면에 형성되어 상기 소스 전극 또는 상기 드레인 전극의 일부분을 노출시키는 컨택홀을 구비한 보호막;

상기 보호막 상에 형성되어 상기 컨택홀을 통해 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속된 화소 전극;

상기 제1 기판과 대향되는 제2 기판;

상기 제2 기판에 배치된 공통 전극;

상기 제1 기판 및 상기 제2 기판 사이에 형성된 액정층; 및

상기 제1 기판 및 상기 제2 기판을 전기적으로 연결하기 위해 상기 제2 기판에 배치된 Ag 도트를 포함하고,

상기 제1 반도체층은 옥사이드 재질로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 소스 및 드레인 전극은 상기 게이트 전극과 중첩되지 않는 액정표시장치.

청구항 3

제1 항에 있어서,

상기 제1 반도체층은 UV 조사되면 도체 성질을 갖는 액정표시장치.

청구항 4

제3 항에 있어서,

상기 UV는 300nm 이하의 파장을 갖는 액정표시장치.

청구항 5

제1 및 제2 기판을 준비하는 단계;

상기 제1 기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극이 형성된 제1 기판 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 게이트 전극과 대응되는 제1 반도체층을 형성하는 단계;

상기 제1 반도체층 상에 불순물을 포함하는 제2 반도체층을 형성하고, 상기 제2 반도체층 상에 상기 게이트 전극의 선평만큼 이격되는 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 상기 드레인 전극이 형성된 제1 기판 전면에 보호막을 형성하고, 상기 소스 전극 또는 상기 드레인 전극의 일부분을 노출시키는 컨택홀을 형성하는 단계;

상기 보호막 상에 상기 컨택홀을 통해 상기 소스 전극 또는 상기 드레인 전극과 전기적으로 접속된 화소 전극을 형성하는 단계;

상기 제2 기판에 공통 전극 및 상기 제1 기판과 상기 제2 기판을 전기적으로 연결하기 위한 Ag 도트를 형성하는 단계;

상기 화소전극이 형성된 제1 기판 배면에 UV를 조사하는 단계; 및

상기 제1 기판 상에 액정을 적하하고 상기 제1 및 제2 기판을 합착하는 단계를 포함하고,

상기 제1 반도체층은 옥사이드 재질로 구성되는 액정표시장치의 제조방법.

청구항 6

제5 항에 있어서,

상기 제1 기판 배면에 UV 조사하는 단계는,

상기 화소 전극이 형성된 제1 기판을 세정하는 공정 중에 이루어지는 액정표시장치의 제조방법.

청구항 7

제5 항에 있어서,

상기 제1 기판 배면에 UV 조사하는 단계는,

상기 화소 전극이 형성된 제1 기판 상에 배향막을 배향하는 공정 또는 상기 배향막을 러빙하는 공정 중 어느 한 공정 중에 이루어지는 액정표시장치의 제조방법.

청구항 8

제5 항에 있어서,

상기 UV는 300nm 이하의 파장을 갖는 액정표시장치의 제조방법.

청구항 9

제5 항에 있어서,

상기 제1 반도체층은 UV 조사되면 도체 성질을 갖는 액정표시장치의 제조방법.

청구항 10

제5 항에 있어서,

상기 소스 및 드레인 전극은 상기 게이트 전극과 중첩되지 않는 액정표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로 특히, 제품의 신뢰성을 향상시킬 수 있는 액정표시장치 및 그의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증대하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러가지 평판표시장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

- [0003] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathod Tay Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- [0004] 이와 같이 액정표시자치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 장점과 배치되는 면이 많이 있다.
- [0005] 따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려있다고 할 수 있다.
- [0006] 액정표시장치는 일정한 셀 갭을 갖고 합착된 상부 및 하부 기관과, 상기 두 기관 사이에 형성된 액정층으로 구성된다. 이때, 하부 기관에는 화소영역(P)을 정의하기 위하여 일정한 간격을 갖고 일방향으로 다수의 게이트라인이 배열되고, 상기 게이트라인에 수직한 방향으로 일정한 간격을 갖고 다수의 데이터라인이 배열되며, 상기 게이트라인과 데이터라인이 교차하는 각 화소영역(P)에는 화소전극이 형성되고, 상기 화소전극은 박막트랜지스터(TFT)와 전기적으로 접속된다.
- [0007] 그리고, 상부기관에는 상기 화소영역(P)을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 R, G, B 컬러필터층과, 화상을 구현하기 위한 공통전극이 형성되어 있다.
- [0008] 상기 박막트랜지스터(TFT)는 상기 게이트라인으로부터 돌출된 게이트 전극과, 전면에 형성된 게이트 절연막과, 상기 게이트 전극 상층의 게이트 절연막 위에 형성된 액티브층과, 상기 데이터라인으로부터 돌출된 소스 전극과, 상기 소스 전극과 이격되어 대향되도록 형성된 드레인 전극으로 구성된다.
- [0009] 이때, 상기 소스 전극과 드레인 전극은 상기 게이트 전극 상에서 상기 게이트 전극의 양측 가장자리와 각각 일정부분 중첩되도록 형성된다. 이는, 게이트 전극과, 소스 및 드레인 전극의 미스 얼라인을 방지하기 위함이다.
- [0010] 즉, 공정 중에 발생할 수 있는 미스 얼라인을 방지하기 위해 게이트 전극 상에 형성되는 소스 및 드레인 전극을 상기 게이트 전극과 일부분 중첩되게 형성한다. 상기 소스 및 드레인 전극이 상기 게이트 전극의 양측 가장자리와 중첩되기 때문에 상기 중첩부분에서 기생 캐패시턴스 성분이 발생하게 된다.
- [0011] 이러한 기생 캐패시턴스 성분으로 인해 박막트랜지스터(TFT)의 온 전류가 증가하게 되어 상기 박막트랜지스터(TFT)를 구동하기 위한 소비 전력이 증가하게 되어 제품의 신뢰성을 저하시킨다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 소스 및 드레인 전극과 중첩되지 않도록 게이트 전극의 길이를 줄이고 UV 조사로 도체화 되는 Oxide 물질을 이용하여 쇼트 채널을 형성함으로써, 소스 및 드레인 전극과 게이트 전극이 사이에 발생하는 기생 용량 성분을 최소화하여 소비 전력을 절감시켜 제품의 신뢰성을 향상시킬 수 있는 액정표시장치 및 그의 제조방법을 제공함에 그 목적이 있다.

과제의 해결 수단

- [0013] 본 발명의 실시예에 따른 액정표시장치는 제1 기관과, 상기 제1 기관 상에 형성된 게이트 전극과, 상기 게이트 전극이 형성된 제1 기관 전면에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성되어 상기 게이트 전극과 대응되도록 형성된 제1 반도체층과, 상기 제1 반도체층 상에 형성되며 불순물을 포함하는 제2 반도체층과, 상기 제2 반도체층 상에 형성되어 일정간격 이격되는 소스 및 드레인 전극과, 상기 소스 및 드레인 전극이 형성된 제1 기관 전면에 형성되어 상기 드레인 전극의 일부분을 노출시키는 콘택홀을 구비한 보호막과, 상기 보호막 상에 형성되어 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 접속된 화소 전극과, 상기 제1 기관과 대향되는 제2 기관 및 상기 제1 및 제2 기관 사이에 형성된 액정층을 포함하고, 상기 제1 반도체층은 옥사이드 재질로 구성된다.
- [0014] 본 발명의 실시예에 따른 액정표시장치의 제조방법은 제1 및 제2 기관을 준비하는 단계와, 상기 제1 기관 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극이 형성된 제1 기관 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 상기 게이트 전극과 대응되는 제1 반도체층을 형성하는 단계와, 상기 제1 반

도체층 상에 불순물을 포함하는 제2 반도체층을 형성하고, 상기 제2 반도체층 상에 일정간격 이격되는 소스 및 드레인 전극을 형성하는 단계와, 상기 소스 및 드레인 전극이 형성된 제1 기판 전면에 보호막을 형성하고, 상기 드레인 전극의 일부분을 노출시키는 컨택홀을 형성하는 단계와, 상기 보호막 상에 상기 컨택홀을 통해 상기 드레인 전극과 전기적으로 접속된 화소 전극을 형성하는 단계 및 상기 화소전극이 형성된 제1 기판 배면에 UV를 조사하는 단계 및 상기 제1 기판 상에 액정을 적하하고 상기 제1 및 제2 기판을 합착하는 단계를 포함하고, 상기 제1 반도체층은 옥사이드 재질로 구성된다.

발명의 효과

[0015] 본 발명의 실시예에 따른 액정표시장치 및 그의 제조방법은 기생용량을 최소화시키며 게이트 전극의 선폭만큼의 쇼트 채널을 형성하여 박막트랜지스터의 온 전류를 충분히 확보하여 제품의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

도 2a 내지 도 2e는 도 1의 하부 기판 상에 박막트랜지스터를 형성하는 공정을 순서대로 나타낸 도면이다.

도 3은 도 1의 액정표시장치의 제조 공정을 나타낸 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명하기로 한다.

[0018] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

[0019] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치(100)는 하부 기판(101) 및 상부 기판(201)과, 두 기판 사이에 형성된 액정층(도시하지 않음)으로 구성된다.

[0020] 상기 하부 기판(101) 상에는 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)와 전기적으로 접속된 화소전극(112)이 형성되어 있다.

[0021] 상기 박막트랜지스터(TFT)는 하부 기판(101) 상에 형성된 게이트 전극(102)과, 상기 게이트 전극(102) 상에 형성된 게이트 절연막(103)과, 상기 게이트 절연막(103) 상에 순차적으로 형성된 제1 반도체층(104a) 및 제2 반도체층(104b)과, 상기 제2 반도체층(104) 상에 형성되어 일정 간격 서로 이격된 소스 전극(106) 및 드레인 전극(108)을 포함한다.

[0022] 이때, 상기 소스 및 드레인 전극(106, 108)은 상기 게이트 전극(102)과 중첩되지 않는다. 상기 제1 반도체층(104a)은 옥사이드(Oxide) 재질로 구성된다. 상기 옥사이드(Oxide) 재질은 어닐링 공정에서는 반도체 성질을 갖고, UV 조사를 한 경우에는 도체화되는 성질을 갖는다.

[0023] 또한, 상기 하부 기판(101)은 상기 소스 전극(106)과 상기 화소 전극(112)을 전기적으로 연결하기 위한 컨택홀(H)을 갖는 보호막(110)을 더 포함한다. 도 1에서는 컨택홀(H)이 소스 전극(106)과 화소 전극(112)을 전기적으로 연결하기 위해 형성되는 것으로 도시하였으나, 컨택홀(H)은 드레인 전극(108)과 화소 전극(112)이 전기적으로 연결되도록 형성될 수 있다. 상기 보호막(110)은 무기 절연물질 예를 들면 산화 실리콘(SiO₂) 또는 질화 실리콘(SiNx)로 형성될 수 있고, 유기 절연물질 예를 들면 포토 아크릴(photo acryl) 또는 벤조사이클로부텐(BCB)로 형성될 수 있다.

[0024] 상기 화소전극(112)은 인듐-틴-옥사이드(Indium-Tin-Oxide), 인듐-징크-옥사이드(Indium-Zinc-Oxide) 및 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide) 중 어느 하나로 형성된다.

[0025] 상기 상부 기판(201) 상에는 빛으로부터 상기 박막트랜지스터(TFT)를 차폐하기 위한 블랙 매트릭스(210)와, 컬러를 갖는 컬러필터(220) 및 상기 화소전극(112)과 전계를 형성하는 공통전극(230)이 형성된다.

[0026] 도 2a 내지 도 2e는 도 1의 하부 기판 상에 박막트랜지스터를 형성하는 공정을 순서대로 나타낸 도면이다.

[0027] 도 2a에 도시된 바와 같이, 하부 기판(101) 상에 Al, Cr, Mo, Al 합금, Cu 중 어느 하나로 이루어진 게이트 금속층(102a)을 증착한 후 패터닝하여 게이트라인(도시하지 않음)과 함께 게이트 전극(102)이 형성된다. 상기 게이트 전극(102)이 형성된 하부 기판(101) 전면에 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO_x), 유기 절연막인 BCB(BenzoCycloButene), 아크릴 수지 등을 이용하여 도 2b에 도시된 바와 같이, 게이트 절연막(103)을 형성

한다.

- [0028] 상기 게이트 절연막(103) 상에 InGaZnOx로 이루어진 옥사이드 층을 형성한 후 포토 공정을 통해 상기 게이트 전극(102)에 대응되도록 상기 옥사이드 층을 패터닝하여 상기 제1 반도체층(104a)을 형성한다.
- [0029] 상기 제1 반도체층(104a)은 앞서 서술한 바와 같이 어닐링 공정에서는 반도체 성질을 갖고 UV 조사 시 도체 성질을 갖는다. 상기 제1 반도체층(104a)에 300nm 이하의 파장을 갖는 UV를 조사하게 되면 상기 제1 반도체층(104a)을 도체 성분을 갖게 된다.
- [0030] 상기 제1 반도체층(104a)이 형성된 하부 기판(101) 상에 순차적으로 불순물을 포함하는 반도체층과 Al, Cr, Mo, Al 합금, Cu 등을 이용한 데이터 금속층을 증착한 후 포토 공정을 통해 도 2c에 도시된 바와 같이, 제2 반도체층(104b)과 소스 및 드레인 전극(106, 108)을 형성한다.
- [0031] 이때, 상기 소스 및 드레인 전극(106, 108)은 상기 게이트 전극(102)과 중첩되지 않도록 얼라인 된다.
- [0032] 이어, 도 2d에 도시된 바와 같이, 상기 소스 및 드레인 전극(106, 108)이 형성된 하부 기판(101) 전면에 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx) 또는 유기 절연막인 BCB, 아크릴 수지 등을 이용한 보호막(110)을 형성한다. 상기 보호막(110)은 상기 소스 전극(106)의 일부분을 노출시키는 컨택홀(H)을 포함한다.
- [0033] 상기 컨택홀(H)을 포함한 보호막(110) 상에 상기 소스 전극(106)과 전기적으로 접속되는 화소 전극(112)을 형성한다. 도 2d 및 도 2e에서는 컨택홀(H)이 소스 전극(106)과 화소 전극(112)을 전기적으로 연결하기 위해 형성되는 것으로 도시하였으나, 컨택홀(H)은 드레인 전극(108)과 화소 전극(112)이 연결되도록 형성될 수 있다.
- [0034] 이와 같은 공정을 통한 하부 기판(101)의 배면에는 300nm 이하의 파장을 갖는 UV를 도 2e에 도시된 바와 같이, 조사한다. 상기 하부 기판(101) 상에 300nm 이하의 파장을 갖는 UV를 조사하게 되면 상기 옥사이드 재질의 제1 반도체층(104a)은 도체화된다.
- [0035] 구체적으로, 상기 제1 반도체층(104a) 중 상기 게이트 전극(102)에 의해 중첩되는 부분을 제외하고 상기 게이트 전극(102)과 중첩되지 않는 부분(A, B)은 도체화된다. 이로 인해, 상기 제1 반도체층(104a)은 상기 게이트 전극(102)에 의해 중첩되는 부분에서 반도체 성질을 갖게 되고, 상기 게이트 전극(102)과 중첩되지 않는 부분(A, B)에서는 도체성질을 갖게 된다. 따라서, 전류가 도 2e의 화살표 방향으로 흐르게 된다.
- [0036] 이로 인해, 상기 하부 기판(101) 상에 형성된 박막트랜지스터(TFT)는 게이트 전극(102)이 소스 및 드레인 전극(106, 108)과 중첩되지 않아서 기생 용량을 최소화할 수 있다. 또한, 옥사이드 재질의 제1 반도체층(104a)이 UV 조사로 도체화되기 때문에 게이트 전극(102)의 길이(L) 만큼의 쇼트 채널을 형성하여 박막트랜지스터(TFT)의 온 전류를 충분히 확보할 수 있다.
- [0037] 도 3은 도 1의 액정표시장치의 제조 공정을 나타낸 순서도이다.
- [0038] 도 1 및 도 3에 도시된 바와 같이, 하부 기판(101) 상에 박막트랜지스터 어레이(TFT)를 형성하고(S1), 상부 기판(201) 상에 블랙 매트릭스층 및 컬러필터층 또는 공통전극을 구비한 컬러필터 어레이를 형성한다.(S7)
- [0039] 이어서, 각 기판에 배향막을 도포하기 위해, 상기와 같이 형성된 하부 기판(101) 및 상부 기판(201)을 세정 장치에서 각각 세정한다.(S2, S8)
- [0040] 상기 세정된 하부 기판(101)의 배면에 300nm 이하의 파장을 갖는 UV를 조사한다.(S3) 이러한 UV 조사로 인해 상기 하부 기판(101)에 형성된 제1 반도체층(104a)의 일부분이 도체화된다.
- [0041] 이렇게 UV 조사된 하부 기판(101)과 세정된 상부 기판(201) 각각에 배향막을 도포하고 러빙 공정을 진행하여 배향 방향을 결정한다.(S4, S9) 상기 러빙 공정 대신에 상기 배향막으로 광배향막을 형성하고 무편광된 광, 편광된 광 또는 부분편광된 광 등을 이용하여 광 배향할 수 있다.
- [0042] 이때, 상기 하부 기판(101)에 300nm 이하의 파장을 갖는 UV를 조사하는 단계는 상기 하부 기판(101) 상에 배향막을 배향하기 전의 세정 공정과 배향막 인쇄 및 러빙 공정 중에 행해질 수 있다.
- [0043] 그리고, 상기 배향막 도포 및 러빙 공정 시에 발생된 파티클을 제거하기 위해 상기 하부 기판 및 상부 기판(101, 201)을 세정한다.(S5, S10)
- [0044] 상기 하부 기판(101)에는 각 패널의 액티브 영역에 액정을 적하하고(S6), 상기 상부 기판(201)의 각 패널 가장자리 부분에 씨일재를 인쇄한다.(S11) 상기 씨일재는 UV 경화성 수지를 이용하는데, 이는 후공정인 씨일재 경화 공정시 씨일재로서 열경화성 수지를 사용하면 씨일재를 가열하는 동안 흘러나와 액정이 오염되기 때문이다. 그

리고, 상기 상부 기관(201)에 공통전극이 형성되는 경우에 하부 기관(101)과 상부 기관(201) 사이를 전기적으로 연결하기 위한 Ag 도트를 형성한다.

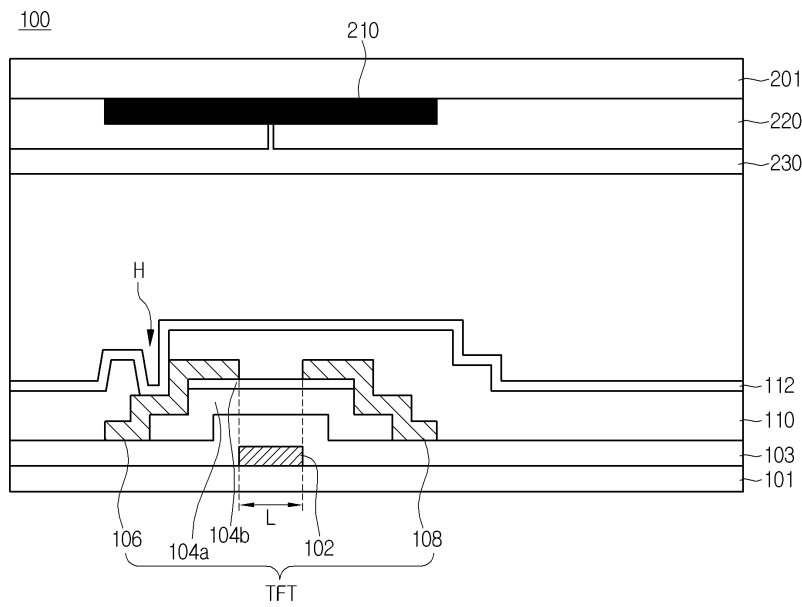
- [0045] 상기 씨일재 또는 Ag 도트 공정시 발생하는 파티클을 제거하기 위하여, 상기와 같이 씨일재 또는 Ag 도트가 형성된 상부 기관(201)을 세정 장비를 이용하여 세정한다.
- [0046] 상기와 같은 하부 기관(101)과 상부 기관(201)을 합착하기 위하여 상기 두 기관(101, 201) 중 하나를 반전시킨다. 이어, 상기 하부 기관(101)과 상부 기관(201)을 진공 합착 장치에 로딩하여 두 기관을 합착한다. (S12)
- [0047] 상기 씨일재로 UV 및 열경화성 수지를 이용할 경우에는 합착된 기관을 일차적으로 UV를 이용하여 상기 씨일재를 경화시킨 후(S13), 다시 열을 이용하여 상기 씨일재를 완전 경화시킨다. 또한, 상기 씨일재는 UV만 이용하여 경화할 수도 있다.
- [0048] 상기 합착되어 완전 경화된 두 기관을 각 단위 패널별로 절단한다. (S14) 이때, 스크라이빙 및 브레이킹 공정이 동시에 이루어진다. 상기 절단되어 각 단위 패널로 나뉘어진 기관을 연마한 후(S15), 최종 검사하여 출하한다. (S16)
- [0049] 이와 같이, 본 발명에 따른 액정표시장치는 옥사이드 재질의 제1 반도체층을 하부 기관 상에 형성되어 배향막 배향하기 전의 세정 단계, 배향막 배향 단계 및 러빙 공정 중에 300nm 이하의 파장을 갖는 UV를 조사하여 상기 제1 반도체층을 도체화시킨다.
- [0050] 이로 인해, 본 발명에 따른 액정표시장치는 게이트 전극이 소스 및 드레인 전극과 오버랩되지 않기 때문에 게이트 전극이 소스 및 드레인 전극과 오버랩되어 기생 용량이 발생한 종래에 비해 기생 용량을 최소화시키며 게이트 전극의 선폭만큼의 쇼트 채널을 형성하여 제품의 신뢰성을 향상시킬 수 있다.

부호의 설명

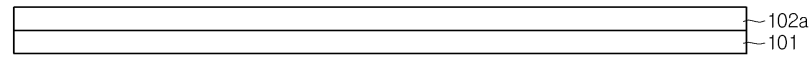
- | | | |
|--------|--------------|--------------|
| [0051] | 100:액정표시장치 | 101:하부 기관 |
| | 102:게이트 전극 | 102a:게이트 금속층 |
| | 103:게이트 절연막 | 104a:제1 반도체층 |
| | 104b:제2 반도체층 | 106:소스 전극 |
| | 108:드레인 전극 | 110:보호막 |
| | 112:화소전극 | 201:상부 기관 |
| | 210:블랙 매트릭스 | 220:컬러필터층 |
| | 230:공통전극 | |

도면

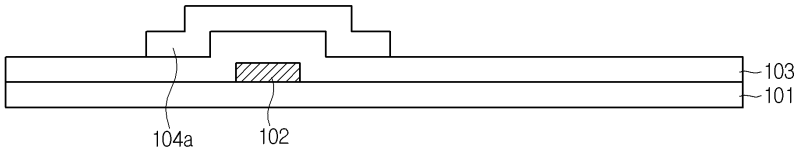
도면1



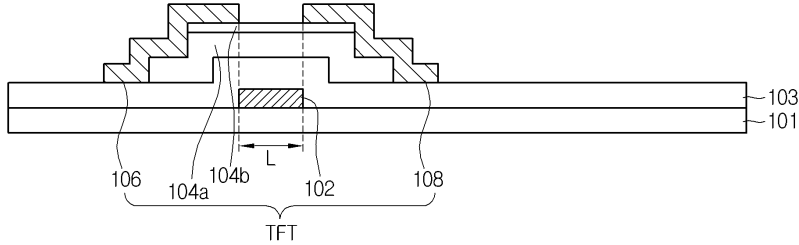
도면2a



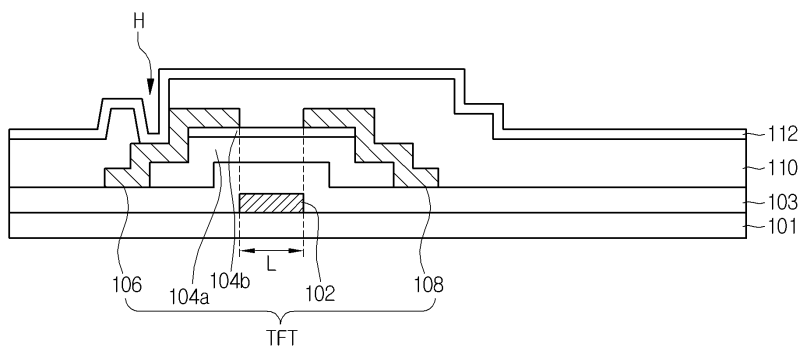
도면2b



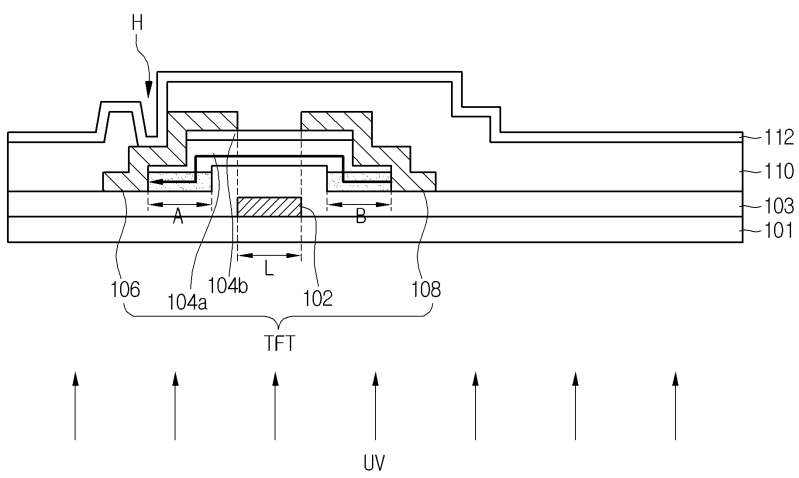
도면2c



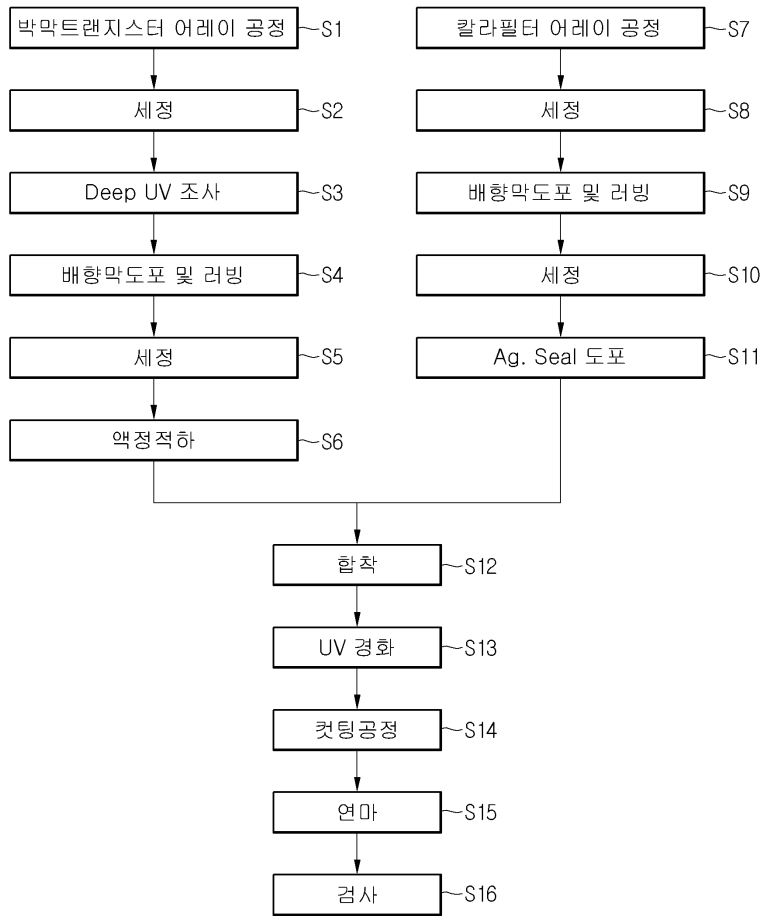
도면2d



도면2e



도면3



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR101830439B1	公开(公告)日	2018-02-20
申请号	KR1020100115435	申请日	2010-11-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON TAE WOONG 문태웅		
发明人	문태웅		
IPC分类号	G02F1/136 G02F1/1335 G02F1/1337 G02F1/1368		
CPC分类号	G02F1/136 G02F1/133784 G02F1/1337 G02F1/1368 G02F1/133617 G02F1/133512 G02F1/133514		
其他公开文献	KR1020120054183A		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示装置及其制造方法。根据本发明和第一基板的液晶显示装置，形成在形成在栅极电极和第一衬底上绝缘膜，所述栅电极上方的栅绝缘膜和形成在第一基板上的栅极电极的第一栅极对应第一半导体层和所述第一半导体层上形成的第二半导体层，以及形成在半导体层上的第二预定间隔开源电极和漏电极包括杂质，并且被形成成为使得源极和像素电极通过形成在保护膜上的接触孔电连接到漏电极；和像素电极，通过接触孔电连接到漏电极，面向第一基板的第二基板和形成在第一和第二基板之间的液晶层，它是由一材料制成。

