



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월26일
(11) 등록번호 10-1611910
(24) 등록일자 2016년04월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
H03K 19/0175 (2006.01)
(21) 출원번호 10-2009-0126901
(22) 출원일자 2009년12월18일
심사청구일자 2014년11월26일
(65) 공개번호 10-2011-0070178
(43) 공개일자 2011년06월24일
(56) 선행기술조사문헌
KR1020080060681 A*
KR1020060108933 A*
KR1020080002618 A
KR1020010015111 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
임채욱
인천광역시 강화군 양도면 강화남로769번길
30-127
(74) 대리인
박영복

전체 청구항 수 : 총 6 항

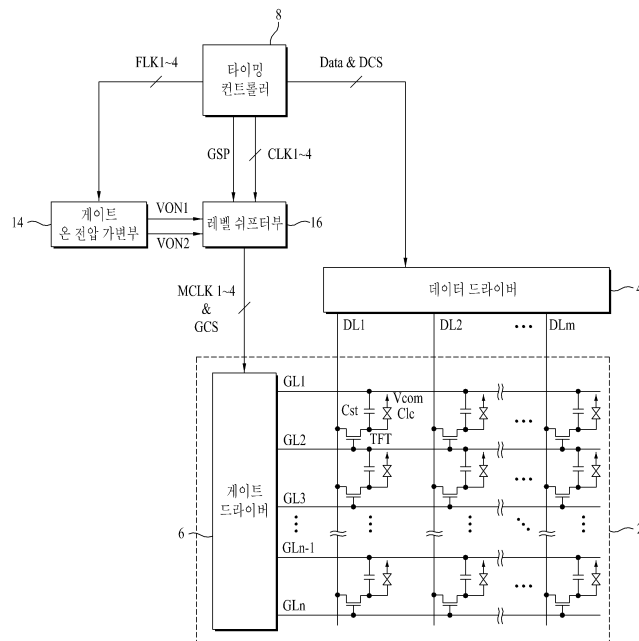
심사관 : 추장희

(54) 발명의 명칭 액정 표시장치의 구동장치와 그 구동방법

(57) 요약

본 발명은 게이트 드라이버를 내장한 액정패널의 폴리커를 감소시키면서도 이를 위한 구동회로를 간소화시켜 제품의 제조비용을 줄일 수 있도록 한 액정 표시장치의 구동장치와 그 구동방법에 관한 것으로, 복수의 화소 영역을 구비하여 영상을 표시하는 액정패널; 상기 액정패널의 게이트 라인들을 구동하는 게이트 드라이버; 복수의 폴 (뒷면에 계속)

대표도 - 도1



리커 방지 신호와 함께 게이트 제어신호를 생성하여 상기 게이트 드라이버의 구동 타이밍을 제어하는 타이밍 컨트롤러; 논리 곱 연산을 수행하여 상기 복수의 플리커 방지 신호의 수를 반감시키고 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨 서로 다른 지점에서 가변되도록 함으로써 적어도 하나의 가변 게이트 온 전압을 생성 및 출력하는 게이트 온 전압 가변부; 및 상기 타이밍 컨트롤러로부터 공급된 다수 클럭의 전압을 상기 적어도 하나의 가변 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 상기 게이트 드라이버로 공급하는 레벨 쉬프터부를 구비한 것을 특징으로 한다.

명세서

청구범위

청구항 1

복수의 화소 영역을 구비하여 영상을 표시하는 액정패널;

상기 액정패널의 게이트 라인들을 구동하는 게이트 드라이버;

복수의 플리커 방지 신호와 함께 게이트 제어신호를 생성하여 상기 게이트 드라이버의 구동 타이밍을 제어하는 타이밍 컨트롤러;

논리 곱 연산을 수행하여 상기 복수의 플리커 방지 신호의 수를 반감시키고 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨 서로 다른 지점에서 가변되도록 함으로써 적어도 하나의 가변 게이트 온 전압을 생성 및 출력하는 게이트 온 전압 가변부; 및

상기 타이밍 컨트롤러로부터 공급된 다수 클럭의 전압을 상기 적어도 하나의 가변 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 상기 게이트 드라이버로 공급하는 레벨 쉬프터부를 포함하고,

상기 게이트 온 전압 가변부는

상기 복수의 플리커 방지 신호 중 상호 간섭이 없는 두개씩의 신호를 논리 곱 연산함으로써 상기 복수의 플리커 방지 신호의 수를 반감시켜 출력하는 적어도 하나의 논리 곱 연산회로, 및

상기 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨이 서로 다른 지점에서 가변되도록 적어도 하나의 가변 게이트 온 전압을 생성하는 적어도 하나의 GPM 집적회로를 구비하고,

상기 적어도 하나의 논리 곱 연산회로는

제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 1 플리커 방지 신호와 제 3 플리커 방지 신호를 논리 곱 연산함으로써 제 1 변환 플리커 방지 신호를 생성 및 출력하는 제 1 논리 곱 연산회로, 및

제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 2 플리커 방지 신호와 제 4 플리커 방지 신호를 논리 곱 연산함으로써 제 2 변환 플리커 방지 신호를 생성 및 출력하는 제 2 논리 곱 연산회로를 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 레벨 쉬프터부는

상기 타이밍 컨트롤러로부터의 다수 클럭 중 중 홀수번째인 제 1 및 제 3 클럭 각각의 전압 레벨을 상기 제 1 가변 게이트 온 전압으로 변경하여 제 1 및 제 3 가변 클럭을 출력하는 제 1 레벨 쉬프터부, 및

상기 타이밍 컨트롤러로부터의 다수 클럭 중 짝수번째인 제 2 및 제 4 클럭 각각의 전압 레벨을 상기 제 2 가변 게이트 온 전압으로 변경하여 제 2 및 제 4 가변 클럭을 출력하는 제 2 레벨 쉬프터부를 구비한 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 5

제 4 항에 있어서,

상기 타이밍 컨트롤러는

게이트 스타트 펄스를 더 발생하고, 상기 제 1 레벨 쉬프터부는 상기 게이트 스타트 펄스의 하이 전압은 상기 제1 가변 게이트 온 전압으로, 로우 전압의 게이트 오프 전압으로 변경하여 출력하는 것을 특징으로 하는 액정 표시장치의 구동장치.

청구항 6

게이트 드라이버를 이용하여 영상을 표시하는 액정패널의 게이트 라인들을 구동하는 단계;

타이밍 컨트롤러를 통해 복수의 플리커 방지 신호와 함께 게이트 제어신호를 생성하여 상기 액정패널의 구동타이밍을 제어하는 단계;

논리 곱 연산을 수행하여 상기 복수의 플리커 방지 신호의 수를 반감시키고 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨 서로 다른 지점에서 가변되도록 함으로써 적어도 하나의 가변 게이트 온 전압을 생성 및 출력하는 단계; 및

상기 타이밍 컨트롤러로부터 공급된 다수 클럭의 전압을 상기 적어도 하나의 가변 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 상기 게이트 드라이버로 공급하는 단계를 포함하고,

상기 적어도 하나의 가변 게이트 온 전압을 생성 및 출력하는 단계는

적어도 하나의 논리 곱 연산회로를 이용하여 상기 복수의 플리커 방지 신호 중 상호 간섭이 없는 두개씩의 신호를 논리 곱 연산함으로써 상기 복수의 플리커 방지 신호의 수를 반감시켜 출력하는 단계, 및

적어도 하나의 GPM 집적회로를 이용하여 상기 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨이 서로 다른 지점에서 가변되도록 적어도 하나의 가변 게이트 온 전압을 생성하는 단계를 포함하고,

상기 복수의 플리커 방지 신호의 수를 반감시켜 출력하는 단계는

제 1 논리 곱 연산회로를 이용하여 상기 제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 1 플리커 방지 신호와 제 3 플리커 방지 신호를 논리 곱 연산함으로써 제 1 변환 플리커 방지 신호를 생성 및 출력하는 단계, 및

제 2 논리 곱 연산회로를 이용하여 상기 제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 2 플리커 방지 신호와 제 4 플리커 방지 신호를 논리 곱 연산함으로써 제 2 변환 플리커 방지 신호를 생성 및 출력하는 단계를 포함한 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 6 항에 있어서,

상기 적어도 하나의 가변 게이트 온 전압을 생성하는 단계는

제 1 레벨 쉬프터부를 이용하여 상기 타이밍 컨트롤러로부터의 다수 클럭 중 중 홀수번째인 제 1 및 제 3 클럭 각각의 전압 레벨을 상기 제 1 가변 게이트 온 전압으로 변경하여 제 1 및 제 3 가변 클럭을 출력하는 단계, 및

제 2 레벨 쉬프터부를 이용하여 상기 타이밍 컨트롤러로부터의 다수 클럭 중 짝수번째인 제 2 및 제 4 클럭 각각의 전압 레벨을 상기 제 2 가변 게이트 온 전압으로 변경하여 제 2 및 제 4 가변 클럭을 출력하는 단계를 포함한 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 액정패널의 구동타이밍을 제어하는 단계는

게이트 스타트 펄스를 더 발생하는 단계, 및

상기 제 1 레벨 쉬프터부를 이용하여 상기 게이트 스타트 펄스의 하이 전압은 상기 제 1 가변 게이트 온 전압으로, 로우 전압의 게이트 오프 전압으로 변경하여 출력하는 단계를 더 포함한 것을 특징으로 하는 액정 표시장치의 구동방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시장치에 관한 것으로, 특히 게이트 드라이버를 내장한 액정패널의 플리커를 감소시키면서도 이를 위한 구동회로를 간소화시켜 제품의 제조비용을 줄일 수 있도록 한 액정 표시장치의 구동장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액정 표시장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정은 굴절율, 유전율 등이 분자 장축 방향과 단축 방향에 따라 서로 다른 이방성 성질을 갖고 분자 배열과 광학적 성질을 쉽게 조절할 수 있는 장점을 갖는다. 이에 따라 액정 표시 장치는 전계에 따라 액정 분자들의 배열 방향을 가변시켜 광 투과율을 조절함으로써 영상을 표시한다.

[0003] 액정 표시장치는 다수의 화소들이 매트릭스 형태로 배열된 액정패널과, 액정 패널의 게이트 라인을 구동하는 게이트 드라이버와, 액정 패널의 데이터 라인을 구동하는 데이터 드라이버 등을 포함한다.

[0004] 액정패널의 각 화소는 데이터 신호에 따른 액정 배열의 가변으로 광 투과율을 조절하는 적, 녹, 청 서브화소의 조합으로 원하는 색을 구현한다. 각 서브화소는 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터, 박막 트랜지스터와 접속된 액정 커패시터를 구비한다. 액정 커패시터는 박막 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압과의 차전압인 화소 전압을 충전하고 충전된 화소 전압에 따라 액정을 구동하여 광 투과율을 조절한다.

[0005] 하지만, 종래의 액정 표시장치에서는 박막 트랜지스터가 오프될 때 박막 트랜지스터에 포함된 기생 커패시턴스와 게이트 전압의 가변치에 따라 각 서브화소에 충전된 화소 전압이 가변하고, 정극성 및 부극성 화소 전압 가변치의 편차로 인하여 플리커가 발생하게 된다. 또한, 종래의 액정 표시장치는 크기가 커지면서 게이트 라인의 부하(저항 및 커패시터)로 인한 스캔펄스의 지연량이 증가하면서 박막 트랜지스터의 데이터 충전 시간이 부족하여 화질이 저하되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 게이트 드라이버를 내장한 액정패널의 플리커를 감소시키면서도 이를 위한 구동회로를 간소화시켜 제품의 제조비용을 줄일 수 있도록 한 액정 표시장치의 구동장치와 그 구동방법을 제공하는데 그 목적이 있다.

과제 해결수단

[0007] 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 액정 표시장치의 구동장치는 복수의 화소 영역을 구비하여 영상을 표시하는 액정패널; 상기 액정패널의 게이트 라인들을 구동하는 게이트 드라이버; 복수의 플리커 방지 신호와 함께 게이트 제어신호를 생성하여 상기 게이트 드라이버의 구동 타이밍을 제어하는 타이밍 컨트롤러; 논리 곱 연산을 수행하여 상기 복수의 플리커 방지 신호의 수를 반감시키고 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨 서로 다른 지점에서 가변되도록 함으로써 적어도 하나의 가변 게이트 온 전압을 생성 및 출력하는 게이트 온 전압 가변부; 및 상기 타이밍 컨트롤러로부터 공급된 다수 클럭의 전압을 상기 적어도 하나의 가변 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 상기 게이트 드라이버로 공급하는 레벨 쉬프터부를 구비한 것을 특징으로 한다.

- [0008] 상기 게이트 온 전압 가변부는 상기 복수의 플리커 방지 신호 중 상호 간섭이 없는 두개씩의 신호를 논리 곱 연산함으로써 상기 복수의 플리커 방지 신호의 수를 반감시켜 출력하는 적어도 하나의 논리 곱 연산회로 및 상기 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨이 서로 다른 지점에서 가변되도록 적어도 하나의 가변 게이트 온 전압을 생성하는 적어도 하나의 GPM 집적회로를 구비한 것을 특징으로 한다.
- [0009] 상기 적어도 하나의 논리 곱 연산회로는 상기 제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 1 플리커 방지 신호와 제 3 플리커 방지 신호를 논리 곱 연산함으로써 제 1 변환 플리커 방지 신호를 생성 및 출력하는 제 1 논리 곱 연산회로 및 상기 제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 2 플리커 방지 신호와 제 4 플리커 방지 신호를 논리 곱 연산함으로써 제 2 변환 플리커 방지 신호를 생성 및 출력하는 제 2 논리 곱 연산회로를 구비한 것을 특징으로 한다.
- [0010] 상기 레벨 쉬프터부는 상기 타이밍 컨트롤러로부터의 다수 클럭 중 중 홀수번째인 제 1 및 제 3 클럭 각각의 전압 레벨을 상기 제 1 가변 게이트 온 전압으로 변경하여 제 1 및 제 3 가변 클럭을 출력하는 제 1 레벨 쉬프터부 및 상기 타이밍 컨트롤러로부터의 다수 클럭 중 짝수번째인 제 2 및 제 4 클럭 각각의 전압 레벨을 상기 제 2 가변 게이트 온 전압으로 변경하여 제 2 및 제 4 가변 클럭을 출력하는 제 2 레벨 쉬프터부를 구비한 것을 특징으로 한다.
- [0011] 상기 타이밍 컨트롤러는 게이트 스타트 펄스를 더 발생하고, 상기 제 1 레벨 쉬프터부는 상기 게이트 스타트 펄스의 하이 전압은 상기 제 1 가변 게이트 온 전압으로, 로우 전압의 게이트 오프 전압으로 변경하여 출력하는 것을 특징으로 하는 한다.
- [0012] 또한, 상기와 같은 목적을 달성하기 위한 본 발명의 실시 예에 따른 액정 표시장치의 구동방법은 게이트 드라이버를 이용하여 영상을 표시하는 액정패널의 게이트 라인들을 구동하는 단계; 타이밍 컨트롤러를 통해 복수의 플리커 방지 신호와 함께 게이트 제어신호를 생성하여 상기 액정패널의 구동타이밍을 제어하는 단계; 논리 곱 연산을 수행하여 상기 복수의 플리커 방지 신호의 수를 반감시키고 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨 서로 다른 지점에서 가변되도록 함으로써 적어도 하나의 가변 게이트 온 전압을 생성 및 출력하는 단계; 및 상기 타이밍 컨트롤러로부터 공급된 다수 클럭의 전압을 상기 적어도 하나의 가변 게이트 온 전압과 게이트 오프 전압 레벨로 변경하여 상기 게이트 드라이버로 공급하는 단계를 포함한 것을 특징으로 한다.
- [0013] 상기 적어도 하나의 가변 게이트 온 전압을 생성 및 출력하는 단계는 적어도 하나의 논리 곱 연산회로를 이용하여 상기 복수의 플리커 방지 신호 중 상호 간섭이 없는 두개씩의 신호를 논리 곱 연산함으로써 상기 복수의 플리커 방지 신호의 수를 반감시켜 출력하는 단계 및 적어도 하나의 GPM 집적회로를 이용하여 상기 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨이 서로 다른 지점에서 가변되도록 적어도 하나의 가변 게이트 온 전압을 생성하는 단계를 포함한 것을 특징으로 한다.
- [0014] 상기 복수의 플리커 방지 신호의 수를 반감시켜 출력하는 단계는 제 1 논리 곱 연산회로를 이용하여 상기 제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 1 플리커 방지 신호와 제 3 플리커 방지 신호를 논리 곱 연산함으로써 제 1 변환 플리커 방지 신호를 생성 및 출력하는 단계 및 제 2 논리 곱 연산회로를 이용하여 상기 제 1 내지 제 4 플리커 방지 신호 중 상호 간섭이 없는 제 2 플리커 방지 신호와 제 4 플리커 방지 신호를 논리 곱 연산함으로써 제 2 변환 플리커 방지 신호를 생성 및 출력하는 단계를 포함한 것을 특징으로 한다.
- [0015] 상기 적어도 하나의 가변 게이트 온 전압을 생성하는 단계는 제 1 레벨 쉬프터부를 이용하여 상기 타이밍 컨트롤러로부터의 다수 클럭 중 중 홀수번째인 제 1 및 제 3 클럭 각각의 전압 레벨을 상기 제 1 가변 게이트 온 전압으로 변경하여 제 1 및 제 3 가변 클럭을 출력하는 단계 및 제 2 레벨 쉬프터부를 이용하여 상기 타이밍 컨트롤러로부터의 다수 클럭 중 짝수번째인 제 2 및 제 4 클럭 각각의 전압 레벨을 상기 제 2 가변 게이트 온 전압으로 변경하여 제 2 및 제 4 가변 클럭을 출력하는 단계를 포함한 것을 특징으로 한다.
- [0016] 상기 액정패널의 구동타이밍을 제어하는 단계는 게이트 스타트 펄스를 더 발생하는 단계 및 상기 제 1 레벨 쉬프터부를 이용하여 상기 게이트 스타트 펄스의 하이 전압은 상기 제 1 가변 게이트 온 전압으로, 로우 전압의 게이트 오프 전압으로 변경하여 출력하는 단계를 더 포함한 것을 특징으로 한다.

효 과

- [0017] 상기와 같은 특징을 갖는 본 발명의 실시 예에 따른 액정 표시장치의 구동장치와 그 구동방법은 게이트 드라이버를 내장한 액정패널의 플리커를 감소시키면서도 이를 위한 구동회로를 간소화시켜 제품의 제조비용을 줄일 수

있다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하, 상기와 같은 특징을 갖는 본 발명의 실시 예에 따른 액정 표시장치의 구동장치와 그 구동방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0019] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구동장치를 나타낸 구성도이다.
- [0020] 도 1에 도시된 액정 표시장치는 복수의 화소 영역을 구비하여 영상을 표시하는 액정패널(2); 액정패널(2)의 데이터 라인(DL1 내지 DLm)들을 구동하는 데이터 드라이버(4); 액정패널(2)의 게이트 라인(GL1 내지 GLn)들을 구동하는 게이트 드라이버(6); 복수의 플리커 방지 신호(FLK1 내지 FLK4)와 함께 게이트 및 데이터 제어신호(GCS,DCS)를 생성하여 게이트 및 데이터 드라이버(6,4)를 제어하는 타이밍 컨트롤러(8); 논리 곱 연산을 수행하여 복수의 플리커 방지 신호(FLK1 내지 FLK4)의 수를 반감시키고 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨 서로 다른 지점에서 가변되도록 함으로써 적어도 하나의 가변 게이트 온 전압(VON1,VON2)을 생성 및 출력하는 게이트 온 전압 가변부(14); 및 타이밍 컨트롤러(8)로부터 공급된 다수 클럭(CLK1 내지 CLK4)의 전압을 적어도 하나의 가변 게이트 온 전압(VON1,VON2)과 게이트 오프 전압 레벨로 변경하여 게이트 드라이버(6)로 공급하는 레벨 쉬프터부(16)를 구비한다.
- [0021] 액정 패널(2)은 절연막을 사이에 두고 교차 구조로 형성된 복수의 게이트 라인들(GL1 내지 GLn) 및 데이터 라인들(DL1 내지 DLm)과, 각 게이트 라인들(GL1 내지 GLn)과 데이터 라인들(DL1 내지 DLm)의 교차로 구분되고 매트릭스 형태로 배열된 서브 화소들을 구비한다. 서브화소들 각각은 각 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 박막 트랜지스터(TFT), 박막 트랜지스터(TFT)와 병렬 접속된 액정 커패시터(C1c) 및 스토리지 커패시터(Cst)를 포함한다. 액정 커패시터(C1c)는 액정과, 그 액정에 전계를 인가하는 화소 전극 및 공통 전극을 구비한다. 스토리지 커패시터(Cst)는 화소 전극과 공통 전극이 절연막을 사이에 두고 중첩된 구조를 갖거나, 화소 전극이 이전단 게이트 라인과 절연막을 사이에 두고 중첩된 구조를 갖는다. 박막 트랜지스터(TFT)는 각 게이트 라인(GL)으로부터의 스캔 펄스인 게이트 온 전압에 응답하여 각 데이터 라인(DL)으로부터의 데이터 전압을 화소 전극에 공급하고, 게이트 오프 전압에 응답하여 화소 전극에 공급된 데이터 전압이 유지되게 한다. 액정 커패시터(C1c)는 화소 전극에 공급된 데이터 전압과 공통 전극에 공급된 공통 전압(VCOM)과의 차전압인 화소 전압을 충전하고 충전된 화소 전압에 따라 액정을 구동하여 광투과율을 조절함으로써 각 서브화소의 계조가 표시된다. 스토리지 커패시터(Cst)는 박막 트랜지스터(TFT)가 턴-오프된 기간에 액정 커패시터(C1c)에 충전된 화소 전압을 안정적으로 유지시킨다. 본 발명에서는 게이트 온 전압의 레벨을 변환하는 GPM(Gate Pulse Modulation) 방식을 수행하여 스캔 펄스가 게이트 온 전압에서 중간 전압을 거쳐 게이트 오프 전압으로 계단 형태로 하강하도록 한다. 이에, 게이트 온 전압의 변동치가 감소되므로 그 게이트 전압의 변동치에 비례하는 각 서브화소에 충전된 화소 전압의 변동치도 감소된다. 따라서, 화소 전압의 변동치로 인한 플리커가 방지된다.
- [0022] 데이터 드라이버(4)는 타이밍 컨트롤러(8)로부터 정렬되어 입력되는 영상 데이터(Data)와 데이터 제어신호(DCS)를 공급받아 각각의 데이터 라인(DL1 내지 DLm)들을 구동하게 된다. 구체적으로, 데이터 드라이버(4)는 공급받은 데이터 제어신호(DCS) 중 소스 스타트 펄스(SSP; Source Start Pulse)와 소스 쉬프트 클럭(SSC; Source Shift Clock) 등을 이용하여, 정렬 입력된 영상 데이터(Data)를 아날로그 영상 데이터 즉, 데이터 전압으로 변환하고, 각 게이트 라인(GL1 내지 GLn)에 게이트 온 신호(또는, 스캔펄스)가 공급되는 1수평 주기마다 1수평 라인분의 데이터 전압을 각 데이터 라인(DL1 내지 DLm)으로 공급한다. 이때, 데이터 드라이버(4)는 소스 출력 인에이블(SOE; Source Output Enable) 신호에 응답하여 데이터 전압을 각 데이터 라인(DL1 내지 DLm)에 공급하게 된다.
- [0023] 좀 더 구체적으로, 데이터 드라이버(4)는 SSC에 따라 입력되는 영상 데이터(Data)를 매 수평라인 단위로 래치한 후, 래치된 영상 데이터를 정극성 및 부극성의 감마전압들을 이용하여 아날로그 데이터 전압으로 변환한다. 이때, 데이터 드라이버(4)는 타이밍 컨트롤러(8)로부터의 극성 제어신호와 정극성 및 부극성의 감마전압들에 따라 데이터 전압들의 극성이 적어도 한 수평라인 단위 또는 프레임 단위로 반전되도록 변환하게 된다. 그리고 변환된 정극성 또는 부극성의 데이터 전압들을 각 게이트 라인(GL1 내지 GLn)에 게이트 온 신호가 공급되는 1수평 주기마다 1수평 라인분씩 각 데이터 라인(DL1 내지 DLm)에 공급한다.
- [0024] 게이트 드라이버(6)는 데이터 드라이버(4)와 같이 집적화되어, 액정패널(2)과 접속되거나 액정패널(2) 상에 내장된다. 이러한 게이트 드라이버(6)는 타이밍 컨트롤러(8)로부터 레벨 쉬프터부(16)를 경유한 게이트 스타트 펄스(GSP)와 복수의 가변 클럭(MCLK1 내지 MCLK4)에 응답하는 스캔 신호를 발생하여, 게이트 라인들(GL1 내지

GLn)을 순차 구동한다.

- [0025] 이를 위하여, 게이트 드라이버(6)는 복수의 스테이지로 구성된 쉬프트 레지스터로 구성된다. 복수의 스테이지 각각의 출력 라인에는 게이트 라인들(GL1 내지 GLn) 각각과 다음단 스테이지의 입력 라인과 접속된다. 첫번째 스테이지의 입력 라인에는 게이트 스타트 펄스(GSP)가 입력되고, 다수의 스테이지에는 레벨 쉬프터부(16)로부터의 복수의 가변 클럭(MCLK1 내지 MCLK4)이 번갈아 가면서 순차적으로 공급된다. 각 스테이지는 출력단의 풀-업 트랜지스터에 공급되는 복수의 가변 클럭(MCLK1 내지 MCLK4) 어느 하나의 가변 클럭을 스캔 펄스로 출력한다. 예를 들면, 레벨 쉬프터부(16)로부터 제 1 내지 제 4 가변 클럭(MCLK1 내지 MCLK4)이 게이트 드라이버(6)로 입력된 경우 제 4i-3(여기서, i는 자연수)번째 스테이지는 제 1 가변 클럭(MCLK1)을, 제 4i-2번째 스테이지는 제 2 가변 클럭(MCLK2)을, 제 4i-1번째 스테이지는 제 3 가변 클럭(MCLK3)을, 그리고 제 4i번째 스테이지는 제 4 가변 클럭(MCLK4)을 스캔 펄스로 출력한다. 이에 따라, 게이트 라인(GL1 내지 GLn) 각각에는 인접한 스캔 펄스와 1H 기간이 중첩된 2H 기간의 스캔 펄스가 공급되고, 스캔 펄스의 끝단부에서 게이트 온 전압이 게이트 오프 전압으로 하강할 때 중간 전압을 거쳐 계단 형태로 하강하게 된다.
- [0026] 게이트 온 전압 가변부(14)는 적어도 하나의 논리 곱 연산회로를 이용하여 타이밍 컨트롤러(8)로부터 입력되는 복수의 플리커 방지 신호(FLK1 내지 FLK4)의 수를 1/2로 반감시킨다. 그리고 적어도 하나의 GPM 집적회로를 이용하여 상기 반감된 수의 플리커 방지 신호 각각에 따라 게이트 온 전압의 레벨 서로 다른 지점에서 가변되도록 적어도 하나의 가변 게이트 온 전압 예를 들어, 제 1 및 제 2 가변 게이트 온 전압(VON1, VON2)을 생성한다. 이렇게 생성된 제 1 및 제 2 가변 게이트 온 전압(VON1, VON2)은 레벨 쉬프터부(16)로 공급된다. 이와 같이, 본 발명의 게이트 온 전압 가변부(14)는 적어도 하나의 논리 곱 연산회로(예를 들어, AND Gate)를 구비하여, 전체 플리커 방지 신호(FLK1 내지 FLK4)의 수를 1/2로 반감시켜 적용하게 된다. 이에 따라, 전체 플리커 방지신호(FLK1 내지 FLK4)의 수에 각각 대응되도록 구비되었어야 했던 GPM 집적회로의 개수 또한 반감시켜 적용할 수 있으므로 게이트 온 전압 가변부(14)의 회로 구성을 단순화할 수 있게 된다.
- [0027] 레벨 쉬프터부(16)는 게이트 온 전압 가변부(14)로부터의 제 1 및 제 2 가변 게이트 온 전압(VON1, VON2)과 전원부(미도시)로부터의 게이트 오프 전압을 이용하여 타이밍 컨트롤러(8)로부터의 게이트 스타트 펄스(GSP)의 레벨을 가변시키고, 다수 클럭(CLK)의 파형 및 레벨을 가변시켜 출력한다. 타이밍 컨트롤러(8)로부터 입력되는 다수의 클럭(CLK) 각각은 2H 기간(2 수평기간)의 하이 전압 기간을 갖고, 시간적으로 인접한 클럭(CLK)의 하이 전압과 1H 기간(1 수평기간) 정도 중첩되면서 쉬프트된 형태를 갖는다. 레벨 쉬프터부(16)는 게이트 스타트 펄스(GSP) 및 다수 클럭(CLK1 내지 CLK4) 각각의 하이 전압을 게이트 온 전압 가변부(14)로부터의 제 1 또는 제 2 가변 게이트 온 전압(VON1, VON2)으로 변경하고, 로우 레벨을 전원부(미도시)로부터의 게이트 오프 전압으로 변경하여 출력한다. 이에 따라, 레벨 쉬프터부(16)에서 출력되는 복수의 가변 클럭(MCLK1 내지 MCLK4)은 2H 기간의 하이 전압을 갖고, 그 하이 전압의 끝단부가 중간 전압으로 각인 부분을 포함하며, 시간적으로 인접한 클럭의 하이 레벨과는 1H 기간이 중첩되면서 게이트 드라이버(6)로 공급된다. 이하, 첨부된 도면을 참조하여 본 발명의 게이트 온 전압 가변부와 레벨 쉬프터부를 좀 더 구체적으로 설명하면 다음과 같다.
- [0028] 도 2는 도 1에 도시된 게이트 온 전압 가변부와 레벨 쉬프터부를 구체적으로 나타낸 구성도이고, 도 3은 도 2에 도시된 게이트 온 전압 가변부와 레벨 쉬프터부의 입출력 파형도이다.
- [0029] 도 2의 게이트 온 전압 가변부(14)는 상기 타이밍 컨트롤러(8)로부터 입력되는 복수의 플리커 방지 신호(FLK1 내지 FLK4) 중 상호 간섭이 없는 두개씩의 신호를 논리 곱 연산함으로써 상기 복수의 플리커 방지 신호(FLK1 내지 FLK4)의 수를 반감시켜 출력하는 적어도 하나의 논리 곱 연산회로(40, 42), 및 상기 반감된 수의 플리커 방지 신호(SFLK1, SFLK2) 각각에 따라 게이트 온 전압의 레벨이 서로 다른 지점에서 가변되도록 적어도 하나의 가변 게이트 온 전압(VON1, VON2)을 생성하는 적어도 하나의 GPM 집적회로(44, 46)를 구비한다.
- [0030] 타이밍 컨트롤러(8)는 도 3으로 도시된 바와 같이, 2H 기간의 하이전압과 0.5 듀티 비(Duty Ratio)를 갖고, 인접한 클럭의 하이전압과는 1H 기간이 중첩되면서 쉬프트된 형태의 제 1 내지 제 4 클럭(CLK1 내지 CLK4)을 출력한다. 다만, 제 1 클럭(CLK1)은 매 프레임의 시작 부분에서만 1H 기간의 하이전압이 공급된다.
- [0031] 또한, 타이밍 컨트롤러(8)는 도 3과 같이, 4H 기간 중 0.5H 기간에는 로우 전압, 나머지 3.5H 기간에는 하이 전압으로 발생되며, 서로 인접한 클럭의 하이전압과는 2.5H 기간 동안 중첩되면서 쉬프트 되는 제 1 내지 제 4 플리커 방지 신호(FLK1 내지 FLK4)를 순차적으로 출력한다.
- [0032] 적어도 하나의 논리 곱 연산회로(40, 42) 중 제 1 논리 곱 연산회로(40)는 타이밍 컨트롤러(8)로부터 상기과 같이 발생되어 입력되는 제 1 내지 제 4 플리커 방지 신호(FLK1 내지 FLK4) 중 상호 간섭이 없는 제 1 플리커 방

지 신호(FLK1)와 제 3 플리커 방지 신호(FLK3)를 논리 곱 연산함으로써 제 1 변환 플리커 방지 신호(SFLK1)를 생성 및 출력하게 된다.

[0033] 적어도 하나의 논리 곱 연산회로(40,42) 중 제 2 논리 곱 연산회로(42)는 상기와 같이 입력되는 제 1 내지 제 4 플리커 방지 신호(FLK1 내지 FLK4) 중 상호 간섭이 없는 제 2 플리커 방지 신호(FLK2)와 제 4 플리커 방지 신호(FLK4)를 논리 곱 연산함으로써 제 2 변환 플리커 방지 신호(SFLK2)를 생성 및 출력하게 된다.

[0034] 제 1 GPM 집적회로(44)는 상기 제 1 변환 플리커 방지 신호(SFLK1)의 폴링 에지에 응답하여 제 1 변환 플리커 방지 신호(SFLK1)의 로우 전압 기간마다 전원부(미도시)로부터의 게이트 온 전압을 감소시켜 제 1 가변 게이트 온 전압(VON1)을 생성 및 출력한다. 다시 말해, 제 1 GPM 집적회로(44)는 도 3과 같이 제 1 변환 플리커 방지 신호(SFLK1)의 2H 주기의 로우 전압에 응답하여 게이트 온 전압이 2H 주기마다 감소된 제 1 가변 게이트 온 전압(MVON1)을 출력한다.

[0035] 제 2 GPM 집적회로(46)는 제 2 변환 플리커 방지 신호(SFLK2)의 폴링 에지에 응답하여 제 2 변환 플리커 방지 신호(SFLK2)의 로우 전압 기간마다 전원부(미도시)로부터의 게이트 온 전압을 감소시켜 출력한다. 이에 따라, 제 2 GPM 집적회로(46)는 도 3과 같이 게이트 온 전압을 유지하고 제 2 변환 플리커 방지 신호(SFLK2)의 2H 주기의 로우 전압에 응답하여 게이트 온 전압이 2H 주기마다 감소된 제 2 가변 게이트 온 전압(VON2)을 출력한다. 이때, 제 2 가변 게이트 온 전압(VON2)의 감소 부분은 도 3과 같이 제 1 가변 게이트 온 전압(VON1)의 감소 부분과 1H 기간 정도 엇갈리는 형태를 갖는다.

[0036] 레벨 쉬프터부(16)는 타이밍 컨트롤러(8)로부터의 제 1 내지 제 4 클럭(CLK1 내지 CLK4) 중 홀수번째 클럭(CLK1,CLK3) 각각의 전압 레벨을 제 1 가변 게이트 온 전압(VON1)으로 변경하여 제 1 및 제 3 가변 클럭(MCLK1, MCLK3)을 출력하는 제 1 레벨 쉬프터부(50) 및 타이밍 컨트롤러(8)로부터의 제 1 내지 제 4 클럭(CLK1 내지 CLK4) 중 짝수번째 클럭(CLK2,CLK4) 각각의 전압 레벨을 제 2 가변 게이트 온 전압(VON2)으로 변경하여 제 2 및 제 4 가변 클럭(MCLK2, MCLK4)을 출력하는 제 2 레벨 쉬프터부(52)를 구비한다.

[0037] 구체적으로, 제 1 레벨 쉬프터부(50)는 타이밍 컨트롤러(8)로부터의 제 1 및 제 3 클럭(CLK1,CLK3)의 하이 전압을 제 1 GPM 집적회로(44)로부터의 제 1 가변 게이트 온 전압(VON1)으로, 로우 전압을 전원부(미도시)로부터의 게이트 오프 전압으로 변경하여 제 1 및 제 3 가변 클럭(MCLK1,MCLK3)을 출력한다. 이에 따라, 제 1 및 제 3 가변 클럭(MCLK1,MCLK3)은 도 3과 같이 제 1 및 제 3 클럭(CLK1,CLK3)과 같은 주기를 갖으면서 진폭이 증가하고, 게이트 온 전압의 끝단부가 중간 전압을 경유하여 게이트 오프 전압으로 하강하는 형태로 출력된다. 한편, 제 1 레벨 쉬프터부(50)는 게이트 스타트 펄스(GSP)의 하이 전압을 제 1 GPM 집적회로(44)로부터의 제 1 가변 게이트 온 전압(VON1)으로, 로우 전압을 전원부(미도시)로부터의 게이트 오프 전압으로 변경하여 출력한다.

[0038] 제 2 레벨 쉬프터부(52)는 타이밍 컨트롤러(8)로부터의 제 2 및 제 4 클럭(CLK2,CLK4)의 하이 전압을 제 2 GPM 집적회로(46)로부터의 제 2 가변 게이트 온 전압(VON2)으로, 로우 전압을 게이트 오프 전압으로 변경하여 출력한다. 이에 따라, 제 2 및 제 4 가변 클럭(MCLK2,MCLK4)은 도 3과 같이 제 2 및 제 4 클럭(CLK2, CLK4)과 같은 주기를 갖으면서 진폭이 증가하고, 게이트 온 전압의 끝단부가 중간 전압을 경유하여 게이트 오프 전압으로 하강하는 형태로 출력된다.

[0039] 이러한 제 1 및 제 2 레벨 쉬프터부(50,52)로부터 출력된 제 1 내지 제 4 가변 클럭(CLK1 내지 CLK4)은 게이트 드라이버(6)의 다수의 스테이지에 번갈아 가면서 공급된다. 이에 따라, 다수의 스테이지 중 제 4i-3(여기서, i는 자연수)번째 스테이지는 제 1 가변 클럭(MCLK1)을, 제 4i-2번째 스테이지는 제 2 가변 클럭(MCLK2)을, 제 4i-1번째 스테이지는 제 3 가변 클럭(MCLK3)을, 그리고 제 4i번째 스테이지는 제 4 가변 클럭(MCLK4)을 스캔 펄스로 출력한다. 다시 말하여, 게이트 라인(GL1 내지 GLn)에는 도 3에 나타난 제 1 내지 제 4 가변 클럭(MCLK1 내지 MCLK4)이 번갈아 가면서 스캔 펄스로 공급된다.

[0040] 이상 상술한 바와 같이, 본 발명에서는 전체 플리커 방지신호 예를 들어, 제 1 내지 제 4 플리커 방지신호(FLK1 내지 FLK4)의 수에 각각 대응되도록 구비되었어야 했던 GPM 집적회로(44,46)의 개수를 반감시켜 게이트 온 전압 가변부(14)의 회로 구성을 단순화할 수 있게 된다. 그리고, 각 게이트 라인(GL1 내지 GLn)에는 전단 스캔 펄스와 전반부(1H)가 중첩되고 다음단 스캔 펄스와 후반부(1H)가 중첩된 2H 기간의 스캔 펄스가 공급되므로 게이트 라인의 부하(저항 및 커패시턴스)에 의해 스캔 펄스가 지연되더라도 박막 트랜지스터의 데이터 충전시간을 충분히 확보할 수 있다. 또한 각 스캔 펄스의 끝단부에서만 게이트 온 전압이 중간 전압을 거쳐 게이트 오프 전압으로 계단 형태로 하강하게 되므로 게이트 전압 변동치 감소로 화소 전압 변동치가 감소하여 플리커를 감소시킬

수 있다.

[0041] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0042] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구동장치를 나타낸 구성도.

[0043] 도 2는 도 1에 도시된 게이트 온 전압 가변부와 레벨 쉬프터부를 구체적으로 나타낸 구성도.

[0044] 도 3은 도 2에 도시된 게이트 온 전압 가변부와 레벨 쉬프터부의 입출력 파형도.

[0045] *도면의 주요 부분에 대한 부호의 설명*

[0046] 2; 액정패널 4: 데이터 드라이버

[0047] 6: 게이트 드라이버 8: 타이밍 컨트롤러

[0048] 14: 게이트 온 전압 가변부 16: 레벨 쉬프터

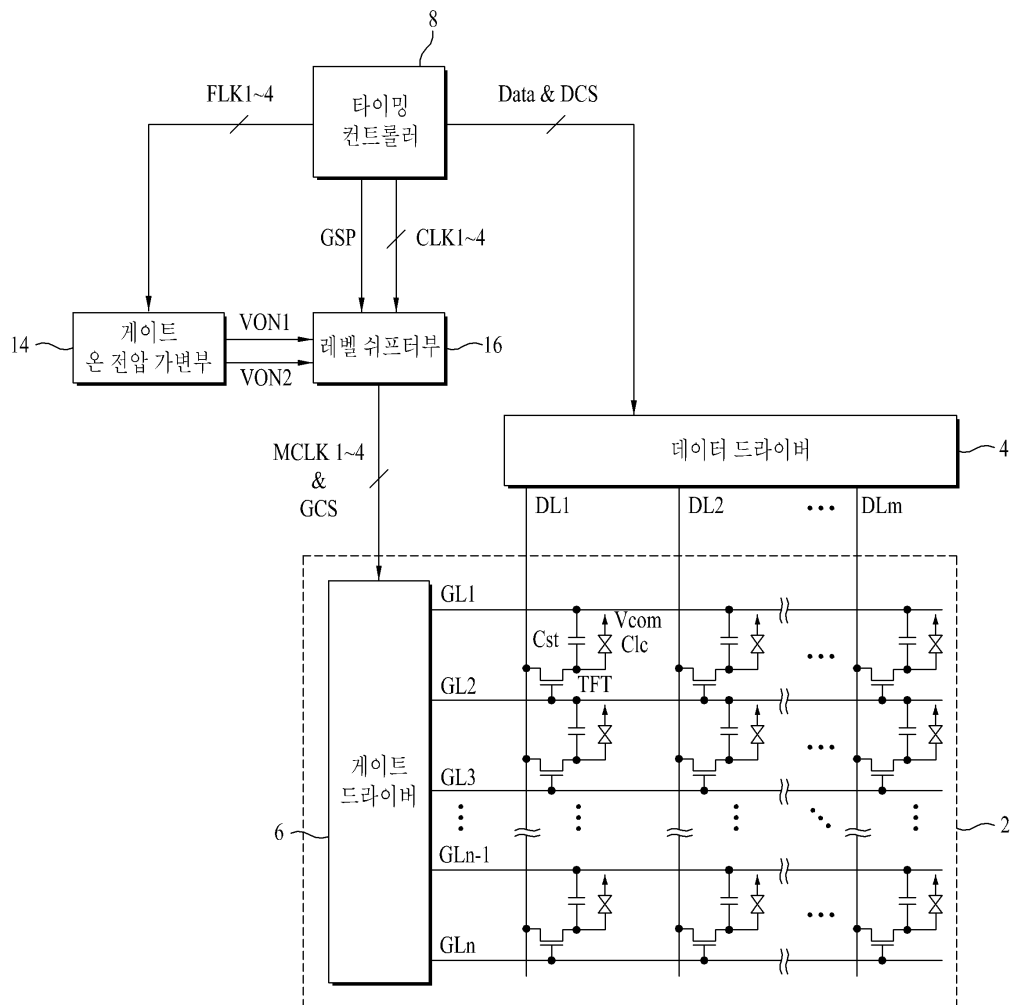
[0049] 40: 제 1 논리 곱 연산회로 42: 제 2 논리 곱 연산회로

[0050] 44: 제 1 GPM 집적회로 46: 제 2 GPM 집적회로

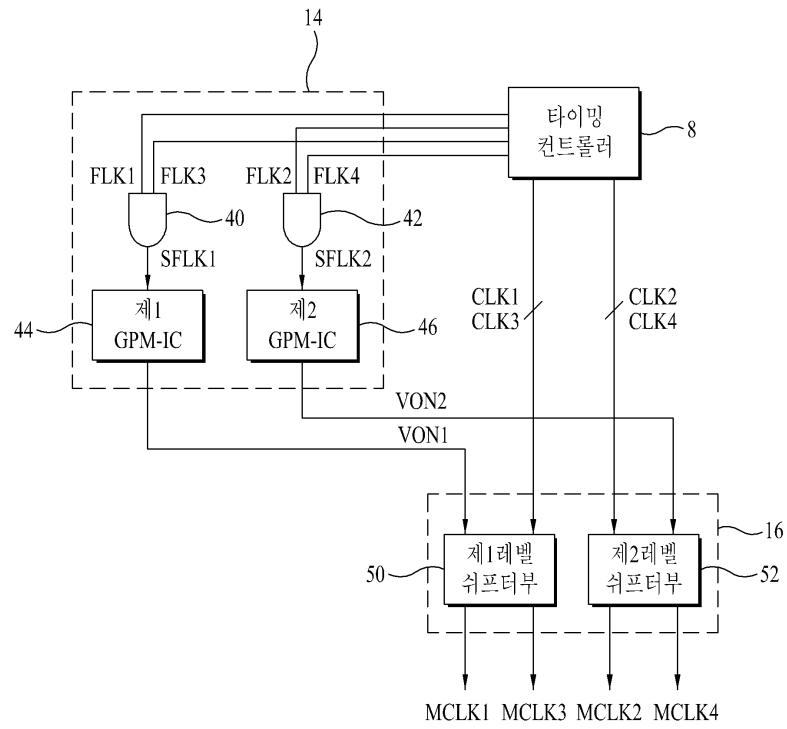
[0051] 50: 제 1 레벨 쉬프트부 52: 제 2 레벨 쉬프트부

도면

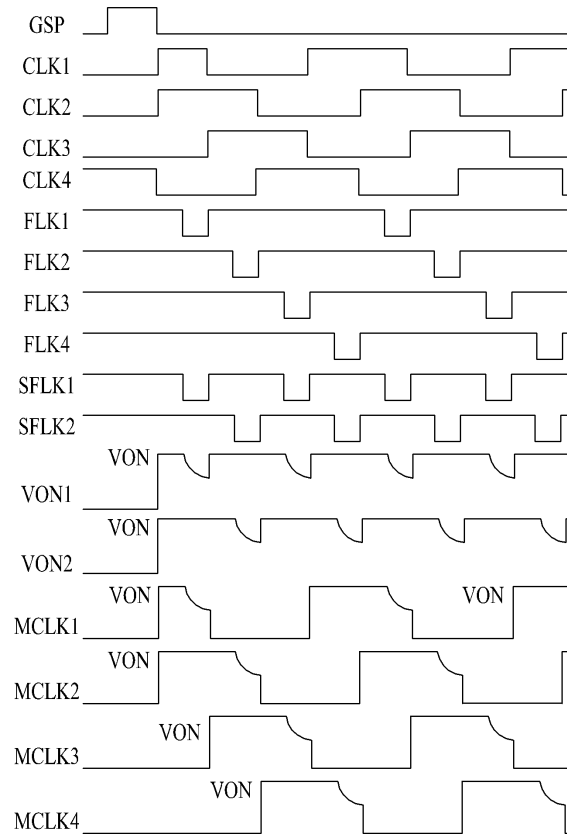
도면1



도면2



도면3



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 1] 17째줄

【변경전】

"상기 제 1 내지 제 4 플리커 방지 신호"

【변경후】

"제 1 내지 제 4 플리커 방지 신호"

专利名称(译)	标题：液晶显示装置的驱动装置及其驱动方法		
公开(公告)号	KR101611910B1	公开(公告)日	2016-04-26
申请号	KR1020090126901	申请日	2009-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM CHAE WOOK 임채욱		
发明人	임채욱		
IPC分类号	G09G3/36 G09G3/20 H03K19/0175		
CPC分类号	G09G3/3648 G09G2320/0247 G09G2310/0289		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020110070178A		
外部链接	Espacenet		

摘要(译)

用途：提供一种用于液晶显示装置的驱动电路及其驱动方法，以通过简化驱动电路来降低制造成本。组成：在液晶显示装置的驱动电路及其驱动方法中，液晶面板（2）包括多个像素区域。栅极驱动器（6）驱动液晶面板的栅极线。定时控制器（8）产生多个防闪烁信号和门控制信号。时序控制器控制栅极驱动器的驱动时序。栅极导通电压改变单元（14）产生至少一个栅极导通电压。电平移位器（16）将多个时钟的电压变为可变栅极电压和栅极截止电压电平。COPYRIGHT KIPO 2011

