



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년08월18일

(11) 등록번호 10-1544847

(24) 등록일자 2015년08월10일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0064404

(22) 출원일자 2008년07월03일

심사청구일자 2013년07월01일

(65) 공개번호 10-2010-0004302

(43) 공개일자 2010년01월13일

(56) 선행기술조사문헌

KR1020060102876 A*

KR1020060072774 A*

JP2003131636 A*

KR100261934 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

신경주

경기도 화성시 영통로61번길 10, 신영통현대1차아파트 105동 1102호 (반월동)

채종철

서울특별시 마포구 독막로42길 2, LG자이아파트 106동 1902호 (염리동)

(뒷면에 계속)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 14 항

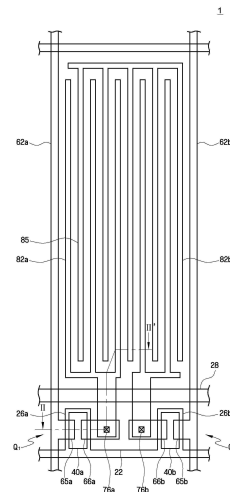
심사관 : 윤성주

(54) 발명의 명칭 액정 표시 장치

(57) 요약

화질 불량이 개선되고 시인성이 향상된 액정 표시 장치가 제공된다. 액정 표시 장치는, 제1 데이터 신호가 인가되는 제1 부화소 전극과, 제1 화소 전극과 이격하여 배치되며 제2 데이터 신호가 인가되는 제2 부화소 전극과, 제1 부화소 전극 및 상기 제2 부화소 전극과 용량 결합되는 플로팅 전극을 포함한다

대 표 도 - 도1



(72) 발명자

우화성

경기도 수원시 영통구 인계로189번길 14, 주공4단
지아파트 419동 107호 (매탄동)

정광철

경기도 성남시 수정구 모란로133번길 3 (태평동)

명세서

청구범위

청구항 1

복수의 가지 형태로 분지되고, 제1 데이터 신호가 인가되는 제1 부화소 전극;

복수의 가지 형태로 분지되고, 상기 제1 부화소 전극과 이격하여 배치되며 상기 제1 데이터 신호와 상이한 제2 데이터 신호가 인가되는 제2 부화소 전극; 및

상기 제1 부화소 전극 및 상기 제2 부화소 전극 사이에 배치되고, 상기 제1 부화소 전극과 상기 제2 부화소 전극 각각과 용량 결합되는 플로팅 전극을 포함하되,

상기 제1 부화소 전극, 상기 제2 부화소 전극 및 상기 플로팅 전극은 동일 평면 상에 형성되고,

상기 제1 부화소 전극이 분지되는 지점에 상기 플로팅 전극이 배치되고, 상기 제2 부화소 전극이 분지되는 지점에 상기 플로팅 전극이 배치되며,

상기 제1 부화소 전극은 상기 플로팅 전극과 제1 액정 커패시터를 이루고,

상기 제2 부화소 전극은 상기 플로팅 전극과 제2 액정 커패시터를 이루는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 액정 커패시터와 상기 제2 액정 커패시터는 서로 직렬 연결된 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 제1 부화소 전극을 제어하는 제1 스위칭 소자 및 상기 제2 부화소 전극을 제어하는 제2 스위칭 소자를 더 포함하고, 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자는 동일한 게이트 신호에 의해 제어되는 액정 표시 장치.

청구항 4

제2항에 있어서,

상기 제1 액정 커패시터의 커패시턴스는 상기 제2 액정 커패시터의 커패시턴스 보다 큰 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 액정 커패시터의 커패시턴스와 상기 제2 액정 커패시터의 커패시턴스의 비는 2:1 ~ 1.2:1 인 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 제1 부화소 전극 및 상기 플로팅 전극이 중첩되는 면적이 상기 제2 부화소 전극 및 상기 플로팅 전극이 중첩되는 면적 보다 큰 액정 표시 장치.

청구항 7

제1항에 있어서,

상기 제1 부화소 전극 및 상기 플로팅 전극 사이에 충전되는 전압과 상기 제2 부화소 전극 및 상기 플로팅 전극 사이에 충전되는 전압의 비는 0.5:1 ~ 0.83:1인 액정 표시 장치.

청구항 8

삭제

청구항 9

제1항에 있어서,

제1 절연 기판을 더 포함하며, 상기 제1 부화소 전극은 상기 제1 절연 기판 상에 스트라이프 형상으로 형성되고, 상기 제2 부화소 전극은 상기 제1 절연 기판 상에 형성되고 상기 제1 부화소 전극과 이격하여 스트라이프 형상으로 형성되고, 상기 플로팅 전극은 상기 제1 절연 기판 상에 형성되고 상기 제1 부화소 전극 및 상기 제2 부화소 전극과 이격되어 스트라이프 형태로 형성된 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 제1 절연 기판에 대향하는 제2 절연 기판; 및

상기 제1 절연 기판 및 상기 제2 절연 기판에 개재되며 수평 배향된 액정층을 더 포함하는 액정 표시 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

제1항에 있어서,

상기 제1 데이터 신호 및 상기 제2 데이터 신호는 위상이 서로 반전된 전압인 액정 표시 장치.

청구항 16

제1항에 있어서,

상기 제1 부화소 전극 및 상기 플로팅 전극 사이에 용량 결합하는 제1 보조 커패시턴스를 더 포함하는 표시 장치.

청구항 17

제1항에 있어서,

상기 제1 부화소 전극 및 상기 제2 부화소 전극 사이에 용량 결합하는 제2 보조 커패시턴스를 더 포함하는 표시 장치.

청구항 18

제1항에 있어서,

상기 제2 데이터 신호는 펄스 형태의 공통 전압인 액정 표시 장치.

청구항 19

제18항에 있어서,

상기 제1 부화소 전극을 제어하는 제1 스위칭 소자 및 상기 제2 부화소 전극을 제어하는 제2 스위칭 소자를 더 포함하는 액정 표시 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 화질 불량이 개선되고 시인성이 향상된 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 현대 사회가 고도로 정보화 되어감에 따라 표시 장치는 대형화 및 박형화에 대한 시장의 요구에 직면하고 있으며, 종래의 CRT 장치로는 이러한 요구를 충분히 만족시키지 못함에 따라 PDP(Plasma Display Panel) 장치, PALC(Plasma Address Liquid Crystal display panel) 장치, 표시 장치(Liquid Crystal Display: LCD) 장치, OLED(Organic Light Emitting Diode) 장치 등으로 대표되는 평판 표시 장치에 대한 수요가 폭발적으로 늘어나고 있다. 특히, 표시 장치는 화질이 선명하고 경량화, 박형화가 가능하여 각종 전자 기기에 널리 사용되고 있다.

[0003] 액정 표시 장치(Liquid Crystal Display: LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display: FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다.

[0004] 액정 표시 장치의 화질에 영향을 주는 명암비(contrast ratio), 시야각을 향상시키기 위하여 PVA (patterned vertically aligned)모드의 액정 표시 장치나 IPS(In-Plane Switching) 모드의 액정 표시 장치 등이 활발하게 이용되고 있으며, 각 화소는 다수의 도메인으로 분할되어 제어되고 있다. 이와 같은 다수의 도메인에 효과적으로 전압을 인가하여 화질을 향상시키고 시야각을 향상시키는 기술에 대한 연구가 필요하다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명이 이루고자 하는 과제는 화질 불량이 개선되고 시인성이 향상된 액정 표시 장치를 제공하고자 하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0007] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 데이터 신호가 인가되는 제1 부화소 전극과, 상기 제1 화소 전극과 이격하여 배치되며 제2 데이터 신호가 인가되는 제2 부화소 전극과, 상기 제1 부화소 전극 및 상기 제2 부화소 전극과 용량 결합되는 플로팅 전극을 포함한다.

발명의 실시를 위한 구체적인 내용

[0008] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0009] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계

를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.

[0010] 이하, 도 1 내지 도 4를 참조하여 본 발명의 제1 실시예에 따른 액정 표시 장치를 상세하게 설명한다. 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고, 도 2는 도 1의 액정 표시 장치를 II-II' 선으로 절단한 단면도이고, 도 3은 도 1의 액정 표시 장치의 하나의 화소에 대한 등가회로도이고, 도 4는 도 1의 액정 표시 장치에 인가되는 제1 데이터 신호 및 제2 데이터 신호의 파형도이다.

[0011] 본 발명의 제1 실시예에 따른 액정 표시 장치(1)는 박막 트랜지스터 어레이(thin film transistor array)가 형성된 하부 표시판(2), 이와 마주보고 있는 상부 표시판(3) 및 이들 사이에 들어 있는 액정층(4)을 포함한다.

[0012] 투명한 유리 등으로 이루어진 제1 절연 기판(10) 위에 주로 가로 방향으로 뻗어 있고 게이트 신호를 전달하는 게이트선(22)이 형성되어 있다. 게이트선(22)은 하나의 화소에 대하여 하나씩 할당되어 있다. 그리고, 게이트선(22)에는 돌출한 한 쌍의 제1 및 제2 게이트 전극(26a, 26b)이 형성되어 있다. 이러한 게이트선(22)과 제1 및 제2 게이트 전극(26a, 26b)을 게이트 배선이라 한다.

[0013] 또한 제1 절연 기판(10) 위에는 화소 영역을 가로질러 게이트선(22)과 실질적으로 평행하게 가로 방향으로 뻗어 있는 스토리지선(storage line)(28)이 형성되어 있고, 스토리지선(28)은 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 중첩되어 화소의 전하 보존 능력을 향상시키는 스토리지 커패시터(storage capacitor)를 형성한다. 본 실시예에서 스토리지선(28)은 게이트선(22)과 나란히 형성되어 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)의 일단부와 중첩하고 있으나, 이에 한정되지 않으며 스토리지선(28)의 모양 및 배치는 여러 형태로 변형될 수 있다. 나아가 제1 부화소 전극(82a)과 제2 부화소 전극(82b)과 게이트선(22)의 중첩으로 발생하는 스토리지 커패시턴스가 충분할 경우 스토리지선(28)이 형성되지 않을 수도 있다.

[0014] 게이트 배선(22, 26a, 26b)과 스토리지선(28)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 26a, 26b)과 스토리지선(28)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 26a, 26b)과 스토리지선(28)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 26a, 26b)과 스토리지 배선(28)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0015] 게이트선(22) 및 스토리지선(28) 위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(30)이 형성되어 있다.

[0016] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 한 쌍의 반도체층(40a, 40b)이 형성되어 있다. 반도체층(40a, 40b)은 섬모양, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬모양으로 형성될 수 있다.

[0017] 각 반도체층(40a, 40b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 옴릭 콘택층(ohmic contact layer)(55, 56)이 형성되어 있다. 옴릭 콘택층(55, 56)은 쌍(pair)을 이루어 반도체층(40a, 40b) 위에 위치한다.

[0018] 옴릭 콘택층(55, 56) 및 게이트 절연막(30) 위에는 한 쌍의 제1 및 제2 데이터선(62a, 62b)과, 제1 및 제2 데이터선(62a, 62b)에 각각 대응하는 한 쌍의 제1 및 제2 드레인 전극(66a, 66b)이 형성되어 있다.

[0019] 제1 및 제2 데이터선(62a, 62b)은 주로 세로 방향으로 뻗어 게이트선(22) 및 스토리지선(28)과 교차하며 데이터 신호를 전달한다. 제1 및 제2 데이터선(62a, 62b)에는 제1 및 제2 드레인 전극(66a, 66b)을 향하여 각각 뻗은 제1 및 제2 소스 전극(65a, 65b)이 형성되어 있다. 도 1에 도시된 바와 같이, 제1 데이터선(62a)은 제1 부화소 전극(82a)에 제1 데이터 신호(DAT1)를 전달하고 제2 데이터선(62b)은 제2 부화소 전극(82b)에 제2 데이터 신호(DAT2)를 전달한다.

[0020] 이러한 제1 및 제2 데이터선(62a, 62b)과, 제1 및 제2 소스 전극(65a, 65b)과, 제1 및 제2 드레인 전극(66a, 66b)을 데이터 배선이라고 한다.

- [0021] 데이터 배선(62a, 62b, 65a, 65b, 66a, 66b)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- [0022] 제1 및 제2 소스 전극(65a, 65b)은 각각 반도체층(40a, 40b)과 적어도 일부분이 중첩되고, 제1 및 제2 드레인 전극(66a, 66b)은 각각 게이트 전극(26a, 26b)을 중심으로 제1 및 제2 소스 전극(65a, 65b)과 대향하며 반도체층(40a, 40b)과 적어도 일부분이 중첩된다. 여기서, 앞서 언급한 오믹 콘택층(55a, 56a)은 그 하부의 반도체층(40a, 40b)과, 그 상부의 제1 및 제2 소스 전극(65a, 65b) 및 제1 및 제2 드레인 전극(66a, 66b) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- [0023] 제1 게이트 전극(26a), 제1 소스 전극(65a) 및 제1 드레인 전극(66a)은 제1 박막 트랜지스터(Q1)의 삼단자를 구성하여 제1 스위칭 소자로서 작용하며, 제2 게이트 전극(26b), 제2 소스 전극(65b) 및 제2 드레인 전극(66b)은 제2 박막 트랜지스터(Q2)의 삼단자를 구성하여 제2 스위칭 소자로서 작용한다.
- [0024] 데이터 배선(62a, 62b, 65a, 65b, 66a, 66b)과 노출된 반도체층(40a, 40b) 위에는 보호막(passivation layer)(70)이 형성되어 있다. 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(40a, 40b) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다. 나아가 보호막(70)으로는 적색, 녹색 또는 청색의 컬러 필터 층이 사용될 수도 있다.
- [0025] 보호막(70)에는 제1 및 제2 콘택홀(contact hole)(76a, 76b)이 형성되어 있으며, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 각각 제1 및 제2 콘택홀(76a, 76b)을 통하여 제1 및 제2 드레인 전극(66a, 66b)과 물리적·전기적으로 연결되어 데이터 신호 및 제어 전압을 인가 받는다.
- [0026] 제1 부화소 전극(82a)과 제2 부화소 전극(82b)은 플로팅 전극(85)를 사이에 두고 전기장을 생성함으로써, 제1 부화소 전극(82a)과 플로팅 전극(85) 사이와 제2 부화소 전극(82b)과 플로팅 전극(85) 사이에 개재된 액정 분자들의 배열을 결정한다. 이와 같은 액정 분자들의 거동에 의해 백라이트 어셈블리(미도시)에서 공급하는 빛이 조절되어 액정 패널에 영상이 표시되도록 한다.
- [0027] 제1 부화소 전극(82a)은 제1 박막 트랜지스터(Q1)의 제1 드레인 전극(66a)과 제1 콘택홀(76a)을 통하여 연결되며, 복수의 스트라이프(stripe) 형상의 가지(branch) 형태로 분지될 수 있다. 이와 같은 제1 부화소 전극(82a)은 제1 데이터선(62a) 및 제2 데이터선(62b)과 실질적으로 평행을 이루도록 형성할 수 있다. 이와 같은 제1 부화소 전극(82a)은 빛이 투과될 수 있도록 ITO 또는 IZO와 같은 투명 재질로 형성될 수 있다.
- [0028] 제2 부화소 전극(82b)은 제1 부화소 전극(82a)과 동일층에 형성되며, 제2 박막 트랜지스터(Q2)의 제2 드레인 전극(66b)과 제2 콘택홀(76b)을 통해 연결된다. 제1 부화소 전극(82a)과 제2 부화소 전극(82b)은 서로 이격되어 형성되며, 전기적으로 서로 절연되도록 형성된다. 한편, 제2 부화소 전극(82b)은 제2 박막 트랜지스터(Q2)를 통하여 제2 데이터 신호(DAT2)가 인가된다. 이와 같은 제2 부화소 전극(82b)은 제1 부화소 전극(82a)과 마찬가지로 복수의 스트라이프 형상의 가지 형태로 분지될 수 있다. 이와 같은 제1 부화소 전극(82a)과 제2 부화소 전극(82b)은 동일 평면 상에 형성되나 서로 인접하지 않으며, 제1 부화소 전극(82a)과 제2 부화소 전극(82b) 사이에는 플로팅 전극(85)이 개재된다.
- [0029] 플로팅 전극(85)은 전기적으로 절연되어 외부로부터 신호가 인가되지 않으며, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 용량 결합을 한다. 이러한 플로팅 전극(85)은 제1 부화소 전극(82a)과 제2 부화소 전극(82b)과 동일층에 형성될 수 있으며, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 적어도 일부 영역이 중첩되도록 형성된다. 여기서, 중첩이라 함은 전극이 서로 인접하여 배치됨으로써, 전극 간에 용량 결합이 될 수 있을 정도의 배치 관계를 말한다. 따라서, 전극이 상하부로 형성되어 일정 부분 겹치도록 형성되는 것만을 의미하는 것은 아니며, 전극이 좌우로 나란히 배치될 수도 있다.
- [0030] 플로팅 전극(85)은 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 동시에 용량 결합을 한다. 이와 같은 플로팅 전극(85)은 단순히 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 개재되어 형성될 수 있으며, 도 1에 도시된 바와 같이, 복수의 스트라이프 형상의 가지 형태로 분지되어 일부는 제1 부화소 전극(82a)과 중첩되고 다

른 일부는 제2 부화소 전극(82b)과 중첩될 수 있다.

- [0031] 제1 부화소 전극(82a)과 플로팅 전극(85)은 서로 용량 결합하여 제1 액정 커패시터(C_{LC1})를 형성하고, 제2 부화소 전극(82b)과 플로팅 전극(85)은 서로 용량 결합하여 제2 액정 커패시터(C_{LC2})를 형성한다. 이와 같은 제1 액정 커패시터(C_{LC1})와 제2 액정 커패시터(C_{LC2})는 플로팅 전극(85)을 사이에 두고 서로 직렬로 결합된다.
- [0032] 한편, 제1 부화소 전극(82a)과 제2 부화소 전극(82b)은 면적이 서로 다르도록 형성할 수 있다. 특히, 제1 부화소 전극(82a)과 플로팅 전극(85)이 중첩되는 면적과 제2 부화소 전극(82b)과 플로팅 전극(85)이 중첩되는 면적을 서로 다르게 형성할 수 있다. 제1 액정 커패시터(C_{LC1})와 제2 액정 커패시터(C_{LC2})를 서로 직렬로 연결하게 되면, 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})에 충전되는 전하량은 일정하게 된다. 이때, 전기 용량에 따라 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})에 저장되는 전압이 결정된다. 예를 들면, 도 1에 도시된 바와 같이, 제1 부화소 전극(82a)과 플로팅 전극(85)이 중첩되는 면적이 제2 부화소 전극(82b)과 플로팅 전극(85)이 중첩하는 면적보다 큰 경우, 제1 부화소 전극(82a)과 플로팅 전극(85) 사이의 전압이 제2 부화소 전극(82b) 및 플로팅 전극(85) 사이의 전압보다 낮게 충전될 수 있다.
- [0033] 제1 부화소 전극(82a)과 플로팅 전극(85) 사이의 전압과 제2 부화소 전극(82b)과 플로팅 전극(85) 사이의 전압이 서로 다르게 되면, 하나의 화소에 서로 다른 계조의 도메인이 형성된다. 즉, 높은 전압이 인가되는 고계조의 도메인과 낮은 전압이 인가되는 저계조의 도메인으로 분할된다. 이와 같이 하나의 화소에 고계조 도메인과 저계조 도메인이 함께 형성됨에 따라 액정 표시 장치(1)의 시야각 및 시인성이 향상된다.
- [0034] 특히, 하나의 화소에 있어서 최적의 시인성 및 시야각을 확보하기 위해서, 저계조를 이루는 도메인을 고계조를 이루는 도메인 보다 더 넓게 형성할 수 있다. 이와 같이 저계조를 이루는 도메인을 고계조를 이루는 도메인보다 더 넓게 형성하기 위해서는 제1 부화소 전극(82a)과 플로팅 전극(85) 사이의 중첩 면적을 제2 부화소 전극(82b)과 플로팅 전극(85) 사이의 중첩 면적보다 넓게 형성할 수 있다. 이와 같이 제1 부화소 전극(82a)과 플로팅 전극(85) 사이의 중첩 면적을 제2 부화소 전극(82b)과 플로팅 전극(85) 사이의 중첩 면적보다 크게 형성하면, 제1 액정 커패시터(C_{LC1})의 커패시턴스가 제2 액정 커패시터(C_{LC2})의 커패시턴스보다 커지게 된다.
- [0035] 서로 직렬로 연결된 제1 액정 커패시터(C_{LC1})와 제2 액정 커패시터(C_{LC2})는 서로의 커패시턴스 차이에 의해 서로에 충전되는 전압이 서로 다르게 된다. 즉, 중첩 면적이 넓은 제1 액정 커패시터(C_{LC1})의 전압이 제2 액정 커패시터(C_{LC2})의 전압보다 낮아지게 되어, 제1 부화소 전극(82a)과 플로팅 전극(85) 사이의 영역은 저계조 도메인이 된다. 즉, 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 커패시턴스를 조절하면, 각 도메인에 인가되는 전압을 조절할 수 있게 된다.
- [0036] 제1 액정 커패시터(C_{LC1})의 커패시턴스와 제2 액정 커패시터(C_{LC2})의 커패시턴스의 비는 2:1 ~ 1.2:1로 형성하는 것이 바람직하다. 한편, 이와 같은 방법으로 조절하여 제1 부화소 전극(82a) 및 플로팅 전극(85) 사이에 충전되는 전압과 제2 부화소 전극(82b) 및 플로팅 전극(85) 사이에 충전되는 전압의 비를 0.5:1 ~ 0.83:1로 형성할 수 있다.
- [0037] 제1 부화소 전극(82a), 제2 부화소 전극(82b) 및 플로팅 전극(85)은 제1 데이터선(62a) 및 제2 데이터선(62b)에 평행하도록 형성하는 것이 한정할 것은 아니고, 필요에 따라 게이트선(22) 또는 제1 데이터선(62a) 및 제2 데이터선(62b)과 소정의 각도를 갖도록 경사지게 형성할 수도 있다.
- [0038] 한편, 제1 부화소 전극(82a), 제2 부화소 전극(82b) 및 플로팅 전극(85)은 서로 동일 평면에 형성되어 있어, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 제1 데이터 신호(DAT1) 및 제2 데이터 신호(DAT2)가 인가되면, 제1 부화소 전극(82a)과 플로팅 전극(85) 사이에 측방향 전계가 발생하며, 제2 부화소 전극(82b)과 플로팅 전극(85) 사이에 측방향 전계가 발생한다.
- [0039] 이와 같은 제1 부화소 전극(82a) 및 제2 부화소 전극(82b), 및 보호막(70) 위에는 액정층을 배향할 수 있는 배향막(90)이 도포된다.
- [0040] 이하, 상부 표시판(3)에 관해 설명하면, 투명한 유리 등으로 이루어진 제2 절연 기관(110) 위에 빛샘을 방지하고 화소 영역을 정의하는 블랙 매트릭스(120)가 형성되어 있다. 블랙 매트릭스(120)는 게이트선(22)과 제1 및 제2 데이터선(62a, 62b)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분에 형성될 수 있다. 또한, 블랙 매

트릭스(120)는 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 제1 및 제2 박막 트랜지스터(Q1, Q2) 부근에서의 빛샘을 차단하기 위하여 다양한 모양을 가질 수 있다. 블랙 매트릭스(120)는 크롬, 크롬 산화물 등의 금속(금속 산화물), 또는 유기 블랙 레지스트 등으로 이루어질 수 있다.

[0041] 그리고 블랙 매트릭스(120) 사이의 화소 영역에는 적색, 녹색, 청색의 컬러 필터(130)가 순차적으로 배열될 수 있다.

[0042] 이러한 컬러 필터 위에는 이들의 단차를 평탄화 하기 위한 오버코트층(overcoat layer)(140)이 형성될 수 있다.

[0043] 오버코트층(140) 위에는 액정 분자들을 배향하는 배향막(160)이 도포될 수 있다.

[0044] 이와 같은 구조의 하부 표시판(2)과 상부 표시판(3)을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 구조가 이루어진다.

[0045] 액정층에 포함되어 있는 액정 분자는 제1 부화소 전극(82a)과 제2 부화소 전극(82b)과 플로팅 전극(85) 사이에 전계가 인가되지 않은 상태에서 그 방향자(director)가 하부 표시판과 상부 표시판에 대하여 수평을 이루도록 배향되어 있고, 액정 분자는 음의 유전율 이방성을 가질 수 있다.

[0046] 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트 등의 요소들을 배치하여 이루어진다.

[0047] 도 1, 도 3 및 도 4를 참조하여, 본 발명의 제1 실시예에 따른 액정 표시 장치(1)의 동작에 관하여 설명한다.

[0048] 제1 데이터 신호(DAT1)는 제1 데이터선(62a)을 통하여 제1 부화소 전극(82a)으로 인가되며, 제2 데이터 신호(DAT2)는 제2 데이터선(62b)을 통하여 제2 부화소 전극(82b)으로 인가된다.

[0049] 한편, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)으로 인가되는 제1 데이터 신호(DAT1) 및 제2 데이터 신호(DAT2)는 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)에 의하여 제어된다. 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)는 하나의 게이트선(22)에 연결되어 동시에 제어될 수 있다.

[0050] 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에 제1 데이터 신호(DAT1) 및 제2 데이터 신호(DAT2)가 인가되면, 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})에 전하가 충전된다. 이에 따라, 제1 부화소 전극(82a) 및 플로팅 전극(85) 사이와 제2 부화소 전극(82b) 및 플로팅 전극(85) 사이에는 전계가 형성된다.

[0051] 이때, 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 커패시턴스 크기에 따라 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2}) 사이의 전압은 차이가 발생한다.

[0052] 한편, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 스토리지선(28)과 일정 부분 중첩되어 제1 스토리지 커패시터(C_{st1})와 제2 스토리지 커패시터(C_{st2})를 형성할 수 있다.

[0053] 제1 데이터 신호(DAT1) 및 제2 데이터 신호(DAT2)는 위상이 서로 반전된 전압으로 형성하는 것이 바람직하다. 도 4에 도시된 바와 같이, 일정 주기로 스윙하는 제1 데이터 신호(DAT1) 및 제2 데이터 신호(DAT2)의 위상을 서로 반전시킴으로서, 항상 일정한 전압차를 얻을 수 있게 된다. 이와 같이 항상 일정한 전압차를 유지함으로써, 화질이 저하되는 것을 방지할 수 있다. 또한, 양 데이터 신호의 전압차를 이용함으로써, 데이터 드라이버(미도시)에서 높은 전압을 발생시키지 않더라도 높은 전압차를 이용할 수 있다는 장점이 있다.

[0054] 이하, 도 5 내지 도 8을 참조하여 본 발명의 제2 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 배치도이고, 도 6은 도 5의 액정 표시 장치에 포함되는 상부 표시판의 배치도이고, 도 7은 도 5의 액정 표시 장치에 포함되는 하부 표시판의 배치도이고, 도 8은 도 5의 액정 표시 장치를 VIII-VIII' 선으로 절단한 단면도이다. 설명의 편의상 상기 제1 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 동일 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

[0055] 본 발명의 제2 실시예에 따른 액정 표시 장치(1)는 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')이 하부 표시판(2)에 형성되며, 플로팅 전극(150)은 상부 표시판(3)에 형성된다.

[0056] 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')은 제1 절연 기판(10)에 ITO 또는 IZO와 같은 투명한 재질로 형성될 수 있으며, 플로팅 전극(150)은 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')에 중첩하도록 제2 절연 기판(110)에 형성될 수 있다.

[0057] 제1 부화소 전극(82a')은 제2 부화소 전극(82b')과 이격되며, 제2 부화소 전극(82b')을 감싸는 형태로 형성될 수 있다. 제1 부화소 전극(82a') 및 제2 부화소 전극(82b') 사이에는 제1 도메인 분할 수단(83)이 형성될 수 있

다. 이러한 제1 도메인 분할 수단(83)은 게이트선(22)에 대하여 $+45^\circ$ 또는 -45° 정도 기울어지도록 형성될 수 있다.

[0058] 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')은 하나의 화소 내에서 분할되어 면을 형성할 수 있으며, 상부 표시판(3)에 형성된 플로팅 전극(150)과 함께 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})를 형성할 수 있다.

[0059] 상부 표시판(3)에 형성된 플로팅 전극(150)은 하나의 화소 내에 절연되어 있다. 즉, 화소 단위로 분할되어 화소마다 각각 형성될 수 있으며, 도메인을 분할하는 제2 도메인 분할 수단(151)을 포함한다. 제2 도메인 분할 수단(151)은 제1 부화소 전극(82a') 및 제2 부화소 전극(82b') 중 적어도 하나와 중첩되도록 형성될 수 있다. 제2 도메인 분할 수단(151)은 제1 도메인 분할 수단(83)과 같이 게이트선(22)에 대하여 $+45^\circ$ 또는 -45° 정도 기울어지도록 형성될 수 있다. 이러한 제1 도메인 분할 수단(83) 및 제2 도메인 분할 수단(151)은 슬릿 형태로 형성될 수 있으며, 돌기 형태로 형성될 수도 있다.

[0060] 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')과 동시에 중첩된 플로팅 전극(150)은 제1 부화소 전극(82a')과 함께 제1 액정 커패시터(C_{LC1})를 형성하며, 제2 부화소 전극(82b')과 함께 제2 액정 커패시터(C_{LC2})를 형성한다. 이러한 제1 액정 커패시터(C_{LC1})와 제2 액정 커패시터(C_{LC2})는 서로 직렬로 연결된다. 따라서, 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')에 제1 데이터 신호(DAT1) 및 제2 데이터 신호(DAT2)가 인가되면, 제1 부화소 전극(82a') 및 플로팅 전극(150) 사이와 제2 부화소 전극(82b') 및 플로팅 전극(150) 사이는 전압이 서로 차등 인가된다.

[0061] 제1 부화소 전극(82a') 및 플로팅 전극(150) 사이의 전압과 제2 부화소 전극(82b') 및 플로팅 전극(150) 사이의 전압은 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 커패시턴스 차이에 의해 발생될 수 있으며, 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 커패시턴스는 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')과 플로팅 전극(150)의 중첩 면적에 따라 달라지게 된다.

[0062] 한편, 상부 표시판(3)과 하부 표시판(2) 사이에는 수직 배향된 액정층(4)이 개재될 수 있으며, 제1 부화소 전극(82a') 및 제2 부화소 전극(82b')에 제1 데이터 신호(DAT1) 및 제2 데이터 신호(DAT2)가 인가되면 액정 분자는 도메인 형성 방향에 따라 4 방향으로 기울어 질 수 있다.

[0063] 이하, 도 9 내지 도 11을 참조하여 본 발명의 제3 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 9는 본 발명의 제3 실시예에 따른 액정 표시 장치의 배치도이고, 도 10은 도 9의 액정 표시 장치를 X-X' 선으로 절단한 단면도이고, 도 11은 도 9의 액정 표시 장치의 하나의 화소에 대한 등가회로도이다. 설명의 편의상 상기 제1 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 동일 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

[0064] 본 발명의 제3 실시예에 따른 액정 표시 장치(1)는 제1 부화소 전극(82a) 및 플로팅 전극(85) 사이에 보조 커패시터(Caux1)가 형성된다.

[0065] 제1 부화소 전극(82a)은 제1 콘택홀(76a)을 통해 제1 드레인 전극(66a)과 연결되며, 제1 드레인 전극(66a)은 일부가 연장되어 보조 전극(67)을 형성한다. 보조 전극(67)은 플로팅 전극(85)과 일부가 중첩되어 보조 커패시터(Caux1)를 형성한다.

[0066] 보조 전극(67)은 제1 드레인 전극(66a)을 통하여 제1 부화소 전극(82a)과 연결되어 있어, 보조 커패시터(Caux1)와 제1 액정 커패시터(C_{LC1})는 사실상 병렬로 연결되어 있다.

[0067] 이와 같은 보조 커패시터(Caux1)는 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 커패시턴스를 조절할 수 있는 인자가 된다. 따라서, 보조 커패시터(Caux1), 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})를 조절하여, 각 도메인에 인가되는 전압의 비를 최적화 할 수 있게 된다.

[0068] 이하, 도 12 내지 도 14를 참조하여 본 발명의 제4 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 12는 본 발명의 제4 실시예에 따른 액정 표시 장치의 배치도이고, 도 13은 도 12의 액정 표시 장치를 XIII-XIII' 선으로 절단한 단면도이고, 도 14는 도 12의 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다. 설명의 편의상 상기 제1 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 동일 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

- [0069] 본 발명의 제4 실시예에 따른 액정 표시 장치(1)는 제1 부화소 전극(82a) 및 제2 부화소 전극(82b) 사이에 보조 커패시터(Caux2)가 형성된다.
- [0070] 제1 부화소 전극(82a)은 제1 콘택홀(76a)을 통해 제1 드레인 전극(66a)과 연결되며, 제1 드레인 전극(66a)은 일부가 연장되어 보조 전극(Caux2)을 형성한다. 보조 전극(76')은 제2 부화소 전극(82b)과 일부가 중첩되어 보조 커패시터(Caux2)를 형성한다.
- [0071] 보조 전극(76')은 제1 드레인 전극(66a)을 통하여 제1 부화소 전극(82a)과 연결되어 있어, 보조 커패시터(Caux2)의 양 전극은 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)과 연결되어 있다.
- [0072] 제1 액정 커패시터(C_{LC1})와 제2 액정 커패시터(C_{LC2})는 서로 직렬로 연결되어 있으므로, 보조 커패시터(Caux2)와 직렬로 연결된 제1 액정 커패시터(C_{LC1})와 제2 액정 커패시터(C_{LC2})는 서로 병렬로 연결된다.
- [0073] 이와 같은 보조 커패시터(Caux2)는 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 커패시턴스를 조절할 수 있는 인자가 된다. 따라서, 보조 커패시터(Caux2), 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})를 조절하여, 각 도메인에 인가되는 전압의 비를 최적화 할 수 있게 된다.
- [0074] 이하, 도 15를 참조하여 본 발명의 제5 실시예에 따른 액정 표시 장치에 대하여 상세히 설명한다. 도 15는 본 발명의 제5 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다. 설명의 편의상 상기 제1 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 동일 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.
- [0075] 본 발명의 제5 실시예에 따른 액정 표시 장치는 서로 직렬로 연결된 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 일 단은 제1 데이터 신호(DAT1)가 인가되고, 타 단은 공통 전압이 인가된다. 이때, 제1 데이터 신호(DAT1) 및 공통 전압은 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)에 의해 제어된다.
- [0076] 한편, 공통 전압은 일정한 전위를 갖는 신호일 수도 있으나, 일정한 전위차를 갖도록 스윙하는 펄스 신호일 수 있다.
- [0077] 도 16은 도 15의 액정 표시 장치의 변형 실시예의 등가 회로도이다.
- [0078] 도 16을 참조하면, 액정 표시 장치는 서로 직렬로 연결된 제1 액정 커패시터(C_{LC1}) 및 제2 액정 커패시터(C_{LC2})의 일 단은 제1 데이터 신호(DAT1)가 인가되고, 타 단은 공통 전압이 인가된다. 이때, 제1 데이터 신호(DAT1)는 제1 박막 트랜지스터(Q1)에 의해 제어되며, 공통 전압은 별도의 스위칭 소자로 제어되지 않을 수 있다. 즉, 일정한 전위를 갖는 신호 또는 일정한 전위차를 갖도록 스윙하는 펄스 신호인 공통 전압을 별도의 제어 없이 연속적으로 인가할 수 있다.
- [0079] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

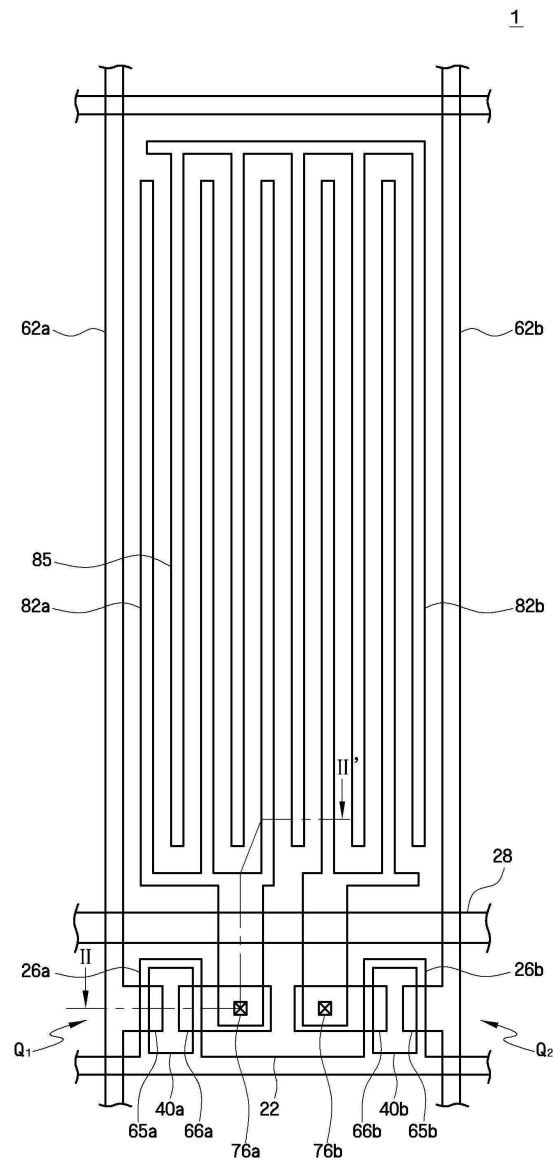
도면의 간단한 설명

- [0080] 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이다.
- [0081] 도 2는 도 1의 액정 표시 장치를 II-II' 선으로 절단한 단면도이다.
- [0082] 도 3은 도 1의 액정 표시 장치의 하나의 화소에 대한 등가회로도이다.
- [0083] 도 4는 도 1의 액정 표시 장치에 인가되는 제1 데이터 신호 및 제2 데이터 신호의 파형도이다.
- [0084] 도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 배치도이다.
- [0085] 도 6은 도 5의 액정 표시 장치에 포함되는 상부 표시판의 배치도이다.
- [0086] 도 7은 도 5의 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.
- [0087] 도 8은 도 5의 액정 표시 장치를 VIII-VIII' 선으로 절단한 단면도이다.

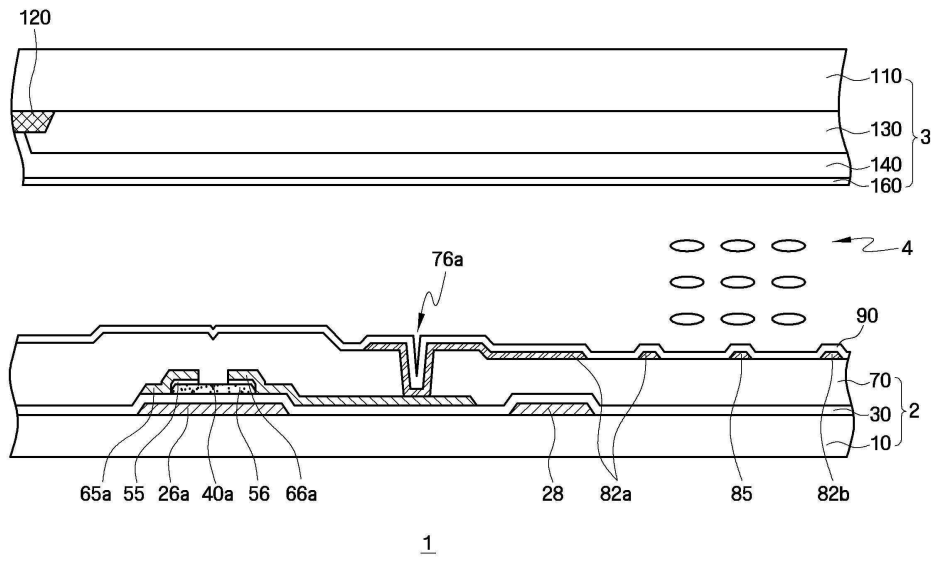
[illegible]

도면

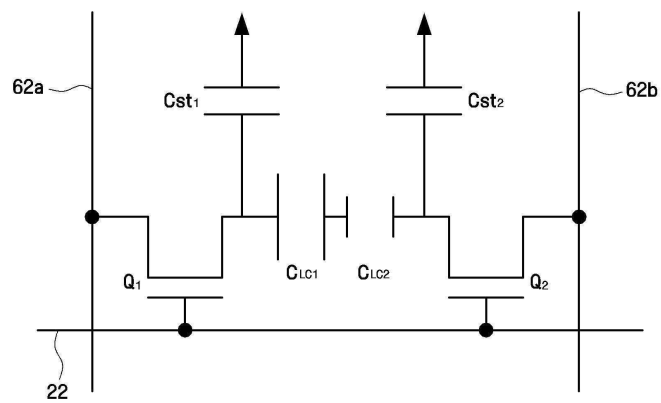
도면1



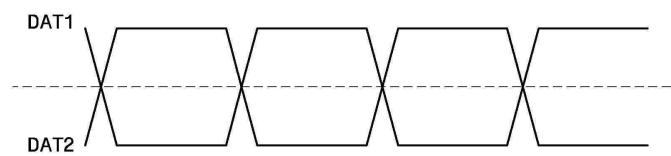
도면2



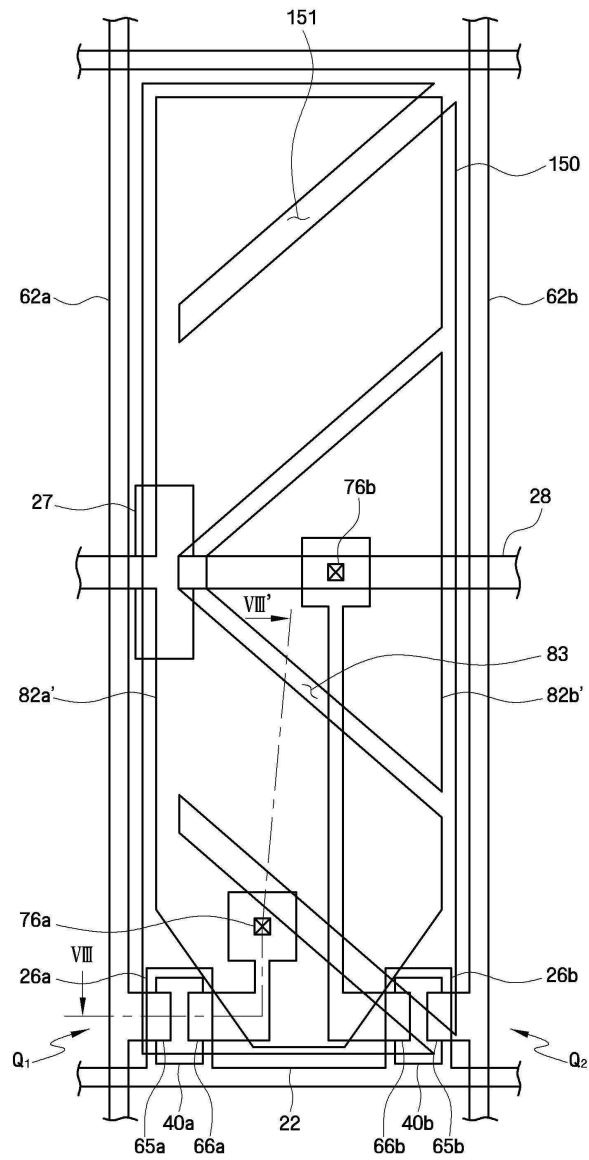
도면3



도면4

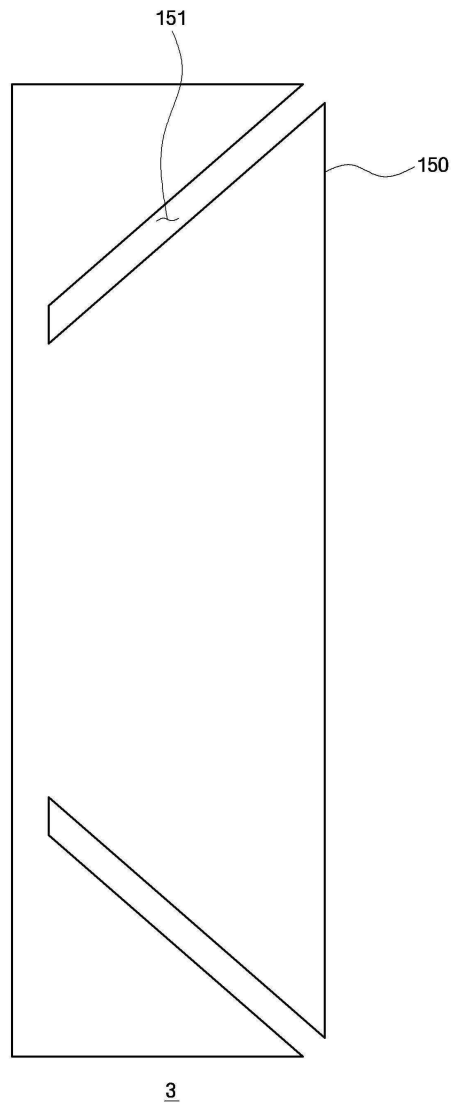


도면5

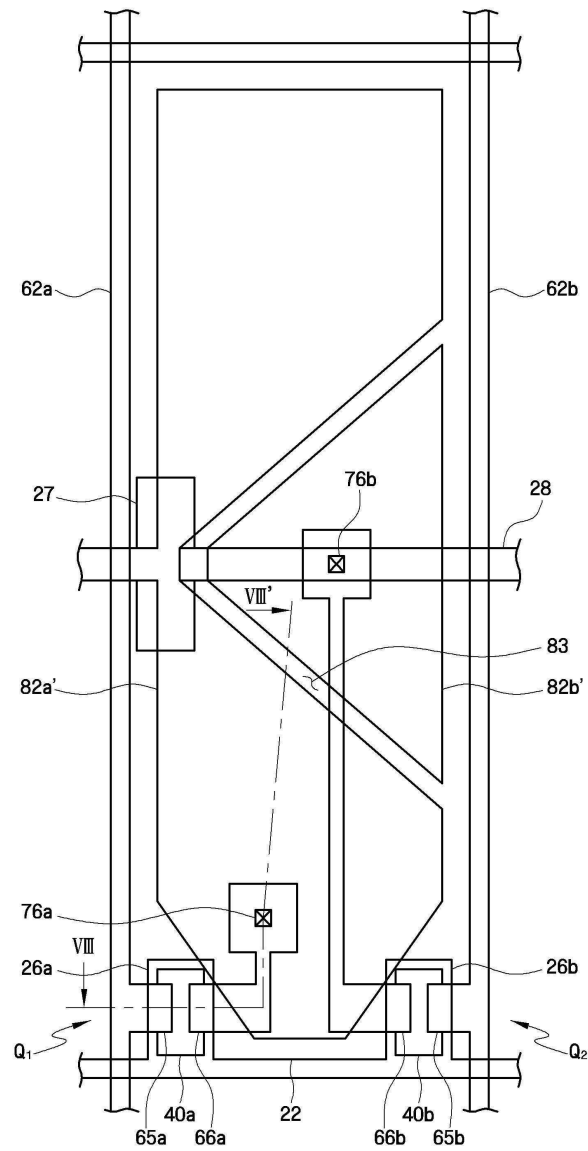


1

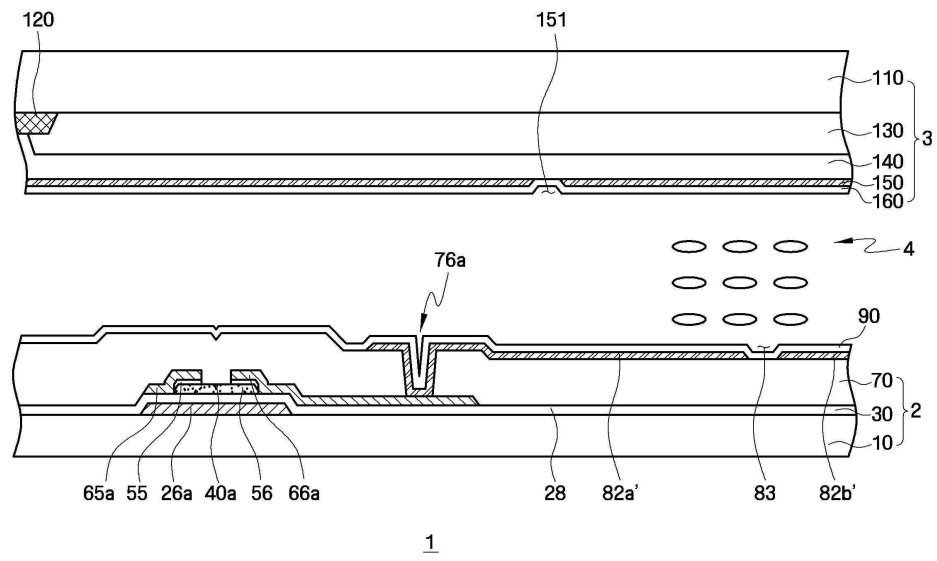
도면6



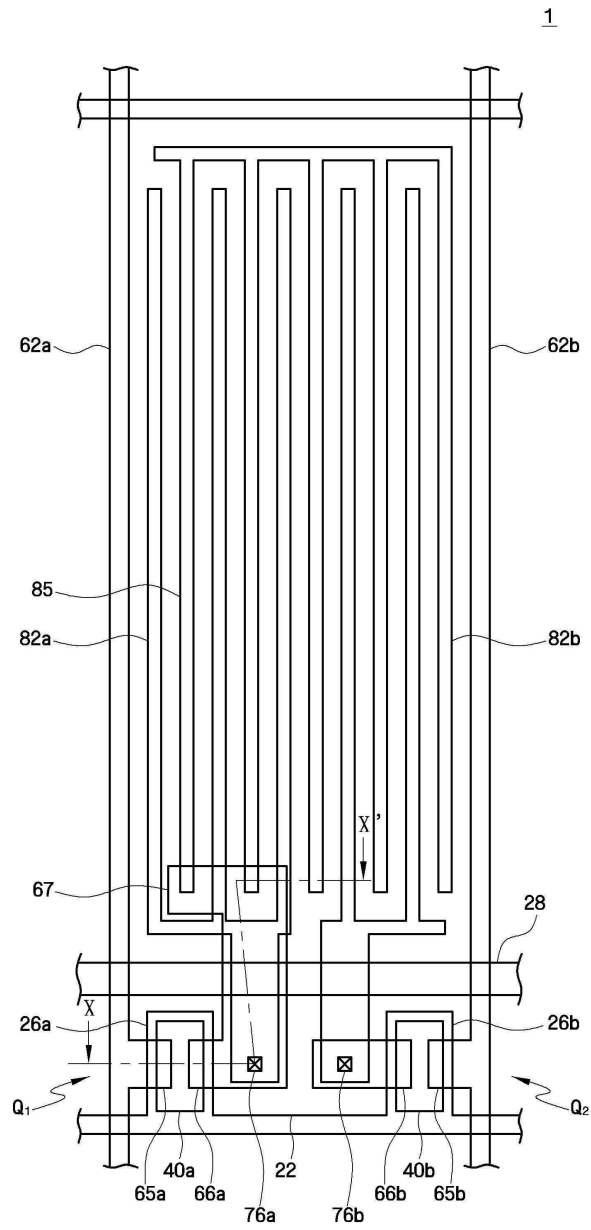
도면7



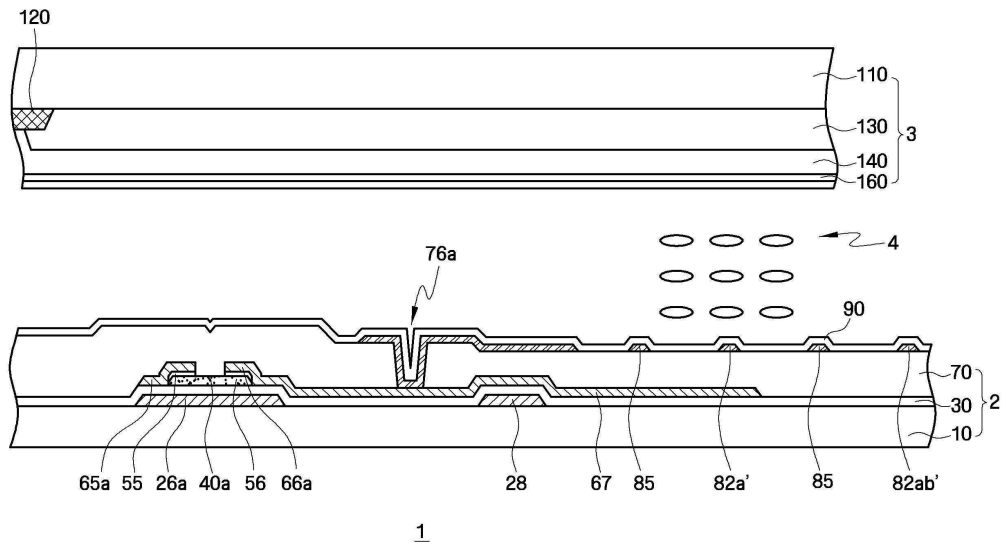
도면8



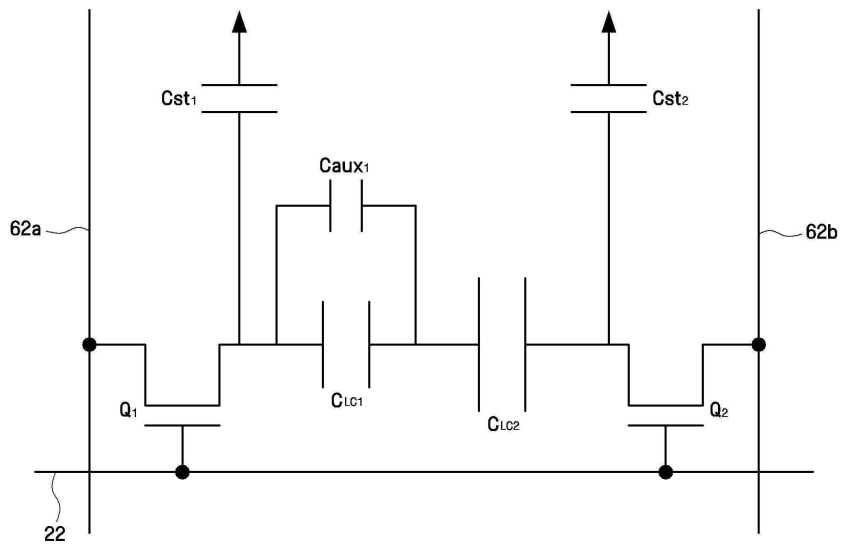
도면9



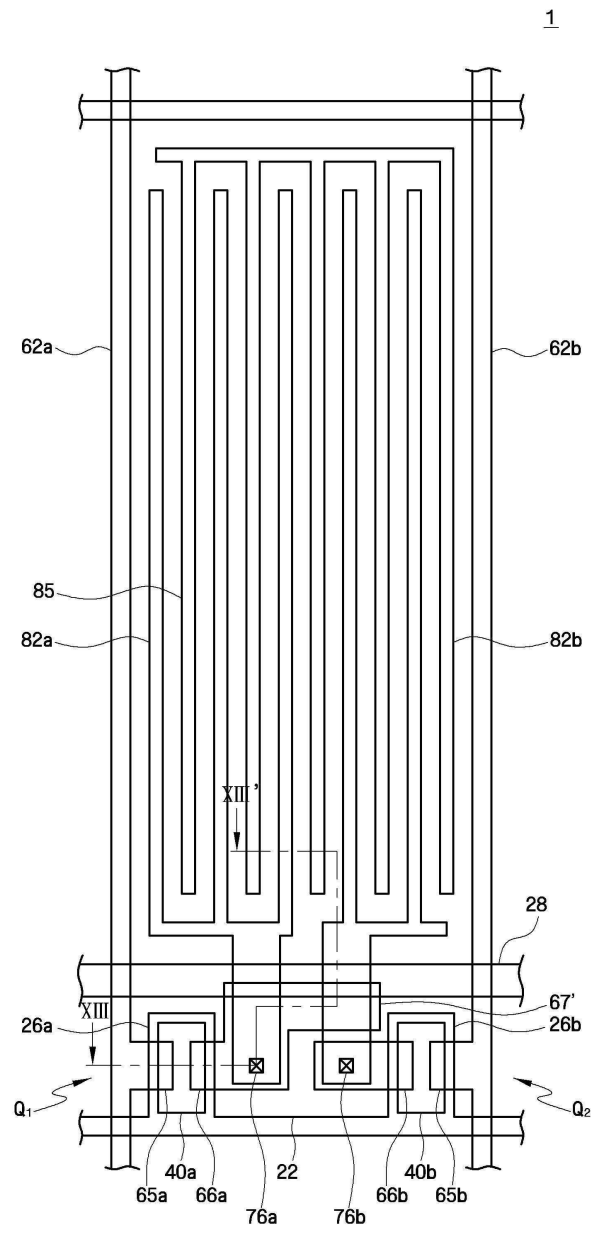
도면10



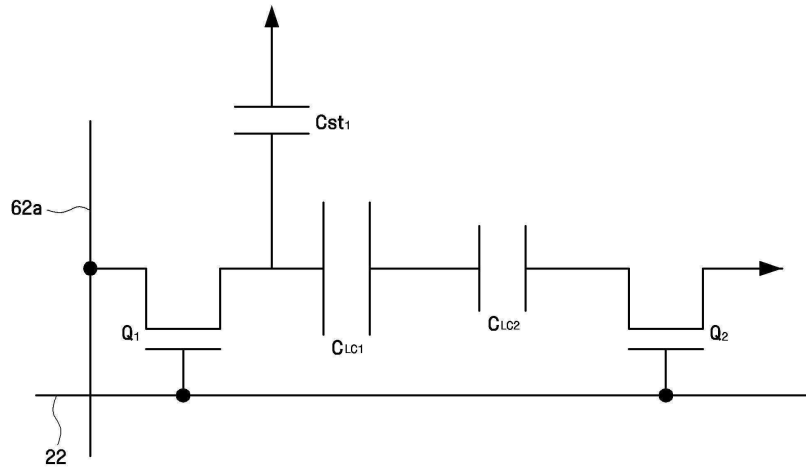
도면11



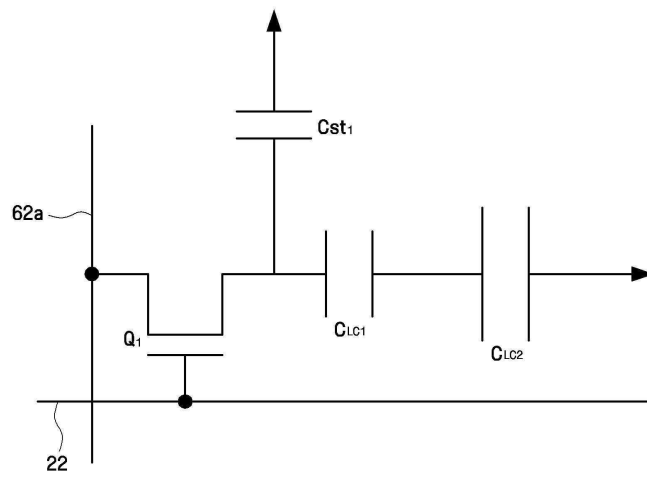
도면12



도면15



도면16



提供一种液晶显示装置，其中改善了缺陷图像质量并改善了可视性。一种液晶显示装置，包括：第一子像素电极，第一数据信号施加到第一子像素电极；第二子像素电极，与第一像素电极分开设置，第二数据信号施加到第二子像素电极，并且浮动电极电容耦合到两个子像素电极

