



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월24일  
(11) 등록번호 10-1374425  
(24) 등록일자 2014년03월07일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2009-0075382  
(22) 출원일자 2009년08월14일  
심사청구일자 2011년11월03일  
(65) 공개번호 10-2011-0017751  
(43) 공개일자 2011년02월22일  
(56) 선행기술조사문헌  
KR1020090041489 A\*  
KR1020040010372 A\*  
KR1020080036576 A  
KR1020090061466 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김중우  
경상북도 구미시 칠성로2길 16,  
주공아파트110-106 (원평동)  
남현택  
대구광역시 동구 아양로7길 12, 프란체 106동  
1003호 (신암동)  
장수혁  
대구광역시 동구 국제보상로 829, 103동 1801호  
(신천동, 신천 두산위브)  
(74) 대리인  
특허법인로알

전체 청구항 수 : 총 8 항

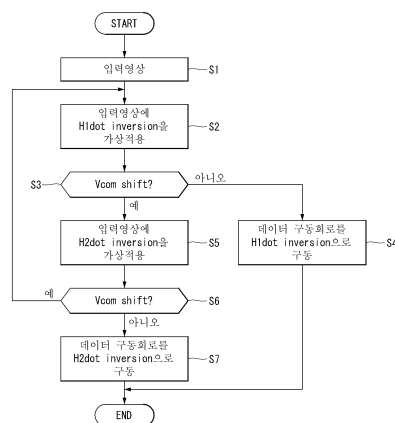
심사관 : 윤성주

(54) 발명의 명칭 액정표시장치와 그 도트 인버전 제어방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 데이터라인들과 게이트라인들이 교차되는 액정표시패널; 입력 영상의 데이터들을 제1 도트 인버전 및 제2 도트 인버전의 극성 패턴과 맵핑하여 상기 입력 영상의 데이터들에 상기 제1 도트 인버전 및 상기 제2 도트 인버전을 가상 적용한 상태에서 상기 입력 영상의 정극성 데이터 개수와 부극성 데이터 개수를 카운트하여 상기 정극성 데이터 개수와 부극성 데이터 개수의 차이가 미리 설정된 기준값 미만이면 가상 적용된 도트 인버전의 극성 패턴을 선택하는 반면, 상기 차이가 상기 기준값 이상이면 가상 적용된 도트 인버전의 극성 패턴과 다른 극성 패턴을 선택하는 타이밍 콘트롤러; 상기 입력 영상의 데이터들을 상기 데이터라인들에 공급될 데이터전압들로 변환하고, 상기 타이밍 콘트롤러에 의해 선택된 도트 인버전으로 상기 데이터전압들의 극성을 반전시키는 데이터 구동회로; 및 상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비한다.

대표도 - 도9



## 특허청구의 범위

### 청구항 1

데이터라인들과 게이트라인들이 교차되는 액정표시패널;

입력 영상의 데이터들을 제1 도트 인버전 및 제2 도트 인버전의 극성 패턴과 맵핑하여 상기 입력 영상의 데이터들에 상기 제1 도트 인버전 및 상기 제2 도트 인버전 중 어느 하나를 가상 적용한 상태에서 상기 입력 영상의 정극성 데이터 개수와 부극성 데이터 개수를 카운트하여, 상기 정극성 데이터 개수와 부극성 데이터 개수의 차이가 미리 설정된 기준값 미만이면 가상 적용된 도트 인버전의 극성 패턴을 선택하는 반면, 상기 차이가 상기 기준값 이상이면 가상 적용된 도트 인버전의 극성 패턴과 다른 극성 패턴을 선택하는 타이밍 콘트롤러;

상기 입력 영상의 데이터들을 상기 데이터라인들에 공급될 데이터전압들로 변환하고, 상기 타이밍 콘트롤러에 의해 선택된 도트 인버전으로 상기 데이터전압들의 극성을 반전시키는 데이터 구동회로; 및

상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

상기 데이터 구동회로를 상기 제1 도트 인버전과 상기 제2 도트 인버전으로 구동시키기 위한 극성제어신호를 발생하고,

상기 극성제어신호는 상기 타이밍 콘트롤러에 의해 선택된 도트 인버전으로 도트 인버전을 변경하기 위하여 수직 블랭크 타임과 수평 블랭크 타임 중 어느 한 블랭크 타임 내에서 선택된 도트 인버전의 극성제어신호로 변경되는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 2 항에 있어서,

상기 타이밍 콘트롤러는,

상기 입력 영상의 데이터들에 상기 제1 도트 인버전의 극성 패턴을 맵핑한 결과, 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이가 상기 기준값 미만이면 상기 데이터 구동회로를 상기 제1 도트 인버전으로 구동시키는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 3 항에 있어서,

상기 타이밍 콘트롤러는,

상기 입력 영상의 데이터들에 상기 제1 도트 인버전의 극성 패턴을 맵핑한 결과, 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이가 상기 기준값 이상이면 상기 입력 영상의 데이터들에 상기 제2 도트 인버전의 극성 패턴을 맵핑하여 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이를 다시 산출하고 그 차이가 상기 기준값 미만이면 상기 데이터 구동회로를 상기 제2 도트 인버전으로 구동시키는 것을 특징으로 하는 액정표시장치.

### 청구항 5

입력 영상의 데이터들을 제1 도트 인버전 및 제2 도트 인버전의 극성 패턴과 맵핑하여 상기 입력 영상의 데이터들에 상기 제1 도트 인버전 및 상기 제2 도트 인버전을 가상 적용한 상태에서 상기 입력 영상의 정극성 데이터 개수와 부극성 데이터 개수를 카운트하는 단계;

상기 정극성 데이터 개수와 부극성 데이터 개수의 차이가 미리 설정된 기준값 미만이면 가상 적용된 도트 인버전의 극성 패턴을 선택하는 단계;

상기 차이가 상기 기준값 이상이면 가상 적용된 도트 인버전의 극성 패턴과 다른 극성 패턴을 선택하는 단계;

상기 입력 영상의 데이터들을 데이터전압들로 변환하고, 상기 선택된 도트 인버전으로 상기 데이터전압들의 극성을 반전시켜 액정표시패널의 데이터라인들에 공급하는 단계; 및

상기 데이터전압들과 동기되는 게이트펄스를 액정표시패널의 게이트라인들에 순차적으로 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 도트 인버전 제어방법.

## 청구항 6

제 5 항에 있어서,

상기 선택된 도트 인버전에 따라 변경되는 극성제어신호를 발생하는 단계; 및

상기 데이터전압들을 출력하는 데이터 구동회로를 상기 극성제어신호로 제어하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 도트 인버전 제어방법.

## 청구항 7

제 6 항에 있어서,

상기 극성제어신호는 상기 선택된 도트 인버전으로 도트 인버전을 변경하기 위하여 수직 블랭크 타임과 수평 블랭크 타임 중 어느 한 블랭크 타임 내에서 상기 선택된 도트 인버전의 극성제어신호로 변경되는 것을 특징으로 하는 액정표시장치의 도트 인버전 제어방법.

## 청구항 8

제 6 항에 있어서,

상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이값에 근거하여 입력 영상의 극성 편향 여부를 판단하여 상기 제1 및 제2 도트 인버전 중 어느 하나를 선택하는 단계는,

상기 입력 영상의 데이터들에 상기 제1 도트 인버전의 극성 패턴을 맵핑한 결과, 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이가 상기 기준값 미만이면 상기 데이터 구동회로를 상기 제1 도트 인버전으로 구동시키는 단계; 및

상기 입력 영상의 데이터들에 상기 제1 도트 인버전의 극성 패턴을 맵핑한 결과, 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이가 상기 기준값 이상이면 상기 입력 영상의 데이터들에 상기 제2 도트 인버전의 극성 패턴을 맵핑하여 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이를 다시 산출하고 그 차이가 상기 기준값 미만이면 상기 데이터 구동회로를 상기 제2 도트 인버전으로 구동시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 도트 인버전 제어방법.

## 명세서

### 발명의 상세한 설명

### 기술분야

[0001] 본 발명은 액정표시장치와 그 도트 인버전 제어방법에 관한 것이다.

### 배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치의 액정셀들은 화소전극에 공급되는 데이터전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다. 액정표시장치는 일반적으로 액정의 열화를 방지하기 위하여 액정에

인가되는 데이터전압의 극성을 주기적으로 반전시키는 인버전 방식으로 구동되고 있다. 액정표시장치가 인버전 방식으로 구동되면 액정셀들에 충전되는 데이터전압의 극성과 입력 영상의 데이터 패턴의 상관 관계에 따라 액정표시장치의 화질이 떨어질 수 있다. 이는 액정셀에 충전되는 데이터전압에 따라 액정셀들에 충전되는 데이터 전압들의 극성이 정극성과 부극성이 균형을 맞추지 않고 어느 한 극성이 우세 극성으로 되고, 그로 인하여 공통 전극에 인가되는 공통전압이 쉬프트되기 때문이다. 공통전압이 쉬프트되면 액정셀들의 기준 전위가 흔들리기 때문에 관찰자는 액정표시장치에 표시된 화상에서 플리커(flicker)나 스메어(smear) 현상을 느낄 수 있다.

[0004] 도 1 및 도 2는 액정표시장치를 도트 인버전으로 구동할 때, 화질이 떨어질 수 있는 문제 패턴(problem pattern)의 데이터 예들을 나타낸다.

[0005] 문제 패턴 중에서 도 1과 같이 화이트 계조의 픽셀 데이터(백색)와 블랙 계조의 픽셀 데이터(흑색)가 1 픽셀 단위로 교번하는 패턴을 셧다운 패턴(Shutdown pattern)이라 한다. 픽셀 데이터 각각은 적색 서브픽셀 데이터(R), 녹색 서브픽셀 데이터(G) 및 청색 서브픽셀 데이터(B)를 포함한다. 셧다운 패턴의 검출방법은 입력 영상에 포함된 셧다운 패턴을 카운트하여 그 카운트값에 따라 셧다운 패턴 여부를 판단할 수 있다. 예컨대, 셧다운 패턴의 검출방법은 N(N은 양의 정수) 번째 픽셀 데이터가 화이트 계조의 픽셀 데이터이고 N+1 번째 픽셀 데이터가 블랙 계조의 픽셀 데이터일 때 문제 픽셀 카운터의 카운트값을 1씩 증가시키고 그 카운트값이 소정의 문턱값 이상일 때 입력 영상의 데이터를 셧다운 패턴으로 판단한다.

[0006] 문제 패턴 중에서 도 2와 같이 화이트 계조의 픽셀 데이터(백색)와 블랙 계조의 픽셀 데이터(흑색)가 2 픽셀 단위로 교번하는 패턴을 스메어 패턴(Smear pattern)이라 한다. 스메어 패턴의 검출방법은 셧다운 패턴의 검출방법과 유사하게 입력 영상에 포함된 스메어 패턴을 카운트하여 그 카운트값에 따라 스메어 패턴 여부를 판단할 수 있다. 예컨대, 스메어의 검출방법은 N 번째 픽셀 데이터와 N+1 번째 픽셀 데이터들이 화이트 계조의 픽셀 데이터이고, N+2 번째 픽셀 데이터와 N+3 번째 픽셀 데이터가 블랙 계조의 픽셀 데이터일 때 문제 픽셀 카운터의 카운트값을 1씩 증가시키고 그 카운트값이 소정의 문턱값 이상일 때 입력 영상의 데이터를 스메어 패턴으로 판단한다.

[0007] 문제 패턴에는 셧다운 패턴, 스메어 패턴 이외에도 도트 인버전에서 화질을 떨어뜨리는 다양한 유형의 패턴들이 존재하며 그 중 하나는 도 14와 같은 플리커 패턴이 있다. 플리커 패턴에서, 화이트 계조의 서브픽셀 데이터와 블랙 계조의 서브픽셀 데이터가 상하, 좌우로 교번된다.

[0008] 그런데, 입력 영상에서 문제 패턴을 검출하는 방법은 문제 패턴 유형 각각에 대하여 사전에 많은 양의 문제 패턴 데이터를 저장하여야 하고 그 문제 패턴 데이터 각각을 검출하기 위하여 많은 수의 검출 로직 모듈이 필요하다. 예컨대, 셧다운 패턴을 인식하기 위해서는 도 3과 같이 6 개의 서브픽셀들에서 나타날 수 있는 최대  $(2^3 - 1) \times 2 = 14$  개의 패턴들을 사전에 정의하여야 하고, 그 패턴들 각각을 검출하기 위한 검출 로직이 필요하다. 스메어 패턴의 경우에는, 12 개의 서브픽셀 데이터들에서 나타날 수 있는 최대  $(2^6 - 1) \times 2 = 126$  개의 패턴들을 사전에 정의하여야 하고, 그 패턴들 각각을 검출하기 위한 검출 로직 모듈이 필요하다.

## 발명의 내용

### 해결 하고자하는 과제

[0009] 본 발명은 입력 영상에 대하여 도트 인버전 극성 패턴을 가상으로 적용하여 도트 인버전 극성 패턴이 어느 하나로 고정될 때 화질 저하를 유발하는 문제 패턴을 검출함과 동시에 문제 패턴을 검출함과 동시에 그 문제 패턴을 표시할 때 화질이 떨어지지 않는 도트 인버전 극성 패턴을 선택하도록 한 액정표시장치와 그 도트 인버전 제어 방법을 제공한다.

### 과제 해결수단

[0010] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되는 액정표시패널; 입력 영상의 데이터들을 제1 도트 인버전 및 제2 도트 인버전의 극성 패턴과 맵핑하여 상기 입력 영상의 데이터들에 상기 제1 도트 인버전 및 상기 제2 도트 인버전을 가상 적용한 상태에서 상기 입력 영상의 정극성 데이터 개수와 부극성 데이터 개수를 카운트하여 상기 정극성 데이터 개수와 부극성 데이터 개수의 차이가 미리 설정된 기준값 미만이면 가상 적

용된 도트 인버전의 극성 패턴을 선택하는 반면, 상기 차이가 상기 기준값 이상이면 가상 적용된 도트 인버전의 극성 패턴과 다른 극성 패턴을 선택하는 타이밍 콘트롤러; 상기 입력 영상의 데이터들을 상기 데이터라인들에 공급될 데이터전압들로 변환하고, 상기 타이밍 콘트롤러에 의해 선택된 도트 인버전으로 상기 데이터전압들의 극성을 반전시키는 데이터 구동회로; 및 상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 구비한다.

- [0011] 상기 타이밍 콘트롤러는 상기 데이터 구동회로를 상기 제1 도트 인버전과 상기 제2 도트 인버전으로 구동시키기 위한 극성제어신호를 발생한다.
- [0012] 상기 극성제어신호는 상기 타이밍 콘트롤러에 의해 선택된 도트 인버전을 기준으로 수직 블랭크 타임과 수평 블랭크 타임 중 어느 한 블랭크 타임 내에서 변경된다.
- [0013] 상기 타이밍 콘트롤러는 상기 입력 영상의 데이터들에 상기 제1 도트 인버전의 극성 패턴을 맵핑한 결과, 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이가 소정의 기준값 미만이면 상기 데이터 구동회로를 상기 제1 도트 인버전으로 구동시킨다.
- [0014] 상기 타이밍 콘트롤러는 상기 입력 영상의 데이터들에 상기 제1 도트 인버전의 극성 패턴을 맵핑한 결과, 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이가 상기 기준값 이상이면 상기 입력 영상의 데이터들에 상기 제2 도트 인버전의 극성 패턴을 맵핑하여 상기 정극성 데이터 개수와 부극성 데이터 개수 사이의 차이를 다시 산출하고 그 차이가 상기 기준값 미만이면 상기 데이터 구동회로를 상기 제2 도트 인버전으로 구동시킨다.
- [0015] 상기 액정표시장치의 도트 인버전 제어방법은 입력 영상의 데이터들을 제1 도트 인버전 및 제2 도트 인버전의 극성 패턴과 맵핑하여 상기 입력 영상의 데이터들에 상기 제1 도트 인버전 및 상기 제2 도트 인버전을 가상 적용한 상태에서 상기 입력 영상의 정극성 데이터 개수와 부극성 데이터 개수를 카운트하는 단계; 상기 정극성 데이터 개수와 부극성 데이터 개수의 차이가 미리 설정된 기준값 미만이면 가상 적용된 도트 인버전의 극성 패턴을 선택하는 단계; 상기 차이가 상기 기준값 이상이면 가상 적용된 도트 인버전의 극성 패턴과 다른 극성 패턴을 선택하는 단계; 상기 입력 영상의 데이터들을 데이터전압들로 변환하고, 상기 선택된 도트 인버전으로 상기 데이터전압들의 극성을 반전시켜 액정표시패널의 데이터라인들에 공급하는 단계; 및 상기 데이터전압들과 동기되는 게이트펄스를 액정표시패널의 게이트라인들에 순차적으로 공급하는 단계를 포함한다.

## 효 과

- [0016] 본 발명은 입력 영상에 대하여 도트 인버전 극성 패턴을 가상으로 적용하여 문제 패턴을 검출함과 동시에 그 문제 패턴을 표시할 때 화질이 떨어지지 않는 도트 인버전 극성 패턴을 결정할 수 있다. 본 발명은 많은 양의 문제 패턴들을 사전에 정의할 필요가 없으므로 다양한 유형의 문제 패턴 데이터를 메모리에 저장할 필요가 없고 문제 패턴 각각을 검출하기 위한 로직 모듈이 필요없다.

## 발명의 실시를 위한 구체적인 내용

- [0017] 이하, 도 4 내지 도 14를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0018] 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 콘트롤러(101), 데이터 구동회로(102), 및 게이트 구동회로(103)를 구비한다. 데이터 구동회로(102)는 다수의 소스 드라이브 IC들(Integrated Circuit)을 포함한다. 게이트 구동회로(103)는 다수의 게이트 드라이브 IC들을 포함한다.
- [0019] 액정표시패널(100)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널은 데이터라인들(105)과 게이트라인들(106)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(C1c)을 포함한다.
- [0020] 액정표시패널(100)의 하부 유리기관에는 화소 어레이가 형성된다. 화소 어레이는 데이터라인들(105)과 게이트라인들(106)의 교차부에 형성된 액정셀들(C1c), 액정셀들의 화소전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cst)를 포함한다. 화소 어레이는 도 5 내지 도 7과 같이 다양한 형태로 구현될 수 있다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(100)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 등이 형성된다. 액정표시패널(100)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

- [0021] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0022] 본 발명에서 적용 가능한 액정표시패널(100)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0023] 타이밍 콘트롤러(101)는 시스템 보드(104)로부터 입력된 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동회로(102)에 공급한다. 또한, 타이밍 콘트롤러(101)는 시스템 보드(104)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(102)와 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 제어신호들은 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 데이터 구동회로(102)의 동작 타이밍과 데이터전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.
- [0024] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생시키는 게이트 드라이브 IC에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다.
- [0025] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 수직 극성제어신호(Polarity : POL), 수평 극성제어신호(HINV), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(102)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 수직 극성제어신호(POL)는 소스 드라이브 IC들 각각으로부터 동시에 출력되는 데이터전압들의 수평 극성 반전 타이밍을 제어한다. 수평 극성제어신호(HINV)는 소스 드라이브 IC들 각각의 H\_2DOT 옵션단자에 공급된다. 수직 극성제어신호(POL)는 수직 2 도트 인버전으로 데이터 구동회로(102)를 제어할 때 2 수평기간 주기로 논리가 반전되고, 수직 1 도트 인버전으로 데이터 구동회로(102)를 제어할 때 1 수평기간 주기로 논리가 반전된다. 수평 극성제어신호(HINV)는 수평 2 도트 인버전으로 데이터 구동회로(102)를 제어할 때 하이논리로 발생되며, 수평 1 도트 인버전으로 데이터 구동회로(102)를 제어할 때 로우 논리가 발생된다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(102)의 출력 타이밍을 제어한다. 데이터 구동회로(102)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0026] 타이밍 콘트롤러(101)는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터가  $60 \times i$  ( $i$ 는 양의 정수) Hz의 프레임 주파수로 액정표시패널의 화소 어레이(PA)에서 재생될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를  $60 \times i$  ( $i$ 는 2 이상의 양의 정수) Hz의 프레임 주파수 기준으로 체배할 수 있다. 타이밍 콘트롤러(101)는 도 8과 같이 FRC(Frame Rate Control)를 이용하여 계조를 확장함으로써 소스 드라이브 IC들(SDIC1~SDIC3)에 공급되는 입력 디지털 비디오 데이터(RGB)의 비트 수를 줄일 수 있다. 이를 위하여, 타이밍 콘트롤러(101)는  $i$  ( $i$ 는 6 이상의 자연수) bits 입력 디지털 비디오 데이터에 FRC 보정값을 가산하여  $j$  ( $j$ 는  $i$ 보다 작은 자연수) bits의 디지털 비디오 데이터를 발생하고 그  $j$  bits의 디지털 비디오 데이터를 mini LVDS 인터페이스로 소스 드라이브 IC들에 공급할 수 있다.
- [0027] 타이밍 콘트롤러(101)는 입력 영상 데이터를 소스 드라이브 IC들에 공급하기 전에 그 입력 영상 데이터에 수평 1 도트 인버전의 극성 패턴과 수평 2 도트 인버전의 극성 패턴을 가상으로 적용한다. 그리고 타이밍 콘트롤러(101)는 공통 전압 쉬프트 여부를 미리 예측하여 공통 전압 쉬프트가 최소화되는 최적의 도트 인버전을 선택하고 선택된 도트 인버전으로 입력 영상 데이터의 극성을 제어한다. 타이밍 콘트롤러(101)는 수평 도트 인버전들의 가상 적용에 기반한 공통전압 쉬프트 유무를 예측하여 도 14와 같이 섀도 패턴이나 플리커 패턴이 입력될 때 데이터 구동회로(102)를 수직 2 도트(V2) 및 수평 2 도트(H2) 인버전으로 제어하고, 스메이 패턴이 입력될

때 데이터 구동회로(102)를 수직 2 도트(V2) 및 수평 1 도트(H1)로 제어한다.

- [0028] 데이터 구동회로(102)의 소스 드라이브 IC들 각각은 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 데이터 구동회로(102)는 타이밍 컨트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(102)는 수직 극성제어신호(POL)에 응답하여 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터전압의 극성을 반전시키고, 수평 극성제어신호(HIN V)에 따라 결정된 수평 도트 인버전의 극성패턴을 갖는 데이터전압들을 동시에 출력한다.
- [0029] 게이트 구동회로(103)는 쉬프트 레지스터와 레벨 쉬프터를 이용하여 게이트 타이밍 제어신호들에 따라 게이트펄스를 게이트라인들(106)에 순차적으로 공급한다.
- [0030] 도 5 내지 도 7은 화소 어레이의 다양한 예를 보여 주는 등가 회로들이다.
- [0031] 도 5의 화소 어레이는 대부분의 액정표시장치에서 적용되는 화소 어레이로써 데이터라인들(D1~D6)과 게이트라인들(G1~G4)이 교차된다. 이 화소 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. TFT 각각은 게이트라인(G1~G4)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 5에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 로우 방향(또는 라인 방향)을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 5에 도시된 화소 어레이의 해상도가  $m \times n$  일 때,  $m \times 3$ (여기서, 3은 RGB) 개의 데이터라인들과  $n$  개의 게이트라인들이 필요하다. 이 화소 어레이의 게이트라인들 각각에는 데이터전압과 동기되는 1 수평기간의 게이트펄스가 순차적으로 공급된다.
- [0032] 도 6에 도시된 화소 어레이는 도 5에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/2로 줄일 수 있다. 이 화소 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. 도 6에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향과 직교하는 라인방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 6에 도시된 화소 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)로 정의하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)로 정의하여 TFT들의 접속관계를 설명하면 다음과 같다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. 도 6에 도시된 화소 어레이의 해상도가  $m \times n$  일 때,  $\{m \times 3$ (여기서, 3은 RGB)} / 2 개의 데이터라인들과  $2n$  개의 게이트라인들이 필요하다. 이 화소 어레이(PA)의 게이트라인들 각각에는 데이터전압과 동기되는 1/2 수평기간의 게이트펄스가 순차적으로 공급된다.
- [0033] 도 7에 도시된 화소 어레이는 도 5에 도시된 화소 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/3로 줄일 수 있고, 필요한 소스 드라이브 IC들의 개수도 1/3로 줄일 수 있다. 이 화소 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 라인 방향을 따라 배치된다. 도 7에 도시된 화소 어레이에서 1 픽셀은 컬럼 방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. TFT 각각은 게이트라인(G1~G6)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 6에 도시된 화소 어레이(PA)의 해상도가  $m \times n$  일 때,  $m$  개의 데이터라인들과  $3n$  개의 게이트라인들이 필요하다. 이 화소 어레이(PA)의 게이트라인들 각각에는 데이터전압과 동기되는 1/3 수평기간의 게이트펄스가 순차적으로 공급된다.
- [0034] 도 8은 타이밍 컨트롤러(101)에서 데이터 처리부분과 극성제어신호 처리부분의 회로 구성을 보여 주는 회로도이다.
- [0035] 도 8을 참조하면, 타이밍 컨트롤러(101)는 인터페이스 수신부(81), 비트 확장부(82), FRC 처리부(84), 영상 분석부(83)를 구비한다.
- [0036] 인터페이스 수신부(81)는 LVDS 또는 TMDS 인터페이스 규격으로 전송되는 8 bits의 디지털 비디오 데이터를 수신

하여 비트 확장부(82)와 영상 분석부(83)에 공급한다. 비트 확장부(82)는 8 bits의 디지털 비디오 데이터를 우수 픽셀 데이터와 기수 픽셀 데이터로 분리하고 그 데이터에 LSB(Least Significant Bit)를 추가하여 9 bits의 디지털 비디오 데이터로 확장한다.

[0037] FRC 처리부(84)는 비트 확장부(82)로부터 입력되는 9 bits 데이터의 LSB 3 bits에 1/8~7/8 사이의 중간 계조를 생성하기 위한 3 bits FRC 데이터를 인코딩하고, FRC 데이터에 의해 지정된 픽셀 데이터의 MSB 6 bits(b3~b8)에 FRC 보정값 '1' 또는 '0'을 가산한다. FRC 처리부(84)는 6 bits 데이터를 출력한다. 6 bits 데이터는 mini LVDS 송신회로를 통해 소스 드라이브 IC들에 전송된다. FRC 처리부(84)는 FRC 보정값 발생부(86)와, 가산기(85)를 구비한다. FRC 보정값 발생부(86)는 미리 저장된 FRC 패턴에서 지정된 보정값(1 또는 0)을 출력하고 가산기(85)는 FRC 패턴의 보정값을 9 bits 디지털 비디오 데이터의 3 bits LSB에 가산한다.

[0038] 영상 분석부(83)는 도 9 내지 도 11과 같이 입력 영상에 서로 다른 극성 패턴을 가지는 2 이상의 도트 인버전들을 적용하여 도트 인버전들 각각에서 극성 편향 정도를 예측한다. 그리고 영상 분석부(83)는 극성 편향 정도가 가장 낮은 최적의 도트 인버전으로 액정표시패널(100)이 구동될 수 있도록 최적의 도트 인버전 극성을 제어하는 수직 극성제어신호(POL)와 수평 극성제어신호(HINV)를 발생한다. 수직 극성제어신호(POL)가 하이논리일 때, 소스 드라이브 IC로부터 출력되는 데이터전압의 극성은 정극성이며, 수직 극성제어신호(POL)가 로우논리일 때, 소스 드라이브 IC로부터 출력되는 데이터전압의 극성은 부극성으로 반전된다. 수평 극성제어신호(HINV)가 하이논리일 때 소스 드라이브 IC들로부터 동시에 출력되는 데이터전압들의 극성은 도 10 및 도 11과 같이 수평 2 도트 패턴(H2Dot)으로 즉, "+ - + -" 또는 "- + + -"의 반복 패턴으로 반전된다. 수평 극성제어신호(HINV)가 로우논리일 때 소스 드라이브 IC들로부터 동시에 출력되는 데이터전압들의 극성은 도 10 및 도 11과 같이 수평 1 도트 패턴(H1Dot)으로 즉, "- + - +" 또는 "+ - + -"의 반복 패턴으로 반전된다.

[0039] 도 9는 본 발명의 실시예에 따른 도트 인버전 제어방법의 제어수순을 나타내는 흐름도이다. 도 10 및 도 11은 가상 도트 인버전 적용 예들을 나타내는 도면들이다.

[0040] 도 9 내지 도 11을 참조하면, 영상 분석부(83)는 입력 영상의 데이터들에 수평 1 도트 인버전을 가상 적용한다.(S1 및 S2)

[0041] 영상 분석부(83)는 입력 영상의 데이터에 수평 1 도트 인버전의 극성 패턴을 1:1로 맵핑하고, 카운터를 이용하여 정극성으로 맵핑된 화이트 계조 데이터, 부극성으로 맵핑된 화이트 계조 데이터, 정극성으로 맵핑된 블랙 계조 데이터, 부극성으로 맵핑된 블랙 계조 데이터 각각의 개수를 카운트한다. 영상 분석부(83)는 카운터로부터 1 라인의 데이터들에 대한 카운트 누적값들을 입력 받아 정극성으로 맵핑된 화이트 계조 데이터의 개수와, 부극성으로 맵핑된 화이트 계조 데이터의 개수의 차이를 산출한다. 또한, 영상 분석부(83)는 정극성으로 맵핑된 블랙 계조 데이터의 개수와, 부극성으로 맵핑된 블랙 계조 데이터의 개수의 차이를 산출한다.

[0042] 영상 분석부(83)는 데이터라인에 공급되는 데이터전압이 높은 계조의 데이터들만을 대상으로 하여 정극성 개수와 부극성 개수를 카운트할 수 있다. 노말리 화이트 모드(Normally white mode)는 액정셀에 충전되는 데이터전압이 높을수록 그 액정셀의 광 투과량이 낮아지는 구동 모드이다. 이 노말리 화이트 모드의 액정표시장치에서, 영상 분석부(83)는 입력 영상에서 블랙 계조 데이터들만을 대상으로 하여 정극성 개수와 부극성 개수를 카운트하여 1 라인 데이터들 중에서 정극성 블랙 계조 데이터들의 개수와, 부극성 블랙 계조 데이터들의 개수 사이의 차이를 산출한다. 영상 분석부(83)는 정극성 블랙 계조 데이터들의 개수와 부극성 블랙 계조 데이터들의 개수 사이의 차이가 소정의 기준값 미만이면 즉, 입력 영상 데이터 전압의 극성을 수평 1 도트 인버전으로 반전시킬 때 공통전압 쉬프트가 발생되지 않는 것으로 판단한다.(S3)

[0043] 도 11과 같은 데이터는 수평 1 도트 인버전으로 가상 구동될 때 정극성 블랙 계조 데이터들의 개수와 부극성 블랙 계조 데이터들의 개수가 동일하여 공통전압이 쉬프트되지 않는다. 따라서, 영상 분석부(83)는 도 11과 같은 입력 영상이 입력될 때 가상의 수평 1 도트 인버전을 적용한 결과 수평 극성제어신호(HINV)를 로우논리로 발생하여 소스 드라이브 IC들을 수평 1 도트 인버전으로 구동시킨다.(S4)

[0044] 한편, 노말리 블랙 모드의 액정표시장치는 액정셀의 전압이 높을수록 광 투과량이 높다. 이 경우에, 영상 분석부(83)는 입력 영상에서 화이트 계조 데이터들만을 대상으로 하여 정극성 개수와 부극성 개수를 카운트하여 1 라인 데이터들 중에서 정극성 화이트 계조 데이터들의 개수와, 부극성 화이트 계조 데이터들의 개수 사이의 차이를 산출한다. 그리고 영상 분석부(83)는 정극성 화이트 계조 데이터들의 개수와 부극성 화이트 계조 데이터들의 개수 사이의 차이를 소정의 기준값과 비교하여 그 차이가 기준값 미만이면 소스 드라이브 IC들을 수평 1 도트 인버전으로 구동시킨다.

[0045] 영상 분석부(83)는 입력 영상 데이터에 수평 1 도트 인버전을 가상 적용한 결과, 정극성 블랙 계조(또는 화이트 계조) 데이터들의 개수와 부극성 블랙 계조(또는 화이트 계조) 데이터들의 개수 사이의 차이가 소정의 기준값 이상이면 입력 영상이 수평 1 도트 인버전으로 구동될 때 공통전압 쉬프트가 발생하는 것으로 판단한다. 도 10의 데이터의 경우에, 수평 1 도트 인버전으로 구동되면 정극성 블랙 계조 데이터의 개수와 부극성 블랙 계조 데이터의 개수 사이의 차이가 크므로 극성이 편향된 방향으로 공통전압이 쉬프트된다. 영상 분석부(83)는 수평 1 도트 인버전을 가상 적용한 결과 입력 영상이 수평 1 도트 인버전으로 구동될 때 공통전압 쉬프트가 발생하는 것으로 판단되면, 그 입력 영상에 대하여 수평 2 도트 인버전을 가상 적용한다.(S5) 그리고 영상 분석부(83)는 입력 영상 데이터에 수평 2 도트 인버전을 가상 적용한 결과, 정극성 블랙 계조(또는 화이트 계조) 데이터들의 개수와 부극성 블랙 계조(또는 화이트 계조) 데이터들의 개수 사이의 차이가 소정의 기준값 미만이면 소스 드라이브 IC들을 수평 2 도트 인버전으로 구동시킨다.(S6, S7) 도 10과 같은 데이터의 경우에, 수평 2 도트 인버전으로 구동되면 정극성 블랙 계조 데이터의 개수와 부극성 블랙 계조 데이터의 개수 사이의 차이가 없으므로 극성이 편향되지 않아 공통전압이 쉬프트되지 않는다.

[0046] 영상 분석부(83)는 위와 같은 방법으로 선택된 도트 인버전으로 소스 드라이브 IC들을 구동하기 위하여 극성제 어신호들(POL, HINV)을 도 12에 도시된 수직 블랭크 타임(Vblank) 또는 도 13에 도시된 수평 블랭크 타임(Hblank) 내에서 변경할 수 있다. 수직 블랭크 타임은 N 번째 프레임 데이터와 N+1 번째 프레임 데이터 사이의 블랭크 타임이며, 수평 블랭크 타임은 N 번째 라인 데이터와 N+1 번째 프레임 데이터 사이의 블랭크 타임이다.

[0047] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 도면의 간단한 설명

[0048] 도 1 내지 도 3은 공통전압 쉬프트를 유발할 수 있는 문제 패턴들의 예를 보여 주는 도면들이다.

[0049] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

[0050] 도 5 내지 도 7은 도 4에 도시된 화소 어레이의 다양한 예들을 보여 주는 등가 회로도들이다.

[0051] 도 8은 도 4에 도시된 타이밍 컨트롤러를 상세히 보여 주는 회로도이다.

[0052] 도 9는 본 발명의 실시예에 따른 도트 인버전 제어방법의 제어수순을 나타내는 흐름도이다.

[0053] 도 10 및 도 11은 가상 도트 인버전 적용 예들을 나타내는 도면들이다.

[0054] 도 12 및 도 13은 수직 블랭크 타임과 수평 블랭크 시간을 보여 주는 타이밍 신호들의 파형도이다.

[0055] 도 14는 본 발명의 실시예에 따른 액정표시장치에서 문제 패턴들의 유형에 따라 달라지는 도트 인버전을 예시한 도면이다.

[0056] <도면의 주요 부분에 대한 부호의 설명>

[0057]            100 : 액정표시패널                                                 101 : 타이밍 컨트롤러

[0058]            102 : 데이터 구동회로                                  103 : 게이트 구동회로

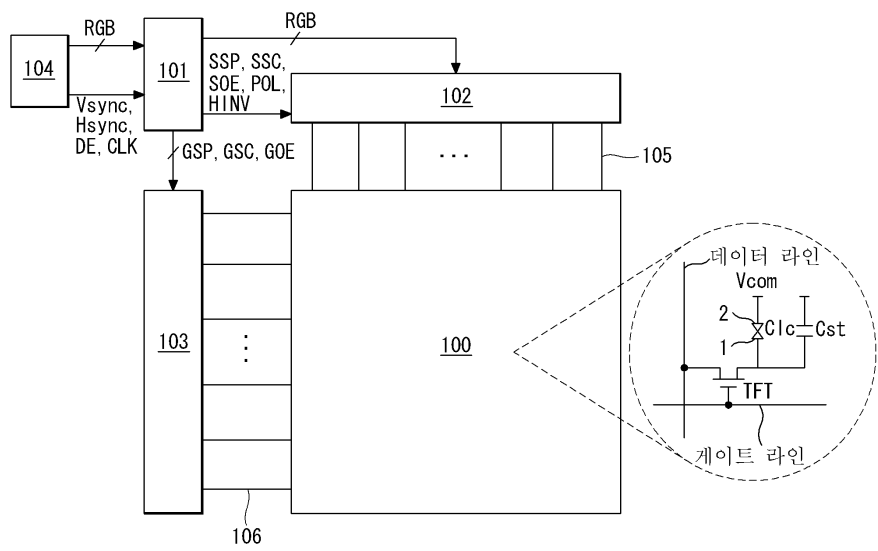
도면

도면1

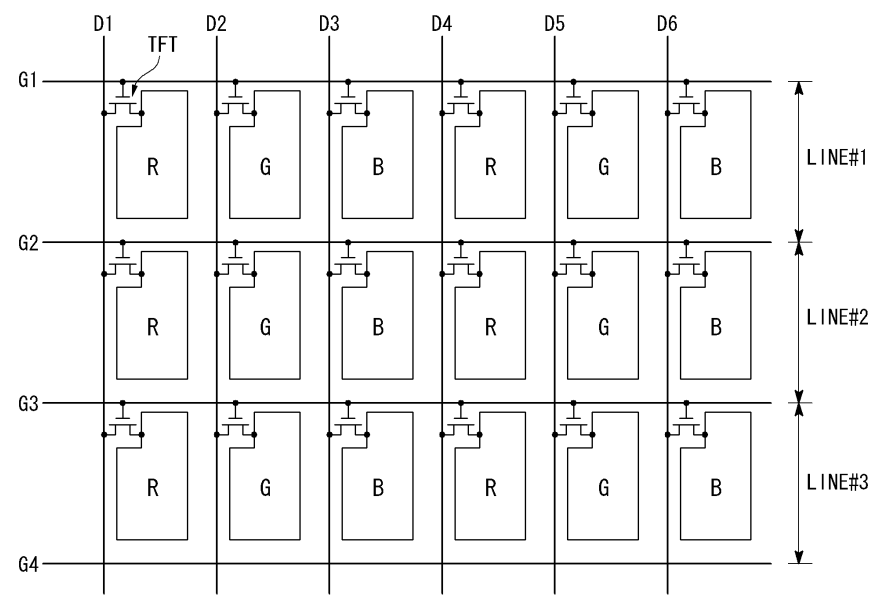
[illegible]



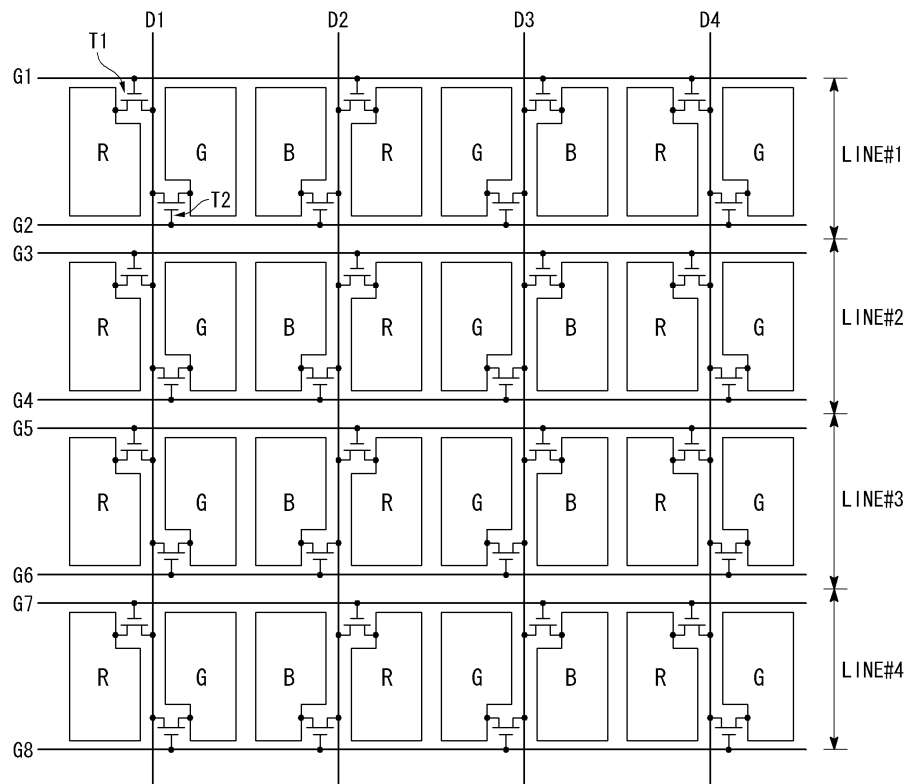
도면4



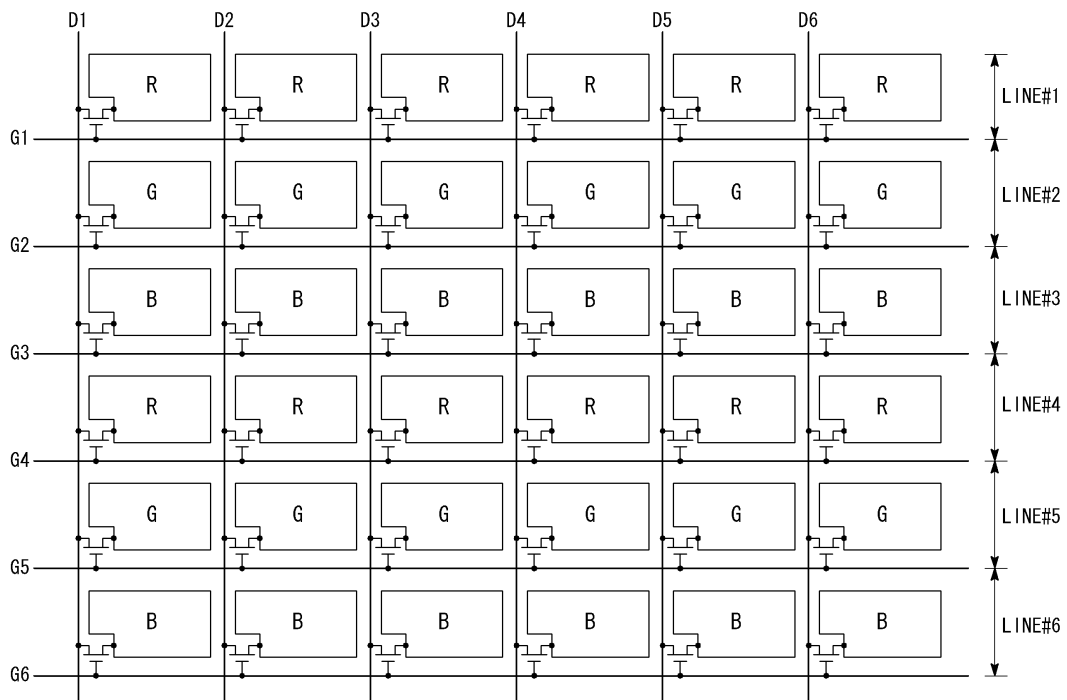
도면5



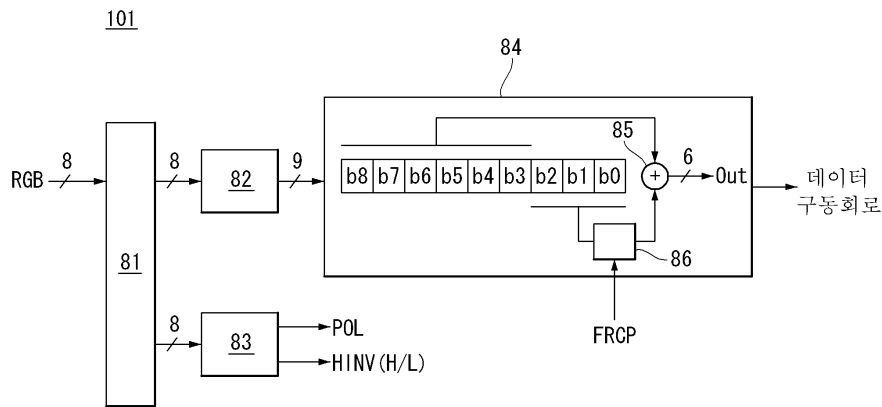
도면6



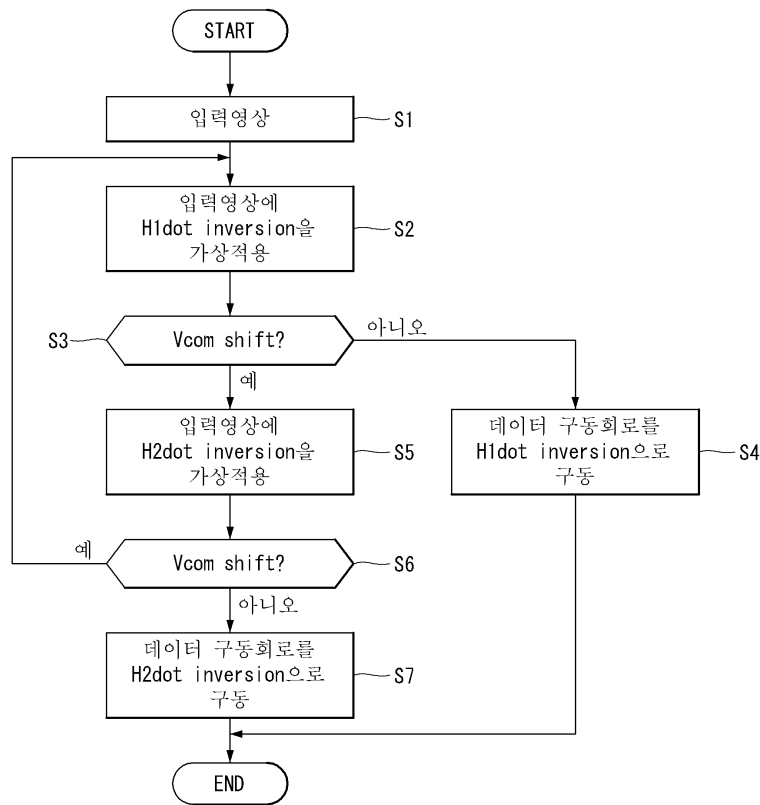
도면7



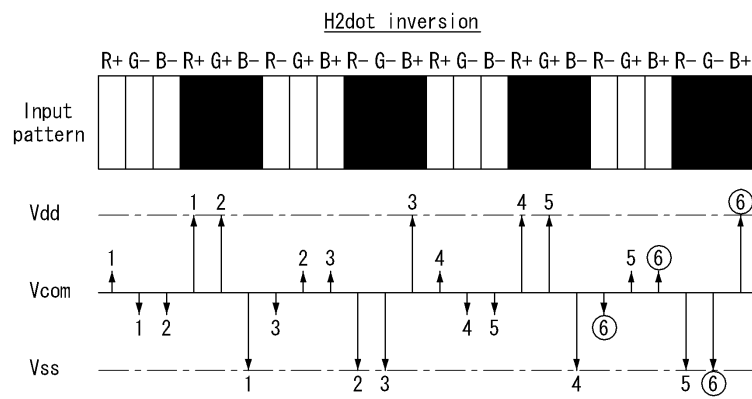
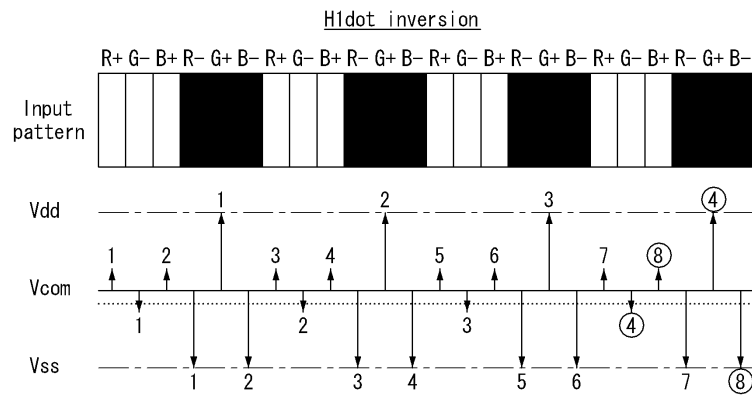
도면8



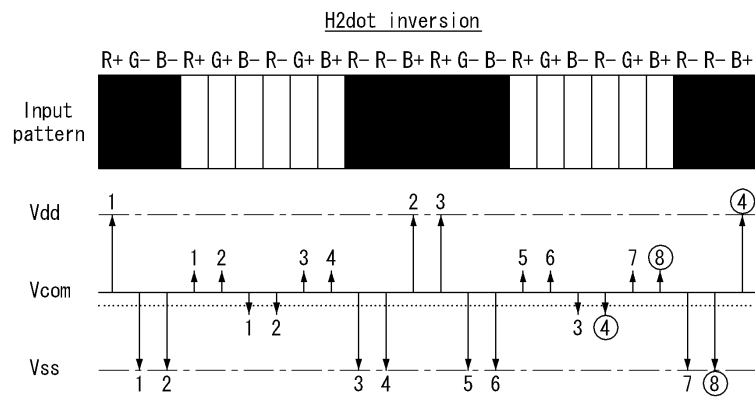
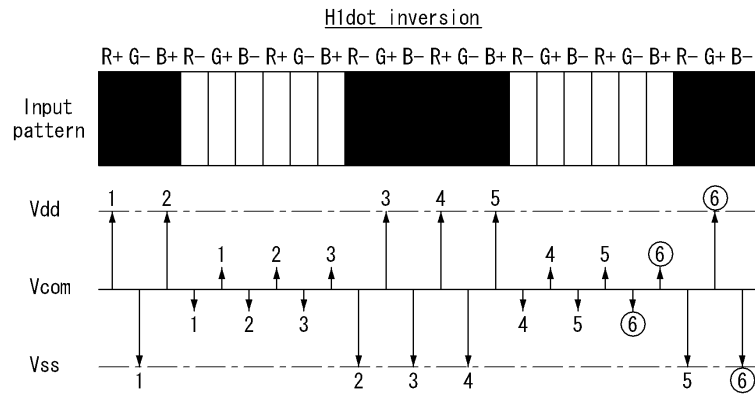
도면9



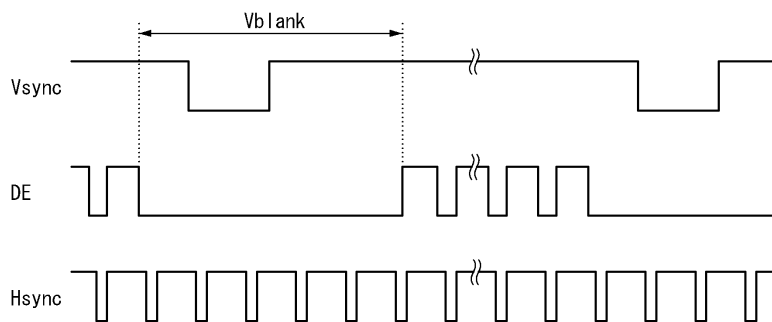
도면10



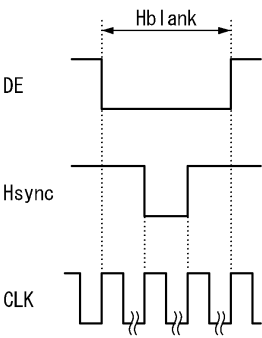
도면11



도면12



도면13



도면14

|          | V2, H1 | V2, H2 |
|----------|--------|--------|
| Shutdown |        |        |
| Smear    |        |        |
| flicker  |        |        |

【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제2항, 7째줄

【변경전】

선택된 도트 인버전으로 도트 인버전의

【변경후】

선택된 도트 인버전의

|                |                                                                    |         |            |
|----------------|--------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：液晶显示装置及其点反转控制方法                                                 |         |            |
| 公开(公告)号        | <a href="#">KR101374425B1</a>                                      | 公开(公告)日 | 2014-03-24 |
| 申请号            | KR1020090075382                                                    | 申请日     | 2009-08-14 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                           |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                          |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                          |         |            |
| [标]发明人         | KIM JONG WOO<br>김종우<br>NAM HYUN TAEK<br>남현택<br>JANG SU HYUK<br>장수혁 |         |            |
| 发明人            | 김종우<br>남현택<br>장수혁                                                  |         |            |
| IPC分类号         | G09G3/36 G02F1/133                                                 |         |            |
| CPC分类号         | G09G3/3614 G09G3/3611 G09G2320/0247                                |         |            |
| 其他公开文献         | KR1020110017751A                                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                          |         |            |

#### 摘要(译)

一种液晶显示器，包括：液晶显示面板，包括彼此交叉的数据线和栅极线；定时控制器将输入图像的数据映射到1点反转和2点反转的极性模式，计数正数据的数量和负数据的数量，确定正数据和负数据中的任何一个是否成为主导数据或者不是基于计数的数字之间的差异，并选择1点和2点反转中的任何一个；数据驱动电路，其将输入图像的数据转换为要提供给数据线的数据电压，并通过所选择的点反转来反转数据电压的极性；以及栅极驱动电路，其顺序地将与数据电压同步的栅极脉冲提供给栅极线。

