



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년12월06일
 (11) 등록번호 10-1338115
 (24) 등록일자 2013년12월02일

(51) 국제특허분류(Int. Cl.)
 G02F 1/136 (2006.01)
 (21) 출원번호 10-2008-0039547
 (22) 출원일자 2008년04월28일
 심사청구일자 2011년11월10일
 (65) 공개번호 10-2009-0113689
 (43) 공개일자 2009년11월02일
 (56) 선행기술조사문헌
 KR1020010029818 A*
 KR1020030048605 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
 양희정
 경기도 양주시 삼승로58번길 141, GS자이7단지아파트 704동 1105호 (삼승동)
 한규원
 경기도 여주군 대신면 초현리 200(37)
 (74) 대리인
 박장원

전체 청구항 수 : 총 8 항

심사관 : 신창우

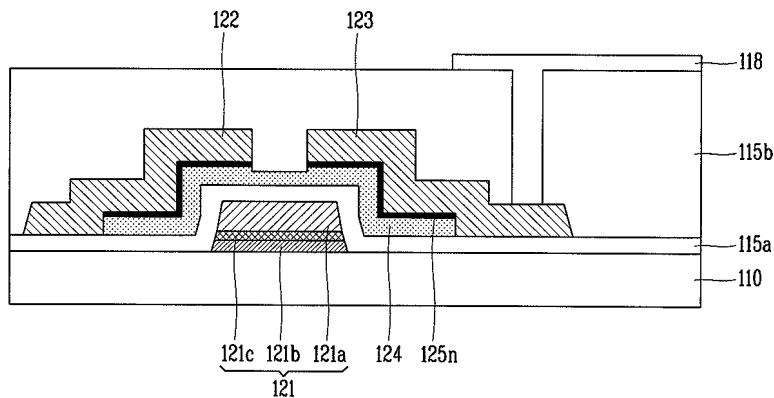
(54) 발명의 명칭 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법

(57) 요약

본 발명의 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법은 몰리브덴(Mo)과 구리(Cu) 사이에 전자의 이동을 차단하는 몰리브덴 산화막(MoOx)을 형성함으로써 Mo/Cu 배선구조에서 발생하는 갈바닉 부식(galvanic corrosion)을 방지하기 위한 것으로, 제 1 기판 전면에 배리어 금속의 제 1 도전막과 상기 배리어 금속의 산화물로 이루어진 금속 산화막 및 구리로 이루어진 제 2 도전막을 차례대로 증착하는 단계; 상기 제 1 도전막과 금속 산화막 및 제 2 도전막이 증착된 제 1 기판 위에 소정의 감광막패턴을 형성하는 단계; 상기 감광막패턴을 마스크로 하여, 상기 제 1 도전막과 금속 산화막 및 제 2 도전막을 습식식각을 이용하여 선택적으로 제거하여 상기 제 1 기판 위에 상기 배리어 금속과 금속 산화막 및 구리의 삼중막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계; 상기 게이트전극과 게이트라인이 형성된 제 1 기판 전면에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막이 형성된 제 1 기판 위에 액티브패턴과 오믹-콘택층 및 소오스/드레인전극과 데이터라인을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 대향하여 합착하는 단계를 포함한다.

이와 같이 구성된 본 발명의 저저항 배선구조 및 이를 이용한 액정표시장치는 순수 몰리브덴을 이용하여 Mo/Cu 배선구조를 구현함에 따라 저비용으로 신뢰성이 높은 저저항 배선구조를 형성할 수 있는 것을 특징으로 한다.

대표도 - 도4e



특허청구의 범위

청구항 1

제 1 기관 전면에 배리어 금속의 제 1 도전막과 상기 배리어 금속의 산화물로 이루어진 금속 산화막 및 구리로 이루어진 제 2 도전막을 차례대로 증착하는 단계;

상기 제 1 도전막과 금속 산화막 및 제 2 도전막이 증착된 제 1 기관 위에 소정의 감광막패턴을 형성하는 단계;

상기 감광막패턴을 마스크로 하여, 상기 제 1 도전막과 금속 산화막 및 제 2 도전막을 습식식각을 이용하여 선택적으로 제거하여 상기 제 1 기관 위에 상기 배리어 금속과 금속 산화막 및 구리의 삼중막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계;

상기 게이트전극과 게이트라인이 형성된 제 1 기관 전면에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막이 형성된 제 1 기관 위에 액티브패턴과 오믹-콘택층 및 소오스/드레인전극과 데이터라인을 형성하는 단계; 및

상기 제 1 기관과 제 2 기관을 대향하여 합착하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 제 1 도전막은 몰리브덴(molybdenum; Mo), 텅스텐(tungsten; W), 망간(manganese; Mn), 테크네튬(technetium; Tc), 레늄(rhenium; Re), 철(ferrum; Fe), 루테늄(ruthenium; Ru), 오스뮴(osmium; Os)의 배리어 금속을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 1 항에 있어서, 상기 금속 산화막은 상기 제 1 도전막과 제 2 도전막 사이에 위치하여 상기 구리와 배리어 금속의 전위 차에 의한 전자의 이동을 차단하여 갈바닉 부식을 방지하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제 1 항에 있어서, 상기 금속 산화막은 상기 제 1 도전막과 제 2 도전막을 형성하는 스퍼터링을 이용하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 1 항에 있어서, 상기 제 1 도전막과 금속 산화막은 10~500Å의 두께로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 1 항에 있어서, 상기 제 2 도전막은 1000~5000Å의 두께로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 5 항에 있어서, 상기 금속 산화막은 Ar/O₂의 유량 비를 0~50%로 하고 압력을 0.01~50Pa로 한 상태에서 상기 스퍼터링을 이용하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 1 항에 있어서, 상기 제 1 도전막과 금속 산화막 및 제 2 도전막은 과산화 수소계 에천트를 이용하여 일괄식각하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 반도체 및 디스플레이 소자에 적용되는 구리를 포함하는 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법에 관한 것이다.

배경기술

[0002] 상기 구리를 포함하는 저저항 배선이 적용되는 대표적인 반도체 관련 기기로는 액정표시장치(Liquid Crystal Display; LCD)를 들 수 있다.

[0003] 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)인 상기 액정표시장치는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0004] 상기 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0005] 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.

[0006] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.

[0007] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.

[0008] 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

[0009] 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.

- [0010] 또한, 상기 어레이 기판(10)은 중형으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.
- [0011] 이와 같이 구성된 상기 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기판(5)과 어레이 기판(10)의 합착은 상기 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착키(미도시)를 통해 이루어진다
- [0012] 이러한 액정표시장치에서 신호 중개 역할을 하는 게이트라인이나 데이터라인과 같은 금속배선을 이루는 물질은 비저항 값이 낮고 내식성이 강한 금속에서 선택할수록 제품의 신뢰성 및 가격 경쟁력을 높일 수 있다. 이러한 금속배선 물질로는 알루미늄(Al) 또는 알루미늄 합금(Al alloy)이 주로 이용되고 있었다.
- [0013] 그러나, 점차 대면적화 및 SVGA, XGA, SXGA, VXGA 등으로 해상도가 높아지게 됨에 따라, 주사시간이 짧아지며 신호처리 속도가 빨라지게 되므로 이에 대응할 수 있도록 저저항 금속물질로 금속배선을 형성하는 것이 불가피해졌다.
- [0014] 이에 따라 최근에는 기존의 금속배선 물질보다 우수한 비저항 특성 및 전자이동(electromigration) 특성을 가지는 구리로의 대체가 적극적으로 제안되고 있다.
- [0015] 그러나, 구리는 유리기판과의 접착력이 약하고, 비교적 저온(~ 200℃)에서도 절연층이나 반도체층으로의 확산이 강하게 작용하여 단일 금속배선 물질로 적용하기에는 실질적으로 어렵다.
- [0016] 이러한 문제점을 개선하기 위하여, 유리기판과 게이트 배선 사이 및 반도체층과 데이터 배선 사이에 배리어 금속층(barrier metal layer)을 추가로 형성함으로써 접착특성을 향상시키는 동시에 반도체층으로 확산을 방지할 수 있는 구리 배선구조가 제안되었다.
- [0017] 다만, 반도체 및 디스플레이 소자 제작에 있어서 상기의 배리어 금속층으로 순수(pure) 몰리브덴을 사용하는 경우에는 도 2에 도시된 바와 같이, 습식식각(wet etching)시 Mo/Cu의 계면에서 갈바닉 부식(galvanic corrosion) 현상(C)이 발생하는 문제가 있다. 참고로, 상기 도 2는 예를 들어 어레이 기판(10) 위에 형성된 게이트전극(21)을 나타내는 도면으로, 구리로 이루어진 제 1 게이트전극(21a)과 순수 몰리브덴으로 이루어진 제 2 게이트전극(21b)의 이중층의 구리 배선구조는 상기 제 1 게이트전극(21a)과 제 2 게이트전극(21b) 사이의 계면에서 갈바닉 부식이 일어나 소자의 신뢰성을 떨어뜨리는 문제점을 가지고 있다.
- [0018] 따라서, 순수 금속물질 대신에 몰리브덴 합금과 같은 금속 합금이 사용되고 있다.
- [0019] 그러나, 순수 금속물질 대비 금속 합금은 타겟(target) 제작방식 때문에 순도가 낮아 이물질이 많이 포함하게 되어 이물질량을 유발하는 한편 타겟 제작에 드는 비용이 증가하게 되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0020] 본 발명은 상기한 문제를 해결하기 위한 것으로, 구리를 포함하는 배선구조를 적용함으로써 대면적화 및 고해상도에 적합한 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법을 제공하는데 목적이 있다.
- [0021] 본 발명의 다른 목적은 순수 금속물질을 구리 배선구조의 배리어 금속층으로 사용하면서도 구리와 갈바닉 부식현상을 방지하도록 한 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법을 제공하는데 있다.
- [0022] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제 해결수단

- [0023] 상기한 목적을 달성하기 위하여, 본 발명의 저저항 배선구조는 구리로 이루어진 제 1 배선; 상기 제 1 배선의 하부에 위치하되, 상기 구리의 확산을 방지하는 배리어 금속으로 이루어진 제 2 배선; 및 상기 제 1 배선과 제 2 배선 사이에 형성되되, 상기 구리와 배리어 금속의 전위 차에 의한 전자의 이동을 차단하는 금속 산화막패턴을 포함한다.
- [0024] 또한, 본 발명의 액정표시장치는 제 1 기판; 상기 제 1 기판 위에 형성되되, 게이트 배선과 데이터 배선 및 반도체층으로 이루어진 박막 트랜지스터; 및 상기 제 1 기판과 대향하여 합착하는 제 2 기판을 포함하며, 상기 게

이트 배선 및 데이터 배선 중 적어도 하나는 구리로 이루어진 제 1 배선, 상기 제 1 배선 하부에 상기 구리의 확산을 방지하는 배리어 금속으로 이루어진 제 2 배선 및 상기 제 1 배선과 제 2 배선 사이에 형성된 금속 산화막패턴으로 구성되는 것을 특징으로 한다.

[0025] 또한, 본 발명의 액정표시장치의 제조방법은 제 1 기판 전면에 배리어 금속의 제 1 도전막과 상기 배리어 금속의 산화물로 이루어진 금속 산화막 및 구리로 이루어진 제 2 도전막을 차례대로 증착하는 단계; 상기 제 1 도전막과 금속 산화막 및 제 2 도전막이 증착된 제 1 기판 위에 소정의 감광막패턴을 형성하는 단계; 상기 감광막패턴을 마스크로 하여, 상기 제 1 도전막과 금속 산화막 및 제 2 도전막을 습식식각을 이용하여 선택적으로 제거하여 상기 제 1 기판 위에 상기 배리어 금속과 금속 산화막 및 구리의 삼중막으로 이루어진 게이트전극과 게이트라인을 형성하는 단계; 상기 게이트전극과 게이트라인이 형성된 제 1 기판 전면에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막이 형성된 제 1 기판 위에 액티브패턴과 오믹-콘택층 및 소오스/드레인전극과 데이터라인을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 대향하여 합착하는 단계를 포함한다.

효과

[0026] 상술한 바와 같이, 본 발명에 따른 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법은 순수 금속물질을 구리 배선구조의 배리어 금속으로 사용함으로써 이물불량을 방지하는 동시에 비용을 절감시키는 효과를 제공한다.

[0027] 또한, 본 발명에 따른 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법은 순수 금속물질을 구리 배선구조의 배리어 금속층으로 사용하면서도 구리와는 갈바닉 부식현상을 방지함으로써 반도체 및 디스플레이 소자의 신뢰성이 향상되는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

[0028] 이하, 첨부한 도면을 참조하여 본 발명에 따른 저저항 배선구조 및 이를 이용한 액정표시장치의 제조방법의 바람직한 실시예를 상세히 설명한다.

[0029] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도로서, 본 발명의 저저항 배선구조가 적용되는 액정표시장치의 어레이 기판을 예를 들어 나타내고 있다.

[0030] 다만, 본 발명의 저저항 배선구조는 상기 액정표시장치에만 적용되는 것은 아니며 반도체 및 다른 디스플레이 소자의 배선에 적용될 수 있다.

[0031] 또한, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0032] 도면에 도시된 바와 같이, 상기 제 1 실시예의 어레이 기판(110)에는 상기 어레이 기판(110) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러필터 기판(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(118)이 형성되어 있다.

[0033] 이때, 도면에는 도시하지 않았지만, 상기 어레이 기판(110)의 가장자리 영역에는 상기 게이트라인(116)과 데이터라인(117)에 각각 전기적으로 접속하는 게이트패드전극과 데이터패드전극이 형성되어 있으며, 외부의 구동회로부(driving circuit unit)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(116)과 데이터라인(117)에 전달하게 된다.

[0034] 즉, 상기 게이트라인(116)과 데이터라인(117)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인과 데이터패드라인에 연결되며, 상기 게이트패드라인과 데이터패드라인은 상기 게이트패드라인과 데이터패드라인에 각각 전기적으로 접속된 게이트패드전극과 데이터패드전극을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.

[0035] 상기 박막 트랜지스터는 게이트라인(116)에 연결된 게이트전극(121), 데이터라인(117)에 연결된 소오스전극(122) 및 콘택홀(140)을 통해 화소전극(118)에 전기적으로 접속한 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널(conductive channel)을 형성하는 액티브패턴(미도시)을 포함한다.

- [0036] 이때, 전단에 위치한 게이트라인(116)의 일부는 제 1 절연막(미도시)을 사이에 두고 그 상부의 화소전극(118)의 일부와 중첩하여 스토리지 커패시터(storage capacitor)(Cst)를 형성하게 된다. 상기 스토리지 커패시터(Cst)는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다. 즉, 상기 어레이 기관(110)의 화소전극(118)은 컬러필터 기관의 공통전극과 함께 액정 커패시터를 이루는데, 일반적으로 상기 액정 커패시터에 인가된 전압은 다음 신호가 들어올 때까지 유지되지 못하고 누설되어 사라진다. 따라서, 인가된 전압을 유지하기 위해서는 스토리지 커패시터(Cst)를 액정 커패시터에 연결해서 사용해야 한다.
- [0037] 이러한 스토리지 커패시터(Cst)는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.
- [0038] 이와 같이 구성된 상기 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기관은 게이트전극과 게이트라인 및 게이트패드라인과 같은 게이트 배선 및 소오스/드레인전극과 데이터라인 및 데이터패드라인과 같은 데이터 배선을 형성하는데 있어 구리와 배리어 금속층으로 구성되는 구리 배선구조에 전자의 이동을 차단하는 금속 산화막을 상기 구리와 배리어 금속층 사이에 형성하도록 함으로써 갈바닉 부식이 방지된 저저항 배선구조를 적용할 수 있게 되는데, 이를 다음의 액정표시장치의 제조방법을 통해 상세히 설명한다.
- [0039] 도 4a 내지 도 4e는 도 3에 도시된 어레이 기관의 III-III'선에 따른 제조공정을 순차적으로 나타내는 단면도로써, 전술한 본 발명의 구리 배선구조를 어레이 기관의 게이트 배선에 적용한 경우를 예를 들어 나타내고 있다.
- [0040] 도 4a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기관(110)에 배리어 금속과 금속 산화막 및 구리의 삼중막으로 이루어진 게이트전극(121) 및 게이트라인(미도시)을 형성한다.
- [0041] 이때, 본 발명의 제 1 실시예에 따른 상기 게이트전극(121) 및 게이트라인은 상기 어레이 기관(110) 전면에 제 1 도전막과 금속 산화막 및 제 2 도전막을 차례대로 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0042] 여기서, 상기 제 1 도전막은 몰리브덴(molybdenum; Mo), 텅스텐(tungsten; W), 망간(manganese; Mn), 테크네튬(technetium; Tc), 레늄(rhenium; Re), 철(ferrum; Fe), 루테늄(ruthenium; Ru), 오스뮴(osmium; Os)과 같은 금속 또는 이의 질화물을 포함할 수 있다. 또한, 상기 제 2 도전막은 비저항 특성 및 우수한 전하이동 특성을 가진 구리(copper; Cu)를 사용할 수 있으며, 상기 제 1 도전막은 제 2 도전막인 구리가 절연층이나 반도체층으로 확산하는 것을 방지하며 유기기관과의 접촉특성을 향상시키기 위한 배리어 금속의 역할을 하게 된다.
- [0043] 그리고, 상기 금속 산화막은 상기 제 1 도전막과 제 2 도전막 사이에 위치하여 상기 구리와 배리어 금속의 전위 차에 의한 전자의 이동을 억제함으로써 갈바닉 부식을 방지하는 역할을 하게 되는데, 이하 상기 본 발명의 제 1 실시예에 따른 제 1 마스크공정을 도면을 참조하여 상세히 설명한다.
- [0044] 도 5a 내지 도 5d는 도 4a에 도시된 제 1 마스크공정을 구체적으로 나타내는 단면도이다.
- [0045] 도 5a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기관(110) 위에 제 1 도전막(130)과 금속 산화막(140) 및 제 2 도전막(150)을 차례대로 형성한다.
- [0046] 이때, 상기 제 1 도전막(130)은 몰리브덴(Mo), 텅스텐(W), 망간(Mn), 테크네튬(Tc), 레늄(Re), 철(Fe), 루테늄(Ru), 오스뮴(Os)과 같은 금속 또는 이의 질화물을 포함할 수 있으며, 상기 제 2 도전막(150)은 비저항 특성 및 우수한 전하이동 특성을 가진 구리(Cu)를 사용할 수 있다.
- [0047] 또한, 상기 금속 산화막(140)은 상기 제 1 도전막(130)을 구성하는 금속의 산화물로 이루어질 수 있으며, 예를 들어 몰리브덴으로 상기 제 1 도전막(130)을 형성하는 경우에는 상기 금속 산화막(140)은 몰리브덴 산화물(MoO_x)로 이루어질 수 있다.
- [0048] 특히, 상기 금속 산화막(140)은 배리어 금속층으로 금속 합금 대신에 순수 금속물질을 사용하는 경우에 구리와 전위 차에 의해 발생하는 갈바닉 부식을 억제하기 위한 것으로 상기 제 1 도전막(130)과 제 2 도전막(150)을 형성하기 위한 스퍼터링(sputtering) 방법을 이용하여 형성할 수 있다. 이와 같이 상기 제 1 도전막(130)과 제 2 도전막(150) 사이에 증착된 금속 산화막(140)은 부식 환경에 노출될 경우 구리와 배리어 금속 사이의 전위 차에 의한 전자의 이동을 억제함으로써 갈바닉 부식을 방지할 수 있게 된다.
- [0049] 여기서, 상기 제 1 도전막(130)과 금속 산화막(140)은 10~500Å 정도의 두께로 형성할 수 있으며, 상기 제 2 도전막(150)은 형성할 배선의 종류에 따라 그 두께가 다르지만, 예를 들어 게이트전극을 형성하는 경우는 1000~5000Å 정도의 두께로 형성할 수 있다.

- [0050] 또한, 상기 금속 산화막(140)은 Ar/O₂의 유량 비를 0.01~50%로 하고 압력을 0.01~50Pa로 한 상태에서 스퍼터링을 이용하여 증착하거나 Ar가스는 주입하지 않고 O₂가스만을 주입한 상태에서 증착할 수도 있다.
- [0051] 다음으로, 도 5b에 도시된 바와 같이, 상기 제 1 도전막(130)과 금속 산화막(140) 및 제 2 도전막(150)이 증착된 어레이 기판(110) 위에 포토레지스트와 같은 감광성 물질로 이루어진 감광막(170)을 형성한 후, 소정의 투과영역(I)과 차단영역(II)으로 이루어진 마스크(180)를 적용하여 상기 감광막(170)에 선택적으로 광을 조사한다.
- [0052] 이때, 상기 마스크(180)에는 조사된 광을 모두 투과시키는 투과영역(I) 및 조사된 모든 광을 차단하는 차단영역(II)이 마련되어 있으며, 상기 마스크(180)를 투과한 광만이 상기 감광막(170)에 조사되게 된다.
- [0053] 이어서, 상기 마스크(180)를 통해 노광된 상기 감광막(170)을 현상하고 나면, 도 5c에 도시된 바와 같이, 상기 차단영역(II)을 통해 광이 모두 차단된 영역에는 소정 두께의 감광막패턴(170')이 남아있게 되고, 모든 광이 투과된 투과영역(I)에는 상기 감광막이 완전히 제거되어 상기 제 2 도전막(150) 표면이 노출되게 된다.
- [0054] 이와 같이 상기 투과영역(I)을 통해 광이 모두 투과된 영역에는 상기 감광막이 완전히 제거되는데, 이것은 포지티브 타입의 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 타입의 포토레지스트를 사용하여도 무방하다.
- [0055] 다음으로, 도 5d에 도시된 바와 같이, 상기와 같이 형성된 감광막패턴(170')을 마스크로 하여, 그 하부에 형성된 제 1 도전막과 금속 산화막 및 제 2 도전막을 습식식각을 이용하여 선택적으로 제거하게 되면, 상기 어레이 기판(110)에 상기 배리어 금속과 금속 산화막 및 구리의 삼중막으로 이루어진 게이트전극(121) 및 게이트라인(미도시)이 형성되게 된다.
- [0056] 이때, 상기 게이트전극(121)은 상기 제 2 도전막인 구리로 이루어진 제 1 게이트전극(121a)과 상기 제 1 도전막인 배리어 금속로 이루어진 제 2 게이트전극(121b) 및 상기 배리어 금속의 산화막으로 이루어진 금속 산화막패턴(121c)으로 이루어지게 된다.
- [0057] 여기서, 상기 제 1 도전막과 금속 산화막 및 제 2 도전막은 과산화 수소(H₂O₂)계 에천트(etchant)를 이용한 일괄식각 공정에 의해 식각 처리될 수 있으며, 이때, 상기 금속 산화막은 습식식각의 에천트에 의해 부식 환경에 노출된 구리와 배리어 금속의 저저항 구리 배선구조에 있어서 상기 구리와 배리어 금속의 전위 차에 의한 전자의 이동을 억제하는 역할을 하게 된다. 그 결과 갈바닉 부식이 억제되어 소자의 신뢰성이 향상되는 효과를 얻게 된다.
- [0058] 참고로, 상기 갈바닉 부식은 서로 다른 금속이 접촉하여 한쪽 금속의 산화를 촉진시킴으로써 일어나는 부식을 의미하며, 즉 다른 종류의 두 금속이 가까이 있을 때 그 두 금속의 전위 차로 인해 전압이 발생하여 전류가 흐르게 된다. 이와 같이 전기적으로 접촉하고 있는 서로 다른 금속은 계면에서의 일함수의 차이에 의해 활성이 큰(낮은 전위의) 금속이 양극으로 작용하고, 상대적으로 활성이 낮은(높은 전위의) 금속이 음극으로 작용하게 된다. 이때, 상기 두 금속이 부식성 용액에 노출될 때 상기 금속간의 전위 차로 인해 양극의 금속에서 부식이 발생하게 되면 이를 갈바닉 부식이라고 하며, 활성이 큰 양극은 단독으로 존재할 때보다 빠른 속도로 부식되고 활성이 낮은 음극은 느린 속도로 부식이 진행되게 된다.
- [0059] 다음으로, 도 4b에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인이 형성된 어레이 기판(110) 전면에서 제 1 절연막(115a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 제거함으로써 상기 어레이 기판(110)에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124)을 형성한다.
- [0060] 이때, 상기 액티브패턴(124)의 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브패턴(124)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(125)이 남아있게 된다.
- [0061] 다음으로, 도 4c에 도시된 바와 같이, 상기 액티브패턴(124)이 형성된 어레이 기판(110) 전면에서 제 3 도전막을 형성한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브패턴(124) 상부에 상기 제 3 도전막으로 이루어진 소오스전극(122)과 드레인전극(123) 및 테이터라인(미도시)을 형성한다. 이때, 상기 액티브패턴(124) 위에 형성되어 있는 n+ 비정질 실리콘 박막패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(124)과 소오스/드레인전극(122, 123) 사이를 오믹-콘택(ohmic contact)시키는 오믹-콘택층(125n)을 형성하게 된다.
- [0062] 이때, 상기 소오스전극(122)과 드레인전극(123) 및 테이터라인은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스

텐(W), 구리(Cu), 크롬(Cr), 몰리브덴(Mo) 등과 같은 도전물질을 이용하여 단일층으로 형성할 수도 있으며, 전술한 게이트 배선과 동일하게 구리와 배리어 금속 및 배리어 금속 산화막으로 이루어진 다층구조로 형성할 수도 있다.

- [0063] 또한, 상기 본 발명의 제 1 실시예는 상기 액티브패턴(124)과 소오스전극(122) 및 드레인전극(123)을 두 번의 마스크공정을 통해 형성한 경우를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 상기 액티브패턴(124)과 소오스전극(122) 및 드레인전극(123)은 한번의 마스크공정을 통해 형성할 수도 있다.
- [0064] 다음으로, 도 4d에 도시된 바와 같이, 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인이 형성된 어레이 기판(110) 전면에서 제 2 절연막(115b)을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 제 2 절연막(115b)의 일부 영역을 제거하여 상기 드레인전극(123)의 일부를 노출시키는 콘택홀(140)을 형성한다.
- [0065] 그리고, 도 4e에 도시된 바와 같이, 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전성 금속물질을 어레이 기판(110) 전면에서 증착한 후 포토리소그래피공정(제 5 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 콘택홀(140)을 통해 드레인전극(123)과 전기적으로 접속하는 화소전극(118)을 형성한다.
- [0066] 여기서, 본 발명의 제 1 실시예는 설명의 편의상 총 5번의 마스크공정을 통해 액정표시장치의 어레이 기판을 제작하는 경우를 예를 들어 설명하고 있지만, 본 발명이 상기 마스크공정의 수에 한정되는 것은 아니며, 게이트 배선이나 데이터 배선을 구리와 배리어 금속 및 배리어 금속 산화막으로 이루어진 저저항 구리배선으로 형성하는 한 어떠한 공정에도 적용 가능하다.
- [0067] 또한, 상기 본 발명의 제 1 실시예의 박막 트랜지스터는 게이트전극이 하부에 위치하는 하부 게이트방식의 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며, 본 발명은 상기 게이트전극이 상부에 위치하는 상부 게이트방식의 박막 트랜지스터는 물론이고 에치스타퍼(etch stopper) 구조 및 코플라나(coplanar) 구조에도 적용 가능하다.
- [0068] 한편, 전술한 액정표시장치는 네마틱상의 액정분자를 기판에 대해 수직인 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식의 액정표시장치를 나타내며, 상기 방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.
- [0069] 이에 액정분자를 기판에 대해 수평인 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 횡전계(In Plane Switching; IPS)방식 액정표시장치가 있으며, 이때 전술한 본 발명의 저저항 구리 배선구조는 상기 횡전계방식 액정표시장치에도 적용 가능한데, 이하 도면을 참조하여 상기 횡전계방식 액정표시장치에 대해 상세히 설명한다.
- [0070] 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도로서, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 한 화소만을 나타내었다.
- [0071] 도면에 도시된 바와 같이, 투명한 어레이 기판(210)에는 상기 어레이 기판(210) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(216)과 데이터라인(217)이 형성되어 있으며, 상기 게이트라인(216)과 데이터라인(217)의 교차영역에는 스위칭소자인 박막 트랜지스터(T)가 형성되어 있다.
- [0072] 이때, 상기 박막 트랜지스터(T)는 상기 게이트라인(216)에 연결된 게이트전극(221), 상기 데이터라인(217)에 연결된 소오스전극(222) 및 화소전극라인(2181)을 통해 화소전극(218)과 연결된 드레인전극(223)으로 구성된다. 또한, 상기 박막 트랜지스터(T)는 상기 게이트전극(221)과 소오스/드레인전극(222, 223)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(221)에 공급되는 게이트전압에 의해 상기 소오스전극(222)과 드레인전극(223) 간에 전도채널을 형성하는 액티브패턴(미도시)을 포함한다.
- [0073] 이때, 상기 화소영역 내에는 상기 게이트라인(216)에 대해 평행한 방향으로 공통라인(2081)과 스토리지전극(218s)이 배열되고, 상기 화소영역 내에 수평전계를 발생시켜 액정분자(미도시)를 스위칭(switching)하는 복수개의 공통전극(208)과 화소전극(218)이 상기 데이터라인(217)에 대해 평행한 방향으로 배열되어 있다.
- [0074] 상기 복수개의 공통전극(208)은 상기 게이트라인(216)과 동시에 형성되어 상기 공통라인(2081)에 연결되며, 상기 복수개의 화소전극(218)은 상기 데이터라인(217)과 동시에 형성되어 상기 화소전극라인(2181)과 스토리지전

극(218s)에 연결된다.

- [0075] 이때, 상기 화소전극라인(2181)과 연결된 상기 화소전극(218)은 상기 화소전극라인(2181)을 통해 박막 트랜지스터(T)의 드레인전극(223)에 전기적으로 접속되게 된다.
- [0076] 또한, 상기 스토리지전극(218s)은 상기 제 1 절연막을 사이에 두고 그 하부의 공통라인(2081)의 일부와 중첩되어 스토리지 커패시터(Cst)를 형성한다.
- [0077] 상기와 같은 구조를 갖는 횡전계방식 액정표시장치는 공통전극과 화소전극이 동일한 어레이 기판에 배치되어 횡전계를 발생시키기 때문에 시야각을 향상시킬 수 있는 장점을 가진다.
- [0078] 이때, 전술한 본 발명의 제 2 실시예에 따른 횡전계방식 액정표시장치는 공통전극과 화소전극 모두 불투명한 도전물질로 이루어진 2금속 구조를 예를 들고 있으나 본 발명이 이에 한정되는 것은 아니며, 본 발명은 상기 공통전극과 화소전극 중 하나는 불투명한 도전물질로 이루어지고 다른 하나는 투명한 도전물질로 이루어진 1금속 1ITO 구조의 횡전계방식 액정표시장치 및 상기 공통전극과 화소전극 모두 투명한 도전물질로 이루어진 2ITO 구조의 횡전계방식 액정표시장치에도 적용 가능하다.
- [0079] 이하, 상기 제 2 실시예에 따른 횡전계방식 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0080] 도 7a 내지 도 7d는 도 6에 도시된 어레이 기판의 VI-VI'선에 따른 제조공정을 순차적으로 나타내는 단면도로써, 전술한 제 1 실시예와 동일하게 본 발명의 구리 배선구조를 어레이 기판의 게이트 배선에 적용한 경우를 예를 들어 나타내고 있다.
- [0081] 도 7a에 도시된 바와 같이, 유리wafer와 같은 투명한 절연물질로 이루어진 어레이 기판(210)에 배리어 금속과 금속산화막 및 구리의 삼중막으로 이루어진 게이트전극(221)과 게이트라인(미도시) 및 공통전극(208)을 형성한다.
- [0082] 이때, 본 발명의 제 1 실시예에 따른 상기 게이트전극(221)과 게이트라인 및 공통전극(208)은 상기 어레이 기판(210) 전면에 제 1 도전막과 금속 산화막 및 제 2 도전막을 차례대로 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0083] 여기서, 상기 제 1 도전막은 몰리브덴(Mo), 텅스텐(W), 망간(Mn), 테크네튬(Tc), 레늄(Re), 철(Fe), 루테튬(Ru), 오스뮴(Os)과 같은 금속 또는 이의 질화물을 포함할 수 있다. 또한, 상기 제 2 도전막은 비저항 특성 및 우수한 전자이동 특성을 가진 구리(Cu)를 사용할 수 있으며, 상기 제 1 도전막은 제 2 도전막인 구리가 절연층이나 반도체층으로 확산하는 것을 방지하며 유리기판과의 접착특성을 향상시키기 위한 배리어 금속의 역할을 하게 된다.
- [0084] 그리고, 상기 금속 산화막은 상기 제 1 도전막과 제 2 도전막 사이에 위치하여 상기 구리와 배리어 금속의 전위차에 의한 전자의 이동을 억제함으로써 갈바닉 부식을 방지하는 역할을 하게 된다.
- [0085] 또한, 상기 금속 산화막은 상기 제 1 도전막을 구성하는 금속의 산화물로 이루어질 수 있으며, 예를 들어 몰리브덴으로 상기 제 1 도전막을 형성하는 경우에는 상기 금속 산화막은 몰리브덴 산화물(MoOx)로 이루어질 수 있다.
- [0086] 특히, 상기 금속 산화막은 배리어 금속층으로 금속 합금 대신에 순수 금속물질을 사용하는 경우에 구리와 전위차에 의해 발생하는 갈바닉 부식을 억제하기 위한 것으로 상기 제 1 도전막과 제 2 도전막을 형성하기 위한 스퍼터링 방법을 이용하여 형성할 수 있다.
- [0087] 여기서, 상기 제 1 도전막과 금속 산화막은 10~500Å 정도의 두께로 형성할 수 있으며, 상기 제 2 도전막은 형성할 배선의 종류에 따라 그 두께가 다르지만, 예를 들어 게이트전극(221)을 형성하는 경우는 1000~5000Å 정도의 두께로 형성할 수 있다.
- [0088] 또한, 상기 금속 산화막은 Ar/O₂의 유량 비를 0~50%로 하고 압력을 5Pa 이하로 한 상태에서 스퍼터링을 이용하여 증착할 수 있다.
- [0089] 이와 같이 상기 제 1 도전막과 금속 산화막 및 제 2 도전막을 습식식각을 이용하여 선택적으로 제거하게 되면, 상기 어레이 기판(210)에 상기 배리어 금속과 금속 산화막 및 구리의 삼중막으로 이루어진 게이트전극(221)과 게이트라인 및 공통전극(208)이 형성되게 된다.
- [0090] 이때, 상기 게이트전극(221)은 상기 제 2 도전막인 구리로 이루어진 제 1 게이트전극(221a)과 상기 제 1 도전막인 배리어 금속로 이루어진 제 2 게이트전극(221b) 및 상기 배리어 금속의 산화막으로 이루어진 제 1 금속 산화

막패턴(221c)으로 이루어지게 된다.

- [0091] 또한, 상기 공통전극(208)은 상기 제 2 도전막인 구리로 이루어진 제 1 공통전극(208a)과 상기 제 1 도전막인 배리어 금속으로 이루어진 제 2 공통전극(208b) 및 상기 배리어 금속의 산화막으로 이루어진 제 2 금속 산화막패턴(208c)으로 이루어지게 된다.
- [0092] 여기서, 상기 제 1 도전막과 금속 산화막 및 제 2 도전막은 과산화 수소(H₂O₂)계 에천트를 이용한 일괄식각 공정에 의해 식각 처리될 수 있으며, 이때, 상기 금속 산화막은 습식식각의 에천트에 의해 부식 환경에 노출된 구리와 배리어 금속의 저저항 구리 배선구조에 있어서 상기 구리와 배리어 금속의 전위 차에 의한 전자의 이동을 억제하는 역할을 하게 된다. 그 결과 갈바닉 부식이 억제되어 소자의 신뢰성이 향상되는 효과를 얻게 된다.
- [0093] 다음으로, 도 7b에 도시된 바와 같이, 상기 게이트전극(221)과 게이트라인 및 공통전극(208)이 형성된 어레이 기판(210) 전면에서 제 1 절연막(215a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 제거함으로써 상기 어레이 기판(210)에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(224)을 형성한다.
- [0094] 이때, 상기 액티브패턴(224)의 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브패턴(224)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(225)이 남아있게 된다.
- [0095] 다음으로, 도 7c에 도시된 바와 같이, 상기 액티브패턴(224)이 형성된 어레이 기판(210) 전면에서 제 3 도전막을 형성한 후, 포토리소그래피공정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브패턴(224) 상부에 상기 제 3 도전막으로 이루어진 소오스전극(222)과 드레인전극(223) 및 데이터라인(217)을 형성한다. 또한, 상기 제 3 마스크공정을 통해 상기 제 3 도전막을 선택적으로 패터닝함으로써 상기 화소영역에 상기 제 3 도전막으로 이루어진 화소전극(218) 및 화소전극라인(2181)이 형성되게 된다.
- [0096] 이때, 상기 액티브패턴(224) 위에 형성되어 있는 n+ 비정질 실리콘 박막패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(224)과 소오스/드레인전극(222, 223) 사이를 오믹-콘택시키는 오믹-콘택층(225n)을 형성하게 된다. 또한, 상기 드레인전극(223)의 일부는 화소영역 쪽으로 연장되어 상기 화소전극라인(2181)을 구성하게 된다.
- [0097] 이때, 상기 소오스전극(222), 드레인전극(223), 데이터라인(217), 화소전극(218) 및 화소전극라인(2181)은 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 크롬(Cr), 몰리브덴(Mo) 등과 같은 도전물질을 이용하여 단일층으로 형성할 수도 있으며, 전술한 게이트 배선과 동일하게 구리와 배리어 금속 및 배리어 금속 산화막으로 이루어진 다층구조로 형성할 수도 있다.
- [0098] 또한, 상기 본 발명의 제 2 실시예는 상기 액티브패턴(224)과 소오스전극(222) 및 드레인전극(223)을 두 번의 마스크공정을 통해 형성한 경우를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 상기 액티브패턴(224)과 소오스전극(222) 및 드레인전극(223)은 한번의 마스크공정을 통해 형성할 수도 있다.
- [0099] 다음으로, 도 7d에 도시된 바와 같이, 상기 소오스전극(222), 드레인전극(223), 데이터라인(217), 화소전극(218) 및 화소전극라인(2181)이 형성된 어레이 기판(210) 전면에서 보호막인 제 2 절연막(215b)을 형성한다.
- [0100] 여기서, 본 발명의 제 2 실시예는 설명의 편의상 총 4번의 마스크공정을 통해 액정표시장치의 어레이 기판을 제작하는 경우를 예를 들어 설명하고 있지만, 전술한 바와 같이 본 발명이 상기 마스크공정의 수에 한정되는 것은 아니며, 게이트 배선이나 데이터 배선을 구리와 배리어 금속 및 배리어 금속 산화막으로 이루어진 저저항 구리 배선으로 형성하는 한 어떠한 공정에도 적용 가능하다.
- [0101] 또한, 상기 본 발명의 제 2 실시예의 박막 트랜지스터는 게이트전극이 하부에 위치하는 하부 게이트방식의 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며, 본 발명은 상기 게이트전극이 상부에 위치하는 상부 게이트방식의 박막 트랜지스터는 물론이고 에치스타퍼 구조 및 코플라나 구조에도 적용 가능하다.
- [0102] 또한, 상기 본 발명의 제 2 실시예의 횡전계방식은 공통전극과 화소전극 모두 불투명한 도전물질로 이루어진 2금속 구조를 예를 들고 있으나 본 발명이 이에 한정되는 것은 아니며, 전술한 바와 같이 본 발명은 1금속 1ITO 구조의 횡전계방식 액정표시장치 및 2ITO 구조의 횡전계방식 액정표시장치에도 적용 가능하다.
- [0103] 또한, 상기 제 1 실시예 및 제 2 실시예는 액티브패턴으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 액티브패턴으로

다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터에도 적용된다.

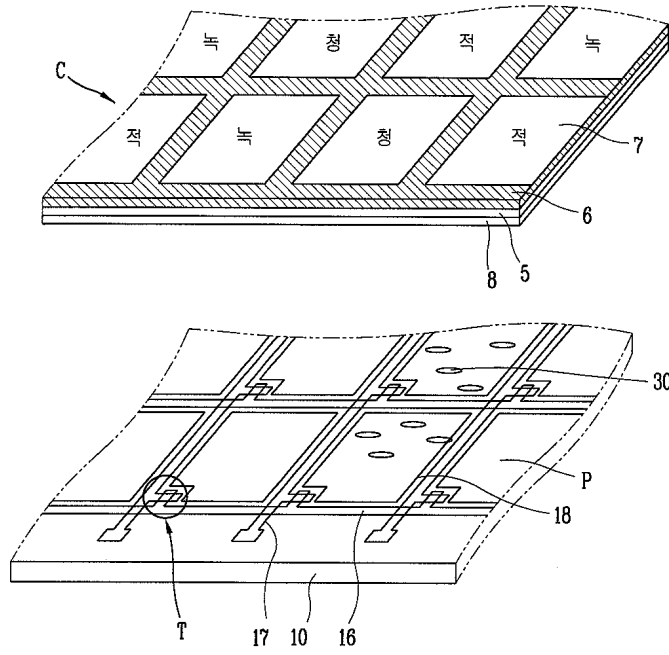
- [0104] 이와 같이 구성된 상기 제 1 실시예 및 제 2 실시예의 어레이 기판은 화상표시 영역의 외곽에 형성된 실린트에 의해 컬러필터 기판과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기판에는 상기 박막 트랜지스터와 게이트 라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러 필터가 형성되어 있다.
- [0105] 이때, 상기 컬러필터 기판과 어레이 기판의 합착은 상기 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.
- [0106] 본 발명은 액정표시장치뿐만 아니라 반도체 및 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.
- [0107] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

도면의 간단한 설명

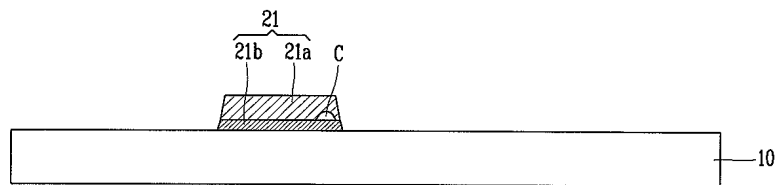
- [0108] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도.
- [0109] 도 2는 일반적인 Mo/Cu 배선을 예를 들어 나타내는 단면도.
- [0110] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도.
- [0111] 도 4a 내지 도 4e는 도 3에 도시된 어레이 기판의 III-III'선에 따른 제조공정을 순차적으로 나타내는 단면도.
- [0112] 도 5a 내지 도 5d는 도 4a에 도시된 제 1 마스크공정을 구체적으로 나타내는 단면도.
- [0113] 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도.
- [0114] 도 7a 내지 도 7d는 도 6에 도시된 어레이 기판의 VI-VI'선에 따른 제조공정을 순차적으로 나타내는 단면도.
- [0115] ** 도면의 주요부분에 대한 부호의 설명 **
- [0116] 110,210 : 어레이 기판 116,216 : 게이트라인
- [0117] 117,217 : 데이터라인 118,218 : 화소전극
- [0118] 121,221 : 게이트전극 121a,221a : 제 1 게이트전극
- [0119] 121b,221b : 제 2 게이트전극 121c,221c : 금속 산화막패턴
- [0120] 122,222 : 소오스전극 123,223 : 드레인전극
- [0121] 124,224 : 액티브패턴 208 : 공통전극
- [0122] 2081 : 공통전극라인 2181 : 화소전극라인

도면

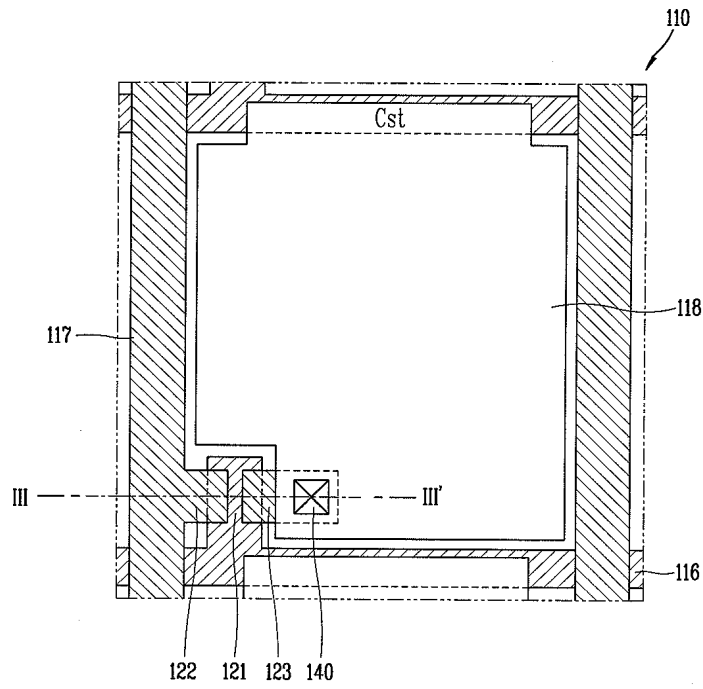
도면1



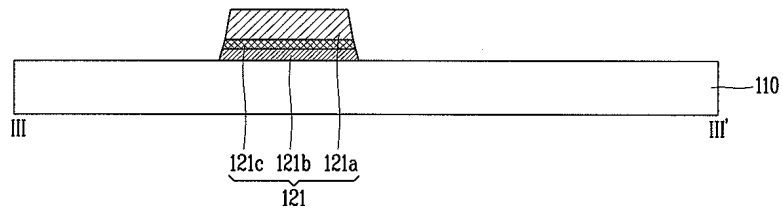
도면2



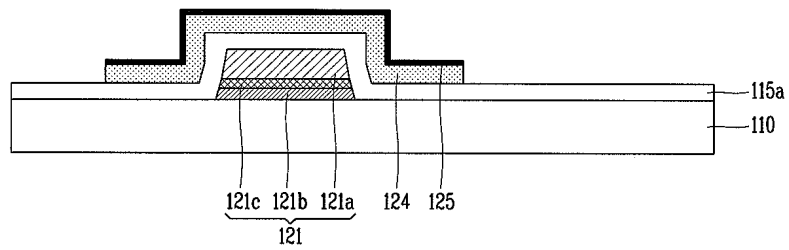
도면3



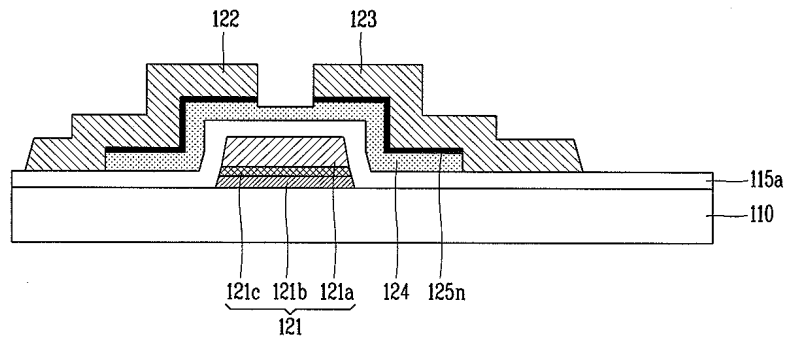
도면4a



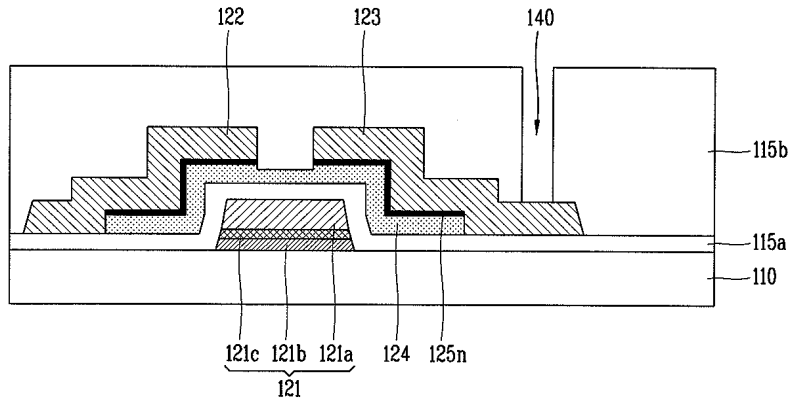
도면4b



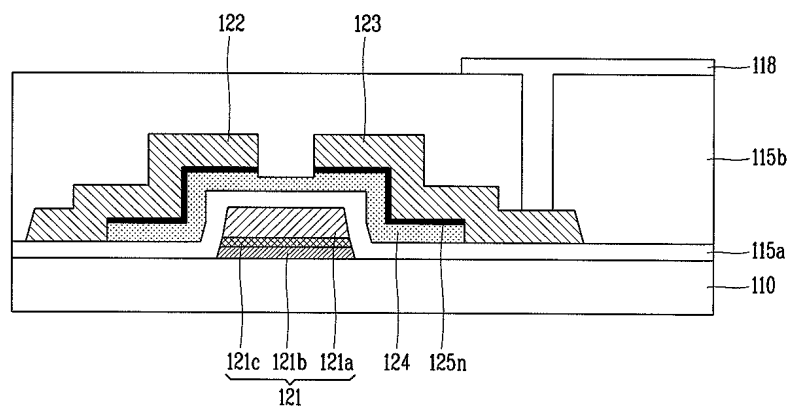
도면4c



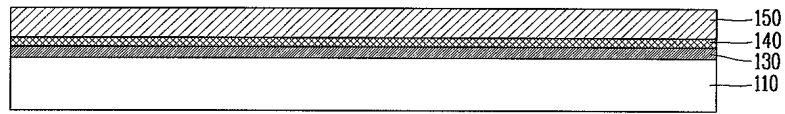
도면4d



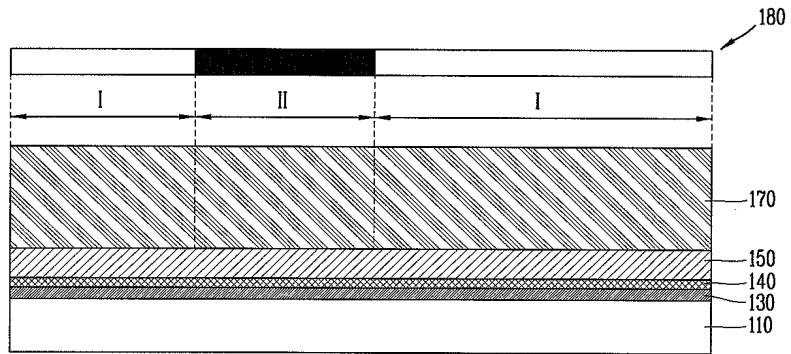
도면4e



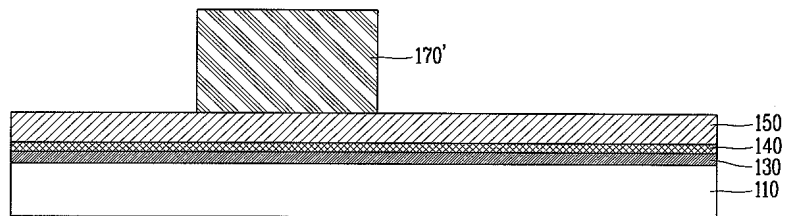
도면5a



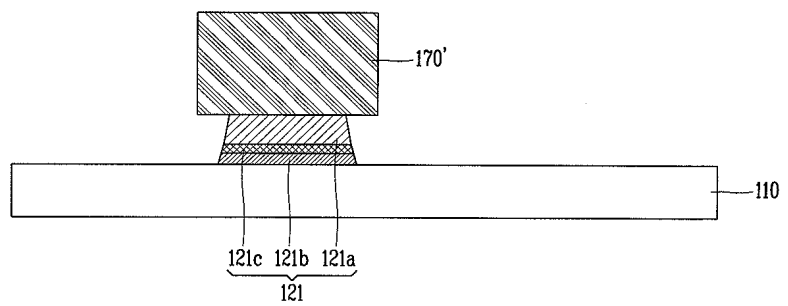
도면5b



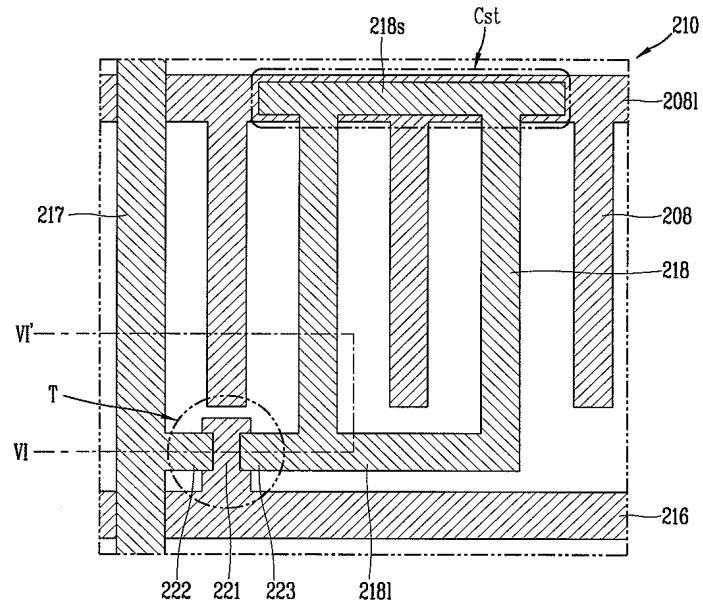
도면5c



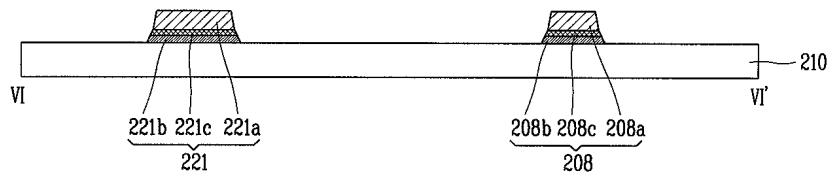
도면5d



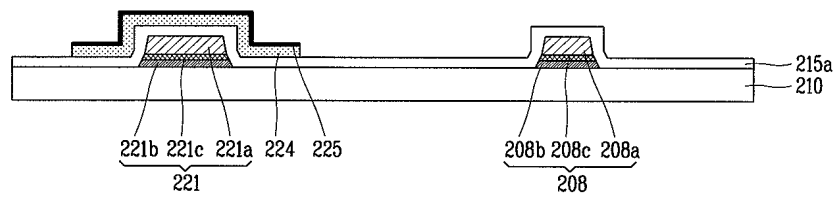
도면6



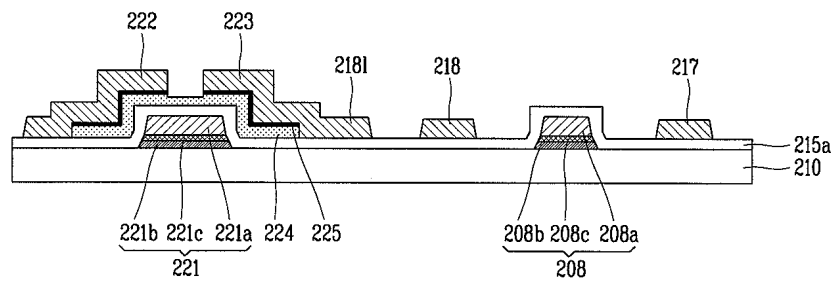
도면7a



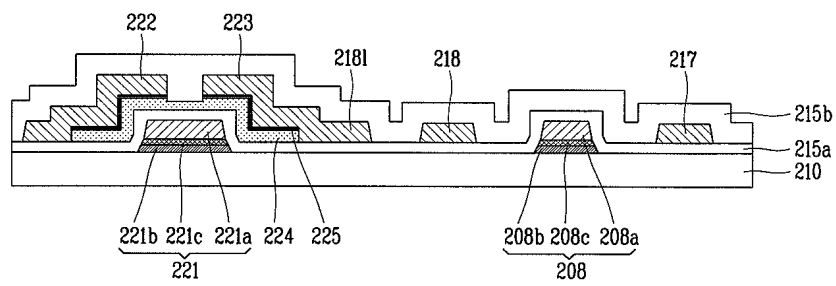
도면7b



도면7c



도면7d



专利名称(译)	低电阻布线结构和使用其的液晶显示装置的制造方法		
公开(公告)号	KR101338115B1	公开(公告)日	2013-12-06
申请号	KR1020080039547	申请日	2008-04-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG HEE JUNG 양희정 HAN GYU WON 한규원		
发明人	양희정 한규원		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F2001/13629 H01L23/53238 H01L27/124 H01L27/3276 H01L2924/0002		
代理人(译)	박장원		
其他公开文献	KR1020090113689A		
外部链接	Espacenet		

摘要(译)

低电阻布线结构和使用本发明的相同的液晶显示装置的制造方法，是通过形成氧化钼（的 MoO_x ）在钼/ Cu布线结构产生的钼（Mo）和铜阻挡电子的（Cu）的之间的运动以防止电偶腐蚀（galvaniccorrosion），包括以下步骤：沉积作为第二导电膜是依次由金属氧化物膜的和由阻挡金属和第一衬底表面上的阻挡金属的第一导电层的氧化铜；在第一基板上形成预定的光致抗蚀剂图案，在第一基板上沉积第一导电膜，金属氧化物膜和第二导电膜；和感光膜图案作为掩模，对第一导电膜和金属氧化物膜，并通过使用导电膜选择性地去除所述第二栅，湿法蚀刻所述第一基板的三重膜电极上由第一阻挡金属和金属氧化物膜和铜的并形成一条门线；在形成有栅电极和栅极线的第一基板的整个表面上形成第一绝缘膜；及的用于层压和向第一基板和第二基板的工序，形成接触层和源极/漏极电极和数据线，所述第一绝缘膜是在有源图案和形成在第一衬底上的欧姆。因此，低电阻布线结构和使用其的本发明的液晶显示装置被配置成，其特征在于以低成本形成具有高可靠性低电阻的布线结构中，作为用于实现纯钼的MO / Cu布线结构。

