



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월03일
(11) 등록번호 10-1303533
(24) 등록일자 2013년08월28일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0039877

(22) 출원일자 2008년04월29일

심사청구일자 2011년11월02일

(65) 공개번호 10-2009-0114095

(43) 공개일자 2009년11월03일

(56) 선행기술조사문헌

KR1020050123417 A*

US20080043004 A1

JP평성09292871 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

민용기

대구광역시 북구 동천로 156, 103동 1205호 (동천동, 동화골든빌)

손용기

경남 밀양시 산외면 다죽리 156번지

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 8 항

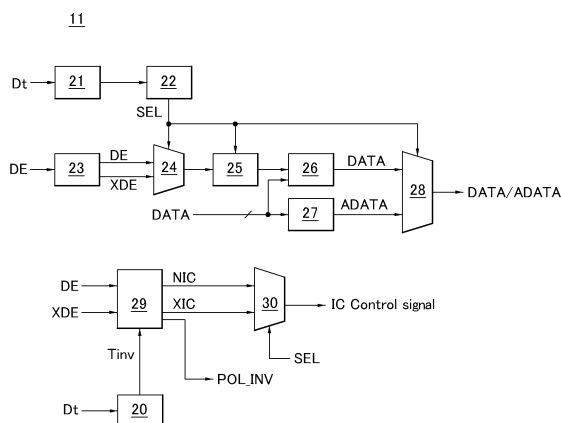
심사관 : 양성지

(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명은 액정표시장치와 그 구동방법에 관한 것으로, 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 제1 타이밍 신호와, 상기 제1 타이밍 신호보다 높은 주파수의 제2 타이밍 신호를 발생하는 타이밍 신호 체배회로; 상기 제2 타이밍 신호로 구동될 배속 프레임을 검출하는 프레임 카운터; 디지털 데이터들을 출력하고, 상기 배속 프레임 동안 출력되는 상기 디지털 데이터들의 주파수를 상기 배속 프레임 이외의 기간보다 높게 제어하는 데이터 처리회로; 상기 디지털 데이터들의 극성을 제어하기 위한 극성제어신호를 생성하는 타이밍 제어신호 발생회로; 상기 배속 프레임기간 동안 상기 극성제어신호의 주파수를 높여 반전 극성제어신호를 발생하는 극성제어신호 반전회로; 상기 디지털 데이터들 각각을 데이터 전압으로 변환하고, 상기 반전 극성제어신호에 응답하여 상기 데이터 전압의 극성을 제어하는 데이터 구동회로; 및 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다. 상기 반전 극성제어신호는 상기 배속 프레임 이외의 기간 동안 제1 주파수로 반전되고, 상기 배속 프레임 동안 상기 제1 주파수보다 높은 제2 주파수로 반전된다.

대표도 - 도2



(72) 발명자

장수혁

대구광역시 북구 팔거천동로24길 40, 영남2차타운
103동 902호 (동천동)

송홍성

경상북도 구미시 인동43길 22-42, 803동 706호 (구
평동, 부영아파트)

특허청구의 범위

청구항 1

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시 패널;

제1 타이밍 신호와, 상기 제1 타이밍 신호보다 높은 주파수의 제2 타이밍 신호를 발생하는 타이밍 신호 체배회로;

상기 제2 타이밍 신호로 구동될 배속 프레임을 검출하는 프레임 카운터;

디지털 데이터들을 출력하고, 상기 배속 프레임 동안 출력되는 상기 디지털 데이터들의 주파수를 상기 배속 프레임 이외의 기간보다 높게 제어하는 데이터 처리회로;

상기 디지털 데이터들의 극성을 제어하기 위한 극성제어신호를 생성하는 타이밍 제어신호 발생회로;

상기 배속 프레임 동안 상기 극성제어신호의 주파수를 높여 반전 극성제어신호를 발생하는 극성제어신호 반전회로;

상기 디지털 데이터들 각각을 데이터 전압으로 변환하고, 상기 반전 극성제어신호에 응답하여 상기 데이터 전압의 극성을 제어하는 데이터 구동회로; 및

상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비하고,

상기 반전 극성제어신호는 상기 배속 프레임 이외의 기간 동안 제1 주파수로 반전되고, 상기 배속 프레임 동안 상기 제1 주파수보다 높은 제2 주파수로 반전되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 처리회로는,

상기 배속 프레임 동안 이전 프레임 데이터의 평균값으로 디지털 평균 데이터를 출력한 후에 현재 프레임에 표시될 디지털 비디오 데이터를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 처리회로는,

상기 배속 프레임 동안 현재 프레임 데이터의 평균값으로 디지털 평균 데이터를 출력한 후에 현재 프레임에 표시될 디지털 비디오 데이터를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 데이터 처리회로는,

상기 배속 프레임 동안 이전 프레임에 출력하였던 디지털 비디오 데이터를 재차 출력한 후에 현재 프레임에 표시될 디지털 비디오 데이터를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 데이터 처리회로는,

상기 배속 프레임 동안 현재 프레임에 표시될 디지털 비디오 데이터를 2회 연속 출력하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 액정셀들 각각은 배속 프레임 동안 이전 프레임에 충전하였던 데이터전압의 반대 극성으로 전압을 충전한 후, 상기 이전 프레임에 충전하였던 데이터전압과 동일한 극성의 전압을 충전하는 것을 특징으로 하는 액정표시장치.

청구항 7

다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널을 가지는 액정표시장치의 구동방법에 있어서,

제1 타이밍 신호와, 상기 제1 타이밍 신호보다 높은 주파수의 제2 타이밍 신호를 발생하는 단계;

상기 제2 타이밍 신호로 구동될 배속 프레임을 검출하는 단계;

디지털 데이터들을 출력하고, 상기 배속 프레임 동안 출력되는 상기 디지털 데이터들의 주파수를 상기 배속 프레임 이외의 기간보다 높게 제어하는 단계;

상기 디지털 데이터들의 극성을 제어하기 위한 극성제어신호를 생성하는 단계;

상기 배속 프레임 동안 상기 극성제어신호의 주파수를 높여 반전 극성제어신호를 발생하는 단계;

상기 디지털 데이터들 각각을 데이터 전압으로 변환하고, 상기 반전 극성제어신호에 응답하여 상기 데이터 전압의 극성을 제어하는 단계; 및

상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함하고,

상기 반전 극성제어신호는 상기 배속 프레임 이외의 기간 동안 제1 주파수로 반전되고, 상기 배속 프레임 동안 상기 제1 주파수보다 높은 제2 주파수로 반전되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 액정셀들 각각은 배속 프레임 동안 이전 프레임에 충전하였던 데이터전압의 반대 극성으로 전압을 충전한 후, 상기 이전 프레임에 충전하였던 데이터전압과 동일한 극성의 전압을 충전하는 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 빠르게 음극선관을 대체하고 있다.

[0003] 액정표시장치의 액정층에 직류전압을 장시간 인가하면, 액정층 내의 이온들은 액정의 극성을 따라 분극화되고, 시간이 지날수록 액정층 내에서 이온들의 축적량이 증가된다. 이온들의 축적량이 증가하면서 배향막이 열화되며, 그 결과 액정의 배향특성이 열화된다. 이로 인하여, 액정표시장치에 직류전압이 장시간 인가되면 표시화상에서 얼룩이 나타나고 그 얼룩이 시간이 지날수록 커진다. 이러한 얼룩을 개선하기 위하여, 유전율이 낮은 액정물질을 개발하거나 배향물질이나 배향방법을 개선하는 방법을 도모하고 있다. 그러나 이러한 방법은 재료 개

발에 많은 시간과 비용이 필요하며, 액정의 유전율을 낮게 하면 액정의 구동특성이 나빠지는 또 다른 문제점을 초래할 수 있다. 실험적으로 밝혀진 바에 의하면, 이온의 분극 및 축적으로 인한 얼룩의 발현시점은 액정층 내에서 이온화되는 불순물이 많을수록, 그리고 가속 팩터가 클수록 빨라진다. 가속팩터는 온도, 시간, 액정의 직류 구동화 등이다. 따라서, 얼룩은 온도가 높거나 동일 극성의 직류전압이 액정층에 인가되는 시간이 길수록 빨리 나타나고 그 정도도 심해진다. 더욱이, 얼룩은 같은 제조라인을 통해 제작된 동일 모델의 패널들에서도 그 형태나 정도가 다르므로 새로운 재료 개발이나 공정의 개선 방법만으로 해결할 수 없다.

발명의 내용

해결 하고자하는 과제

- [0004] 본 발명은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 이온의 분극 및 축적으로 인한 얼룩 현상을 억제하도록 한 액정표시장치와 그 구동방법을 제공한다.

과제 해결수단

- [0005] 본 발명의 액정표시장치는 다수의 데이터라인들과 다수의 게이트라인들이 교차되고 매트릭스 형태로 배치되는 액정셀들을 포함한 액정표시패널; 제1 타이밍 신호와, 상기 제1 타이밍 신호보다 높은 주파수의 제2 타이밍 신호를 발생하는 타이밍 신호 체배회로; 상기 제2 타이밍 신호로 구동될 배속 프레임을 검출하는 프레임 카운터; 디지털 데이터들을 출력하고, 상기 배속 프레임 동안 출력되는 상기 디지털 데이터들의 주파수를 상기 배속 프레임 이외의 기간보다 높게 제어하는 데이터 처리회로; 상기 디지털 데이터들의 극성을 제어하기 위한 극성제어 신호를 생성하는 타이밍 제어신호 발생회로; 상기 배속 프레임 동안 상기 극성제어신호의 주파수를 높여 반전 극성제어신호를 발생하는 극성제어신호 반전회로; 상기 디지털 데이터들 각각을 데이터 전압으로 변환하고, 상기 반전 극성제어신호에 응답하여 상기 데이터 전압의 극성을 제어하는 데이터 구동회로; 및 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로를 구비한다.
- 상기 반전 극성제어신호는 상기 배속 프레임 이외의 기간 동안 제1 주파수로 반전되고, 상기 배속 프레임 동안 상기 제1 주파수보다 높은 제2 주파수로 반전된다.
- [0006] 상기 데이터 처리회로는 상기 배속 프레임 동안 이전 프레임 데이터의 평균값으로 디지털 평균 데이터를 출력한 후에 현재 프레임에 표시될 디지털 비디오 데이터를 출력한다.
- [0007] 상기 데이터 처리회로는 상기 배속 프레임 동안 현재 프레임 데이터의 평균값으로 디지털 평균 데이터를 출력한 후에 현재 프레임에 표시될 디지털 비디오 데이터를 출력한다.
- [0008] 상기 데이터 처리회로는 상기 배속 프레임 동안 이전 프레임에 출력하였던 디지털 비디오 데이터를 재차 출력한 후에 현재 프레임에 표시될 디지털 비디오 데이터를 출력한다.
- [0009] 상기 데이터 처리회로는 상기 배속 프레임 동안 현재 프레임에 표시될 디지털 비디오 데이터를 2회 연속 출력한다.
- [0010] 상기 액정셀들 각각은 배속 프레임 동안 이전 프레임에 충전하였던 데이터전압의 반대 극성으로 전압을 충전한 후, 상기 이전 프레임에 충전하였던 데이터전압과 동일한 극성의 전압을 충전한다.
- [0011] 본 발명의 실시예에 따른 액정표시장치의 구동방법은 제1 타이밍 신호와, 상기 제1 타이밍 신호보다 높은 주파수의 제2 타이밍 신호를 발생하는 단계; 상기 제2 타이밍 신호로 구동될 배속 프레임을 검출하는 단계; 디지털 데이터들을 출력하고, 상기 배속 프레임 동안 출력되는 상기 디지털 데이터들의 주파수를 상기 배속 프레임 이외의 기간보다 높게 제어하는 단계; 상기 디지털 데이터들의 극성을 제어하기 위한 극성제어신호를 생성하는 단계; 상기 배속 프레임 동안 상기 극성제어신호의 주파수를 높여 반전 극성제어신호를 발생하는 단계; 상기 디지털 데이터들 각각을 데이터 전압으로 변환하고, 상기 반전 극성제어신호에 응답하여 상기 데이터 전압의 극성을 제어하는 단계; 및 상기 게이트라인들에 게이트 펄스를 공급하는 단계를 포함한다.

효 과

- [0012] 본 발명의 실시예에 따른 액정표시장치와 그 구동방법은 일정 시간 주기로 액정셀에 충전되는 데이터전압의 주파수를 높이고 극성 반전 횟수를 높여 액정셀 내의 이온들의 분극 및 축적을 억제하여 얼룩의 발현을 방지한다.

발명의 실시를 위한 구체적인 내용

- [0013] 이하, 도 1 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0014] 도 1을 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다. 데이터 구동회로(12)는 다수의 데이터 드라이브 IC들을 포함한다. 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들(131 내지 133)을 포함한다.
- [0015] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널은 m 개의 데이터라인들(14)과 n 개의 게이트라인들(15)의 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀들(C1c)을 포함한다.
- [0016] 액정표시패널(10)의 하부 유리기관에는 데이터라인들(14), 게이트라인들(15), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0017] 액정표시패널(10)의 표시화면은 게이트 드라이브 IC들(131 내지 133)에 인가되는 게이트 타이밍 제어신호에 따라 다수의 블록(BL1 내지 BL3)으로 분할 구동된다. 블록들(BL1 내지 BL3) 각각의 액정셀들은 60Hz의 프레임 주파수로 구동되어 매 프레임마다 데이터전압을 충전하되, 소정의 시간 주기로 75Hz 내지 120Hz의 프레임 주파수로 구동되어 이전 프레임에 충전하였던 데이터전압의 반대 극성으로 평균전압을 충전한 후, 평균전압의 극성과는 반대극성으로 표시하고자 하는 데이터전압을 충전한다.
- [0018] 타이밍 콘트롤러(11)는 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이 제어신호들은 일정 시간 동안 60Hz의 입력 프레임 주파수 기준으로 발생되고, 소정 시간 주기로 75Hz~120Hz의 프레임 주파수 기준으로 발생된다. 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 콘트롤러(11)는 소정 시간 주기로 외부 시스템 보드로부터 입력되는 디지털 비디오 데이터(DATA)의 전송 주파수를 75Hz~120Hz의 프레임 주파수에 맞게 체배하여 데이터 구동회로(12)에 전송한다. 이러한 타이밍 콘트롤러(11)의 회로 구성은 도 2와 같다.
- [0019] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 제1 내지 제3 게이트 출력 인에이블신호(Gate Output Enable, GOE1 내지 GOE3) 등을 포함한다. 게이트 스타트 펄스(GSP)는 제1 게이트 드라이브 IC(131)에만 인가되어 제1 게이트 드라이브 IC(131)로부터 첫 번째 게이트펄스가 발생되도록 스캔이 시작되는 시작 라인을 지시한다. 제2 및 제3 게이트 드라이브 IC들(132, 133)은 앞단 게이트 드라이브 IC에 의해 발생된 캐리신호를 게이트 스타트 펄스로 입력받아 동작한다. 게이트 스타트 펄스(GSP)는 스캐닝의 개시를 제어한다. 이 게이트 스타트 펄스(GSP)는 소정 시간 주기로 설정된 75Hz 내지 120Hz 구동 프레임기간 동안 도 9와 같이 펄스폭이 다른 2 개의 펄스를 발생한다. 도 9의 게이트 스타트 펄스(GSP)는 이전 프레임의 반대극성을 가지는 평균전압이 충전되는 블록의 스캐닝 개시를 지시하는 펄스폭이 짧은 제1 펄스(P1)를 포함하고, 제1 펄스(P1)에 이어서 발생하는 펄스폭이 넓은 제2 펄스(P2)를 포함한다. 한편, 60Hz 구동 프레임기간 동안 게이트 스타트 펄스는 1 프레임기간 동안 프레임의 시작과 동시에 도 9에서 제1 펄스(P1)만을 발생한다. 게이트 쉬프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 이 게이트 쉬프트 클럭(GSC)은 75Hz 내지 120Hz 구동 프레임기간 동안 도 9와 같이 4 수평기간 동안 1 수평기간의 펄스 주기로 펄스가 발생된 후 5 번째 수평기간에서 펄스가 발생되지 않는 형태로 발생하는 펄스들을 포함한다. 한편, 60Hz 구동 프레임기간 동안 게이트 쉬프트 클럭(GSC)은 매 수평기간마다 1 수평기간의 펄스 주기로 펄스가 발생된다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 게이트 드라이브 IC들(131 내지 133)에

개별적으로 인가된다. 게이트 드라이브 IC들(131 내지 133)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 로우논리기간 즉, 이전 펄스의 폴링타임 직후로부터 그 다음 펄스의 라이징 타임 직전까지의 기간 동안 게이트펄스를 출력한다. 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 하이논리기간 동안 게이트 드라이브 IC들(131 내지 133)은 게이트펄스를 발생하지 않는다. 이 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 75Hz 내지 120Hz 구동 프레임기간 동안 반대극성의 평균전압이 충전되는 블록을 담당하는 게이트 드라이브 IC에 인가되고 4 수평기간을 주기로 하고 듀티비가 높은 펄스와, 75Hz 내지 120Hz 구동 프레임기간 동안 표시하고자 하는 데이터전압이 충전되는 블록을 담당하는 게이트 드라이브 IC에 인가되고 1 수평기간을 주리고 하고 듀티비가 상대적으로 짧은 펄스를 포함한다. 한편, 게이트 출력 인에이블신호(GOE1 내지 GOE3)는 60Hz 구동 프레임기간 동안 모든 게이트 드라이브 IC에 동위상으로 공급된다.

- [0020] 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 반전 극성제어신호(Polarity : POL_INV), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 래치동작을 지시한다. 반전 극성제어신호(POL_INV)는 데이터 구동회로(12)로부터 출력되는 데이터전압의 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(12)의 출력을 제어한다.
- [0021] 타이밍 콘트롤러(11)는 주기 데이터(Dt)에 응답하여 내부 극성 제어신호를 주기적으로 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 주기 데이터(Dt)는 외부 시스템보드나 유저 인터페이스를 통해 타이밍 콘트롤러(11)에 입력되거나 타이밍 콘트롤러(11) 내의 레지스터에 저장된다.
- [0022] 데이터 구동회로(12)는 타이밍 콘트롤러(11)의 제어 하에 디지털 평균 데이터(ADATA)와 표시하고자 하는 디지털 비디오 데이터(DATA)를 래치한다. 그리고 데이터 구동회로(12)는 디지털 평균 데이터(ADATA)와 디지털 비디오 데이터(DATA)를 반전 극성제어신호(POL_INV)에 응답하여 아날로그 정극성/부극성 감마보상전압으로 변환함으로써 정극성/부극성 평균전압과 정극성/부극성 아날로그 비디오 데이터전압을 발생하고 그 전압들을 데이터라인들(14)에 공급한다. 이 데이터 구동회로(12)는 1 수평기간 동안 정극성/부극성 평균전압을 출력한 후, 4 수평기간 동안 정극성/부극성 아날로그 비디오 데이터전압을 출력하는 동작을 반복한다. 데이터 구동회로(12)의 데이터 드라이브 IC 각각의 회로 구성은 도 3 및 도 4와 같다.
- [0023] 게이트 구동회로(13)는 타이밍 콘트롤러(11)의 제어 하에 게이트펄스를 게이트라인들(15)에 순차적으로 공급한다. 이러한 게이트 드라이브 IC들(131 내지 133)은 도 5와 같이 구성된다.
- [0024] 게이트 구동회로(13)의 게이트 드라이브 IC들(131 내지 133)은 60Hz 구동 프레임기간 동안 게이트펄스를 순차적으로 발생한다. 한편, 75Hz 내지 120Hz 구동 프레임기간 동안 표시하고자 하는 데이터전압을 충전하는 블록을 담당하는 게이트 드라이브 IC는 4 개의 게이트라인들(15)에 게이트펄스를 순차적으로 인가한 후에 1 수평기간 뒤에 다시 게이트펄스의 출력을 시작한다. 또한, 75Hz 내지 120Hz 구동 프레임기간 동안 평균전압을 충전압하는 게이트 드라이브 IC는 4 수평기간 동안 게이트펄스를 발생하지 않고 그 이후 1 수평기간 동안 4 개의 게이트라인(15)에 동시에 게이트펄스를 공급한다.
- [0025] 도 2는 타이밍 콘트롤러(11)를 상세히 나타낸다.
- [0026] 도 2를 참조하면, 타이밍 콘트롤러(11)는 프레임 카운터(21), 선택신호 발생부(22), 입력 타이밍 신호 체배회로(23), 제1 선택기(24), 메모리 콘트롤러(25), 메모리(26), 평균 데이터 발생부(27), 제2 선택기(28), 타이밍 제어신호 발생회로(29), 극성제어신호 제어회로(20), 및 제3 선택기(30)를 구비한다.
- [0027] 프레임 카운터(21)는 1 수평기간 주기로 발생하는 데이터 인에이블신호(DE)를 카운트하여 데이터 인에이블신호의 카운트값이 액정표시패널의 라인수만큼 누적될 때 프레임기간 카운트값을 증가시켜 프레임기간을 카운트한다. 그리고 프레임 카운터(21)는 주기 데이터(Dt)의 펄스가 발생하는 시점과 프레임을 비교하여 주기 데이터의 펄스와 일치하는 프레임기간에서 출력을 반전시킨다.
- [0028] 선택신호 발생부(22)는 프레임 카운터(21)의 출력신호에 응답하여 60Hz 구동 프레임기간을 지시하는 제1 논리와, 75Hz~120Hz 구동 프레임기간을 지시하는 제2 논리로 발생하는 선택신호(SEL)를 발생한다.
- [0029] 타이밍 신호 체배회로(23)는 60Hz 프레임 주파수 기준의 입력 데이터 인에이블신호(DE)의 주파수를 체배하여 75Hz~120Hz의 프레임 주파수 기준의 체배된 데이터 인에이블신호($\times$ DE)를 발생한다.
- [0030] 제1 선택기(24)는 선택신호(SEL)의 제1 논리에 응답하여 60Hz 프레임 주파수 기준의 입력 데이터 인에이블신호(DE)를 메모리 콘트롤러(25)에 공급하는 반면, 선택신호(SEL)의 제2 논리에 응답하여 75Hz~120Hz 프레임 주파수

기준의 체배된 데이터 인에이블신호($\times$ DE)를 메모리 컨트롤러(25)에 공급한다.

[0031] 메모리 컨트롤러(25)는 선택신호(SEL)의 제1 논리에 응답하여 60Hz 프레임 주파수 기준의 데이터 인에이블신호(DE)에 맞추어 리드 어드레스 신호와 라이트 어드레스 신호를 발생하여 디지털 비디오 데이터가 저장되는 메모리(26)를 제어한다. 또한, 메모리 컨트롤러(25)는 선택신호(SEL)의 제2 논리에 응답하여 체배된 데이터 인에이블신호(DE)의 입력 주파수에 맞추어 리드 어드레스 신호와 라이트 어드레스 신호를 발생하여 75Hz~120Hz 구동 프레임기간 동안 메모리(26)의 쓰기/읽기 동작을 60Hz 프레임기간보다 빠르게 제어한다. 이 메모리 컨트롤러(25)와 메모리(26)는 배속 프레임기간 즉, 75Hz~120Hz 구동 프레임기간 동안 높은 전송 주파수로 디지털 데이터들을 출력하는 반면, 배속 프레임 이외의 기간 동안 상대적으로 낮은 전송 주파수로 디지털 데이터들을 출력하는 데이터 처리회로 역할을 한다.

[0032] 평균 데이터 발생부(27)는 디지털 비디오 데이터(DATA)가 저장되는 메모리를 저장하여 이전 프레임에 입력된 데이터들의 평균값 또는 현재 프레임기간에 입력되는 데이터들의 평균값을 산출하여 디지털 평균 데이터(ADATA)를 발생한다. 여기서, 평균값은 1 라인의 평균값이 될 수 있고 또한, N(N은 2 이상의 양의 정수) 개의 라인 예컨대 4 라인의 평균값이 될 수도 있다.

[0033] 제2 선택기(28)는 선택신호(SEL)의 제1 논리에 응답하여 60Hz 구동 프레임 기간 동안 메모리(26)로부터의 디지털 비디오 데이터(DATA)를 출력하여 데이터 구동회로(12)에 공급한다. 그리고 제2 선택기(28)는 선택신호(SEL)의 제2 논리에 응답하여 75Hz~120Hz 구동 프레임기간 동안 메모리(26)로부터의 디지털 비디오 데이터(DATA)와 평균 데이터 발생부(27)로부터의 디지털 평균 데이터(ADATA)를 교대로 출력하여 데이터 구동회로(12)에 공급한다.

[0034] 타이밍 제어신호 발생회로(29)는 입력 데이터 인에이블신호(DE)를 기준으로 하여 60Hz 구동을 위한 게이트/데이터 타이밍 제어신호(NIC)를 발생한다. 또한, 타이밍 제어신호 발생회로(29)는 체배된 데이터 인에이블신호($\times$ DE)를 기준으로 하여 75Hz~120Hz 구동을 위한 게이트/데이터 타이밍 제어신호($\times$ IC)를 발생한다. 또한, 타이밍 제어신호 발생회로(29)는 극성제어신호 제어회로(20)로부터 입력되는 반전 주기신호(Tinv)에 응답하여 내부 극성제어신호(POL)를 75Hz~120Hz 구동 프레임기간 내에서 1회 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 극성제어신호(POL)는 종래 기술에서 데이터 구동회로에 입력되어 데이터 구동회로로부터 출력되는 데이터전압의 극성을 제어하기 위한 극성제어신호와 실질적으로 동일하다.

[0035] 극성제어신호 제어회로(20)는 주기 데이터(Dt)에 응답하여 소정 시간 주기로 논리가 반전되는 반전 주기신호(Tinv)를 발생하여 타이밍 제어신호 발생회로(29)에 공급한다.

[0036] 제3 선택기(30)는 선택신호(SEL)의 제1 논리에 응답하여 60Hz 구동 프레임기간 동안 60Hz 구동을 위한 게이트/데이터 타이밍 제어신호(NIC)를 출력하는 반면, 선택신호(SEL)의 제2 논리에 응답하여 75Hz~120Hz 구동을 위한 게이트/데이터 타이밍 제어신호($\times$ IC)를 출력한다. 이 제3 선택기(30)로부터 출력되는 게이트/데이터 타이밍 제어신호(NIC, $\times$ IC)에 의해 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍이 제어된다. 따라서, 데이터 구동회로(12)와 게이트 구동회로(13)는 주기적으로 나타나는 75Hz~120Hz 프레임기간 동안 60Hz 프레임기간에 비하여 동작 주파수가 빨라지게 된다.

[0037] 도 3은 타이밍 제어신호 발생회로(29)의 반전 극성제어신호 발생부분을 나타낸다.

[0038] 도 3을 참조하면, 타이밍 제어신호 발생회로(29)는 배타적 논리합 게이트(XOR)를 구비한다.

[0039] 배타적 논리합 게이트(XOR)는 극성제어신호 제어회로(20)로부터 입력되는 반전 주기신호(Tinv)에 응답하여 내부 극성제어신호(POL)를 반전시켜 75Hz~120Hz 구동 프레임기간 동안 1 회 논리가 반전되는 반전 극성제어신호(POL_INV)를 발생시킨다. 반전 극성제어신호(POL_INV)는 60Hz 구동 프레임기간 동안 1 프레임기간 주기로 위상이 반전되지만 75Hz~120Hz 구동 프레임기간 내에서 그 프레임의 시작과 동시에 위상이 반전되고 그 프레임의 종료 전에 1회 더 반전된다. 따라서, 액정표시패널(10)의 모든 액정셀들 각각은 60Hz 프레임기간 동안 특정 극성의 데이터전압을 충전하는데 비하여, 75Hz~120Hz 프레임기간 동안 이전 프레임기간에 충전하였던 데이터전압의 극성과는 반대극성의 평균전압을 충전한 후, 평균전압의 극성과는 반대극성의 데이터전압을 연속으로 충전한다.

[0040] 반전 극성제어신호(POL_INV)는 배속 프레임기간 즉, 75Hz~120Hz 구동 프레임기간 동안 주파수가 높아져 배속 프레임 동안 액정셀들 각각에 충전되는 데이터전압의 주파수를 높인다.

[0041] 도 4 및 도 5는 데이터 드라이브 IC(12A)를 상세히 나타내는 회로도이다.

- [0042] 도 4 및 도 5를 참조하면, 데이터 드라이브 IC(12A) 각각은 쉬프트 레지스터(31), 데이터 레지스터(32), 제1 래치 어레이(33), 제2 래치 어레이(34), 디지털-아날로그 변환기(이하, "DAC"라 한다)(35), 차지쉐어회로(Charge Share Circuit)(36) 및 출력회로(37)를 포함한다.
- [0043] 데이터 레지스터(32)는 타이밍 컨트롤러(11)로부터의 디지털 비디오 데이터(RGB)와 디지털 평균 데이터(ADATA)를 일시 저장한다.
- [0044] 쉬프트 레지스터(31)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 쉬프트시킨다. 또한, 쉬프트 레지스터(31)는 제1 래치 어레이(33)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry)를 발생한다.
- [0045] 제1 래치 어레이(33)는 쉬프트 레지스터(31)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(32)로부터의 디지털 비디오 데이터(RGB)와 디지털 평균 데이터(ADATA)를 샘플링하여 래치한 다음, 동시에 출력한다.
- [0046] 제2 래치 어레이(34)는 제1 래치 어레이(33)로부터 입력되는 데이터들을 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 데이터 IC들(12A)의 제2 래치 어레이(34)와 동시에 래치된 데이터들을 동시에 출력한다.
- [0047] DAC(35)는 도 5와 같이 정극성 감마보상전압(GH)이 공급되는 P-디코더(PDEC)(41), 부극성 감마보상전압(GL)이 공급되는 N-디코더(NDEC)(42), 반전 극성제어신호(POL_INV)에 응답하여 P-디코더(41)의 출력과 N-디코더(42)의 출력을 선택하는 멀티플렉서(43)를 포함한다. P-디코더(41)는 제2 래치 어레이(34)로부터 입력되는 데이터들을 디코딩하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압(GH)을 출력하고, N-디코더(42)는 제2 래치 어레이(34)로부터 입력되는 데이터들을 디코딩하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압(GL)을 출력한다. 멀티플렉서(43)는 반전 극성제어신호(POL_INV)에 응답하여 정극성의 감마보상전압과 부극성의 감마보상전압을 선택한다.
- [0048] 차지쉐어회로(36)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지쉐어전압으로 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 데이터라인들(14)에 공급될 정극성 전압과 부극성 전압의 급격한 변화를 줄인다.
- [0049] 출력회로(37)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 전압의 신호감쇠를 줄인다.
- [0050] 도 6은 게이트 드라이브 IC들(131 내지 133)를 나타낸다.
- [0051] 도 6을 참조하면, 게이트 드라이브 IC들(131 내지 133) 각각은 쉬프트 레지스터(50), 레벨 쉬프터(52), 쉬프트 레지스터(50)와 레벨 쉬프터(52) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(51) 및 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 반전시키기 위한 인버터(53)를 구비한다.
- [0052] 쉬프트 레지스터(50)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(51) 각각은 쉬프트 레지스터(50)의 출력신호와 게이트 출력 인에이블신호(GOE1 내지 GOE3)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(53)는 게이트 출력 인에이블신호(GOE1 내지 GOE3)를 반전시켜 AND 게이트들(51)에 공급한다. 따라서, 게이트 드라이브 IC들(131 내지 133)은 게이트 출력 인에이블신호(GOE1 내지 GOE3)가 로우논리구간일 때에만 출력을 발생한다.
- [0053] 레벨 쉬프터(52)는 액정표시패널(10)의 화소 어레이 내에 형성된 TFT의 동작 전압 범위만큼 AND 게이트(51)의 출력전압 스윙폭을 쉬프트시킨다. 레벨 쉬프터(52)의 출력신호(G1 내지 Gk)는 k(k는 정수) 개의 게이트라인들(15)에 순차적으로 공급된다. 한편, 레벨 쉬프터(52)는 쉬프트 레지스터(50)의 앞단에 배치되고, 쉬프트 레지스터(50)는 화소 어레이의 TFT와 함께 액정표시패널(10)의 유리기판에 직접 형성될 수 있다.
- [0054] 도 7 내지 9는 본 발명의 제1 실시예에 따른 액정표시장치의 동작을 설명하기 위한 도면들으로써, 모든 액정셀들이 60Hz로 구동되고 또한 주기적으로 75Hz로 구동되는 예를 보여준다.
- [0055] 도 7 내지 도 9를 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치는 60Hz 프레임 기간 동안 60Hz 프레임 주파수로 데이터 구동회로(12)와 게이트 구동회로(13)를 제어하여 표시하고자 하는 데이터전압(DATA)에 동기되는 게이트펄스를 첫 번째 게이트라인부터 마지막 게이트라인까지 순차적으로 인가한다. 이 60Hz 구동 프레임기간 동안 액정셀들 각각은 데이터전압(DATA)을 1회 충전하고 매 프레임마다 이전 프레임에 충전하였던 데이터전압의 극성과는 반대극성의 데이터전압을 충전한다. 그리고 본 발명의 제1 실시예에 따른 액정표시장치는 외부

로부터 입력되는 주기 데이터(Dt)에 응답하여 75Hz 구동 프레임기간 동안 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 주파수를 빠르게 하고 그 프레임기간의 시작과 동시에 이전 프레임에 충전하였던 데이터전압의 극성과는 반대극성으로 평균전압(ADATA)을 충전시킨 후에, 그 프레임기간의 시작으로부터 75Hz 구동 프레임기간의 1/3 ~ 2/3 정도 경과된 시점에 평균전압의 극성과는 반대극성의 데이터전압(DATA)을 액정셀들에 충전시킨다.

[0056] 도 9는 75Hz 구동 프레임기간 동안 변화되는 게이트 타이밍 제어신호와 데이터전압을 나타내는 파형도이다.

[0057] 도 8 및 도 9를 참조하면, T1 기간 동안 제1 게이트 드라이브 IC(131)는 T1 기간의 시작과 동시에 발생하는 게이트 스타트 펄스(GSP)의 제1 펄스(P1)에 응답하여 동작하기 시작한다. 게이트 쉬프트 클럭(GSC)에서, 펄스는 4 수평기간 동안 1 수평기간 간격으로 발생된 후, 2 수평기간 뒤에 다시 발생된다. 제1 게이트 출력 인에이블 신호(GOE1)에서 펄스는 4 수평기간 동안 1 수평기간 간격으로 발생된 후, 1 수평기간 동안 하이논리를 유지한 다음에 다시 1 수평기간 간격으로 발생된다. 그 결과, 제1 게이트 드라이브 IC(131)는 4 개의 게이트라인들에 순차적으로 게이트펄스를 공급한 후 1 수평기간 동안 출력을 멈춘 다음, 다시 게이트라인들에 게이트펄스를 순차적으로 공급하는 동작을 반복한다. 이러한 제1 게이트 드라이브 IC(131)에 의해 스캐닝되는 제1 블록(BL1)의 액정셀들은 T1 기간 동안 데이터 구동회로(12)로부터의 정극성/부극성 아날로그 비디오 데이터전압(DATA)을 1 라인씩 순차적으로 충전한다. T1 기간 동안, 제2 게이트 드라이브 IC(132)에는 T1 기간의 시작과 동시에 제1 게이트 드라이브 IC(131)로부터 캐리신호를 입력받는다. 제2 게이트 드라이브 IC(132)에 인가되는 게이트 쉬프트 클럭(GSC)은 제1 게이트 드라이브 IC(131)에 인가되는 것과 동일하다. 제2 게이트 드라이브 IC(132)에 인가되는 제2 게이트 출력 인에이블신호(GOE2)에서 펄스는 제1 블록(BL1)에서 4 개의 라인들이 정극성/부극성 아날로그 비디오 데이터전압을 충전하고 있는 4 수평기간 동안 하이논리를 유지한 후, 1 수평기간 동안 로우논리를 반전된 다음 4 수평기간의 펄스폭으로 다시 발생한다. 그 결과, T1 기간 동안, 제2 게이트 드라이브 IC(132) 내에서 4 수평기간 이상의 펄스폭을 가지는 캐리신호가 1 수평기간 간격으로 쉬프트되어 그들 간에 3 수평기간 이상 펄스폭이 중첩된다. 이러한 캐리신호의 중첩으로 인하여 제2 게이트 드라이브 IC(132)로부터 발생하는 게이트펄스들은 제2 게이트 출력 인에이블신호(GOE2)가 로우논리를 유지하는 5의 배수 번째 수평기간 동안 4 개의 게이트라인들에 동시에 공급된다. 따라서, 제2 게이트 드라이브 IC(132)에 의해 스캐닝되는 제2 블록(BL2)의 액정셀들은 4 개 라인씩 데이터 구동회로(12)로부터의 정극성/부극성 평균전압(ADATA)을 동시에 충전한다. 평균전압(ADATA)의 극성은 이전 프레임에 충전하였던 데이터전압(DATA)의 극성과는 반대 극성이다. T1 기간 동안, 제3 게이트 드라이브 IC(133)에는 제2 게이트 드라이브 IC(132)로부터 캐리신호를 입력받지 못한다. 제3 블록(BL3)은 이전 프레임의 T3 기간 동안 충전하였던 비디오 데이터전압(DATA)을 유지한다.

[0058] T2 기간 동안, 제1 게이트 드라이브 IC(131)는 타이밍 컨트롤러(11)로부터 게이트 스타트 펄스(GSP)를 입력받지 못한다. 따라서, T2 기간 동안 제1 게이트 드라이브 IC(131)는 게이트펄스를 발생하지 않으므로 제1 블록(BL1)은 T1 기간에 이미 충전하였던 데이터전압(DATA)을 유지한다. 제2 게이트 드라이브 IC(132)는 T1 기간의 시작과 동시에 제1 게이트 드라이브 IC(131)로부터 캐리신호로 발생된 게이트 스타트 펄스(GSP)의 제1 펄스(P1)를 입력받는다. 따라서, 제2 게이트 드라이브 IC(132)는 4 개의 게이트라인들에 순차적으로 게이트펄스를 공급한 후 1 수평기간 동안 출력을 멈춘 다음, 다시 게이트라인들에 게이트펄스를 순차적으로 공급하는 동작을 반복한다. 제2 게이트 드라이브 IC(132)에 의해 스캐닝되는 제2 블록(BL2)의 액정셀들은 T2 기간 동안 데이터 구동회로(12)로부터의 정극성/부극성 아날로그 비디오 데이터전압(DATA)을 1 라인씩 순차적으로 충전한다. T2 기간 동안 제2 블록(BL2)의 액정셀들에 충전되는 데이터전압(DATA)의 극성은 T1 기간에 충전하였던 평균전압(ADATA)의 극성과는 반대극성이다. T2 기간 동안, 제3 게이트 드라이브 IC(133)에는 T2 기간의 시작과 동시에 제2 게이트 드라이브 IC(132)로부터 캐리신호로써 게이트 스타트 펄스(GSP)의 제2 펄스(P2)를 입력받는다. 그 결과, T2 기간 동안 제3 게이트 드라이브 IC(133)는 게이트 펄스를 4 개의 게이트라인들에 동시에 공급한 후 4 수평기간 뒤에 다른 4 개의 게이트라인들에 게이트펄스를 동시에 공급하는 동작을 반복한다. 따라서, 제3 게이트 드라이브 IC(133)에 의해 스캐닝되는 제3 블록(BL3)의 액정셀들은 T2 기간 동안 4 개 라인씩 데이터 구동회로(12)로부터의 평균전압(ADATA)을 동시에 충전한다. T2 기간 동안 제3 블록(BL3)의 액정셀들에 충전되는 평균전압(ADATA)의 극성은 T1 기간에 유지되었던 데이터전압(DATA)의 극성과는 반대이다.

[0059] T3 기간의 시작과 동시에, 제1 게이트 드라이브 IC(131)에는 타이밍 컨트롤러(11)로부터 게이트 스타트 펄스(GSP)의 제2 펄스(P2)가 입력된다. 그 결과, T3 기간 동안 제1 게이트 드라이브 IC(131)는 게이트 펄스를 4 개의 게이트라인들에 동시에 공급한 후 4 수평기간 뒤에 다른 4 개의 게이트라인들에 게이트펄스를 동시에 공급하는 동작을 반복한다. 따라서, 제3 게이트 드라이브 IC(133)에 의해 스캐닝되는 제1 블록(BL1)의 액정셀들은 T3 기간 동안 4 개 라인씩 데이터 구동회로(12)로부터의 정극성/부극성 평균전압(ADATA)을 동시에 충전한다. T3

기간 동안 제1 블록(BL1)의 액정셀들에 충전되는 평균전압(ADATA)의 극성은 T2 기간에 유지하였던 데이터전압(DATA)의 극성과는 반대이다. T3 기간 동안, 제2 게이트 드라이브 IC(132)는 제1 게이트 드라이브 IC(131)로부터 캐리신호를 전달받지 못한다. 따라서, T3 기간 동안 제2 게이트 드라이브 IC(132)는 게이트펄스를 발생하지 않으므로 제2 블록(BL2)은 T2 기간에 이미 충전하였던 데이터전압(DATA)을 유지한다. 제3 게이트 드라이브 IC(133)는 T3 기간의 시작과 동시에 제1 게이트 드라이브 IC(131)로부터 캐리신호로 발생된 게이트 스타트 펄스(GSP)의 제1 펄스(P1)를 입력받는다. 따라서, 제3 게이트 드라이브 IC(133)는 T3 기간 동안 4 개의 게이트라인들에 순차적으로 게이트펄스를 공급한 후 1 수평기간 동안 출력을 멈춘 다음, 다시 게이트라인들에 게이트펄스를 순차적으로 공급하는 동작을 반복한다. 제3 게이트 드라이브 IC(133)에 의해 스캐닝되는 제3 블록(BL3)의 액정셀들은 T3 기간 동안 데이터 구동회로(12)로부터의 정극성/부극성 아날로그 비디오 데이터전압(DATA)을 1 라인씩 순차적으로 충전한다. T3 기간 동안, 제3 블록(BL3)에 충전되는 데이터전압(DATA)의 극성은 T2 기간에 충전하였던 평균전압의 극성과 반대이다.

- [0060] 도 9에서, 도면 부호 "G1~G4"는 게이트펄스를 나타낸다. 도면 부호 "1H"는 1 수평기간을 의미하며, 이 1 수평기간은 주파수 체배에 의해 타이밍 콘트롤러(11)에 입력되는 데이터 인에이블(DE) 신호의 1 수평기간에 비하여 짧다.
- [0061] 도 10 및 도 11은 본 발명의 제1 실시예에 따른 액정표시장치에서 극성제어신호(POL), 선택신호(SEL), 반전 극성제어신호(POL_INV) 및 반전 주기신호(Tinv)의 파형과 함께 반전 극성제어신호(POL_INV)에 의해 제어되는 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)과 정극성/부극성 평균전압(+A, -A)의 파형을 나타낸다. 도 10 및 도 11에 도시된 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)과 정극성/부극성 평균전압(+A, -A)은 동일한 액정셀에 충전되는 전압이다.
- [0062] 도 10을 참조하면, 반전 주기신호(Tinv)는 i (i 는 2 이상의 정수) sec 주기로 발생하는 펄스를 포함한다. 반전 주기신호(Tinv)의 펄스 각각은 75Hz 구동 프레임기간에서 표시하고자하는 데이터전압(DATA)과 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 1 프레임기간 내에서 액정셀에 충전될 데이터전압(DATA)의 극성을 어느 한 극성으로 제어하며, 매 프레임기간마다 위상이 반전된다.
- [0063] 반전 주기신호(Tinv)의 펄스가 입력되면, 타이밍 콘트롤러(11)는 액정표시패널(10)의 액정셀들을 75Hz로 구동시키기 위하여 입력 타이밍 신호의 주파수를 체배하여 데이터 구동회로(12)와 게이트 구동회로(13)를 75Hz 프레임 주파수로 구동시킨다. 이와 동시에, 타이밍 콘트롤러(11)는 반전 주기신호(Tinv)의 펄스가 입력될 때 그 75Hz 구동 프레임기간의 시작과 동시에 극성 반전제어신호(POL_INV)를 반전시킨 후, 그 프레임기간 내에서 다시 반전시킨다.
- [0064] 액정셀들 각각은 60Hz 구동 프레임기간에 어느 한 극성의 데이터전압(DATA)만을 충전한다. 그리고 액정셀들 각각은 75Hz 구동 프레임기간 동안 그 프레임기간의 시작과 동시에 이전 프레임기간에 충전하였던 데이터전압(DATA)의 반대극성으로 이전 프레임 또는 현재 프레임 데이터의 평균전압을 충전한 후, 그 프레임의 1/3~2/3 경과시점에서 평균전압의 반대극성으로 표시하고자 하는 데이터전압(ADATA)을 충전한다. 배타적 논리합 게이트(XOR)는 반전 주기신호(Tinv)의 펄스가 입력될 때마다 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 액정셀들의 액정분자와 이온들은 반전 주기신호(Tinv)의 주기 단위로 나타나는 75Hz 구동 프레임기간 동안 반대 방향으로 회동을 반복하면서 분극화되지 않는다.
- [0065] 도 11을 참조하면, 반전 주기신호(Tinv)는 $2i$ sec 주기로 발생되고 펄스폭이 i sec인 펄스를 포함한다. 반전 주기신호(Tinv)에서 펄스의 라이징 에지는 75Hz 구동 프레임기간에서 평균전압(ADATA)에 이어서 액정셀에 충전될 데이터전압(DATA)에 동기되며, 그 펄스의 폴링 에지는 라이징에지로부터 i sec 경과된 시점의 75Hz 구동 프레임기간의 데이터전압(DATA)에 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다. 이 극성제어신호(POL)는 1 프레임기간 내에서 액정셀에 충전될 데이터전압(DATA)의 극성을 어느 한 극성으로 제어하며, 매 프레임기간마다 위상이 반전된다.
- [0066] 액정셀들은 60Hz 구동 프레임이 다수 포함된 i sec 내에서 각 프레임기간 동안 어느 한 극성의 데이터전압만을 충전한다. 그리고 액정셀들은 반전 주기신호(Tinv)에 의해 정해지며 다수의 60Hz 구동 프레임기간들을 사이에 두고 분리된 75Hz 구동 프레임기간 각각에서 이전 프레임에 충전하였던 데이터전압의 반대극성으로 평균전압(ADATA)을 충전한 후 그 평균전압의 반대극성으로 표시하고자 하는 데이터전압(DATA)을 충전한다. 특히, M (M 은 양의 정수)+1 번째 75Hz 구동 프레임기간 동안 액정셀이 충전하는 평균전압 및 데이터전압의 극성은 그에 앞선 M 번째 75Hz 구동 프레임기간 동안 그 액정셀이 충전하였던 평균전압 및 데이터전압의 극성과 반대로 제어된다.

따라서, 액정셀들의 액정분자와 이온들은 반전 주기신호(Tinv)의 주기 단위로 나타나는 75Hz 구동 프레임기간 동안 반대 방향으로 회동을 반복하면서 분극화되지 않는다.

[0067] 결과적으로, 본 발명의 제1 실시예에 따른 액정표시장치와 그 구동방법은 75Hz~120Hz 프레임기간 동안 액정셀들이 교류 구동하고 액정층 내의 이온들이 2 회 반대방향으로 거동함으로써 액정셀들의 직류화 구동을 억제함과 아울러 이온들의 분극 및 축적을 억제하여 표시화상에서 얼룩의 발현을 방지한다.

[0068] 도 12는 본 발명의 제2 실시예에 따른 액정표시장치를 나타낸다.

[0069] 도 12를 참조하면, 본 발명의 제2 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 콘트롤러(121), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다. 액정표시패널(10), 데이터 구동회로(12) 및 게이트 구동회로(13)는 전술한 제1 실시예와 실질적으로 동일하므로 동일한 도면부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.

[0070] 타이밍 콘트롤러(121)는 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이 제어신호들은 일정 시간 동안 60Hz의 입력 프레임 주파수 기준으로 발생되고 소정 시간 주기로 75Hz ~120Hz의 프레임 주파수 기준으로 발생된다. 제어신호들은 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 포함한다. 또한, 타이밍 콘트롤러(121)는 소정 시간 주기로 외부 시스템 보드로부터 입력되는 디지털 비디오 데이터(DATA)의 전송 주파수를 75Hz~120Hz의 프레임 주파수에 맞게 체배하여 데이터 구동회로(12)에 전송한다. 이러한 타이밍 콘트롤러(121)의 회로 구성은 도 13과 같다.

[0071] 타이밍 콘트롤러(121)는 60Hz 구동 프레임기간 동안 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSP), 게이트 출력 인에이블신호(GOE1, GOE2, GOE3) 등을 포함한 게이트 타이밍 제어신호를 전하면 순차 구동에 적합하도록 일반적인 형태로 발생한다. 그리고 타이밍 콘트롤러(121)는 75Hz~120Hz 구동 프레임기간 동안 게이트 타이밍 제어신호와 데이터 타이밍 신호를 변조한다.

[0072] 이러한 타이밍 콘트롤러(121)는 주기 데이터(Dt)에 응답하여 내부 극성 제어신호를 주기적으로 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 주기 데이터(Dt)는 외부 시스템보드나 유저 인터페이스를 통해 타이밍 콘트롤러(121)에 입력되거나 타이밍 콘트롤러(121) 내의 레지스터에 저장된다.

[0073] 데이터 구동회로(12)는 도 4 및 도 5와 같은 회로 구성을 갖는다. 이 데이터 구동회로(12)는 75Hz 구동 프레임기간 동안 변조된 데이터 타이밍 제어신호에 응답하여 이전 프레임과는 반대극성으로 데이터전압을 출력한 후, 이전 프레임과 동일 극성의 데이터전압을 출력하는 동작을 반복한다. 또한, 데이터 구동회로(12)는 60Hz 구동 프레임기간 동안 이전 프레임과는 반대극성의 데이터전압만을 출력한다.

[0074] 게이트 구동회로(13)의 게이트 드라이브 IC들(131 내지 133) 각각은 도 6과 같은 회로 구성을 갖는다. 게이트 구동회로(13)의 게이트 드라이브 IC들(131 내지 133)은 변조된 게이트 타이밍 제어신호에 응답하여 75Hz 구동 프레임기간 동안 어느 한 블록에서 이전 프레임과는 반대극성의 데이터전압이 1 라인씩 순차적으로 충전되도록 게이트펄스를 그 블록의 게이트라인들에 순차적으로 공급한 후, 다른 블록에서 이전 프레임과 동일한 극성의 데이터전압이 1 라인씩 순차적으로 충전되도록 게이트펄스를 그 블록의 게이트라인들에 순차적으로 공급한다.

[0075] 도 13은 타이밍 콘트롤러(121)를 상세히 나타낸다.

[0076] 도 13을 참조하면, 타이밍 콘트롤러(121)는 프레임 카운터(21), 선택신호 발생부(22), 입력 타이밍 신호 체배회로(23), 제1 선택기(24), 메모리 콘트롤러(125), 메모리(126), 타이밍 제어신호 발생회로(129), 극성제어신호 제어회로(20), 및 제3 선택기(30)를 구비한다. 프레임 카운터(21), 선택신호 발생부(22), 입력 타이밍 신호 체배회로(23), 제1 선택기(24), 극성제어신호 제어회로(20), 및 제3 선택기(30)는 전술한 제1 실시예와 실질적으로 동일하므로 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.

[0077] 메모리 콘트롤러(125)는 선택신호(SEL)의 제1 논리에 응답하여 60Hz 프레임 주파수 기준의 데이터 인에이블신호(DE)에 맞추어 리드 어드레스 신호와 라이트 어드레스 신호를 발생하여 디지털 비디오 데이터가 저장되는 메모리(126)를 제어한다. 또한, 메모리 콘트롤러(125)는 선택신호(SEL)의 제2 논리에 응답하여 체배된 데이터 인에이블신호(DE)의 입력 주파수에 맞추어 리드 어드레스 신호와 라이트 어드레스 신호를 발생하여 75Hz~120Hz 구동 프레임기간 동안 메모리(126)의 쓰기/읽기 동작을 60Hz 프레임기간보다 빠르게 제어한다.

[0078] 메모리(126)는 메모리 콘트롤러(125)의 제어 하에 60Hz 구동 프레임기간 동안 현재 프레임기간에 표시될 디지털 비디오 데이터(DATA)를 출력한다. 그리고 메모리(126)는 메모리 콘트롤러(125)의 제어하에 75Hz~120Hz 구동 프

레이미기간 동안 이전 프레임의 디지털 비디오 데이터를 출력한 후, 현재 프레임의 디지털 비디오 데이터를 출력하거나 현재 프레임의 디지털 비디오 데이터를 2회 연속으로 출력한다.

[0079] 타이밍 제어신호 발생회로(129)는 입력 데이터 인에이블신호(DE)를 기준으로 하여 60Hz 구동을 위한 게이트/데이터 타이밍 제어신호(NIC)를 발생한다. 또한, 타이밍 제어신호 발생회로(129)는 체배된 데이터 인에이블신호($\times$ DE)를 기준으로 하여 75Hz~120Hz 구동을 위한 게이트/데이터 타이밍 제어신호($\times$ IC)를 발생한다. 또한, 타이밍 제어신호 발생회로(129)는 반전 주기신호(Tinv)에 따라 내부 극성제어신호(POL)를 도 3과 같은 회로를 이용하여 75Hz~120Hz 구동 프레임기간 내에서 1회 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 극성제어신호(POL)는 종래 기술에서 데이터 구동회로에 입력되어 데이터 구동회로로부터 출력되는 데이터전압의 극성을 제어하기 위한 극성제어신호와 실질적으로 동일하다.

[0080] 도 14 및 도 15는 본 발명의 제2 실시예에 따른 액정표시장치에서 극성제어신호(POL), 선택신호(SEL), 반전 극성제어신호(POL_INV) 및 반전 주기신호(Tinv)의 파형과 함께 반전 극성제어신호(POL_INV)에 의해 제어되는 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)의 파형을 나타낸다. 도 14 및 도 15에 도시된 정극성/부극성 아날로그 비디오 데이터전압(+D, -D)은 동일한 액정셀에 충전되는 전압이다.

[0081] 도 14를 참조하면, 반전 주기신호(Tinv)는 i sec 주기로 발생하는 펄스를 포함한다. 반전 주기신호(Tinv)의 펄스 각각은 80Hz~120Hz 구동 프레임기간에서 표시하고자하는 현재 표시하고자 하는 데이터전압(DATA)과 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다.

[0082] 반전 주기신호(Tinv)의 펄스가 입력되면, 타이밍 콘트롤러(121)는 액정표시패널(10)의 액정셀들을 80Hz~120Hz로 구동시키기 위하여 입력 타이밍 신호의 주파수를 체배하여 데이터 구동회로(12)와 게이트 구동회로(13)를 80Hz~120Hz 프레임 주파수로 구동시킨다. 이와 동시에, 타이밍 콘트롤러(121)는 반전 주기신호(Tinv)의 펄스가 입력될 때 그 80Hz~120Hz 구동 프레임기간의 시작과 동시에 극성 반전제어신호(POL_INV)를 반전시킨 후, 그 프레임기간 내에서 다시 반전시킨다.

[0083] 액정셀들 각각은 60Hz 구동 프레임기간에 어느 한 극성의 데이터전압(DATA)만을 충전한다. 그리고 액정셀들 각각은 80Hz~120Hz 구동 프레임기간 동안 그 프레임기간의 시작과 동시에 이전 프레임기간에 충전하였던 데이터전압(DATA)의 반대극성으로 이전 프레임 또는 현재 프레임의 데이터전압을 충전한 후, 그 프레임의 1/3~2/3 경과 시점에서 이전 프레임에 충전하였던 데이터전압(DATA)과 동일 극성이고 직전에 충전하였던 데이터전압(DATA)과는 반대극성의 데이터전압(ADATA)을 충전한다. 배타적 논리합 게이트(XOR)는 반전 주기신호(Tinv)의 펄스가 입력될 때마다 극성제어신호(POL)를 반전시켜 반전 극성제어신호(POL_INV)를 발생한다. 따라서, 액정셀들의 액정 분자와 이온들은 반전 주기신호(Tinv)의 주기 단위로 나타나는 75Hz 구동 프레임기간 동안 반대 방향으로 회동을 반복하면서 분극화되지 않는다.

[0084] 도 15를 참조하면, 반전 주기신호(Tinv)는 $2i$ sec 주기로 발생되고 펄스폭이 i sec인 펄스를 포함한다. 반전 주기신호(Tinv)에서 펄스의 라이징 에지는 80Hz ~120Hz 구동 프레임기간에서 이전 프레임과는 반대 극성으로 발생하는 데이터전압에 이어서 이전 프레임과 동일한 극성으로 발생하는 데이터전압(DATA)에 동기되며, 그 펄스의 폴링 에지는 라이징에지로부터 i sec 경과된 시점의 80Hz~120Hz 구동 프레임기간의 데이터전압(DATA)에 동기된다. 극성제어신호(POL)는 종래의 극성제어신호와 실질적으로 동일한 형태로 발생된다.

[0085] 액정셀들은 60Hz 구동 프레임이 다수 포함된 i sec 내에서 각 프레임기간 동안 어느 한 극성의 데이터전압만을 충전한다. 그리고 액정셀들은 반전 주기신호(Tinv)에 의해 정해지며 다수의 60Hz 구동 프레임기간들을 사이에 두고 분리된 80Hz~120Hz 구동 프레임기간 각각에서 이전 프레임에 충전하였던 데이터전압의 반대극성으로 이전 프레임 또는 현재 프레임의 데이터전압(DATA)을 충전한 후 이전 프레임과 동일한 극성으로 표시하고자 하는 데이터전압(DATA)을 충전한다. 특히, $M+1$ 번째 80Hz~120Hz 구동 프레임기간 동안 액정셀이 연속으로 충전하는 데이터전압들은 극성은 그에 앞선 M 번째 80Hz~120Hz 구동 프레임기간 동안 그 액정셀이 연속으로 충전하였던 데이터전압들의 극성과 반대로 제어된다. 따라서, 액정셀들의 액정분자와 이온들은 반전 주기신호(Tinv)의 주기 단위로 나타나는 80Hz~120Hz 구동 프레임기간 동안 반대 방향으로 회동을 반복하면서 분극화되지 않는다.

[0086] 결과적으로, 본 발명의 제2 실시예에 따른 액정표시장치와 그 구동방법은 75Hz~120Hz 프레임기간 동안 액정셀들이 교류 구동하고 액정층 내의 이온들이 2 회 반대방향으로 거동함으로써 액정셀들의 직류화 구동을 억제함과 아울러 이온들의 분극 및 축적을 억제하여 표시화상에서 얼룩의 발현을 방지한다.

[0087] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정

되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- [0088] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 블록도.

[0089] 도 2는 도 1에 도시된 타이밍 컨트롤러를 상세히 나타내는 블록도.

[0090] 도 3은 도 2에 도시된 타이밍 제어신호 발생회로의 반전 극성제어신호 발생부분을 나타내는 회로도.

[0091] 도 4는 도 1에 도시된 데이터 구동회로의 IC를 상세히 나타내는 블록도.

[0092] 도 5는 도 4에 도시된 디지털-아날로그 변환기를 상세히 나타내는 회로도.

[0093] 도 6은 도 1에 도시된 게이트 드라이브 IC를 상세히 나타내는 회로도.

[0094] 도 7 내지 9는 본 발명의 제1 실시예에 따른 액정표시장치의 동작을 설명하기 위한 도면들이다.

[0095] 도 10 및 도 11은 본 발명의 제1 실시예에 따른 액정표시장치에 적용되는 극성제어신호, 선택신호, 반전 극성제어신호 및 반전 주기신호의 파형과 함께 정극성/부극성 아날로그 비디오 데이터전압과 정극성/부극성 평균전압을 보여 주는 파형도들.

[0096] 도 12는 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 블록도.

[0097] 도 13은 도 12에 도시된 타이밍 컨트롤러를 상세히 나타내는 블록도.

[0098] 도 14 및 도 15는 본 발명의 제2 실시예에 따른 액정표시장치에 적용되는 극성제어신호, 선택신호, 반전 극성제어신호 및 반전 주기신호의 파형과 함께 정극성/부극성 아날로그 비디오 데이터전압을 보여 주는 파형도들.

[0099] <도면의 주요 부분에 대한 부호의 설명>

[0100] 11, 121 : 타이밍 컨트롤러 12 : 데이터 구동회로

[0101] 13 : 게이트 구동회로 20 : 극성제어신호 제어회로

[0102] 21 : 프레임 카운터 22 : 선택신호 발생부

[0103] 23 : 입력 타이밍 신호 체배회로 24, 28, 30 : 선택기

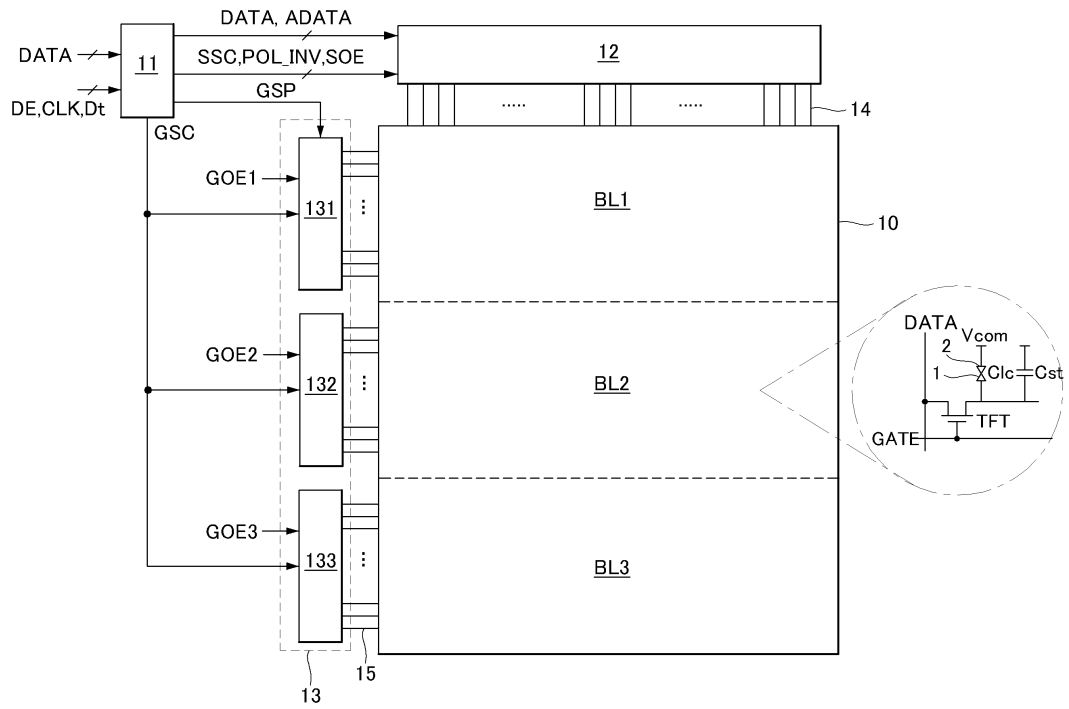
[0104] 25, 125 : 메모리 컨트롤러 26, 126 : 메모리

[0105] 27 : 평균 데이터 발생부 29, 129 : 타이밍 제어신호 발생회로

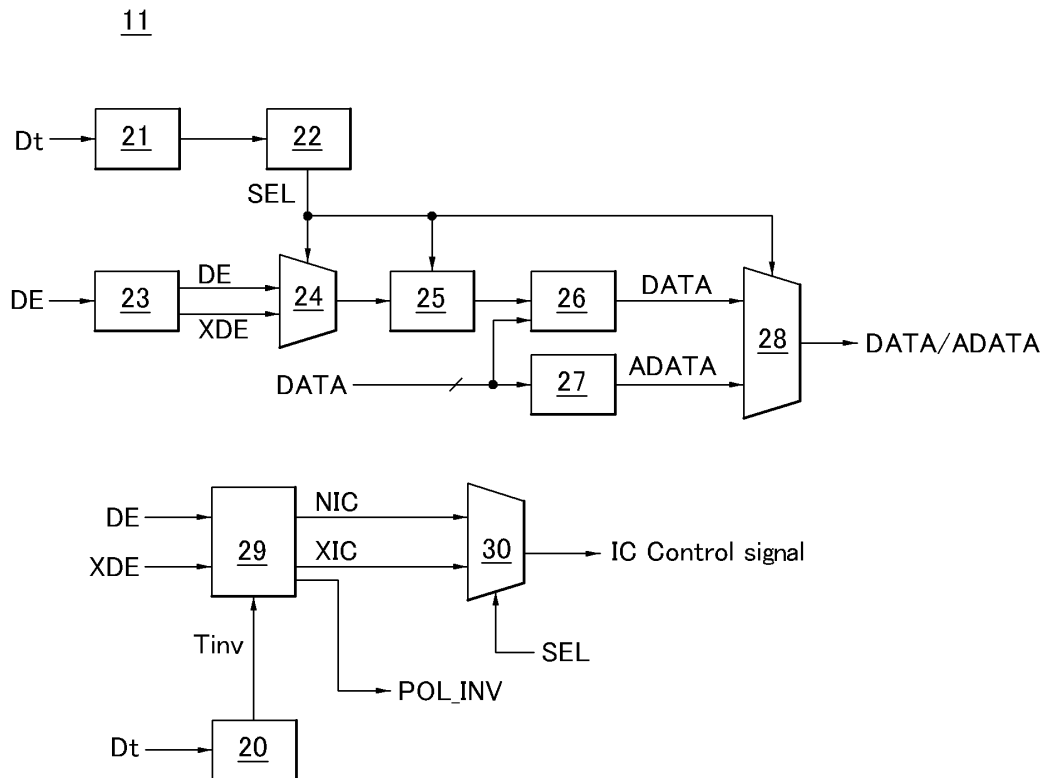
[0106] XOR : 배타적 논리합 게이트

도면

도면1



도면2

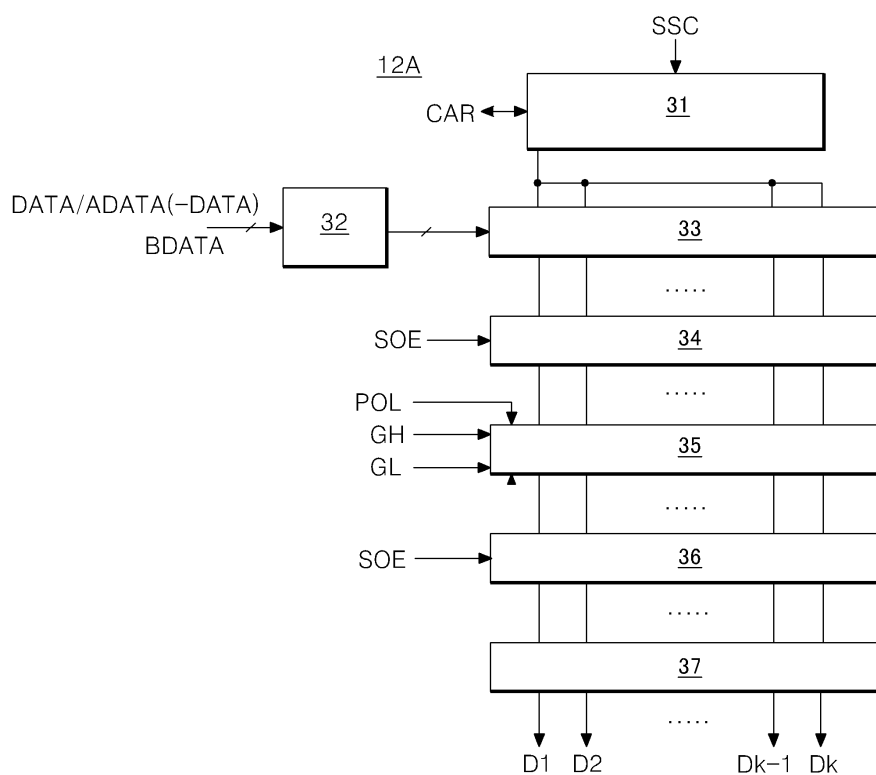


도면3

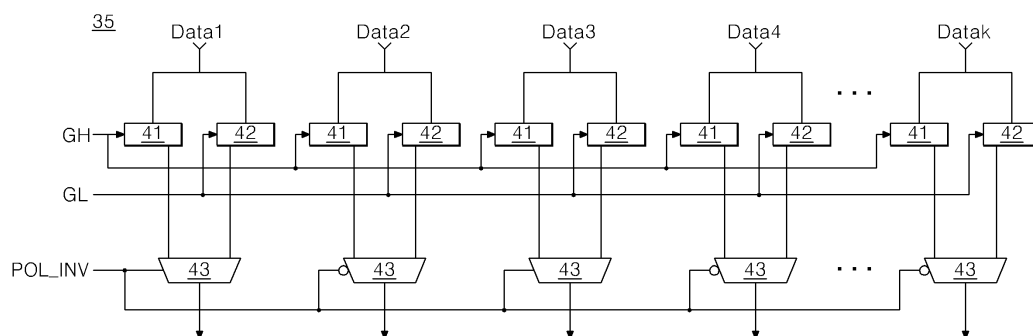
29



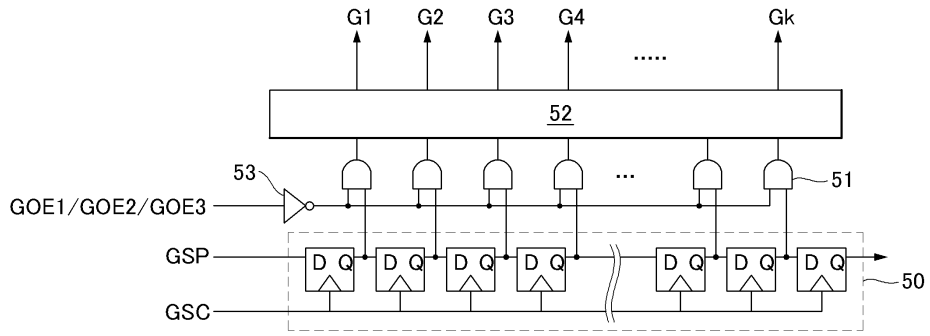
도면4



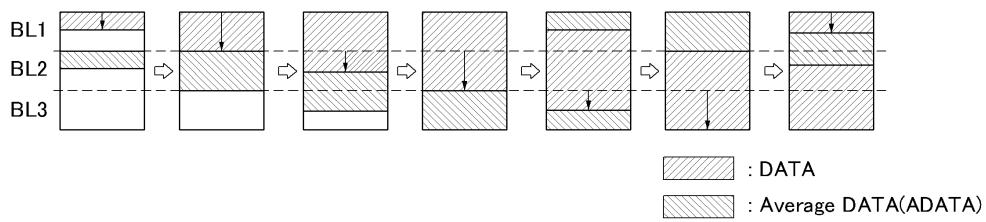
도면5



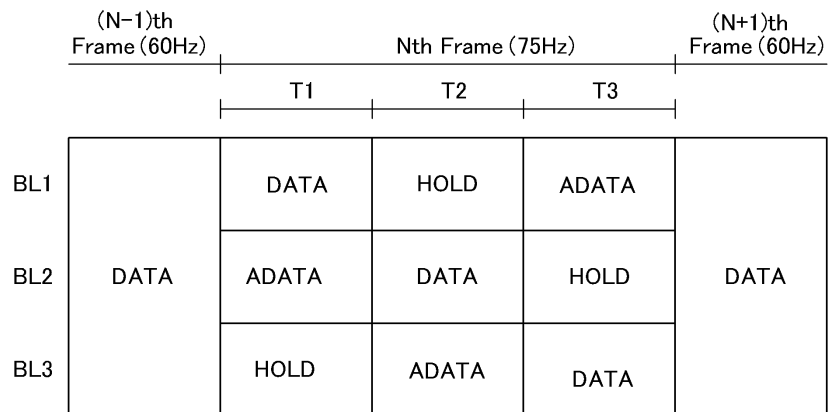
도면6



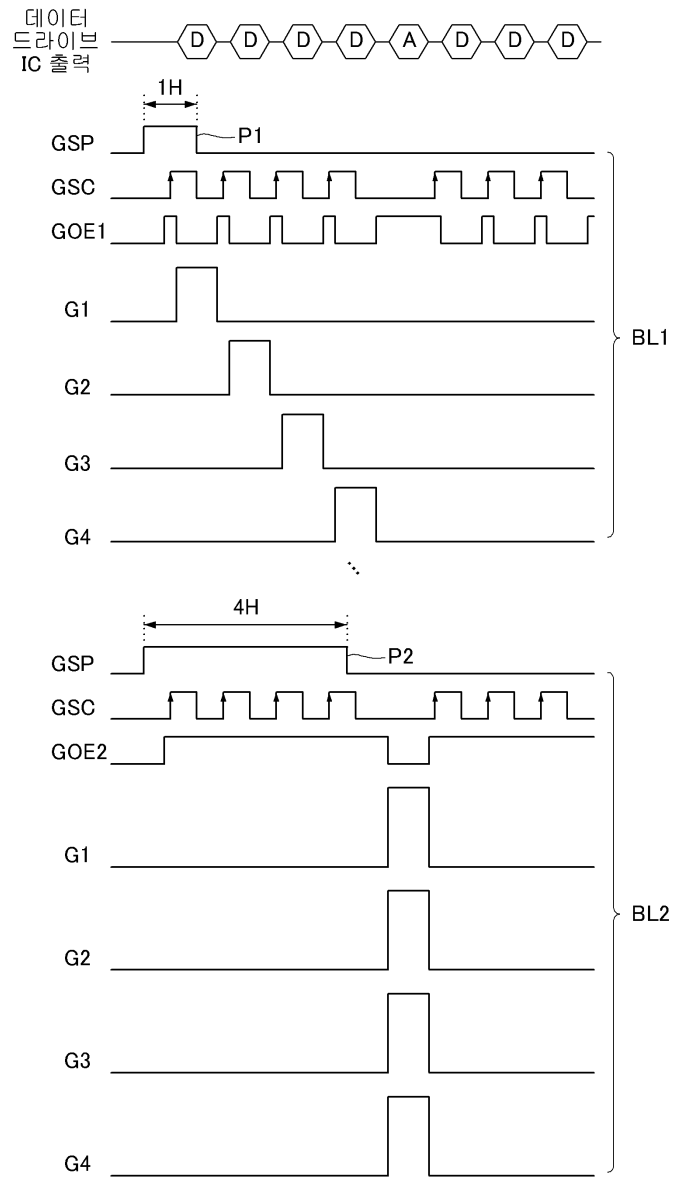
도면7



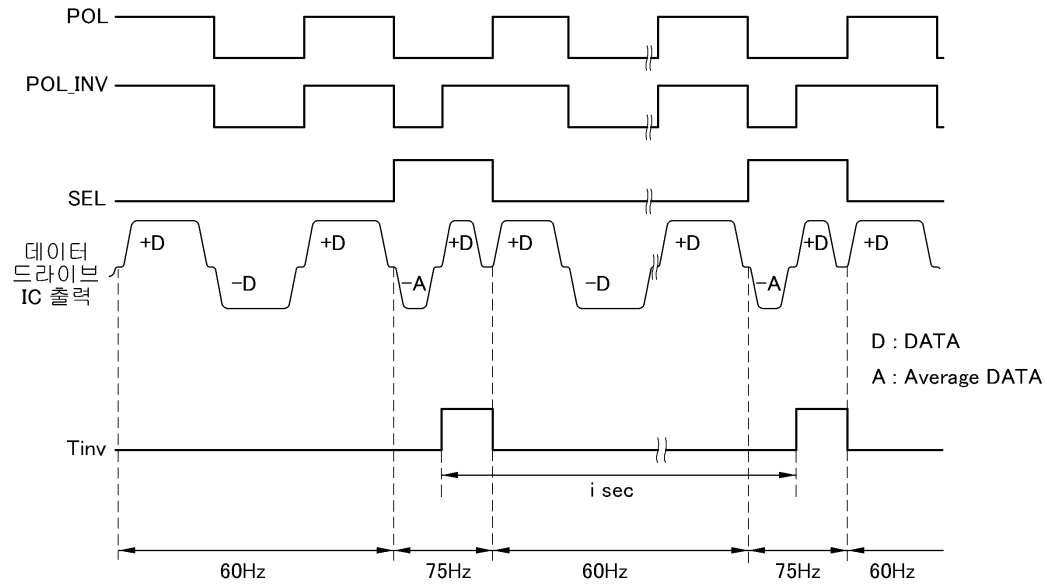
도면8



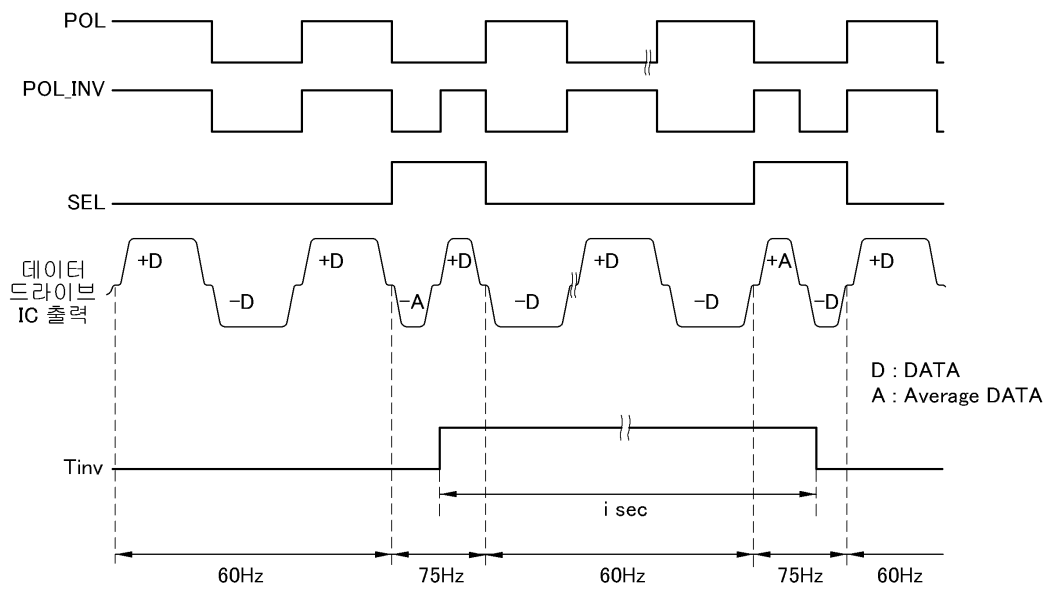
도면9



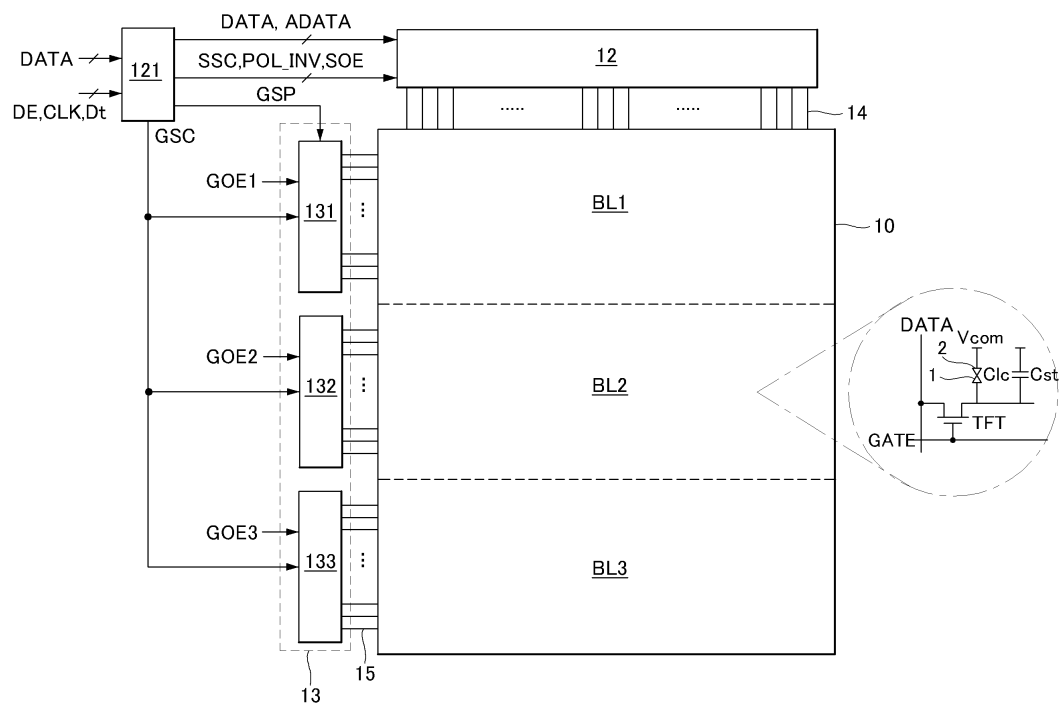
도면10



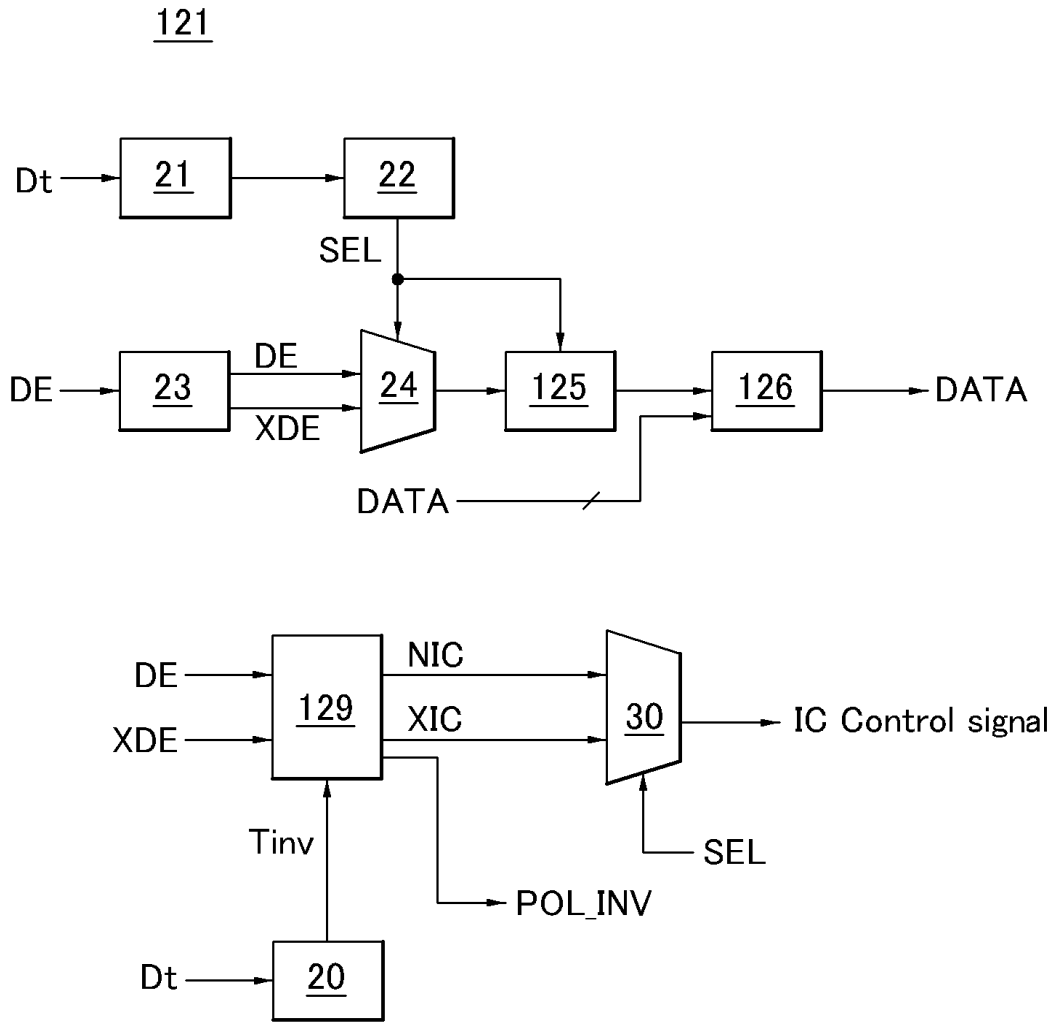
도면11



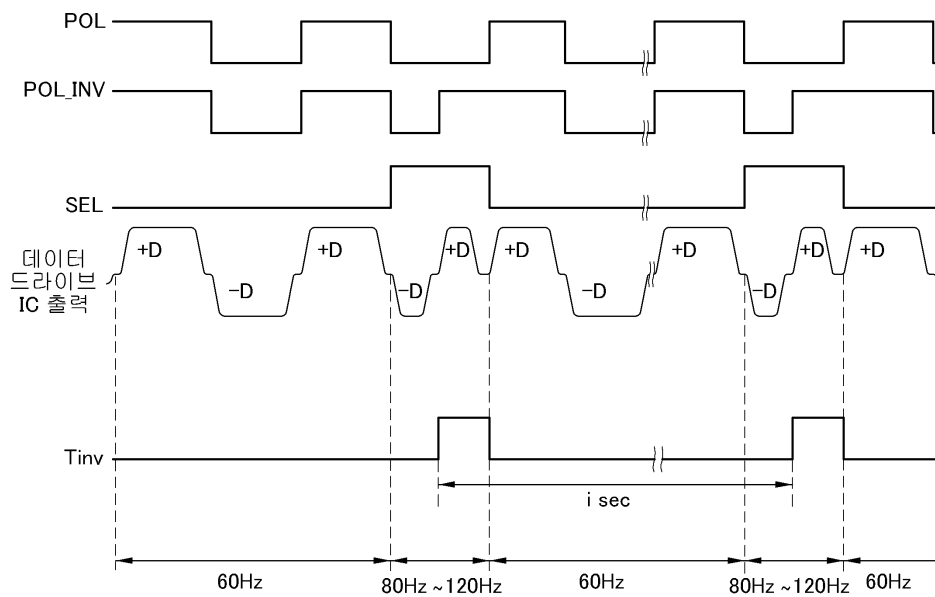
도면12



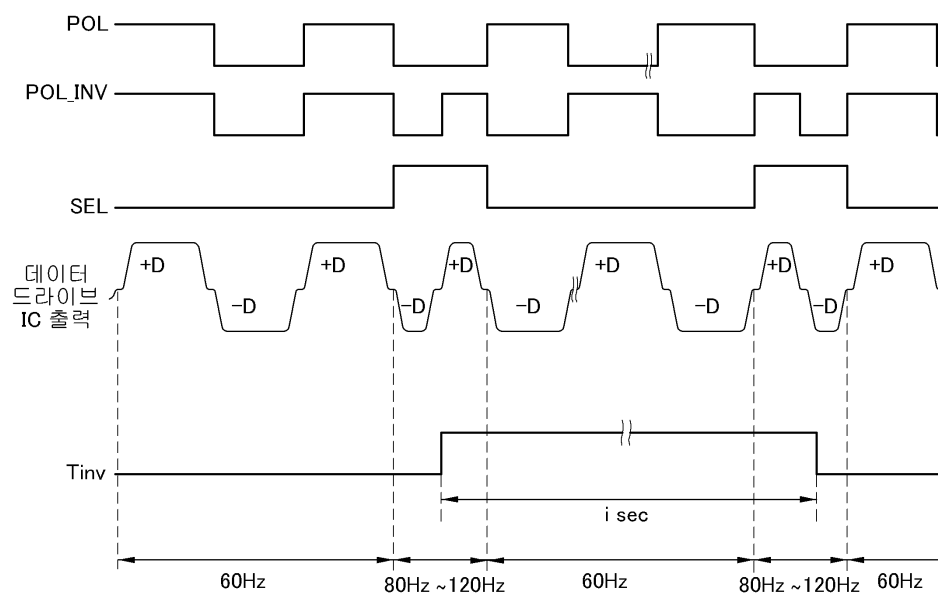
도면13



도면14



도면15



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101303533B1	公开(公告)日	2013-09-03
申请号	KR1020080039877	申请日	2008-04-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 SON YONG GI 손용기 JANG SU HYUK 장수혁 SONG HONG SUNG 송홍성		
发明人	민웅기 손용기 장수혁 송홍성		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3685 G09G3/3614 G09G3/3648 G09G2310/0205 G09G2310/027 G09G2310/0289 G09G2320/0204		
其他公开文献	KR1020090114095A		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其驱动方法技术领域本发明涉及液晶显示装置及其驱动方法，更具体地，涉及包括液晶单元的液晶显示装置，其中多条数据线和多条栅极线交叉并以矩阵形式排列；一种定时信号体延迟电路，用于产生第一定时信号和第二定时信号，其频率高于第一定时信号；一种帧计数器，用于检测由第二定时信号驱动的双倍速帧；数字一种数据处理电路，用于输出数据并控制在双倍速度帧期间输出的数字数据的频率高于双倍速度帧以外的周期；定时控制信号产生电路，用于产生用于控制数字数据极性的极性控制信号；极性控制信号反相电路，用于在双倍速度帧周期期间增加极性控制信号的频率，以产生反向极性控制信号；一种数据驱动电路，用于将每个数字数据转换为数据电压并响应于反相极性控制信号控制数据电压的极性，以及栅极驱动电路，用于向栅极线提供栅极脉冲。反极性控制信号在除双倍速度帧之外的时段内被反转为第一频率，并且在双倍速度帧期间，它在频率反转。

