



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월11일
(11) 등록번호 10-1151609
(24) 등록일자 2012년05월24일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2010-0070891
(22) 출원일자 2010년07월22일
심사청구일자 2010년07월22일
(65) 공개번호 10-2012-0009881
(43) 공개일자 2012년02월02일
(56) 선행기술조사문헌
KR1020030058408 A
KR100630596 B1
JP2001281635 A

(73) 특허권자
주식회사 넥스아이솔루션
충청북도 청원군 옥산면 과학산업1로 82-7
(72) 발명자
이상록
서울특별시 광진구 자양로 55, 자양아파트 2동 401호 (자양동)
(74) 대리인
남승희

전체 청구항 수 : 총 19 항

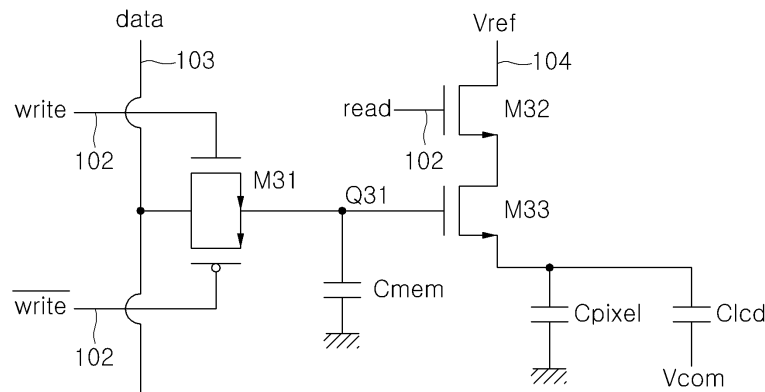
심사관 : 이동윤

(54) 발명의 명칭 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치

(57) 요약

본 발명은 제 1 제어 신호에 따라 데이터 신호를 전달하는 제 1 스위칭 수단과, 데이터 신호를 충전하는 제 1 충전 수단과, 제 2 제어 신호에 따라 참조 전압을 공급하는 제 2 스위칭 수단과, 제 1 충전 수단의 충전량에 따라 참조 전압을 전달하는 제 3 스위칭 수단과, 참조 전압에 따라 방전 또는 충전하는 제 2 충전 수단을 포함하고, 참조 전압은 제 2 충전 수단을 방전하는 방전 전압과 제 2 충전 수단을 충전하는 충전 전압으로 공급되는 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치를 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

제 1 동작 신호에 따라 영상 데이터를 전달하는 제 1 스위칭 수단;

상기 영상 데이터를 충전하는 제 1 충전 수단;

제 2 동작 신호에 따라 참조 전압을 공급하는 제 2 스위칭 수단;

상기 제 1 충전 수단의 충전량에 따라 상기 참조 전압을 조절하여 전달하는 제 3 스위칭 수단; 및

상기 참조 전압에 따라 방전 또는 충전하는 제 2 충전 수단을 포함하고,

상기 참조 전압은 상기 제 2 충전 수단을 방전하는 방전 전압과 상기 제 2 충전 수단을 충전하는 충전 전압으로 공급되는 프레임 버퍼 픽셀 회로.

청구항 2

제 1 항에 있어서, 상기 제 1 스위칭 수단은 N형 트랜지스터, P형 트랜지스터 및 전달 트랜지스터를 포함하는 프레임 버퍼 픽셀 회로.

청구항 3

제 1 항에 있어서, 상기 제 1 충전 수단은 기판 상에 형성된 메모리 캐패시터이고, 상기 제 2 충전 수단은 상기 메모리 캐패시터와 연결된 픽셀 캐패시터를 포함하는 프레임 버퍼 픽셀 회로.

청구항 4

제 3 항에 있어서, 상기 메모리 캐패시터 및 픽셀 캐패시터는 각각 확산층과 도전층 사이에 절연층의 마련되어 구현되거나, 트렌치 내에 도전 물질과 절연 물질이 적층되어 구현되거나, 도전층과 도전층 사이에 절연층이 마련되어 구현되는 프레임 버퍼 픽셀 회로.

청구항 5

제 4 항에 있어서, 상기 도전층은 폴리실리콘 및 금속을 포함하는 프레임 버퍼 픽셀 회로.

청구항 6

제 3 항에 있어서, 상기 픽셀 캐패시터 및 메모리 캐패시터의 적어도 어느 하나에 부트스트랩 전압을 더 공급하는 프레임 버퍼 픽셀 회로.

청구항 7

제 1 항에 있어서, 상기 제 2 및 제 3 스위칭 수단은 N형 트랜지스터 및 P형 트랜지스터를 포함하는 프레임 버퍼 픽셀 회로.

청구항 8

제 7 항에 있어서, 상기 제 3 스위칭 수단은 상기 제 2 충전 수단의 방전 전류가 항상 흐르도록 게이트-소오스 전압이 문턱 전압보다 높게 설정된 프레임 버퍼 픽셀 회로.

청구항 9

제 1 항에 있어서, 상기 제 1 동작 신호는 쓰기 신호이고, 상기 제 2 동작 신호는 읽기 신호인 프레임 버퍼 픽셀 회로.

청구항 10

제 9 항에 있어서, 상기 제 2 스위칭 수단은 상기 제 2 동작 신호가 인에이블되고 제 1 시간 동안 상기 방전 전압을 공급하고, 상기 제 1 시간 후 제 2 시간 동안 상기 충전 전압을 공급하는 프레임 버퍼 픽셀 회로.

청구항 11

제 1 동작 신호에 따라 현재 영상의 데이터를 충전하는 단계;

제 2 동작 신호의 제 1 시간 동안 방전 전압을 공급하여 이전 영상의 데이터를 방전하는 단계; 및

상기 제 1 시간 후 상기 제 2 동작 신호의 제 2 시간 동안 충전 전압을 공급하는 단계를 포함하고,

상기 현재 영상의 데이터에 따라 상기 충전 전압의 공급량을 조절하여 상기 현재 영상의 데이터를 충전하는 프레임 버퍼 픽셀 회로의 구동 방법.

청구항 12

제 11 항에 있어서, 상기 제 1 동작 신호가 디스에이블된 후 상기 제 2 동작 신호가 인에이블되는 프레임 버퍼 픽셀 회로의 구동 방법.

청구항 13

제 12 항에 있어서, 다음 영상 데이터가 인가되어 상기 제 2 동작 신호가 인가되기 이전 또는 이후에 부트스트랩 전압을 공급하는 단계를 더 포함하는 프레임 버퍼 픽셀 회로의 구동 방법.

청구항 14

복수의 픽셀이 매트릭스 배열된 표시부와, 상기 픽셀을 선택하기 위한 제 1 및 제 2 동작 신호를 공급하는 로우 드라이버, 및 선택된 상기 픽셀에 영상 데이터를 공급하기 위한 컬럼 드라이버를 포함하는 표시 패널;

상기 표시 패널을 구동하기 위한 상기 동작 신호 및 상기 영상 데이터를 공급하기 위한 표시 제어부; 및

방전 전압 및 충전 전압을 생성하는 전압 생성부를 포함하고,

상기 픽셀은 상기 영상 데이터를 충전하는 제 1 충전 수단과, 상기 제 1 충전 수단에 충전된 상기 영상 데이터에 따라 조절되는 상기 충전 전압에 따라 충전하는 제 2 충전 수단을 포함하는 프레임 버퍼 픽셀 회로를 포함하며,

상기 제 2 충전 수단은 현재 영상의 데이터가 인가되기 이전에 상기 방전 전압을 인가받아 이전 영상의 데이터를 방전하고, 상기 충전 전압을 인가받아 상기 현재 영상의 데이터를 충전하는 표시 장치.

청구항 15

제 14 항에 있어서, 상기 프레임 버퍼 픽셀 회로는

상기 제 1 동작 신호에 따라 상기 영상 데이터를 상기 제 1 충전 수단에 전달하는 제 1 스위칭 수단;

상기 제 2 동작 신호에 따라 상기 방전 전압 또는 충전 전압을 상기 제 2 충전 수단에 공급하는 제 2 스위칭 수단; 및

상기 제 1 충전 수단의 충전량에 따라 상기 충전 전압을 상기 제 2 충전 수단에 조절하여 전달하는 제 3 스위칭 수단을 더 포함하는 표시 장치.

청구항 16

제 15 항에 있어서, 상기 제 3 스위칭 수단은 게이트-소오스 전압이 문턱 전압보다 높게 설정된 N형 트랜지스터 및 P형 트랜지스터를 포함하는 표시 장치.

청구항 17

제 16 항에 있어서, 상기 제 3 스위칭 수단은 상기 제 1 충전 수단에 충전된 전하량에 관계없이 상기 제 2 충전 수단에 상기 방전 전압을 공급하여 상기 제 2 충전 수단이 이전 영상의 데이터를 방전하도록 하는 표시 장치.

청구항 18

제 14 항에 있어서, 상기 제 1 및 제 2 충전 수단의 적어도 어느 하나에 부트스트랩 전압을 공급하기 위한 부트스트랩 전압 생성부를 더 포함하는 표시 장치.

청구항 19

제 18 항에 있어서, 상기 표시부와 상기 부트스트랩 전압 생성부 사이에 상기 부트스트랩 전압을 상기 픽셀에서 다르게 인가하기 위한 부트스트랩 전압 분배부를 더 포함하는 표시 장치.

명세서

기술 분야

[0001] 본 발명은 프레임 버퍼 픽셀 회로에 관한 것으로, 특히 표시 장치의 픽셀 사이즈를 더욱 줄일 수 있는 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 액정 표시 장치는 소형 표시 장치로부터 OA(Office Automation) 기기 등의 표시 단말기용으로 널리 보급되어 있다. 또한, 액정 표시 장치 중에서 픽셀 전극이 형성된 기판 상에 픽셀 전극을 구동하는 구동 회로도 함께 형성하는 구동 회로 일체형 액정 표시 장치가 알려져 있다. 게다가, 구동 회로 일체형 액정 표시 장치에서 픽셀 전극 및 구동 회로를 절연 기판이 아니라 반도체 기판 상에 형성한 LCOS(Liquid Crystal on Silicon)가 알려져 있다.

[0003] 이러한 표시 장치는 적어도 한쪽이 투명한 기판으로 이루어지는 한 쌍의 절연 기판 사이에 액정층이 형성된 표시 패널을 포함한다. 또한, 표시 패널은 복수의 픽셀(pixel)이 매트릭스 형상으로 배치되는데, 각 픽셀은 픽셀에 영상 데이터를 전달하기 위한 프레임 버퍼 픽셀 회로를 포함한다. 따라서, 프레임 버퍼 픽셀 회로를 통해 영상에 따른 데이터 신호가 전달되어 픽셀이 영상을 표시하게 된다.

[0004] 종래의 프레임 버퍼 픽셀 회로는 도 1에 도시된 바와 같이 제 1 및 제 2 트랜지스터(M11 및 M12)와, 메모리

캐패시터(Cmem) 및 액정 캐패시터(Clcd)를 포함한다. 이러한 프레임 버퍼 픽셀 회로는 쓰기 신호(write)에 따라 제 1 트랜지스터(M11)가 구동되어 데이터 신호(data)의 전위에 따른 전하가 메모리 캐패시터(Cmem)에 저장되고, 읽기 신호(read)에 따라 제 2 트랜지스터(M12)가 구동되어 메모리 캐패시터(Cmem)에 저장된 전하에 따른 전위가 액정 캐패시터(Clcd)에 충전된다.

[0005] 그런데, 상기한 종래의 프레임 버퍼 픽셀 회로는 읽기 신호(read)가 인가되면 메모리 캐패시터(Cmem)와 액정 캐패시터(Clcd)가 단락되어 두 캐패시터 사이에 전하가 공유된다. 즉, 메모리 캐패시터(Cmem)의 전압 레벨과 액정 캐패시터(Clcd)의 전압 레벨이 읽기 신호(read)가 인가된 후 동일해 진다. 따라서, 메모리 캐패시터(Cmem)의 용량은 전하 공유 문제를 해결하기 위해 액정 캐패시터(Clcd)의 용량보다 훨씬 커야만 한다. 또한, 액정 캐패시터(Clcd)는 영상 정보를 한 프레임 동안 유지할 수 있는 용량을 가져야 하므로 액정 캐패시터(Clcd)보다 용량이 적어도 10배 이상 큰 메모리 캐패시터(Cmem)와 액정 캐패시터(Clcd)를 10 μ m 정도의 픽셀 안에 모두 형성하기가 쉽지 않다. 그리고, 종래의 프레임 버퍼 픽셀 회로는 액정 캐패시터(Clcd)에 저장된 전하를 방전하기 위한 방전 수단이 존재하지 않는다. 즉, 이전 영상의 데이터 신호에 따른 전하가 액정 캐패시터(Clcd)에 잔류하게 되는데, 이에 따라 현재 영상의 데이터 신호에 따른 전하가 액정 캐패시터(Clcd)에 저장되지 못하게 된다. 따라서, 액정 캐패시터(Clcd)의 실제 전압 레벨은 이전 영상의 데이터 신호에 따라 변동하게 된다.

[0006] 상기한 도 1에 제시된 프레임 버퍼 픽셀 회로의 문제를 해결하기 위해 도 2에 도시된 바와 같이 제 1 내지 제 4 트랜지스터(M21 내지 M24)와, 액정 캐패시터(Clcd), 그리고 메모리 캐패시터로 기능하며 제 3 트랜지스터(M23)의 게이트-소오스 사이의 기생 캐패시터(Cgs)를 포함하는 프레임 버퍼 픽셀 회로가 제시되었다. 이러한 프레임 버퍼 픽셀 회로는 현재 영상의 데이터 신호에 따른 풀업 전압(pullup)이 액정 캐패시터(Clcd)에 인가되기 이전에 풀다운 신호(pulldown)에 따라 제 3 트랜지스터(M23)가 구동되어 액정 캐패시터(Clcd)에 저장된 전하를 방전하게 된다. 따라서, 현재 영상의 데이터 신호가 이전 영상의 데이터 신호보다 낮은 전위로 인가되더라도 현재 영상의 올바른 표시가 가능하게 된다.

[0007] 그러나, 이러한 프레임 버퍼 픽셀 회로는 액정 캐패시터(Clcd)에 저장된 전하를 방전하는 제 4 트랜지스터(M24)가 추가됨으로써 픽셀의 개구율이 저하된다. 또한, 개구율을 저하시키지 않기 위해서는 제 4 트랜지스터(M24)이 추가된 만큼 픽셀 사이즈가 커져야 한다. 따라서, 픽셀의 사이즈가 커짐에 따라 동일 사이즈의 표시 패널에 마련되는 픽셀의 수가 감소하게 된다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 개구율을 저하시키지 않으면서 픽셀의 사이즈를 줄일 수 있는 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치를 제공한다.

[0009] 본 발명은 풀다운 신호에 따라 구동되는 트랜지스터를 제거하고도 액정 캐패시터에 저장된 이전 영상의 데이터 신호에 따른 전하를 방전할 수 있는 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치를 제공한다.

[0010] 본 발명은 읽기 신호에 따라 접지 전압 또는 전원 전압을 순차적으로 액정 캐패시터에 인가함으로써 현재 영상의 데이터 신호가 인가되기 이전에 액정 캐패시터에 저장된 이전 영상의 데이터 신호에 따른 전하를 방전하고 새로운 영상 데이터를 충전할 수 있는 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치를 제공한다.

[0011] 본 발명은 픽셀 캐패시터 및 메모리 캐패시터의 적어도 어느 하나에 부트스트랩 전압을 인가하여 방전에 의한 픽셀들의 전압 손실을 보상할 수 있는 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치를 제공한다.

[0012] 본 발명은 픽셀 캐패시터 및 메모리 캐패시터의 적어도 어느 하나에 부트스트랩 전압을 인가하여 DC 밸런스를 맞추기 위한 컬럼 반전(column inversion), 로우 반전(row inversion), 그리고 도트 반전(dot inversion)을 구현할 수 있는 프레임 버퍼 픽셀 회로, 그 구동 방법 및 이를 구비하는 표시 장치를 제공한다.

과제의 해결 수단

- [0013] 본 발명의 일 양태에 따른 프레임 버퍼 픽셀 회로는 제 1 동작 신호에 따라 영상 데이터를 전달하는 제 1 스위칭 수단; 상기 영상 데이터를 충전하는 제 1 충전 수단; 제 2 동작 신호에 따라 참조 전압을 공급하는 제 2 스위칭 수단; 상기 제 1 충전 수단의 충전량에 따라 상기 참조 전압을 조절하여 전달하는 제 3 스위칭 수단; 및 상기 참조 전압에 따라 방전 또는 충전하는 제 2 충전 수단을 포함하고, 상기 참조 전압은 상기 제 2 충전 수단을 방전하는 방전 전압과 상기 제 2 충전 수단을 충전하는 충전 전압으로 공급된다.
- [0014] 상기 제 1 스위칭 수단은 N형 트랜지스터, P형 트랜지스터 및 전달 트랜지스터를 포함한다.
- [0015] 상기 제 1 충전 수단은 기판 상에 형성된 메모리 캐패시터이고, 상기 제 2 충전 수단은 상기 메모리 캐패시터와 연결된 픽셀 캐패시터를 포함한다.
- [0016] 상기 메모리 캐패시터 및 픽셀 캐패시터는 각각 확산층과 도전층 사이에 절연층이 마련되어 구현되거나, 트랜치 내에 도전 물질과 절연 물질이 적층되어 구현되거나, 도전층과 도전층 사이에 절연층이 마련되어 구현된다.
- [0017] 상기 도전층은 폴리실리콘 및 금속을 포함한다.
- [0018] 상기 픽셀 캐패시터 및 메모리 캐패시터의 적어도 어느 하나에 부트스트랩 전압을 더 공급한다.
- [0019] 상기 제 2 및 제 3 스위칭 수단은 N형 트랜지스터 및 P형 트랜지스터를 포함한다.
- [0020] 상기 제 3 스위칭 수단은 상기 제 2 충전 수단의 방전 전류가 항상 흐르도록 설정되며, 상기 제 3 스위칭 수단은 게이트-소오스 전압이 문턱 전압보다 높게 설정되어 상기 제 2 충전 수단의 방전 전류가 항상 흐르도록 설정된다.
- [0021] 상기 제 1 동작 신호는 쓰기 신호이고, 상기 제 2 동작 신호는 읽기 신호이다.
- [0022] 상기 제 2 스위칭 수단은 상기 제 2 동작 신호가 인에이블되고 제 1 시간 동안 상기 방전 전압을 공급하고, 상기 제 1 시간 후 제 2 시간 동안 상기 충전 전압을 공급한다.
- [0023] 본 발명의 다른 양태에 따른 프레임 버퍼 픽셀 회로의 구동 방법은 제 1 동작 신호에 따라 현재 영상의 데이터를 충전하는 단계; 제 2 동작 신호의 제 1 시간 동안 방전 전압을 공급하여 이전 영상의 데이터를 방전하는 단계; 및 상기 제 1 시간 후 상기 제 2 동작 신호의 제 2 시간 동안 충전 전압을 공급하는 단계를 포함하고, 상기 현재 영상의 데이터에 따라 상기 충전 전압의 공급량을 조절하여 상기 현재 영상의 데이터를 충전한다.
- [0024] 상기 제 1 동작 신호가 디스에이블된 후 상기 제 2 동작 신호가 인에이블된다.
- [0025] 다음 영상 데이터가 인가되어 상기 제 2 동작 신호가 인가되기 이전 또는 이후에 부트스트랩 전압을 공급하는 단계를 더 포함한다.
- [0026] 본 발명의 또다른 양태에 따른 표시 장치는 복수의 픽셀이 매트릭스 배열된 표시부와, 상기 픽셀을 선택하기 위한 제 1 및 제 2 동작 신호를 공급하는 로우 드라이버, 및 선택된 상기 픽셀에 영상 데이터를 공급하기 위한 컬럼 드라이버를 포함하는 표시 패널; 상기 표시 패널을 구동하기 위한 상기 동작 신호 및 상기 영상 데이터를 공급하기 위한 표시 제어부; 및 방전 전압 및 충전 전압을 생성하는 전압 생성부를 포함하고, 상기 픽셀은 상기 영상 데이터를 충전하는 제 1 충전 수단과, 상기 제 1 충전 수단에 충전된 상기 영상 데이터에 따라 조절되는 상기 충전 전압에 따라 충전하는 제 2 충전 수단을 포함하는 프레임 버퍼 픽셀 회로를 포함하며, 상기 제 2 충전 수단은 현재 영상의 데이터가 인가되기 이전에 상기 방전 전압을 인가받아 이전 영상의 데이터를 방전하고, 상기 충전 전압을 인가받아 상기 현재 영상의 데이터를 충전한다.
- [0027] 상기 프레임 버퍼 픽셀 회로는 상기 제 1 동작 신호에 따라 상기 영상 데이터를 상기 제 1 충전 수단에 전달하는 제 1 스위칭 수단; 상기 제 2 동작 신호에 따라 상기 방전 전압 또는 충전 전압을 상기 제 2 충전 수단에 공급하는 제 2 스위칭 수단; 및 상기 제 1 충전 수단의 충전량에 따라 상기 충전 전압을 상기 제 2 충전 수단에 조절하여 전달하는 제 3 스위칭 수단을 더 포함한다.
- [0028] 상기 제 3 스위칭 수단은 게이트-소오스 전압이 문턱 전압보다 높게 설정된 N형 트랜지스터 및 P형 트랜지스

터를 포함한다.

- [0029] 상기 제 3 스위칭 수단은 상기 제 1 충전 수단에 충전된 전하량에 관계없이 상기 제 2 충전 수단에 상기 방전 전압을 공급하여 상기 제 2 충전 수단이 이전 영상의 데이터를 방전하도록 한다.
- [0030] 상기 제 1 및 제 2 충전 수단의 적어도 어느 하나에 부트스트랩 전압을 공급하기 위한 부트스트랩 전압 생성부를 더 포함한다.
- [0031] 상기 표시부와 상기 부트스트랩 전압 생성부 사이에 상기 부트스트랩 전압을 상기 픽셀에 서로 다르게 인가하기 위한 부트스트랩 전압 분배부를 더 포함한다.

발명의 효과

- [0032] 본 발명에 따른 프레임 버퍼 픽셀 회로는 읽기 신호가 인에이블되는 소정의 기간 동안 참조 전압이 접지 전압으로 인가되어 액정 캐패시터에 충전된 이전 영상의 데이터에 따른 전하를 방전하고, 읽기 신호가 인에이블되는 나머지 기간 동안 참조 전압이 전원 전압으로 인가되어 액정 캐패시터에 현재 영상의 데이터에 따른 전위를 충전하게 된다.
- [0033] 따라서, 액정 캐패시터에 충전된 전하를 방전하기 위해 풀다운 트랜지스터가 필요 없게 되고, 그에 따라 픽셀의 개구율을 저하시키지 않고 픽셀 사이즈를 줄일 수 있다.
- [0034] 또한, 메모리 캐패시터와 액정 캐패시터 사이에 전하 공유가 발생되지 않고, 최소 사이즈의 트랜지스터를 이용할 수 있기 때문에 픽셀의 전극에 유도되는 전하를 최소화할 수 있다.
- [0035] 또한, 참조 전압을 읽기 신호와 동기되어 선택된 픽셀들 뿐만 아니라 모든 픽셀에 공통적으로 인가할 수 있고, 그에 따라 액정 캐패시터의 방전 및 충전 동작을 한 사이클에 구현할 수 있다. 따라서, 픽셀의 구동을 위한 제어 회로를 간단하게 구현할 수 있다.

도면의 간단한 설명

- [0036] 도 1 및 도 2는 종래의 프레임 버퍼 픽셀 회로의 회로도.
- 도 3은 본 발명의 일 실시 예에 따른 표시 장치를 설명하기 위한 개략도.
- 도 4는 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로의 회로도.
- 도 5는 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로의 구동 방법을 설명하기 위한 시뮬레이션 결과 그래프.
- 도 6은 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로의 구동에 따른 읽기 신호와 참조 전압의 파형도.
- 도 7 내지 도 9는 본 발명의 다른 실시 예들에 따른 프레임 버퍼 픽셀 회로의 회로도.
- 도 10 및 도 11은 본 발명의 또다른 실시 예에 따른 프레임 버퍼 픽셀 회로의 회로도.
- 도 12는 본 발명의 다른 실시 예에 따른 표시 장치의 개략도.
- 도 13 및 도 14는 본 발명의 변형 예에 따른 프레임 버퍼 픽셀 회로의 회로도.
- 도 15 및 도 16은 본 발명의 변형 예들에 따른 표시 장치의 개략도.
- 도 17은 본 발명에 적용되는 부트스트랩 전압 분배부의 개략도.
- 도 18 및 도 19는 본 발명의 또다른 변형 예에 따른 프레임 버퍼 픽셀 회로의 회로도.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는

것이다.

- [0038] 도 3은 본 발명의 일 실시 예에 따른 표시 장치를 설명하기 위해 도시한 개략적인 블록도이다.
- [0039] 도 3을 참조하면, 본 발명의 일 실시 예에 따른 표시 장치는 영상을 표시하는 표시 패널(100)과, 표시 패널(100)의 구동을 제어하는 표시 제어부(200)와, 참조 전압(Vref)을 생성하는 참조 전압 생성부(300)를 포함한다. 또한, 표시 패널(100)은 표시부(110), 컬럼 드라이버(120) 및 로우 드라이버(130)를 포함할 수 있다.
- [0040] 표시 패널(100)은 매트릭스 형상으로 복수의 픽셀(101)이 배열된 표시부(110)와, 영상 데이터를 표시부(110)에 공급하는 컬럼 드라이버(120)와, 영상을 표시할 픽셀(101)을 선택하는 로우 드라이버(130)를 포함한다. 여기서, 표시부(110), 컬럼 드라이버(120) 및 로우 드라이버(130)는 동일 기판 상에 설치될 수 있다. 그러나, 표시부(110)가 일 기판 상에 형성되고 컬럼 드라이버(120) 및 로우 드라이버(130)가 표시부(110) 외측에서 표시부(110)와 연결되도록 마련될 수도 있다. 표시부(110)는 복수의 픽셀(101)이 매트릭스 형상으로 배치되는데, 각 픽셀(101)은 픽셀 전극과 대향 전극이 대향 형성되고, 이 두 전극 사이에 액정층이 형성되어 마련된다. 픽셀 전극과 대향 전극에 전압을 인가하여 이들 사이에 전위차가 발생하고, 그에 따라 액정 분자의 배향 배열 방향 등이 변화되어 액정층의 특정 광축에서의 리타데이션(retardation, $\Delta n d$) 양이 변화되는 것을 이용하여 영상이 표시된다. 또한, 복수의 픽셀(101)은 일 방향, 예를 들어 수평 방향(X 방향)으로 연장되는 복수의 동작 신호선(102)과 타 방향, 예를 들어 수직 방향(Y 방향)으로 연장되는 복수의 영상 신호선(103)이 교차하는 영역에 각각 배치되며, 각 픽셀(101)에는 프레임 버퍼 픽셀 회로가 마련된다. 한편, 동작 신호선(102)과 교차되고 영상 신호선(103)과 수평으로 복수의 참조 전압 공급선(104)이 마련될 수 있다. 즉, 가로 방향으로 배열된 복수의 픽셀(101)은 일 동작 신호선(102)과 공통적으로 연결되고, 서로 다른 복수의 영상 신호선(103) 및 참조 전압 공급선(104)과 각각 연결된다. 또한, 세로 방향으로 배열된 복수의 픽셀(101)은 일 영상 신호선(103) 및 참조 전압 공급선(104)과 공통적으로 연결되고, 서로 다른 복수의 동작 신호선(102)과 각각 연결된다. 여기서, 동작 신호선(102)은 적어도 일 픽셀(101)을 선택하여 예를 들어 쓰기 신호(write) 및 읽기 신호(read) 등의 동작 신호를 각 픽셀(101)에 전달하기 위해 이용되고, 영상 신호선(103)은 선택된 적어도 일 픽셀(101)에 영상 데이터 신호를 전달하기 위해 이용된다. 또한, 참조 전압 공급선(104)은 각 픽셀(101)에 참조 전압(Vref)을 공급하기 위해 이용된다.
- [0041] 표시 제어부(200)는 외부 제어 신호선(201)을 통해 예를 들어 퍼스널 컴퓨터, DVD, PMP 및 휴대폰 등의 외부 장치(미도시)의 영상출력 단자와 연결된다. 표시 제어부(200)는 외부 제어 신호선(201)을 통해 외부로부터 외부 제어 신호를 입력받고, 이를 이용하여 컬럼 드라이버(120) 및 로우 드라이버(130)를 제어하는 제어 신호를 생성한다. 또한, 표시 제어부(200)에는 표시 데이터 신호선(202)이 접속되어 외부 장치로부터 표시 데이터를 입력받는다. 표시 데이터는 표시 패널(100)에 표시하는 영상을 구성하도록 일정한 순서로 송신되고, 이를 표시 제어부(200)가 수신한다. 예를 들면, 표시 패널(100)의 좌측 위에 위치하는 픽셀(101)을 선두로 우측 방향으로 1행의 픽셀 데이터가 외부 장치로부터 순서대로 송신된다. 또한, 위로부터 아래로 각 행의 픽셀 데이터가 외부 장치로부터 순차적으로 송신된다. 표시 제어부(200)는 표시 데이터를 기초로 영상 데이터를 생성하고, 표시 패널(100)이 영상을 표시하는 타이밍에 맞춰 영상 데이터를 컬럼 드라이버(120)에 공급한다. 이를 위해 표시 제어부(200)는 제어 신호선(131, 132)을 통해 컬럼 드라이버(120) 및 로우 드라이버(130)에 제어 신호를 전달하고, 영상 데이터 전송선(133)을 통해 컬럼 드라이버(120)에 영상 데이터를 전달한다. 즉, 표시 제어부(200)에 의해 컬럼 드라이버(120) 및 로우 드라이버(130)가 제어 및 구동되고, 영상 데이터가 컬럼 드라이버(120)를 통해 표시부(110)에 전달된다. 한편, 도 1에서는 영상 데이터 전송선(133)을 1개로 도시하고 있지만, 복수의 영상 데이터 전송선(133)이 마련될 수도 있다.
- [0042] 컬럼 드라이버(120)는 표시부(110)의 주변, 예를 들어 수직 방향(Y 방향)의 일측에 마련된다. 또한, 컬럼 드라이버(120)로부터 복수개의 영상 신호선(103)이 수직 방향(Y 방향)으로 배열되어 있다. 영상 신호선(103)은 복수의 픽셀(101)과 연결되어 영상 신호를 픽셀(101)로 전달한다. 즉, 표시 제어부(200)에서 생성된 영상 데이터가 영상 데이터 전송선(133)을 통해 컬럼 드라이버(120)에 전달되고, 다시 영상 신호선(103)을 통해 표시부(110)로 전달된다. 또한, 컬럼 드라이버(120)는 전압 생성부(300)로부터 생성된 참조 전압(Vref)을 공급받아 참조 전압 공급선(104)을 통해 표시부(110)로 전달한다. 참조 전압(Vref)은 예를 들어 전원 전압(VDD) 및 접지 전압(Vss)으로 생성되며, 로우 드라이버(130)를 통해 전달되는 동작 신호, 즉 읽기 신호(read)에 연동되어 픽셀(101)에 전달된다. 즉, 읽기 신호(read)가 인가되는 도중에 일정 기간 동안 참조 전압(Vref)은 접지 전압(Vss)으로 인가되고, 그 이외에는 전원 전압(VDD)으로 인가된다. 따라서, 접지 전압(Vss)으로 인가되는 동안 선택된 픽셀(101)에 저장된 이전 영상 데이터가 제거된다.
- [0043] 로우 드라이버(130)는 표시부(110)의 주변, 예를 들어 수평 방향(X 방향)의 일측에 마련된다. 로우 드라이버

(130)로부터 복수개의 동작 신호선(102)이 수평 방향(X 방향)으로 배열되어 있다. 동작 신호선(102)은 복수의 픽셀(101)과 연결되고, 이를 통해 픽셀(101)에 마련된 프레임 버퍼 픽셀 회로를 구동하는 동작 신호가 전달된다. 프레임 버퍼 픽셀 회로는 각각 적어도 하나의 스위칭 소자, 저장 소자 등을 포함하여 구성된다. 즉, 표시 제어부(200)에서 생성된 제어 신호가 제어 신호 전송선(132)을 통해 로우 드라이버(130)에 전달되고, 다시 동작 신호선(102)을 통해 표시부(110)로 전달되어 선택된 일 픽셀(101)의 프레임 버퍼 픽셀 회로의 스위칭 소자를 온/오프시킨다. 동작 신호선(102)을 통해 픽셀(101)에 전달되는 동작 신호로는 쓰기 신호(write) 및 읽기 신호(read)를 포함할 수 있다. 쓰기 신호(write) 및 읽기 신호(read)는 일 픽셀(101)에 두 개의 동작 신호선(102)이 연결되고, 각각의 동작 신호선(102)을 통해 전달될 수도 있다. 도 1에는 동작 신호선(102)이 하나로 표시되었으나, 쓰기 신호(write) 및 읽기 신호(read)를 전달하기 위해 일 픽셀(101)에 두개의 동작 신호선(102)이 연결될 수 있다. 따라서, 로우 드라이버(130)에 의해 픽셀(101)이 선택되고, 컬럼 드라이버(120)에 의해 선택된 픽셀(101)에 참조 전압(Vref) 및 영상 데이터가 전달되어 픽셀(101)에 잔류하는 이전 영상 신호를 제거하고 현재 영상을 표시하게 된다.

[0044] 참조 전압 생성부(300)는 참조 전압(Vref)을 생성하여 전압 공급선(134)을 통해 컬럼 드라이버(120)에 공급하는데, 참조 전압(Vref)은 예를 들어 전원 전압(VDD) 및 접지 전압(Vss)으로 생성된다. 즉, 전원 전압(VDD) 및 접지 전압(Vss)을 생성하여 컬럼 드라이버(120)에 공급하고, 컬럼 드라이버(120)는 픽셀(101)의 구동에 따라 전원 전압(VDD) 또는 접지 전압(Vss)을 선택적으로 픽셀(101)에 공급한다. 한편, 참조 전압(Vref)으로 전원 전압(VDD) 및 접지 전압(Vss)을 예로 설명하였으나, 이들 전압 이외에 영상 데이터를 표시할 수 있는 고전압 및 픽셀(101)에 저장된 이전 영상 데이터를 제거할 수 있는 저전압을 이용할 수 있다.

[0045] 상기한 본 발명의 일 실시 예에 따른 표시 장치는 전압 생성부(300)에서 전원 전압(VDD) 및 접지 전압(Vss)의 참조 전압(Vref)을 생성하고, 이를 컬럼 드라이버(120)를 통해 표시부(100)의 픽셀(101)에 공급하는데, 현재 표시하고자 하는 영상 데이터가 인가되기 이전에 픽셀(101)에 접지 전압(Vss)을 먼저 공급하여 픽셀(101)에 저장된 이전 영상의 데이터를 제거한 후 현재의 영상 데이터를 인가하여 현재 영상을 표시하게 된다. 이러한 동작은 각 픽셀(101)에 마련된 프레임 버퍼 픽셀 회로를 제어함으로써 가능하게 되는데, 이하에서는 본 발명에 따른 프레임 버퍼 픽셀 회로의 다양한 실시 예와 그 구동 방법에 대해 상세히 설명한다.

[0046] 도 4는 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로의 회로도이고, 도 5는 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로의 시뮬레이션 파형도이다. 또한, 도 6은 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로의 구동을 설명하기 위한 읽기 신호에 따른 참조 전압의 파형도이다.

[0047] 도 4를 참조하면, 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로는 쓰기 신호(write) 및 쓰기 바 신호(/write)에 따라 구동되어 데이터 신호(data)를 전달하는 제 1 트랜지스터(M31)와, 제 1 트랜지스터(M31)를 통해 전달된 데이터 전압에 따른 전위를 충전하는 메모리 캐패시터(Cmem)와, 읽기 신호(Read)에 따라 구동되어 참조 전압(Vref)을 인가하는 제 2 트랜지스터(M32)와, 메모리 캐패시터(Cmem)의 충전 전위에 따라 구동되어 제 2 트랜지스터(M32)를 통해 전달된 참조 전압(Vref)을 전달하는 제 3 트랜지스터(M33)와, 제 3 트랜지스터(M33)를 통해 전달된 참조 전압(Vref)에 따른 전위를 충전하는 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)를 포함한다. 여기서, 액정 캐패시터(Clcd)는 두 기판 사이에 형성된 액정층에 의해 형성되는 것으로 실리콘 기판상에 형성되지 않는다. 또한, 참조 전압(Vref)은 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)를 충전할 수 있는 충전 전압, 예를 들어 전원 전압(VDD) 또는 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)를 방전할 수 있는 방전 전압, 예를 들어 접지 전압(Vss)을 인가한다.

[0048] 제 1 트랜지스터(M31)은 데이터 신호(data)가 인가되는 영상 신호선(103)과 제 1 노드(Q31) 사이에 접속된다. 또한, 제 1 트랜지스터(M31)은 동작 신호선(102)을 통해 인가되는 쓰기 신호(write) 및 쓰기 바 신호(/write)에 따라 구동된다. 여기서, 쓰기 바 신호(/write)는 쓰기 신호(write)의 반전 신호이다. 이러한 제 1 트랜지스터(M31)은 N형 트랜지스터와 P형 트랜지스터로 구성된 패스 트랜지스터일 수 있는데, 쓰기 신호(write)가 하이 레벨에서 구동되는 경우에 N형 트랜지스터는 쓰기 신호(write)에 따라 구동되고 P형 트랜지스터(/write)는 쓰기 바 신호(/write)에 따라 구동된다. 물론, 쓰기 신호(write)가 로우 레벨로 구동되는 경우에 쓰기 신호(write)에 따라 P형 트랜지스터가 구동되고, 쓰기 바 신호(/write)에 따라 N형 트랜지스터가 구동될 수도 있다. 제 1 트랜지스터는 N형 트랜지스터 또는 P형 트랜지스터만으로도 구성될 수 있다. 한편, 제 1 트랜지스터(M31)를 통해 전달되는 데이터 신호(data)는 현재 표시하고자 하는 영상 데이터에 따른 전위를 유지하게 된

다.

[0049] 메모리 캐패시터(Cmem)는 제 1 노드(Q31)와 접지 단자(Vss) 사이에 접속된다. 메모리 캐패시터(Cmem)는 제 1 트랜지스터(M31)를 통해 전달되는 데이터 신호(data)의 전위에 따라 충전하게 된다. 또한, 메모리 캐패시터(Cmem)는 제 1 트랜지스터(M31)가 턴온되면 전달된 데이터 신호(data)에 따른 전위를 충전하고, 전달 트랜지스터(M31)가 턴오프되면 충전 상태를 유지하게 된다. 즉, 쓰기 신호(write)가 하이 레벨로 인가되어 제 1 트랜지스터(M31)가 턴온되면 데이터 신호(data)에 따른 전위를 충전하고, 쓰기 신호(write)가 로우 레벨로 인가되어 제 1 트랜지스터(M31)가 턴오프되면 충전 상태를 유지하게 된다. 한편, 메모리 캐패시터(Cmem)는 제 1 노드(Q31)와 전원 단자(VDD) 사이에 접속되게 구성할 수도 있다.

[0050] 제 2 트랜지스터(M32)는 참조 전압(Vref)이 인가되는 참조 전압 공급선(104)과 제 3 트랜지스터(M33) 사이에 접속되어 읽기 신호(read)에 따라 구동된다. 제 2 트랜지스터(M32)는 읽기 신호(read)가 하이 레벨에서 구동되는 N형 트랜지스터일 수 있고, 읽기 신호(read)가 로우 레벨에서 구동되는 P형 트랜지스터일 수 있는데, 본 실시 예는 N형 트랜지스터의 경우를 설명한다. 읽기 신호(write)는 쓰기 신호(write)가 인에이블된 후 소정 시간 후에 인에이블되는데, 예를 들어 현재 영상의 데이터 신호(data)를 전달하기 위한 쓰기 신호(write)가 인가된 후 다음 영상의 데이터 신호(data)를 전달하기 위한 쓰기 신호(write)가 인가되기 전의 사이에 읽기 신호(read)가 인가될 수 있다. 또한, 참조 전압(Vref)은 전원 전압(VDD) 및 접지 전압(Vss)으로 인가하며, 읽기 신호(read)가 인가됨과 동시에 참조 전압(Vref)은 접지 전압(Vss)으로 인가되고, 읽기 신호(read)가 인가되는 동안의 소정 시간 동안 접지 전압(Vss)을 유지한 후 전원 전압(VDD)으로 인가된다. 예를 들어 도 6에 도시된 바와 같이 읽기 신호(read)가 T의 시간동안 하이 레벨로 인가되면 참조 전압(Vref)은 읽기 신호(read)가 인가된 후 T/2 시간 동안 접지 전압(Vss)으로 인가되고, 그 이후 전원 전압(VDD)으로 인가된다.

[0051] 제 3 트랜지스터(M33)는 제 2 트랜지스터(M32)와 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd) 사이에 접속되어 제 1 노드(Q31)의 전위에 따라 구동된다. 이러한 제 3 트랜지스터(M33)는 하이 레벨에서 구동되는 N형 트랜지스터일 수 있고, 읽기 신호(read)가 로우 레벨에서 구동되는 P형 트랜지스터일 수 있는데, 본 실시 예는 N형 트랜지스터의 경우를 설명한다. 즉, 제 3 트랜지스터(M33)는 메모리 캐패시터(Cmem)에 충전된 전하량에 따라 구동되며, 이에 따라 제 2 트랜지스터(M32)를 통해 인가되는 참조 전압(Vref)을 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 전달하여 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)가 충전 또는 방전되도록 한다. 이러한 제 3 트랜지스터(M33)는 메모리 캐패시터(Cmem)에 충전된 전하량에 따라 구동되는데, 메모리 캐패시터(Cmem)는 현재 영상의 데이터 신호(data)에 따른 전위를 충전하기 때문에 결과적으로 제 3 트랜지스터(M33)는 현재 영상의 데이터 신호(data)에 따른 전위를 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 충전하게 된다. 한편, 제 3 트랜지스터(M33)는 게이트 소오스간 전압(Vgs)이 문턱 전압(Vth)보다 높게 설정되어야 한다. 이는 제 3 트랜지스터(M33)를 통해 참조 전압(Vref)이 접지 전압(Vss)으로 인가될 때 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 충전된 전하가 방전되어야 하는데, 메모리 캐패시터(Cmem)에 접지 전압(Vss) 또는 제 3 트랜지스터(M33)의 문턱 전압(Vth)보다 낮은 전위가 충전되는 경우 제 3 트랜지스터(M33)가 턴온되지 못하게 되기 때문이다. 따라서, 메모리 캐패시터(Cmem)가 문턱 전압(Vth)보다 높게 충전되어 제 3 트랜지스터(M33)는 게이트 소오스간 전압(Vgs)이 문턱 전압(Vth)보다 높게 설정되어 제 3 트랜지스터(M33)를 통한 전하의 이동이 가능하도록 설정되어야 한다. 바람직하게는 제 3 트랜지스터(M33)의 최소 게이트-소오스 전압(Vgs)은 문턱 전압(Vth)보다 높고, 참조 전압(Vref)의 공급량을 영상 데이터에 따라 조절할 수 있는 최소 전압으로 설정하는데, 예를 들어 0.7V 내지 1.0V로 설정할 수 있다.

[0052] 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)는 읽기 신호(read)에 따라 데이터 신호(data)에 따른 전위가 충전된다. 따라서, 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)는 현재 영상에 따른 데이터 신호(data)의 전위를 충전하고, 그에 따라 현재의 영상을 표시하게 된다. 또한, 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)는 현재 영상에 따른 데이터 신호(data)가 인가되기 이전에 이전 영상에 따라 충전된 전하를 방전해야 하는데, 상기한 바와 같이 문턱 전압(Vth)보다 높은 게이트 소오스간 전압(Vgs)을 유지하는 제 3 트랜지스터(M33)와 읽기 신호(read)에 따라 구동되는 제 2 트랜지스터(M32)에 의해 공급되는 접지 전압(Vss)으로 공급되는 참조 전압(Vref)에 따라 이전에 충전된 전하를 방전하게 된다.

[0053] 상기에서 메모리 캐패시터(Cmem) 및 픽셀 캐패시터(Cpixel)는 각각 픽셀 전극 하층에 구현될 수 있다. 예를 들어 픽셀 전극 하층에는 기판 상에 상기 트랜지스터들(M31, M32, M33)이 형성되고, 트랜지스터들(M31, M32, M33)과 픽셀 전극 사이에 복수의 도전층 및 절연층이 형성될 수 있다. 여기서, 메모리 캐패시터(Cmem) 및 픽셀 캐패시터(Cpixel)은 기판 상에 확산층이 형성되고 확산층과 도전층 사이에 절연층이 마련되어 구현될 수 있고, 기판 상에 트렌치가 형성되고 트렌치 내에 도전 물질과 절연 물질이 적층되어 구현될 수도 있다. 또한,

도전층과 도전층 사이에 절연층이 마련되어 구현될 수도 있는데, 도전층은 금속층 또는 폴리실리콘층을 포함한다. 또한, 액정 캐패시터(Clcd)는 픽셀 전극과 대향 전극 사이에 액정층이 마련되어 구현된다.

[0054] 상기한 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로의 구동 방법도 도 5의 시뮬레이션 파형과 도 6의 읽기 신호에 따른 참조 전압의 파형을 이용하여 설명하면 다음과 같다. 한편, 도 5 또는 도 6에서 Vmem 및 Vpixel는 각각 메모리 캐패시터(Cmem) 및 픽셀 캐패시터(Cpixel)의 전위를 나타낸다.

[0055] 먼저, 쓰기 신호(write)가 예를 들어 하이 레벨로 인가되고, 이에 따라 쓰기 바 신호(/write)가 로우 레벨로 인가되면 제 1 트랜지스터(M31)가 구동되어 데이터 신호(data)가 메모리 캐패시터(Cmem)로 전달된다. 따라서, 메모리 캐패시터(Cmem)은 데이터 신호(data)의 전위에 따라 충전하게 된다. 이때, 참조 전압(Vref)은 도 6에 도시된 바와 같이 전원 전압(VDD)을 유지하는데, 읽기 신호(read)가 로우 레벨을 유지하므로 제 2 트랜지스터(M32)가 턴오프되기 때문에 인가되지 못한다.

[0056] 이어서, 읽기 신호(read)가 하이 레벨로 인가된다. 이때, 읽기 신호(read)가 하이 레벨로 인가되고 읽기 신호(read)가 하이 레벨을 유지하는 소정 기간에 참조 전압(Vref)이 접지 전압(Vss)으로 인가된다. 예를 들어 읽기 신호(read)가 T 시간 동안 하이 레벨로 인가될 때 1/2T 시간 동안 참조 전압(Vref)이 접지 전압(Vss)으로 인가된다. 따라서, 제 2 트랜지스터(M32)가 턴온되고 접지 전압(Vss)이 제 2 트랜지스터(M32)를 통해 전달된다. 이때, 제 3 트랜지스터(M33)는 게이트 소오스 전압(Vgs)이 문턱 전압(Vth)보다 높게 설정되어 있어 항상 전류가 흐르도록 되어 있다. 따라서, 제 2 트랜지스터(M32)를 통해 인가된 접지 전압(Vss)이 제 3 트랜지스터(M33)를 통해 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 전달된다. 따라서, 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 충전된 전하가 방전되고, 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)는 로우 레벨을 유지하게 된다.

[0057] 이어서, 읽기 신호(read)가 하이 레벨을 유지하고, 참조 전압(Vref)이 전원 전압(VDD)로 바뀌어 인가된다. 예를 들어 읽기 신호(read)가 T 시간 동안 하이 레벨로 인가될 때 1/2T 시간 동안 참조 전압(Vref)이 접지 전압(Vss)으로 인가된 후 나머지 시간에는 참조 전압(Vref)이 전원 전압(VDD)으로 인가된다. 이렇게 되면, 제 2 트랜지스터(M32)가 턴온 상태를 유지하고, 메모리 캐패시터(Cmem)에 충전된 전하량에 따라 제 3 트랜지스터(M33) 또한 턴온되어 제 2 및 제 3 트랜지스터들(M32 및 M33)을 통해 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)가 충전된다. 이때, 제 3 트랜지스터(M33)는 현재 영상의 데이터 신호(data)의 레벨에 따라 턴온량이 조절되므로 결과적으로 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)는 현재 영상의 데이터 신호(data)에 따른 전위를 충전하게 된다. 따라서, 픽셀은 현재 영상을 표시하게 된다.

[0058] 상기한 바와 같이 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로는 읽기 신호(read)가 인에이블되는 소정의 기간 동안 참조 전압(Vref)이 접지 전압(Vss)으로 인가되어 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 충전된 이전 영상의 데이터 신호(data)에 따른 전하를 방전하고, 읽기 신호(read)가 인에이블되는 나머지 기간 동안 참조 전압(Vref)이 전원 전압(VDD)으로 인가되어 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 현재 영상의 데이터 신호(data)에 따른 전위를 충전하게 된다. 따라서, 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 충전된 전하를 방전하기 위해 풀다운 트랜지스터가 필요한 종래의 프레임 버퍼 픽셀 회로에 비해 풀다운 트랜지스터가 필요없게 되고 그에 따라 픽셀 사이즈를 줄일 수 있다.

[0059] 한편, 참조 전압(Vref)을 읽기 신호와 동기되도록 하여 선택된 픽셀들 또는 모든 픽셀에 공통적으로 인가할 수 있다. 따라서, 액정 캐패시터(Clcd)의 방전 및 충전 동작을 한 사이클에 구현할 수 있고, 그에 따라 픽셀의 구동을 위한 제어 회로를 간단하게 구현할 수 있다.

[0060] 도 7은 본 발명의 다른 실시 예에 따른 프레임 버퍼 픽셀 회로의 회로도이다.

[0061] 도 7을 참조하면, 본 발명의 다른 실시 예에 따른 프레임 버퍼 픽셀 회로는 쓰기 신호(write) 및 쓰기 바 신호(/write)에 따라 구동되어 데이터 신호(data)를 전달하는 제 1 트랜지스터(M41)와, 제 1 트랜지스터(M41)를 통해 전달된 데이터 신호(data)의 전위를 충전하는 메모리 캐패시터(Cmem)와, 메모리 캐패시터(Cmem)에 충전된 전하량에 따라 구동되어 참조 전압(Vref)을 전달하는 제 3 트랜지스터(M43)와, 읽기 전압(read)에 따라 구동되어 참조 전압(Vref)을 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 전달하는 제 2 트랜지스터(M42)와, 제 3 및 제 2 트랜지스터들(M43 및 M42)을 통해 전달된 참조 전압(Vref)에 따라 방전 및 충전하는 픽셀

캐패시터(Cpixel) 및 액정 캐패시터(Clcd)를 포함한다. 여기서, 참조 전압(Vref)은 접지 전압(Vss)과 전원 전압(VDD)을 공급하는데, 읽기 신호(read)가 인에이블되고 소정 시간 동안 접지 전압(Vss)을 공급하고, 이후 전원 전압(VDD)을 공급한다. 또한, 본 발명의 다른 실시 예에 따른 프레임 버퍼 픽셀 회로는 도 5의 시뮬레이션 파형도 및 도 6의 읽기 신호에 따른 참조 전압의 파형과 동일하게 구동한다.

[0062] 도 8 및 도 9는 본 발명의 또 다른 실시 예들에 따른 프레임 버퍼 픽셀 회로의 회로도이다.

[0063] 도 8을 참조하면, 본 발명의 또 다른 실시 예에 따른 프레임 버퍼 픽셀 회로는 쓰기 신호(write)에 따라 구동되어 데이터 신호(data)를 전달하는 제 1 트랜지스터(M51)과, 제 1 트랜지스터(M51)를 통해 전달된 데이터 신호(data)의 전위를 충전하는 메모리 캐패시터(Cmem)와, 읽기 신호(read)에 따라 구동되어 참조 전압(Vref)을 전달하는 제 2 트랜지스터(M52)와, 메모리 캐패시터(Cmem)에 충전된 전하량에 따라 구동되어 제 2 트랜지스터(M52)를 통해 전달된 참조 전압(Vref)을 전달하는 제 3 트랜지스터(M53)와, 제 2 및 제 3 트랜지스터들(M52 및 M53)를 통해 전달된 참조 전압(Vref)에 따라 방전 및 충전하는 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)를 포함한다. 여기서, 참조 전압(Vref)은 접지 전압(Vss)과 전원 전압(VDD)을 공급하는데, 읽기 신호(read)가 인에이블되고 소정 시간 동안 접지 전압(Vss)을 공급하고, 이후 전원 전압(VDD)을 공급한다. 즉, 본 발명의 또 다른 실시 예에 따른 프레임 버퍼 회로는 도 4의 본 발명의 일 실시 예와 비교하여 쓰기 신호(write) 및 쓰기 바 신호(/write)에 따라 구동되는 전달 트랜지스터(M31) 대신에 쓰기 신호(write)에 따라 구동되는 N형 트랜지스터(M51)를 이용할 수 있다.

[0064] 도 9는 본 발명의 또다른 실시 예에 따른 프레임 버퍼 픽셀 회로의 회로도로서, 본 발명의 일 실시 예에 따른 프레임 버퍼 픽셀 회로에서 메모리 캐패시터(Cmem)를 대신하여 트랜지스터 캐패시터를 이용한다. 즉, 제 1 노드(Q61)에 접속되는 P형 캐패시터(C61)과, N형 캐패시터(C62)를 병렬 접속하였다. 메모리 캐패시터로서 P형 캐패시터(C61) 및 N형 캐패시터(C62)를 병렬 접속하는 경우 총용량은 2개의 캐패시터의 합계가 되고, 조합된 캐패시터는 문턱 전압 부근에서 급격한 감소는 발생되지 않는다. 예를 들면, N형 캐패시터(C62)는 약 0.7V의 N형 트랜지스터의 문턱 전압 부근에서 캐패시턴스가 저하되지만, P형 캐패시터(C61)와 N형 캐패시터(C62)를 병렬 접속하는 경우에는 P형 트랜지스터의 문턱 전압에 의해 N형 트랜지스터의 문턱 전압에 의한 캐패시턴스의 감소를 방지할 수 있다.

[0065] 한편, 본 발명에 따른 프레임 버퍼 픽셀 회로는 상기 이외에도 다양한 형태로 변형 가능하며, 이하에서는 본 발명에 따른 프레임 버퍼 픽셀 회로 및 이를 구비하는 표시 장치의 다양한 실시 예 또는 변형 예에 대해 설명한다.

[0066] 도 10은 본 발명에 따른 프레임 버퍼 픽셀 회로의 변형 예의 회로도로서, P형 트랜지스터를 이용한 프레임 버퍼 픽셀 회로이다. 도 10에 도시된 바와 같이, 제 2 및 제 3 트랜지스터(M72, M73)가 P형 트랜지스터로 구성되며, 제 2 트랜지스터(M72)는 읽기 신호(read)의 반전 신호인 읽기 바 신호(/read)에 따라 구동되고, 제 3 트랜지스터(P73)는 참조 전압(Vref)을 전달한다. 이때, 제 3 트랜지스터(P73) 또한 최소 게이트-소오스 전압(Vgs)이 문턱 전압(Vth)보다 높게 설정된다.

[0067] 또한, 도 11에 도시된 바와 같이 데이터 신호(data)를 전달하는 트랜지스터(M74)를 P형 트랜지스터로 구성하고, 이를 쓰기 바 신호(/write)에 따라 구동되도록 할 수도 있다.

[0068] 한편, 본 발명에 따른 표시 장치는 참조 전압 생성부(300)로부터 생성된 참조 전압(Vref)이 컬럼 드라이버(120)를 통하지 않고 표시부(110)의 각 픽셀(101)에 전달될 수도 있다. 즉, 도 12에 도시된 바와 같이 참조 전압 생성부(300)가 표시 패널(100) 일측에 마련되고, 표시부(110)의 각 픽셀(101)과 연결된 참조 전압 공급선(104)과 연결될 수도 있다. 이 경우 참조 전압 공급선(104)은 컬럼 드라이버(120)과 연결되지 않고, 참조 전압 생성부(300)와 직접 연결될 수 있다.

[0069] 한편, 예를 들어 표시 패널(100)은 좌측 위에 위치하는 픽셀(101)을 선두로 우측 방향으로 1행의 영상 데이터가 공급되고 위로부터 아래로 각 행의 영상 데이터가 공급된 후 읽기 신호(read)가 인가되어 영상을 표시하게

되는데, 현재 영상 데이터를 표시하는 동안에 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 충전된 전하가 방전될 수 있다. 즉, 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)는 읽기 신호(read)가 인가되어 로우 레벨의 참조 전압(Vref)이 인가되기 이전까지 현재 영상 데이터에 따른 전하를 유지해야 하지만, 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에 충전된 전하는 자연 방전하게 된다. 이에 따라 현재 영상이 시간이 지남에 따라 흐려지는 등 정확한 영상을 표시하지 못하게 된다. 따라서, 시간이 지남에 따라 방전되는 픽셀 캐패시터(Cpixel) 및 액정 캐패시터(Clcd)에서 방전된 전하를 보상할 수 있는데, 이를 위해 본 발명에서는 픽셀 캐패시터(Cpixel)에 부트스트랩 전압(Vboost)을 인가한다. 즉, 도 13에 도시된 바와 같이 픽셀 캐패시터(Cpixel)에 부트스트랩 전압(Vboost1)을 인가하여 방전된 전하를 보상하게 된다. 물론, 도 14에 도시된 바와 같이 P형 트랜지스터들로 프레임 버퍼 픽셀 회로를 구성하는 경우에도 픽셀 캐패시터(Cpixel)에 부트스트랩 전압(Vboost1)을 인가한다. 또한, 방전 전압은 시간이 지남에 따라 증가하기 때문에 인가되는 부트스트랩 전압을 시간에 따라 증가하도록 하여 시간에 따라 변하는 방전 전압을 보상할 수도 있다. 또한, 부트스트랩 전압은 방전된 전하를 보상하기 위한 수단 뿐만 아니라 액정의 DC 밸런스(balance)를 유지하기 위해 컬럼(column)을 따라서 양전압과 음전압이 반복적으로 형성되는 컬럼 반전(column inversion), 로우(row)를 따라서 양전압과 음전압이 반복적으로 형성되는 로우 반전(row inversion)을 구현할 수 있도록 인가할 수도 있다. 물론, 컬럼 반전과 로우 반전을 혼합한 도트 반전(dot inversion)을 구현할 수 있도록 부트스트랩 전압을 인가할 수도 있다.

[0070] 이렇게 부트스트랩 전압(Vboost)을 각 픽셀(101)의 픽셀 캐패시터(Cpixel)에 인가하기 위해서는 도 15에 도시된 바와 같이 각 픽셀(101)과 연결되는 부트스트랩 전압 공급선(105)이 마련되어야 하고, 부트스트랩 전압 공급선(105)은 부트스트랩 전압 생성부(400)와 연결되어야 한다. 부트스트랩 전압 생성부(400)는 표시 패널(100)의 일측에 마련될 수 있는데, 표시 패널(100)과 동일 기판 상에 마련될 수도 있고, 표시 패널(100) 외측에 마련될 수도 있다.

[0071] 또한, 픽셀(101)의 컬럼 방향의 위치, 즉 상측으로부터 하측으로 배열된 픽셀들(101)에 따라 서로 다른 부트스트랩 전압(Vboost1)을 인가할 수도 있다. 이는 영상 데이터가 위로부터 아래로 인가되기 때문에 위쪽의 픽셀(101)의 메모리 캐패시터(Cmem)에 충전된 영상 데이터가 방전되는 시간이 길어지기 때문이다. 따라서, 위쪽에 위치하는 픽셀(101)의 방전이 아래쪽에 위치하는 픽셀(101)보다 더 많이 방전된다. 따라서, 메모리 캐패시터(Cmem)의 전압에 비례하여 충전되는 픽셀 캐패시터(Cpixel) 또는 액정 캐패시터(Clcd)의 전압도 픽셀(101)의 위치에 따라 다르게 되므로 픽셀(101)의 위치에 따라 서로 다른 부트스트랩 전압(Vboost1)을 인가하여 보상해야 하는데, 이를 위해 도 16에 도시된 바와 같이 부트스트랩 전압 생성부(400)로부터 생성된 부트스트랩 전압을 분배하는 전압 분배부(410)를 더 마련할 수 있다. 즉, 전압 분배부(410)는 표시부(110)과 부트스트랩 전압 생성부(400) 사이에 마련되어 픽셀들의 위치에 따라 서로 다른 부트스트랩 전압(Vboost1)을 인가한다. 이러한 전압 분배부(410)는 도 17에 도시된 바와 같이 최대치로 보상해주어야 할 전압(Vcompmax)과 최소로 보상해주어야 할 전압(Vcompmin) 사이에 복수의 저항(R11, ..., R1m)이 직렬 연결되고, 각 저항 사이에 가로 방향의 픽셀들과 연결된 부트스트랩 전압 공급선(105)을 연결하여 전압이 분배되도록 할 수 있다.

[0072] 한편, 영상 데이터는 상기한 바와 같이 위로부터 아래로 순차적으로 인가되기 때문에 위쪽의 픽셀(101)의 메모리 캐패시터(Cmem)에 충전된 영상 데이터가 방전되는 시간이 아래쪽의 픽셀(101)의 메모리 캐패시터(Cmem)에 충전된 영상 데이터의 방전 시간보다 길어진다. 따라서, 메모리 캐패시터(Cmem)의 전압에 비례하여 충전되는 픽셀 캐패시터(Cpixel) 또는 액정 캐패시터(Clcd)는 같은 영상 데이터라고 하더라도 픽셀(101)의 위치에 따라 다른 값을 갖게 된다. 이를 보상하기 위해 본 발명에서는 도 18에 도시된 바와 같이 메모리 캐패시터(Cmem)에 읽기 신호(read)가 인가되기 직전에 부트스트랩 전압(Vboost2)을 인가하고 읽기 신호(read)가 인가된 후에는 접지 전압(Vss)을 인가하도록 한다.

[0073] 또한, 픽셀(101)의 컬럼 방향의 위치, 즉 상측으로부터 하측으로 배열된 픽셀들(101)에 따라 메모리 캐패시터(Cmem)에 서로 다른 부트스트랩 전압(Vboost2)을 인가할 수도 있다. 위쪽에 위치하는 픽셀(101)의 방전이 아래쪽에 위치하는 픽셀(101)보다 더 많이 방전되므로 상대적으로 더 높은 부트스트랩 전압을 인가하여 보상해주어야 하는데, 이를 위해 도 16에 도시된 바와 같이 부트스트랩 전압 생성부(400)로부터 생성된 부트스트랩 전압(Vboost2)을 분배하는 전압 분배부(410)를 더 마련할 수 있다.

[0074] 뿐만 아니라, 도 19에 도시된 바와 같이 픽셀 캐패시터(Cpixel) 및 메모리 캐패시터(Cmem)에 부트스트랩 전압(Vboost1 및 Vboost2)을 각각 인가할 수 있다. 이 경우에도 상측으로부터 하측으로 배열된 픽셀들(101)에 따라 픽셀 캐패시터(Cpixel) 및 메모리 캐패시터(Cmem)에 서로 다른 부트스트랩 전압(Vboost1 및 Vboost2)을 인

가할 수 있으며, 이 경우 도 16 및 도 17에서 설명된 바와 같이 전압 분배부(410)를 이용할 수도 있다.

[0075]

[0076]

한편, 본 발명의 기술적 사상은 상기 실시 예에 따라 구체적으로 기술되었으나, 상기 실시 예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의해야 한다. 또한, 본 발명의 기술분야에서 당업자는 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

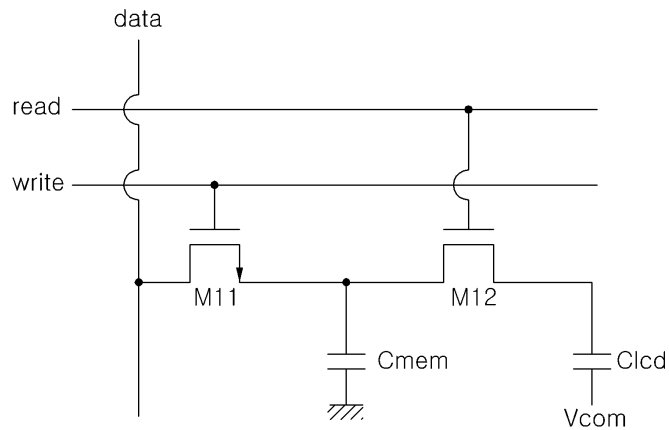
부호의 설명

[0077]

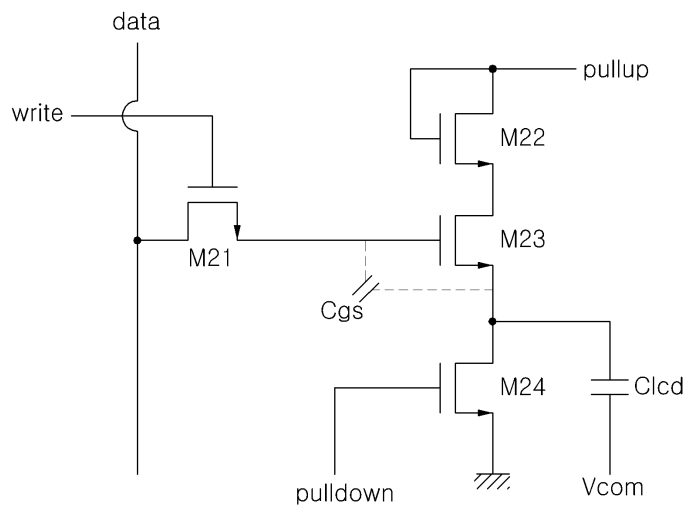
100 : 표시 패널 110 : 표시부
120 : 컬럼 드라이버 130 : 로우 드라이버
200 : 표시 제어부 300 : 전압 생성부

도면

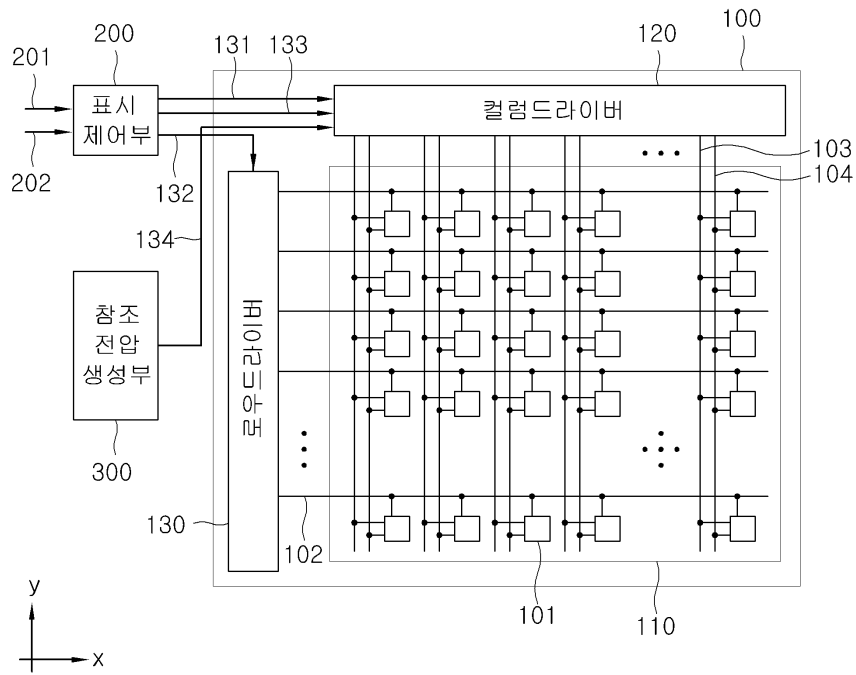
도면1



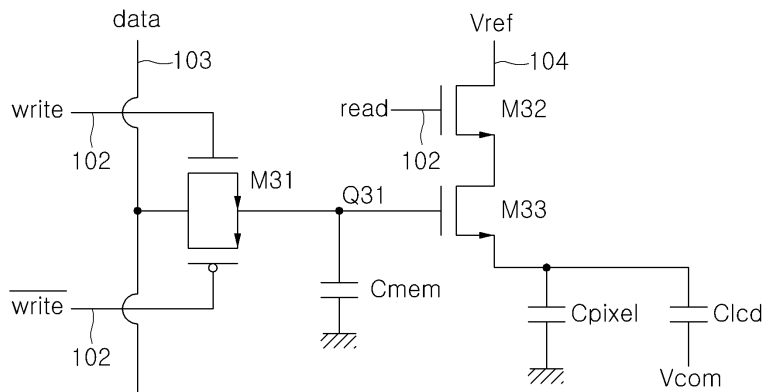
도면2



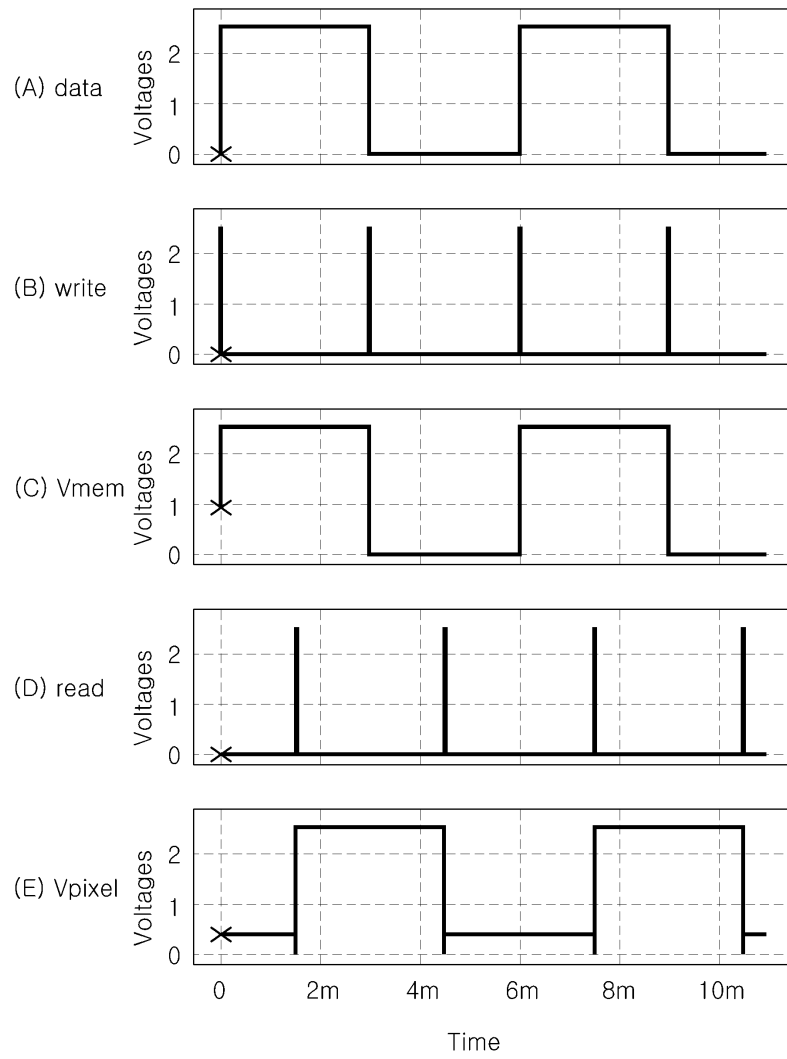
도면3



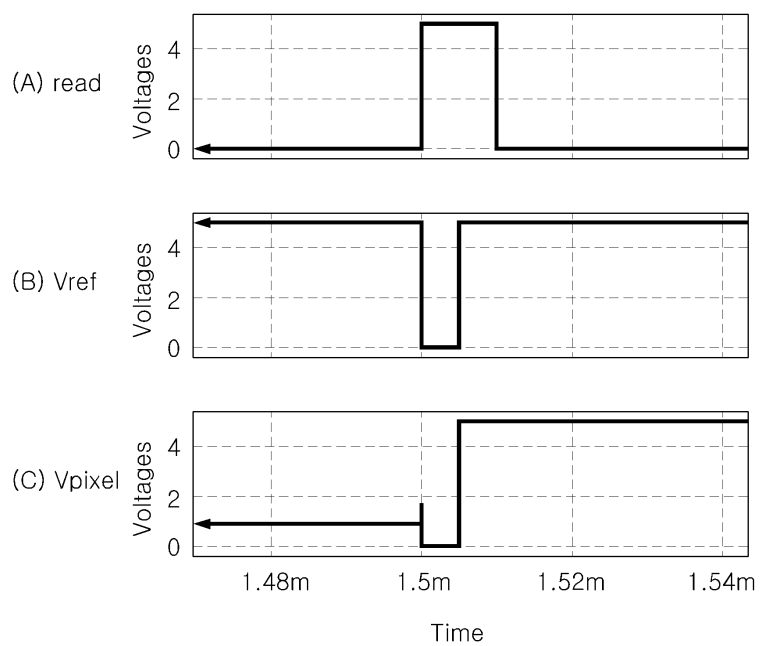
도면4



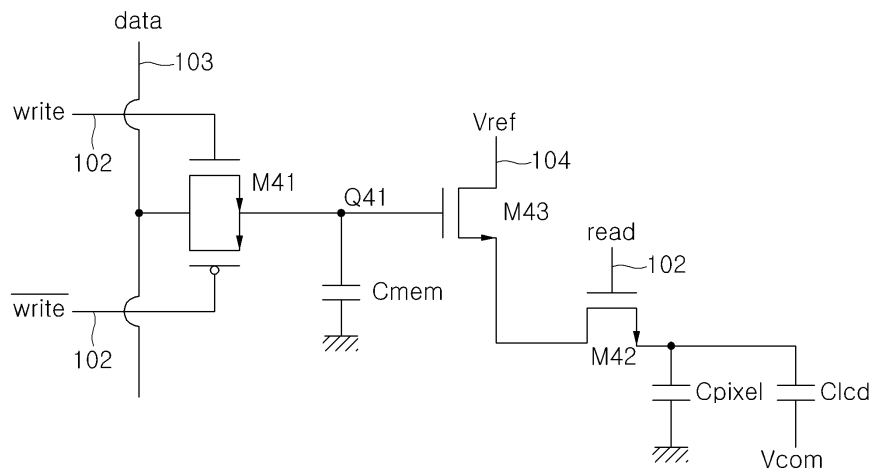
도면5



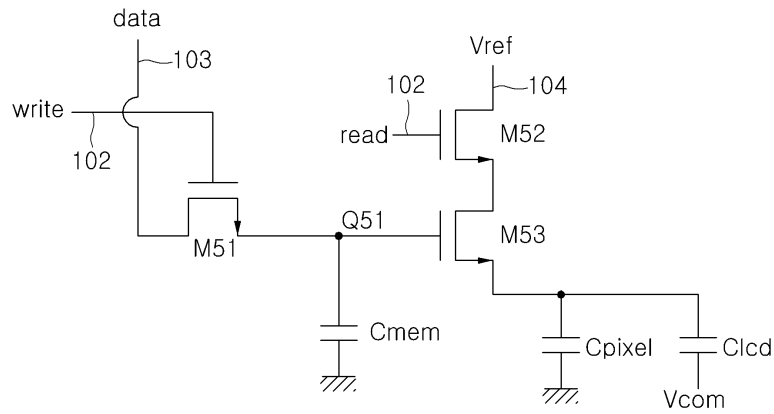
도면6



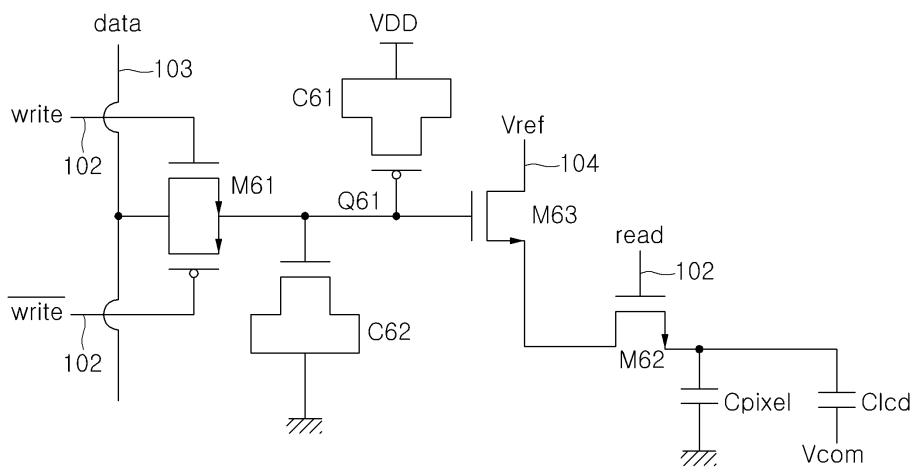
도면7



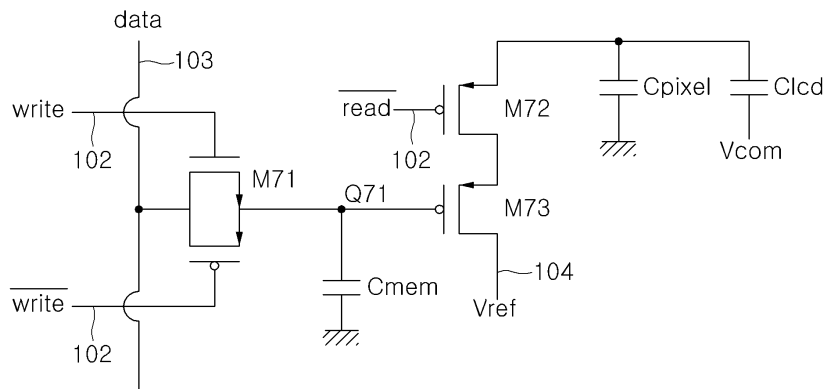
도면8



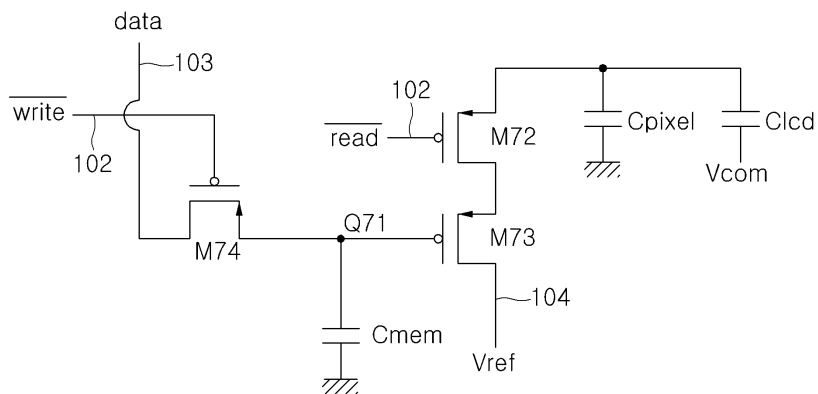
도면9



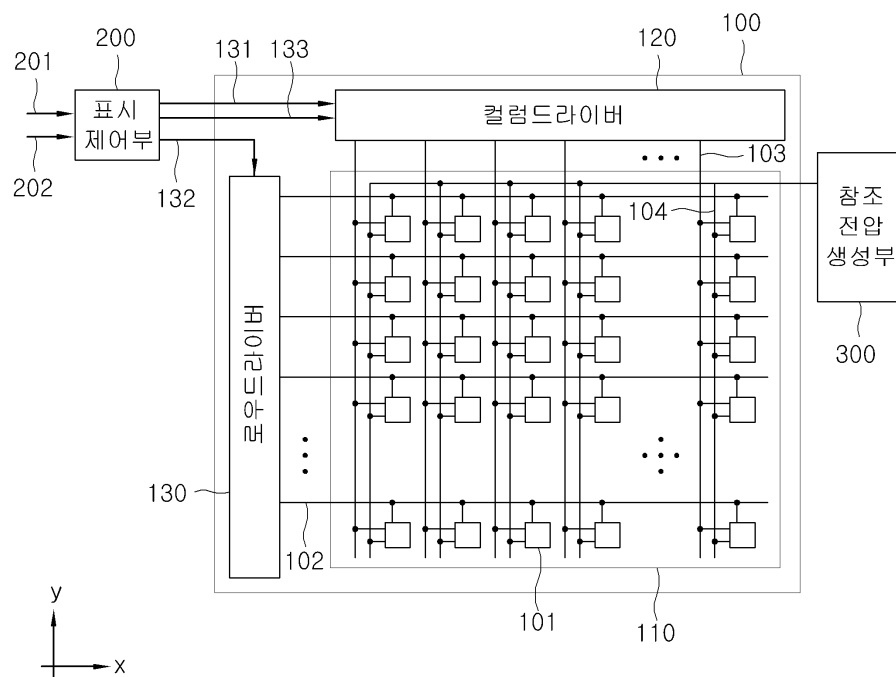
도면10



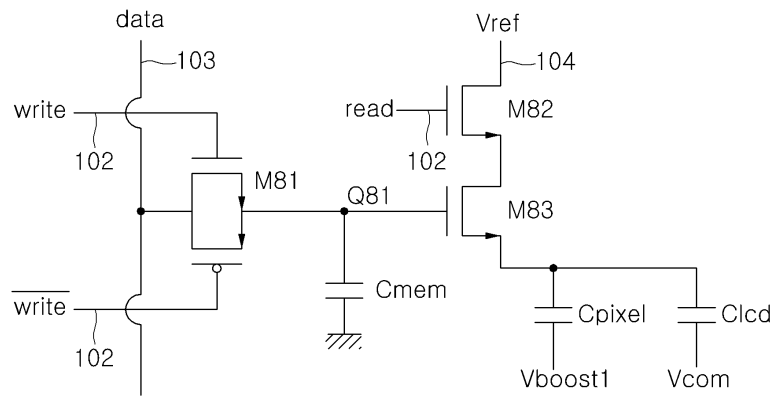
도면11



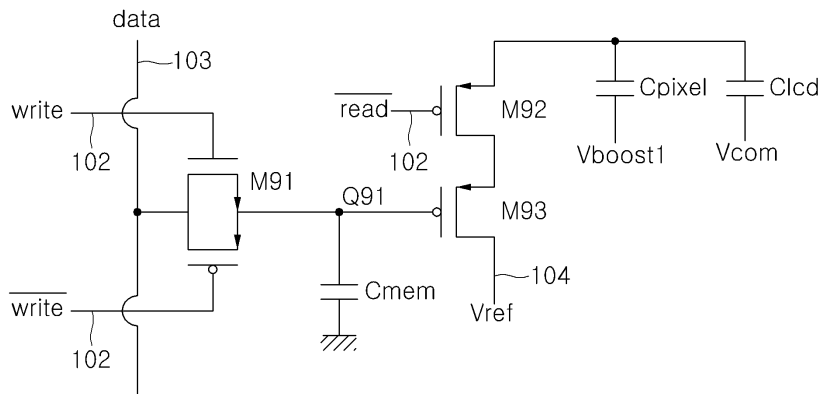
도면12



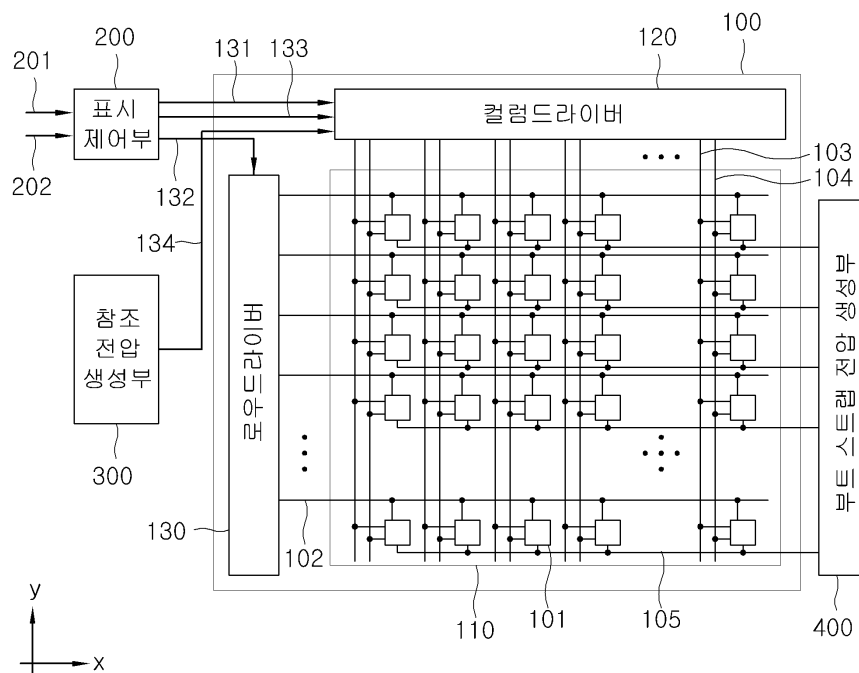
도면13



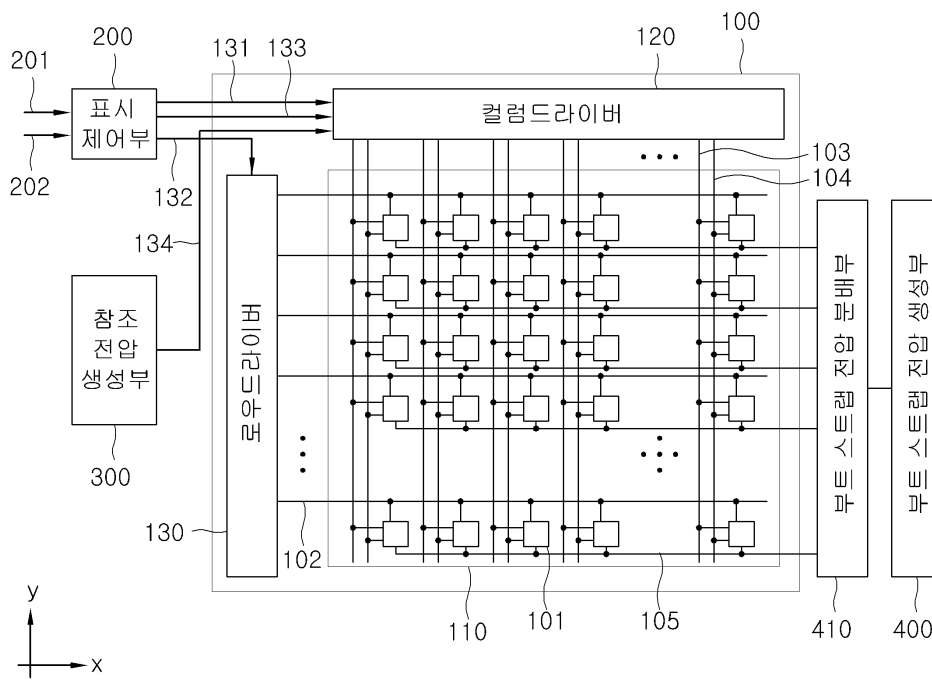
도면14



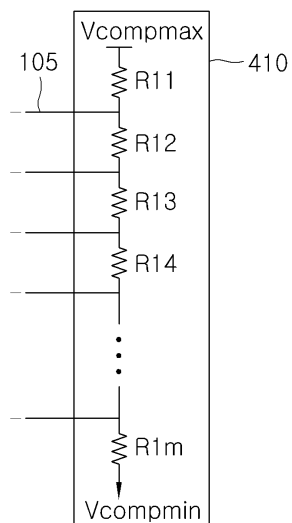
도면15



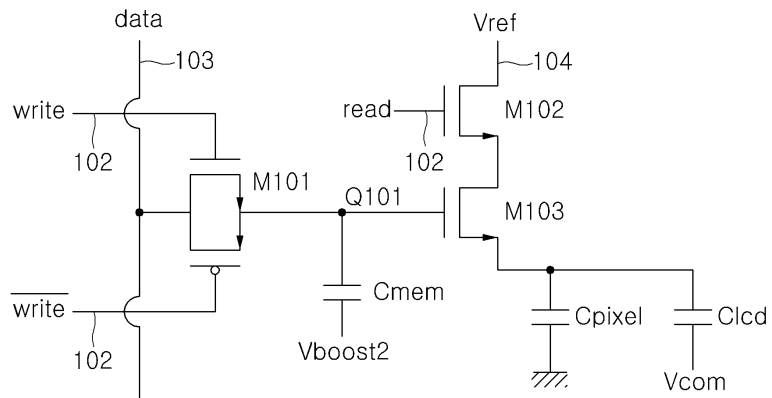
도면16



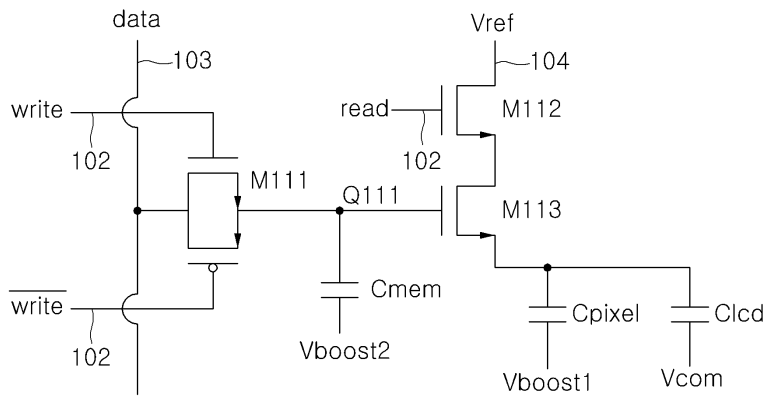
도면17



도면18



도면19



专利名称(译)	帧缓冲器像素电路，其驱动方法和具有该帧缓冲器像素电路的显示装置		
公开(公告)号	KR101151609B1	公开(公告)日	2012-06-11
申请号	KR1020100070891	申请日	2010-07-22
[标]申请(专利权)人(译)	AEP株式会社		
申请(专利权)人(译)	A慢速股份有限公司		
当前申请(专利权)人(译)	A慢速股份有限公司		
[标]发明人	LEE SANG ROK 이상록		
发明人	이상록		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3655 G09G3/3659 G09G2300/0876 G09G2300/0842		
代理人(译)	남승희		
其他公开文献	KR1020120009881A		
外部链接	Espacenet		

摘要(译)

第一开关装置，用于根据第一控制信号传输数据信号;第一充电装置，用于对数据信号充电;第二开关装置，用于根据第二控制信号提供参考电压;和第二充电装置，用于根据参考电压进行放电或充电。参考电压包括用于使第二充电装置放电的放电电压和用于使第二充电装置放电的第二充电装置。提供一种提供有待充电的充电电压的帧缓冲器像素电路，其驱动方法以及具有该帧缓冲器像素电路的显示装置。

