



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0137014
(43) 공개일자 2015년12월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1333 (2006.01)
(52) CPC특허분류
G02F 1/136 (2013.01)
G02F 1/1333 (2013.01)
(21) 출원번호 10-2015-0072772
(22) 출원일자 2015년05월26일
심사청구일자 없음
(30) 우선권주장
JP-P-2014-109844 2014년05월28일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
구보타 다이ске
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장훈

전체 청구항 수 : 총 11 항

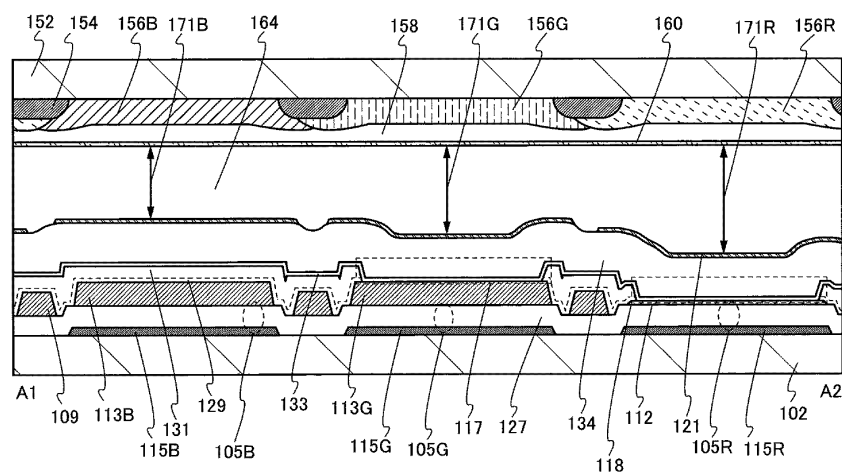
(54) 발명의 명칭 액정 표시 장치 및 전자 기기

(57) 요약

본 발명은 콘트라스트가 개선된 반사형 액정 표시 장치를 제공한다. 또한, 색 재현성이 개선된 반사형 액정 표시 장치를 제공한다. 또한, 소비 전력이 낮은 반사형 액정 표시 장치를 제공한다.

반사 전극 아래의 도전층이나 절연층의 배치를 연구하여, 색마다 셀 갭을 조정한다. 반사 전극 아래에 용량 소자를 배치하고, 용량 소자의 한쪽 전극을 공통화하고, 용량 소자의 다른 쪽 전극에는 도전층 또는 금속 산화물층을 사용하고, 다른 쪽 전극 위의 절연층을 제거하거나 잔존시키거나 하여 셀 갭의 조정이 가능하게 된다.

대표도



명세서

청구범위

청구항 1

반사형 액정 표시 장치에 있어서,

제 1 셀 갭을 포함하는 제 1 화소와;

제 2 셀 갭을 포함하는 제 2 화소를 포함하고,

상기 제 1 화소는, 제 1 기관 위의 제 1 도전층, 상기 제 1 도전층 위의 제 1 절연층, 상기 제 1 절연층 위의 제 2 절연층, 및 상기 제 2 절연층 위의 제 1 반사 전극을 포함하고,

상기 제 2 화소는, 상기 제 1 기관 위의 제 2 도전층, 상기 제 2 도전층 위의 상기 제 1 절연층, 상기 제 1 절연층 위의 상기 제 2 절연층, 상기 제 2 절연층 위의 제 2 반사 전극, 및 상기 제 2 도전층 위의 상기 제 2 절연층에서의 제 1 개구를 포함하고,

상기 제 1 셀 갭은 상기 제 2 셀 갭보다 짧은, 반사형 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 절연층은 산화 실리콘을 포함하고,

상기 제 2 절연층은 질화 실리콘을 포함하는, 반사형 액정 표시 장치.

청구항 3

제 1 항에 따른 반사형 액정 표시 장치를 포함하는, 전자 기기.

청구항 4

반사형 액정 표시 장치에 있어서,

제 1 셀 갭을 포함하는 제 1 화소와;

제 2 셀 갭을 포함하는 제 2 화소와;

제 3 셀 갭을 포함하는 제 3 화소를 포함하고,

상기 제 1 화소는, 제 1 기관 위의 제 1 도전층, 상기 제 1 도전층 위의 제 1 절연층, 상기 제 1 절연층 위의 제 2 도전층, 상기 제 2 도전층 위의 제 2 절연층, 상기 제 2 절연층 위의 제 3 절연층, 및 상기 제 3 절연층 위의 제 1 반사 전극을 포함하고,

상기 제 2 화소는, 상기 제 1 기관 위의 제 3 도전층, 상기 제 3 도전층 위의 상기 제 1 절연층, 상기 제 1 절연층 위의 제 4 도전층, 상기 제 4 도전층 위의 상기 제 2 절연층, 상기 제 2 절연층 위의 상기 제 3 절연층, 상기 제 3 절연층 위의 제 2 반사 전극, 및 상기 제 4 도전층 위의 상기 제 2 절연층에서의 제 1 개구를 포함하고,

상기 제 3 화소는, 상기 제 1 기관 위의 제 5 도전층, 상기 제 5 도전층 위의 상기 제 1 절연층, 상기 제 1 절연층 위의 금속 산화물층, 상기 금속 산화물층 위의 상기 제 2 절연층, 상기 제 2 절연층 위의 상기 제 3 절연층, 상기 제 3 절연층 위의 제 3 반사 전극, 및 상기 금속 산화물층 위의 상기 제 2 절연층에서의 제 2 개구를 포함하고,

상기 금속 산화물층은 상기 제 3 절연층에 접촉하는, 반사형 액정 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제 2 절연층은 산화 실리콘을 포함하고,

상기 제 3 절연층은 질화 실리콘을 포함하는, 반사형 액정 표시 장치.

청구항 6

제 4 항에 있어서,

상기 금속 산화물층은 적어도 인듐(In), 아연(Zn), 및 M을 포함하는 In-M-Zn 산화물로 나타내어지는 산화물을 포함하고,

M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 및 Hf 중에서 선택된 원소를 나타내는, 반사형 액정 표시 장치.

청구항 7

제 4 항에 따른 반사형 액정 표시 장치를 포함하는, 전자 기기.

청구항 8

반사형 액정 표시 장치에 있어서,

제 1 셀 갭을 포함하는 제 1 화소와;

제 2 셀 갭을 포함하는 제 2 화소와;

제 3 셀 갭을 포함하는 제 3 화소를 포함하고,

상기 제 1 화소는, 제 1 기판 위의 제 1 도전층, 상기 제 1 도전층 위의 제 1 절연층, 상기 제 1 절연층 위의 제 2 도전층, 상기 제 2 도전층 위의 제 2 절연층, 상기 제 2 절연층 위의 제 3 절연층, 및 상기 제 3 절연층 위의 제 1 반사 전극을 포함하고,

상기 제 2 화소는, 상기 제 1 기판 위의 제 3 도전층, 상기 제 3 도전층 위의 상기 제 1 절연층, 상기 제 1 절연층 위의 제 4 도전층, 상기 제 4 도전층 위의 상기 제 2 절연층, 상기 제 2 절연층 위의 상기 제 3 절연층, 상기 제 3 절연층 위의 제 2 반사 전극, 및 상기 제 4 도전층 위의 상기 제 2 절연층에서의 제 1 개구를 포함하고,

상기 제 3 화소는, 상기 제 1 기판 위의 제 5 도전층, 상기 제 5 도전층 위의 상기 제 1 절연층, 상기 제 1 절연층 위의 금속 산화물층, 상기 금속 산화물층 위의 상기 제 2 절연층, 상기 제 2 절연층 위의 상기 제 3 절연층, 상기 제 3 절연층 위의 제 3 반사 전극, 및 상기 금속 산화물층 위의 상기 제 2 절연층에서의 제 2 개구를 포함하고,

상기 금속 산화물층은 상기 제 3 절연층에 접촉하고,

상기 제 1 셀 갭은 상기 제 2 셀 갭보다 짧고,

상기 제 2 셀 갭은 상기 제 3 셀 갭보다 짧고,

상기 금속 산화물층은 상기 제 2 도전층 및 상기 제 4 도전층보다 얇고,

상기 제 1 도전층, 상기 제 3 도전층, 및 상기 제 5 도전층은 같은 층으로 형성되고,

상기 제 2 도전층 및 상기 제 4 도전층은 같은 층으로 형성되는, 반사형 액정 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제 2 절연층은 산화 실리콘을 포함하고,

상기 제 3 절연층은 질화 실리콘을 포함하는, 반사형 액정 표시 장치.

청구항 10

제 8 항에 있어서,

상기 금속 산화물층은 적어도 인듐(In), 아연(Zn), 및 M을 포함하는 In-M-Zn 산화물로 나타내어지는 산화물을 포함하고,

M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 및 Hf 중에서 선택된 원소를 나타내는, 반사형 액정 표시 장치.

청구항 11

제 8 항에 따른 반사형 액정 표시 장치를 포함하는, 전자 기기.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는, 반사형 액정 표시 장치, 및 이 액정 표시 장치를 갖는 전자 기기에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로, 본 명세서에 개시되는 본 발명의 일 형태의 기술 분야의 더 구체적인 예로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.

배경 기술

[0003] 근년에 들어, 스마트폰을 비롯한 휴대 정보 단말이 급속하게 보급됨에 따라, 단말 자체의 고성능화도 급속하게 진행되고 있다. 화면의 대형화나 고정세(高精細)화가 진행되고 있고, 화면의 정세도 향상과 함께 표시 장치의 소비 전력도 중요시되고 있다. 표시 장치로서는, 예컨대 액정 소자를 사용한 액정 표시 장치가 대표적이다. 액정 표시 장치에서, 행 방향 및 열 방향으로 배치된 화소 내에는 스위칭 소자인 트랜지스터와, 이 트랜지스터와 전기적으로 접속된 액정 소자와, 이 액정 소자와 병렬로 접속된 용량 소자 등이 제공되어 있다.

[0004] 상기 트랜지스터의 반도체막을 구성하는 반도체 재료로서는 어모퍼스(비정질) 실리콘 또는 폴리(다결정) 실리콘 등의 실리콘 반도체가 범용되고 있다.

[0005] 또한, 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고 기재함)은 트랜지스터의 반도체막에 적용할 수 있는 반도체 재료이다. 예를 들어, 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 개시되어 있다(특허문헌 1 및 특허문헌 2 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

발명의 내용

해결하려는 과제

[0007] 휴대 정보 단말 등의 모바일 용도에서는, 표시 장치의 저소비 전력화가 중요하다. 투과형 액정 표시 장치의 소비 전력은, 백 라이트가 차지하는 비율이 높다. 따라서, 투과형 액정 표시 장치에서는, 장시간 표시되거나 반복해서 표시됨으로써 배터리가 급속하게 소비되어 휴대 정보 단말의 가동 시간이 짧게 된다. 백 라이트를 사용하지 않는 반사형 액정 표시 장치는, 소비 전력이 작기 때문에 모바일 용도로서는 적합하다. 그러나, 반사형 액정 표시 장치는, 투과형 액정 표시 장치에 비하여 콘트라스트가 낮으며 색 재현성(NTSC비)이 나쁘다는 단점을 갖는다. 그러므로, 반사형 액정 표시 장치는, 컬러 표시의 화질이 거의 중요시되지 않는 일부의 단말에 사용될 정도이다.

[0008] 상기 과제를 감안하여, 본 발명의 일 형태는, 반사형 액정 표시 장치에서 콘트라스트가 개선된 표시 장치를 제

공하는 것을 과제 중 하나로 한다. 또한, 본 발명의 일 형태는, 반사형 액정 표시 장치에서, 색 재현성이 개선된 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또한, 본 발명의 일 형태는, 반사형 액정 표시 장치에서 소비 전력이 낮은 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는, 신규 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 반드시 이들 과제 모두를 해결할 필요는 없다. 또한, 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제가 추출될 수 있다.

과제의 해결 수단

- [0009] 반사형 액정 표시 장치에서는, 외광이 편광판(편광 필름이라고도 함)을 통하여 액정층에 입사하고, 반사 전극에서 반사되어 액정층으로 되돌아가고, 편광판에 다시 입사한다. 이 때, 액정층 내에서의 광 변조의 정도에 따라 편광판을 투과하는지 여부가 결정되어, 명암이 제어된다. 여기서 최대의 휘도를 나타내는 상태를 명(明) 상태, 최소의 휘도를 나타내는 상태를 암(暗) 상태, 그 중간 상태를 중간조 상태로 한다. 명 상태의 휘도와 암 상태의 휘도의 비가 클수록 콘트라스트가 높으며, 색 재현성이 좋은 표시 장치가 된다.
- [0010] 반사형 액정 표시 장치의 경우, 명 상태 시에 광은 액정층에서 광변조되기 때문에, 액정의 광학 정수를 Δn , 액정층의 막 두께(셀 갭이라고도 함)를 d , 광의 파장을 λ 로 한 경우에 이상(理想)적으로는 $\Delta n \times d = \lambda/4$ (식 1)이 될 때 휘도가 가장 높게 된다. 또한, 액정의 광학 정수 Δn 이 0.08 이상 0.1 이하인 것이 바람직하다.
- [0011] 또한, Δn 의 파장 의존성이나, 배향막에 의한 액정의 배향 규제력(anchoring force)이 강한 영역이 존재하는 경우에는, 보정을 적절히 수행하면 좋다. 이하 계산에서는, 상기 영향이 없는 이상(理想) 상태에 대하여 제시한다.
- [0012] 또한, 액정층으로서 TN 모드가 사용되어도, 반사형 액정 표시 장치의 경우에는 상기 (식 1)이 성립한다. TN 모드는 일반적으로 선광성을 갖지만, 일반적인 반사형 액정 표시 장치에서의 TN 모드는 복굴절성을 가질 수 있다. 선광 모드를 위한 조건으로서는 $\Delta n \times p \gg \lambda$ 의 모건 조건(Mauguin Condition)을 만족시킬 필요가 있다. 여기서 p 는 1주기의 비틀림의 피치를 나타낸다. TN 모드에서는, 셀 갭 d 사이에서 액정이 90° 비틀리기 때문에 $p=4d$ 가 된다. 따라서, 모건 조건은 $4\Delta n \times d \gg \lambda$ 가 되고, $\lambda=500\text{nm}$ 를 상정하면 $4\Delta n \times d \gg 500\text{nm}$ 가 되고, 일반적인 반사형 액정 표시 장치의 셀 갭에서, TN 모드는 모건 조건을 만족시키지 않으므로 복굴절성을 가질 수 있어, (식 1)이 성립한다.
- [0013] 컬러의 반사형 액정 표시 장치의 셀 갭 d 는 일반적으로 적색(R), 녹색(G), 청색(B)으로 공통이므로, 셀 갭 d 를 어느 색으로 최적화시키면 이 외의 색에서는 명 상태의 휘도가 저하된다. 그러므로, 컬러의 반사형 액정 표시 장치에서는 콘트라스트나 색 재현성이 저하된다.
- [0014] 또한, 색 재현성(NTSC비)을 높이기 위하여 컬러 필터를 두껍게 하면 밝기를 확보할 수 없어, 표시가 전체적으로 어두워진다.
- [0015] 그래서, 본 발명의 일 형태에서는, 반사 전극 아래의 도전층이나 절연층의 배치를 연구하여, 색마다 셀 갭을 조정한다. 즉, 도전층이나 절연층을 제거하거나 잔존시키거나 함으로써, 기관과 반사 전극 사이의 막 두께를 색마다 조정하면 좋다.
- [0016] B의 파장을 λ_B , G의 파장을 λ_G , R의 파장을 λ_R 로 한 경우, 각 색의 셀 갭은 $d_B = \lambda_B / (4 \times \Delta n)$, $d_G = \lambda_G / (4 \times \Delta n)$, $d_R = \lambda_R / (4 \times \Delta n)$ 이 된다. 예를 들어, $\lambda_B=450\text{nm}$, $\lambda_G=540\text{nm}$, $\lambda_R=630\text{nm}$ 로 하고, 셀 갭의 비율이 대충 $d_B:d_G:d_R = \lambda_B:\lambda_G:\lambda_R=1.0:1.2:1.4$ 가 되도록, 반사 전극 아래의 도전층이나 절연층의 배치를 연구하면 좋다.
- [0017] 구체적으로 말하면, 액정의 광학 정수 Δn 을 0.08로 한 경우, 상기 파장에서의 각 색의 최적인 셀 갭은 $d_B=1406\text{nm}$, $d_G=1688\text{nm}$, $d_R=1969\text{nm}$ 가 된다. 반사 전극과, 대향 기관 위에 형성된 막의 최상면과의 갭을 스페이서에 의하여 B의 셀 갭의 두께가 되도록 조정한다면, 기관과 반사 전극 사이의 막 두께가 G에서는 B보다 282nm 얇게 되도록, R에서는 B보다 563nm 얇게 되도록 조정하면 좋다.
- [0018] RGB의 각 파장은 컬러 필터의 투과율의 피크 파장으로 할 수 있다. 예를 들어, R의 투과율은 어느 파장 이상의 장파장 측에서 거의 일정한 투과율을 나타내는 것이 많고, 그 경우에는 일정한 투과율을 나타내는 파장역으로부터 R의 파장을 설정하면 좋다. 또한, 컬러 필터의 투과율의 스펙트럼은 어느 파장을 피크로 하여 비교적 넓은 형상을 나타내므로, RGB의 각 파장은 예컨대 투과율의 피크를 1로 정규화하고 0.95 이상의 정규화된 투과율의

파장역으로부터 선택되는 파장이라도 좋다. 즉, 상기 조건을 만족시킨다면, RGB에서의 셀 갭은 마진을 가져도 좋다.

[0019] 이하에서는, 화소부의 구성과, 기관과 반사 전극 사이의 막 두께를 색마다 조정하는 방법에 대하여 설명하기로 한다. 반사 전극 아래에 용량 소자를 배치한다. 또한, 반사 전극 아래에 트랜지스터를 가져도 좋다. 용량 소자는, 화소에 기록된 데이터를 유지하는 유지 용량으로서의 기능을 갖는다. 유지 용량부에서, 기관과 반사 전극 사이의 막 두께를 색마다 조정한다. 유지 용량부의 일부의 영역 및 유지 용량부 외의 영역에서 막 두께 조정이 어려운 영역이 존재하지만, 그 영역에도, 개구율을 넓히기 위하여 반사 전극을 배치하는 것이 바람직하다.

[0020] 트랜지스터는 보텀 게이트형 트랜지스터로 하고, 트랜지스터에 사용되는 반도체층으로는 산화물 반도체를 사용한다. 보텀 게이트형 트랜지스터의 게이트 전극과 같은 층의 도전막을 용량 소자 중 한쪽 전극으로서 사용하고, 게이트 절연층과 같은 층의 절연층을 용량 소자의 유전체로서 사용한다. 이들은 각 색에서 같은 구성으로 한다.

[0021] 다음에, 이하 구성에 의하여, 색마다 층의 구성을 조정한다. 먼저, 용량 소자의 다른 쪽 전극으로서, 트랜지스터의 소스 전극 및 드레인 전극과 같은 층의 도전층을 사용하는 구성과, 트랜지스터의 반도체층과 같은 층의 산화물 반도체를 도전층(이하 OC 전극이라고 함)으로서 사용하는 구성과, 트랜지스터의 소스 전극 및 드레인 전극과 같은 층의 도전층과 OC 전극을 적층시켜서 사용하는 구성을 선택할 수 있다. 트랜지스터의 소스 전극 및 드레인 전극과 같은 층의 도전층과 OC 전극의 막 두께의 차이나, 트랜지스터의 소스 전극 및 드레인 전극과 같은 층의 도전층의 막 두께를 셀 갭의 조정에 이용한다. 다음에, 용량 소자의 다른 쪽 전극 위에 제 1 층간 절연층을 잔존시키는 구성 또는 제거하는 구성을 선택할 수 있다. 제 1 층간 절연층의 막 두께를 셀 갭의 조정에 이용한다. 여기서, 단층의 OC 전극을 용량 소자의 전극으로서 사용하는 경우, OC 전극에 접촉하도록 제 2 층간 절연층이 형성되는 것이 필수적이다. 절연층에는, 제 1 층간 절연층으로서 산화 실리콘계 절연층을 사용하고, 제 2 층간 절연층으로서 질화 실리콘계 절연층을 사용한다.

[0022] 상기 구성에 의하여, OC 전극의 유무, 트랜지스터의 소스 전극 및 드레인 전극과 같은 층의 도전층의 유무, 제 1 층간 절연층의 유무에 따라, 6가지의 조합이 가능하다. 그러나, OC 전극이 트랜지스터의 소스 전극 및 드레인 전극과 같은 층의 도전층에 접촉하지 않으며 OC 전극 위에 제 1 절연층이 접촉하도록 형성되는 영역에서, OC 전극은 도전성을 나타내지 않아 용량 소자의 전극으로서 사용될 수 없다. 이 대신, 반사 전극을 용량 소자의 다른 쪽 전극으로서 이용할 수 있을 가능성도 있으나, 유전체의 막 두께가 다르게 되어 용량값이 크게 다르게 되므로 채용하지 않는 것이 좋다. 즉, 본 발명의 일 형태의 구성에 의하여, 용량 소자의 용량값을 거의 일정하게 한 채로 5가지의 셀 갭을 구현할 수 있다.

[0023] 컬러 표시를 RGB의 3색으로 수행하는 경우, 상기 5가지 구성 중에서 3가지를 선택하면 좋다. 4색의 경우에도, 상기 5가지 구성 중에서 4가지를 선택하면 좋다. 또한, 각 색의 화소를 부화소로 더 분할하고, 같은 색에서도 부화소마다 셀 갭을 다르게 하여도 좋다.

[0024] 컬러 표시를 4색으로 수행하는 경우, RGB에 시안, 마젠타, 황색 등의 색 중에서 1색을 추가하여도 좋다. 또는, R과 G의 중간의 파장을 갖는 색, G와 B의 중간의 파장을 갖는 색, R보다 장파장 측의 색, B보다 단파장 측의 색 등을 추가하여도 좋다. 따라서, 색 재현성(NTSC비)을 넓힐 수 있다. 또한, 백색(W)을 추가하여 RGBW의 구성으로 하여도 좋다. 백색(W)을 채용하는 경우, W의 셀 갭은 G의 셀 갭과 같게 하여도 좋다. G의 파장은 사람의 비시감도의 피크 파장(약 555nm)에 가깝기 때문에, 백색의 광의 파장역 중에서도 비시감도가 높은 영역을 효율적으로 이용할 수 있다. 또는, W의 셀 갭으로서, 비시감도의 피크 파장으로부터 계산되는 값으로 하여도 좋다. 이와 같이 함으로써 백색의 발광 효율이 더 높아지고, 밝은 반사형 액정 표시 장치로 할 수 있다.

[0025] 컬러 표시를 5색으로 수행하는 경우, 4색의 경우와 마찬가지로 RGB에, RGB와 다른 파장의 색을 2색 추가하면 좋다. 따라서, 색 재현성(NTSC비)을 넓힐 수 있다.

[0026] 또한, 컬러 표시를 4색 또는 5색으로 수행하는 경우, 3가지의 셀 갭으로 하고, 2색 또는 3색을 같은 셀 갭으로 조정하여도 좋고, 각 파장에 따라 모든 색에서 셀 갭을 다르게 하여도 좋다.

[0027] 본 명세서에서 개시하는 발명의 구성의 하나는, 제 1 셀 갭을 갖는 제 1 화소와, 제 2 셀 갭을 갖는 제 2 화소와, 제 3 셀 갭을 갖는 제 3 화소를 갖는 반사형 액정 표시 장치이고, 제 1 화소는 제 1 기관 위의 제 1 도전층과, 제 1 도전층 위의 제 1 절연층과, 제 1 절연층 위의 제 2 도전층과, 제 2 도전층 위의 제 2 절연층과, 제 2 절연층 위의 제 3 절연층과, 제 3 절연층 위의 제 1 반사 전극을 갖고, 제 2 화소는 제 1 기관 위의 제 3 도전층과, 제 3 도전층 위의 제 1 절연층과, 제 1 절연층 위의 제 4 도전층과, 제 4 도전층 위의 제 2 절연층과, 제

2 절연층 위의 제 3 절연층과, 제 3 절연층 위의 제 2 반사 전극을 갖고, 제 2 화소는 제 4 도전층 위의 제 2 절연층에 제 1 개구를 갖고, 제 3 화소는 제 1 기판 위의 제 5 도전층과, 제 5 도전층 위의 제 1 절연층과, 제 1 절연층 위의 금속 산화물층과, 금속 산화물층 위의 제 2 절연층과, 제 2 절연층 위의 제 3 절연층과, 제 3 절연층 위의 제 3 반사 전극을 갖고, 제 3 화소는 금속 산화물층 위의 제 2 절연층에 제 2 개구를 갖고, 금속 산화물층은 제 3 절연층에 접촉하는, 액정 표시 장치이다.

[0028]

또한, 본 발명의 일 형태의 제작 방법을 이용하면, 제 1 층간 절연층을 패터닝하기 위한 마스크를 한 장 추가하기만 하면 3~5가지의 셀 갭의 조정이 가능하고, 셀 갭을 RGB마다 조정할 수 있다. 또한 3가지의 셀 갭을 조정하는 경우, 하프톤 마스크 또는 그레이톤 마스크를 사용함으로써 트랜지스터의 소스 전극 및 드레인 전극과 반도체층을 마스크 한 장으로 가공할 수도 있으며, 각각 다른 마스크를 사용하여 가공하기보다 마스크 수를 삭감할 수 있다.

발명의 효과

[0029]

본 발명의 일 형태에 의하여, 반사형 액정 표시 장치에서, 콘트라스트가 개선된 표시 장치를 제공할 수 있다. 또한, 반사형 액정 표시 장치에서, 밝기를 소실하는 일이 없이 색 재현성(NTSC비)이 개선된 표시 장치를 제공할 수 있다. 또한, 반사형 액정 표시 장치에서, 소비 전력이 낮은 표시 장치를 제공할 수 있다. 또는, 신규 표시 장치를 제공할 수 있다.

[0030]

또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는, 반드시 이들 효과 모두를 가질 필요는 없다. 또한, 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 효과가 추출될 수 있다.

도면의 간단한 설명

[0031]

도 1은 본 발명의 일 형태에 따른 표시 장치의 화소 주변을 설명하기 위한 상면도.

도 2는 본 발명의 일 형태에 따른 표시 장치의 화소를 설명하기 위한 단면도.

도 3은 본 발명의 일 형태에 따른 표시 장치의 화소를 설명하기 위한 단면도.

도 4는 본 발명의 일 형태에 따른 표시 장치의 화소를 설명하기 위한 단면도.

도 5는 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 6은 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 7은 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 8은 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 9는 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 10은 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 11은 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 12는 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 13은 본 발명의 일 형태에 따른 표시 장치의 제작 방법을 설명하기 위한 단면도.

도 14는 본 발명의 일 형태에 따른 표시 장치의 화소를 설명하기 위한 단면도.

도 15는 트랜지스터의 일 형태를 설명하기 위한 상면도 및 단면도.

도 16은 트랜지스터의 일 형태를 설명하기 위한 상면도 및 단면도.

도 17은 표시 장치를 설명하기 위한 블록도 및 회로도.

도 18은 표시 모듈을 설명하기 위한 도면.

도 19는 전자 기기를 설명하기 위한 도면.

도 20은 본 발명의 일 형태에 따른 표시 장치의 화소를 설명하기 위한 단면도.

도 21은 본 발명의 일 형태에 따른 표시 장치의 화소를 설명하기 위한 단면도.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명하기로 한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에서 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.
- [0033] 또한, 이하에서 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면들간에서 공통적으로 사용하고, 그 반복 설명은 생략한다. 또한, 같은 기능을 갖는 부분을 가리킬 때는 같은 헤치(hatch) 패턴을 사용하고, 특별히 부호를 붙이지 않은 경우가 있다.
- [0034] 본 명세서에서 설명하는 각 도면에서, 각 구성의 크기, 막 두께, 또는 영역은 명료화를 위하여 과장되는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.
- [0035] 또한, 본 명세서 등에 있어서, 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용하는 것이고, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 그러므로, 예컨대 "제 1"을 "제 2" 또는 "제 3" 등으로 적절히 바꿔 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않은 경우가 있다.
- [0036] 또한, 본 발명의 일 형태에서의 "소스" 및 "드레인"의 기능은 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 따라서, 본 명세서에서는 "소스" 및 "드레인"의 용어는 서로 바꿔 사용할 수 있는 것으로 한다.
- [0037] 또한, 본 명세서 등에서 "막"이라는 용어와 "층"이라는 용어를 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또는, 예컨대 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.
- [0038] 또한, 본 명세서 등에 있어서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0039] 또한, 본 명세서에 있어서, OC 전극으로서 이용하는 금속 산화물층을 "반도체층"으로서 표기하는 경우가 있다.
- [0040] (실시형태 1)
- [0041] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치에 대하여 도 1~도 14, 도 20, 및 도 21을 사용하여 이하에서 설명하기로 한다.
- [0042] <표시 장치의 구성예>
- [0043] 도 1은 표시 장치에서의 화소 주변의 상면도를 도시한 것이다. 또한, 도 1에 도시된 상면도에서 도면의 복잡화를 피하기 위하여 일부의 구성 요소가 생략되어 있다.
- [0044] 도 1에서, 주사선(107), 데이터선(109), 및 용량선(115)으로 구성된 영역에 화소(101)를 갖는다. 또한, 주사선(107)은 데이터선(109)에 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되어 제공된다. 데이터선(109)은 주사선(107)에 대략 직교하는 방향(도면 중 상하 방향)으로 연장되어 제공된다. 용량선(115)은 주사선(107)과 대략 평행한 방향으로 연장되어 제공된다.
- [0045] 트랜지스터(103)는 주사선(107)과 중첩되는 위치에 제공되며, 주사선(107)과 데이터선(109)이 교차되는 영역에 제공된다. 트랜지스터(103)는 적어도 채널 형성 영역을 갖는 반도체층(111)과, 게이트 전극과, 게이트 절연층(도 1에는 미도시)과, 소스 전극과, 드레인 전극을 포함한다.
- [0046] 또한, 주사선(107)은 트랜지스터(103)의 게이트 전극으로서도 기능하고, 데이터선(109)은 트랜지스터(103)의 소스 전극으로서도 기능한다. 도전층(113)은 트랜지스터(103)의 드레인 전극으로서 기능하고, 개구(116)를 통하여 반사 전극(121)과 전기적으로 접속된다. 또한, 이하에서, 트랜지스터(103)의 게이트 전극을 가리키는 경우에도 주사선(107)이라고 기재하고, 트랜지스터(103)의 소스 전극을 가리키는 경우에도 데이터선(109)이라고 기재하는 경우가 있다.
- [0047] 용량 소자(105)는, 용량선(115)을 용량 소자(105)의 한쪽 전극으로서 사용하고, 게이트 절연층과 같은 층의 절

연층을 용량 소자의 유전체로서 사용한다. 용량선(115)은 주사선(107)과 같은 층의 도전층으로 형성된다. 또한, 용량 소자(105)의 다른 쪽 전극으로서 도전층(113)을 사용한다. 또한, 개구(117)를 제공함으로써 반사 전극 아래에 있는 층의 막 두께를 조정할 수 있어, 셀 갭의 조정이 가능하다. 또한, 용량 소자의 전극으로서 반도체층(112)을 사용하고, 개구(118)를 제공함으로써 셀 갭의 조정을 가능하게 한다. 이 때, 도전층(114)은 용량 소자 위에는 제공하지 않는다. 또한, 개구(117) 및 개구(118)는 도전층(113B), 도전층(113G), 도전층(114), 반도체층(112) 위에 제공된 절연층(도 1에는 미도시)을 가공함으로써 형성된다.

[0048] 또한, 반도체층(111) 및 반도체층(112)에는 산화물 반도체를 사용한다.

[0049] 여기서, 도 1 중 일점 쇄선 A1-A2 부분의 단면도를 도 2에 도시하였고, 일점 쇄선 B1-B2 부분의 단면도를 도 3에 도시하였고, 일점 쇄선 C1-C2 부분의 단면도를 도 4에 도시하였다.

[0050] 도 2는 표시 장치의 단면 구조를 도시한 것이고, 이하와 같다.

[0051] 기관(102) 위에 용량선(115B), 용량선(115G), 및 용량선(115R)이 제공된다. 용량선(115B), 용량선(115G), 및 용량선(115R) 위에 트랜지스터(103)의 게이트 절연층으로서 기능하는 절연층(127)이 제공된다. 절연층(127) 위에는 데이터선(109), 도전층(113B), 도전층(113G), 및 반도체층(112)이 제공된다. 도전층(113B)은 용량선(115B)과 중첩되어 용량 소자(105B)를 형성하고, 도전층(113G)은 용량선(115G)과 중첩되어 용량 소자(105G)를 형성하고, 반도체층(112)은 용량선(115R)과 중첩되어 용량 소자(105R)를 형성한다. 데이터선(109), 도전층(113B), 도전층(113G), 및 반도체층(112) 위에는 절연층(129) 및 절연층(131)이 제공된다. 절연층(129) 및 절연층(131)은 제 1 층간 절연층으로서 기능한다. 또한, 절연층(129) 및 절연층(131)에는, 도전층(113G)에 도달하는 개구(117) 및 반도체층(112)에 도달하는 개구(118)가 제공되고, 절연층(129) 및 절연층(131)의 단부의 일부가 도전층(113G) 및 반도체층(112)의 단부를 덮도록 형성된다. 또한, 절연층(131), 도전층(113G), 및 반도체층(112)을 덮도록 절연층(133)이 형성된다. 절연층(133)은 제 2 층간 절연층으로서 기능한다. 또한, 절연층(133) 위에는 평탄화막(134)이 제공된다. 또한, 평탄화막(134) 위에는 반사 전극(121)이 제공된다. 또한, 평탄화막(134) 및 반사 전극(121) 위에 배향막이 제공되지만 도시하지 않았다.

[0052] 또한, 기관(102)과 대향하는 기관(152)이 제공된다. 기관(102)과 기관(152) 사이에 액정층(164)이 끼워져 있다. 또한, 기관(152)에는 차광층(154), 유색층(156B), 유색층(156G), 유색층(156R), 평탄화막(158), 및 도전층(160)이 형성된다. 또한, 도전층(160) 위에 배향막이 제공되지만 도시하지 않았다. 또한, 기관(102)과 기관(152) 사이에는 스페이서(미도시)가 제공되고, 셀 갭이 조정된다.

[0053] 또한, 도 2에서는 3개의 화소를 예시하였고, 반사 전극 아래에 있는 층의 막 두께가 각각 다르고, 액정층(164)의 셀 갭이 각각 다르다. 이 셀 갭(171B), 셀 갭(171G), 및 셀 갭(171R)은 절연층(129), 절연층(131)(합쳐서 제 1 층간 절연층이라고 함), 반도체층(112), 및 도전층(113)의 막 두께를 각각 다르게 함으로써 조정할 수 있다. 구체적으로는 셀 갭(171B)과 셀 갭(171G)의 차이는 제 1 층간 절연층의 막 두께로 조정하고, 셀 갭(171G)과 셀 갭(171R)의 차이는 도전층(113)과 반도체층(112)의 막 두께의 차이로 조정하면 좋다.

[0054] 예를 들어, RGB의 3색의 경우를 상정한다. $\lambda_B=450\text{nm}$, $\lambda_G=540\text{nm}$, $\lambda_R=630\text{nm}$ 로 하고, (식 1)로부터 RGB 각각의 셀 갭을 계산하면 $d_B=1406\text{nm}$, $d_G=1688\text{nm}$, $d_R=1969\text{nm}$ 가 된다.

[0055] 구체적으로 말하면, 제 1 층간 절연층의 막 두께(절연층(129)과 절연층(131)의 총 막 두께)를 282nm, 도전층(113)의 막 두께를 316nm, 반도체층(112)의 막 두께를 35nm로 한다. 이와 같이 함으로써 셀 갭(171B)과 셀 갭(171G)의 차이는 제 1 층간 절연층의 막 두께분의 282nm가 되고, 셀 갭(171B)과 셀 갭(171R)의 차이는 도전층(113)과 반도체층(112)의 차분(281nm)에 제 1 층간 절연층의 막 두께(282nm)를 더한 563nm가 된다. 스페이서의 높이를 조정함으로써 청색의 화소의 셀 갭(171B)이 1406nm가 되도록 조정하면, 녹색의 화소의 셀 갭(171G)은 1688nm가 되고 적색의 화소의 셀 갭(171R)은 1969nm가 된다.

[0056] 또한, 평탄화막(134), 유색층(156B), 유색층(156G), 유색층(156R), 평탄화막(158) 등은 일반적으로 도포법에 의하여 형성되는 경우가 많고, 도포되는 면의 요철에 따라 부분마다 막 두께가 다르게 되는 경우나, 각 착색층에서의 막 두께의 조건이 다르게 되는 경우가 있다. 이 경우, RGB의 셀 갭의 값은, 평탄화막(134), 유색층(156B), 유색층(156G), 유색층(156R), 및 평탄화막(158)에 의한 영향을 고려하지 않고 조정한 값과 어긋날 가능성이 있다. 이 경우, 상술한 바와 같이, (식 1)로 계산된 셀 갭이 되도록 평탄화막(134), 유색층(156B), 유색층(156G), 유색층(156R), 및 평탄화막(158)의 막 두께를 고려하여 제 1 층간 절연층이나 도전층(113)의 막 두께를 조정할 필요가 있다.

- [0057] 또한, 도 1에서는 RGB 각 화소의 반사 전극의 크기가 각각 같지만, 색마다 크기를 다르게 하여도 좋다.
- [0058] 또한, 용량 소자(105B), 용량 소자(105G), 및 용량 소자(105R)는 유전체로서 절연층(127)을 공통적으로 가지므로, 각 용량값을 거의 같게 할 수 있다. 그러므로, 표시에서 색마다 표시 불균일이 발생하는 등의 영향을 받지 어렵다.
- [0059] 이와 같이 본 발명의 일 형태에 따른 컬러의 반사형 액정 표시 장치에서는 RGB 각각에서 휘도가 가장 높게 되도록 셀 갭이 조정되어 있으므로, 콘트라스트가 높으며 색 재현성이 좋은 표시를 수행할 수 있다. 또한, RGB의 각 색에서 용량은 거의 일정하고, 표시에서는 색마다 표시 불균일이 발생하는 등의 영향을 받지 않고 균일한 표시가 가능하다.
- [0060] RGB의 각 파장은 컬러 필터의 투과율의 피크 파장으로 할 수 있다. 예를 들어, R의 투과율은 어느 파장 이상의 장파장 측에서 거의 일정한 투과율을 나타내는 것이 많고, 그 경우에는 일정한 투과율을 나타내는 파장역으로부터 R의 파장을 설정하면 좋다. 또한, 컬러 필터의 투과율의 스펙트럼은 어느 파장을 피크로 하여 비교적 넓은 형상을 나타내므로, RGB의 각 파장은 예컨대 투과율의 피크를 1로 정규화하고 0.95 이상의 정규화된 투과율의 파장역으로부터 선택되는 파장이라도 좋다. 즉, 상기 조건을 만족시킨다면, RGB에서의 셀 갭은 마진을 가져도 좋다.
- [0061] 용량 소자의 한쪽 전극으로서 산화물 반도체층을 사용하는 경우, 산화물 반도체층은 도전층(OC 전극)으로서 기능할 필요가 있다. 산화물 반도체층을 도전층(OC 전극)으로 하는 방법 중 하나로서는, 소스 전극이나 드레인 전극 등의 도전층(금속)에 접촉시키는 것이 있다. 접촉시킨 면 및 근방의 영역은, 산화물 반도체층에 도전층(금속)으로부터 캐리어가 주입되어, 도전층(OC 전극)으로서 기능하는 것이 가능하다. 다른 방법으로서, 산소 결손이 형성된 산화물 반도체층에 질화 실리콘계 절연층을 접촉시키는 방법이 있다. 접촉시킨 면 및 근방의 영역은, 산화물 반도체층의 산소 결손 사이트에 질화 실리콘으로부터 수소가 주입되고 캐리어가 형성되어, 도전층(OC 전극)으로서 기능할 수 있다. 예를 들어, 산화물 반도체 위에 산화 실리콘계 절연층(제 1 층간 절연층이라고 함)을 형성하고, 제 1 층간 절연층에 개구를 형성함으로써, 산화물 반도체층에 산소 결손이 형성된다. 그 개구에 제 2 층간 절연층으로서 질화 실리콘계 절연층을 형성하면 좋다. 질화 실리콘계 절연층은 수소 방출량이 많은 막이 바람직하다.
- [0062] 도 3은 표시 장치의 단면 구조를 도시한 것이고, 이하와 같다.
- [0063] 기판(102) 위에 트랜지스터(103)의 게이트 전극으로서 기능하는 주사선(107)이 제공된다. 또한, 주사선(107)과 동일 공정에서 형성된 용량선(115)이 제공된다. 주사선(107) 및 용량선(115) 위에 트랜지스터(103)의 게이트 절연층으로서 기능하는 절연층(127)이 제공된다. 절연층(127) 위의, 주사선(107)과 중첩되는 위치에 반도체층(111)이 제공되고, 반도체층(111)은 트랜지스터(103)의 반도체층으로서 기능한다. 또한, 반도체층(111) 및 절연층(127) 위에는 트랜지스터(103)의 소스 전극으로서 기능하는 데이터선(109)과, 트랜지스터(103)의 드레인 전극으로서 기능하는 도전층(113)이 제공된다. 또한, 데이터선(109), 반도체층(111), 및 도전층(113) 위에는 트랜지스터(103)의 보호 절연층으로서 기능하는 절연층(129) 및 절연층(131)이 제공되어 있다. 또한, 절연층(129) 및 절연층(131)을 덮도록 절연층(133)이 형성되어 있다. 또한, 절연층(133) 위에는 평탄화막(134)이 제공된다. 또한, 평탄화막(134) 위에는 반사 전극(121)이 제공된다. 또한, 절연층(129), 절연층(131), 절연층(133), 및 평탄화막(134)에는 도전층(113)에 도달하는 개구(116)가 제공되고, 반사 전극(121)은 개구(116)를 통하여 도전층(113)과 전기적으로 접속된다. 또한, 평탄화막(134) 및 반사 전극(121) 위에 배향막이 제공되지만 도시하지 않았다. 개구(116)에서 평탄화막(134)의 단부가 절연층(133) 위에 제공되지만 이에 한정되지 않고, 평탄화막(134)의 단부가 도전층(113) 위에 제공되어도 좋다. 도전층(113)은 용량선(115) 위까지 연장되고, 용량 소자(105)를 형성한다.
- [0064] 도 4는 표시 장치의 단면 구조를 도시한 것이고, 구체적으로는 이하와 같다. 또한, 도 3과 다른 구성의 부분에 대해서만 설명하기로 한다.
- [0065] 반도체층(112)은 채널 형성 영역으로부터 용량선(115) 위까지 연장된다. 또한, 트랜지스터의 드레인 전극으로서 기능하는 도전층(114)이 제공된다. 도전층(114)의 단부의 일부는 용량선(115)과 중첩되는 영역에 제공된다. 또한, 절연층(129) 및 절연층(131)에는 반도체층(112)에 도달하는 개구(118)가 제공되어 있고, 절연층(129)과 절연층(131)의 단부의 일부가 도전층(114) 위에 형성되어 있다. 절연층(133)은 반도체층(112)의 상면과 도전층(114)의 측면에 접촉하도록 제공되어 있고, 반도체층(112)은 절연층(133)과 도전층(114)에 접촉함으로써 OC 전극으로서 기능한다. 반도체층(112)은 채널 형성 영역으로부터 용량 소자까지 연장되지만 이에 한정되지 않고

도전층(114) 아래에서 분리되어도 좋다.

[0066] 또한, 도 1~도 4에 도시된 본 발명의 일 형태에 따른 표시 장치의 기타 구성 요소에 대해서는, 이하에서 제시하는 표시 장치의 제작 방법에서 자세히 설명하기로 한다.

[0067] <표시 장치의 제작 방법>

[0068] 도 1~도 4에 도시된 표시 장치의 제작 방법에 대하여 도 5~도 12를 사용하여 이하에서 설명하기로 한다. 또한, 도 5~도 12에 대해서는 도 2~도 4에 도시된 표시 장치의 단면 구조를 예로 들어 설명하기로 한다. 즉, 도 5~도 12의 (A)는 도 1의 일점 쇄선 A1-A2 부분의 단면도에 대응하고, 도 5~도 12의 (B)는 일점 쇄선 B1-B2 부분의 단면도에 대응하고, 도 5~도 12의 (C)는 일점 쇄선 C1-C2 부분의 단면도에 대응한다.

[0069] 우선, 기판(102)을 준비한다. 기판(102)으로서는 알루미늄실리케이트 유리, 알루미늄보로실리케이트 유리, 바륨보로실리케이트 유리 등의 유리 재료를 사용한다. 양산하는 데, 기판(102)에는, 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등의 마더 유리(mother glass)를 사용하는 것이 바람직하다. 마더 유리는, 처리 온도가 높고 처리 시간이 길면 대폭 수축하기 때문에, 마더 유리를 사용하여 양산하는 경우의 제작 공정의 가열 처리는 바람직하게는 600℃ 이하, 더 바람직하게는 450℃ 이하, 더욱 바람직하게는 350℃ 이하로 하는 것이 바람직하다.

[0070] 다음에 도 5에 도시된 바와 같이, 기판(102) 위에 도전층을 형성하고, 원하는 영역이 잔존하도록 이 도전층을 가공함으로써 주사선(107) 및 용량선(115)을 형성한다. 이 후에 기판(102), 주사선(107), 및 용량선(115) 위에 절연층(127)을 형성한다. 그 다음에 절연층(127) 위에 반도체층을 형성하고, 원하는 영역이 잔존하도록 이 반도체층을 가공함으로써 반도체층(111) 및 반도체층(112)을 형성한다.

[0071] 주사선(107) 및 용량선(115)에 사용하는 재료로서는, 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브덴, 텅스텐 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 주사선(107) 및 용량선(115)에 사용하는 재료는, 단층 구조라도 좋고 2층 이상의 적층 구조라도 좋다. 예를 들어, 알루미늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 타이타늄막 위에 알루미늄막을 적층하고 또한 그 위에 타이타늄막을 형성하는 3층 구조 등이 있다. 또한, 타이타늄, 탄탈럼, 텅스텐, 몰리브덴, 크로뮴, 네오디뮴, 스칸듐 중에서 선택된 하나 또는 복수를 알루미늄에 조합한 합금막, 또는 질화막을 사용하여도 좋다. 또한, 주사선(107) 및 용량선(115)은, 예컨대 스퍼터링법으로 형성할 수 있다. 예를 들어, 막 두께 200nm의 텅스텐막을 형성하면 좋다.

[0072] 절연층(127)으로서는, 예컨대 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막 등을 사용하면 좋고 PE-CVD 장치를 사용하여 적층 구조 또는 단층 구조로 제공한다. 수소 방출량이 적은 막을 사용하는 것이 바람직하다. 또한, 절연층(127)을 적층 구조로 한 경우, 제 1 질화 실리콘막을 결함이 적은 질화 실리콘막으로 하고, 제 1 질화 실리콘막 위에 제 2 질화 실리콘막으로서 수소 방출량 및 암모니아 방출량이 적은 질화 실리콘막을 제공하는 것이 바람직하다. 결과적으로 절연층(127)에 포함되는 수소 및 질소가 반도체층(111) 및 반도체층(112)으로 이동 또는 확산되는 것을 억제할 수 있다.

[0073] 또한, 절연층(127)으로서는 산화 실리콘막, 산화 질화 실리콘막 등을 사용하면 좋고 PE-CVD 장치를 사용하여 적층 구조 또는 단층 구조로 제공한다.

[0074] 절연층(127)으로서는, 예컨대 두께 400nm의 질화 실리콘막을 형성하고 나서 두께 50nm의 산화 질화 실리콘막을 형성하는 적층 구조로 할 수 있다. 이 질화 실리콘막과 이 산화 질화 실리콘막은, 진공 중에서 연속하여 형성하면 불순물의 혼입이 억제되어 바람직하다. 또한, 주사선(107)과 중첩되는 위치에 있는 절연층(127)은 트랜지스터(103)의 게이트 절연층으로서 기능한다. 또한, 질화 산화 실리콘이란, 질소의 함유량이 산소의 함유량보다 많은 절연 재료이고, 한편, 산화 질화 실리콘이란, 산소의 함유량이 질소의 함유량보다 많은 절연 재료를 말한다.

[0075] 절연층(127)은 트랜지스터(103)의 게이트 절연층으로서 기능한다. 게이트 절연층은, 상기와 같은 구성으로 함으로써, 예컨대 이하와 같은 효과를 얻을 수 있다. 질화 실리콘막은 산화 실리콘막에 비하여 비유전율이 높고 동등한 정전 용량을 얻기 위하여 필요한 막 두께가 크기 때문에 게이트 절연층의 막 두께를 물리적으로 두껍게 할 수 있다. 따라서, 트랜지스터(103)의 절연 내압의 저하를 억제할 수 있고, 또한 절연 내압을 향상시켜 트랜

지스터(103)의 정전 파괴를 억제할 수 있다.

- [0076] 반도체층(111) 및 반도체층(112)에는 산화물 반도체를 사용하는 것이 바람직하고, 이 산화물 반도체로서 적어도 인듐(In), 아연(Zn), 및 M(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 원소를 나타냄)을 포함하는 In-M-Zn 산화물로 나타내어지는 막을 포함하는 것이 바람직하다. 또는, In과 Zn의 양쪽을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위하여, 상술한 것과 함께 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0077] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 이들 외의 스테빌라이저로서는, 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb), 루테튬(Lu) 등이 있다.
- [0078] 반도체층(111) 및 반도체층(112)을 구성하는 산화물 반도체로서, 예컨대 In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, 및 In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0079] 또한, 여기서, In-Ga-Zn계 산화물이란, In, Ga, 및 Zn을 주성분으로서 포함한 산화물을 뜻하며, In, Ga, 및 Zn의 비율은 불문한다. 또한, In과 Ga과 Zn 이외의 금속 원소가 포함되어 있어도 좋다.
- [0080] 반도체층(111) 및 반도체층(112)이 In-M-Zn 산화물일 때, In-M-Zn 산화물을 성막하기 위하여 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는 $In \geq M$, $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서는, $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=3:1:2$, $In:M:Zn=4:2:4.1$ 이 바람직하다. 또한, 반도체층(111) 및 반도체층(112)이 In-M-Zn 산화물일 때, 스퍼터링 타깃으로서 다결정 In-M-Zn 산화물을 포함한 타깃을 사용하는 것이 바람직하다. 다결정 In-M-Zn 산화물을 포함한 타깃을 사용하면, 결정성을 갖는 산화물 반도체막을 형성하기 쉬워진다. 또한, 형성되는 산화물 반도체막의 원자수비는 각각, 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 오차 변동을 포함한다.
- [0081] 또한, 반도체층(111) 및 반도체층(112)에 산화물 반도체막을 사용하는 경우, 이 산화물 반도체의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0082] 또한, 반도체층(111) 및 반도체층(112)에 산화물 반도체막을 사용하는 경우, 캐리어 밀도가 낮은 산화물 반도체막을 사용한다. 예를 들어, 반도체층(111) 및 반도체층(112)은 캐리어 밀도가 1×10^{17} 개/cm³ 이하, 바람직하게는 1×10^{15} 개/cm³ 이하, 더 바람직하게는 1×10^{13} 개/cm³ 이하, 더욱 바람직하게는 1×10^{11} 개/cm³ 이하로 한다.
- [0083] 또한, 반도체층(111) 및 반도체층(112)에 산화물 반도체막을 사용하는 경우, 이 산화물 반도체막으로서 불순물 농도가 낮으며 결함 준위 밀도가 낮은 산화물 반도체를 사용함으로써, 더 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있어 바람직하다. 여기서는 불순물 농도가 낮으며 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막에 채널 형성 영역이 형성되는 트랜지스터는, 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮게 되는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 전류가 현저히 작고, 채널 폭이 $1 \times 10^6 \mu m$ 이고 채널 길이 L이 10 μm 인 소자의 경우에도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V~10V의 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 1×10^{-13} A 이하라는 특성을 얻을 수 있다.
- [0084] 따라서, 상기 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터로 할 수 있다. 또한, 산화물 반도체막의 트랩 준위에 포획된 전하는 소실될 때까지 걸리는 시간이 길고, 마치 고정 전하와 같이 행동하는 경우가 있다. 그러므로, 트랩 준위 밀도가 높은 산화물 반도체막에 채널 형성 영역이 형성되는 트랜지스터는 전기적 특성이 불안정

하게 될 수 있다. 불순물로서는 수소, 질소, 알칼리 금속, 또는 알칼리 토금속 등이 있다.

[0085] 산화물 반도체막에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응하여 물이 됨과 동시에, 산소가 이탈된 격자(또는 산소가 이탈된 부분)에 산소 결손을 형성한다. 이 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성될 수 있다. 또한, 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함되어 있는 산화물 반도체막을 이용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 산화물 반도체막은 수소가 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체막에서, SIMS에 의하여 얻어지는 수소 농도를, $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.

[0086] 반도체층(111) 및 반도체층(112)의 성막 방법으로는 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 이용할 수 있다. 특히, 반도체층(111) 및 반도체층(112)에 산화물 반도체막을 사용하는 경우 스퍼터링법을 이용하면 바람직하다. 스퍼터링법을 이용하면, 결정성을 포함하는 산화물 반도체막을 형성하기 쉬워진다.

[0087] 반도체층(111) 및 반도체층(112)의 막 두께는 20nm 이상 100nm 이하가 바람직하다. 더 바람직하게는 30nm 이상 50nm 이하이다. 예를 들어, 35nm로 하면 좋다.

[0088] 반도체층(111) 및 반도체층(112)으로서 산화물 반도체막을 형성할 때, 가능한 한 막 중에 포함되는 수소 농도를 저감시키는 것이 바람직하다. 수소 농도를 저감시키기 위해서는, 예컨대 스퍼터링법으로 성막하는 경우에는 성막실 내의 고진공 배기뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스에 사용되는 산소 가스나 아르곤 가스로서, 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하, 더욱 바람직하게는 -120°C 이하까지 고순도화된 가스를 사용함으로써, 산화물 반도체막에 수분 등이 혼입되는 것을 가능한 한 방지할 수 있다.

[0089] 또한, 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예컨대 크라이오 펌프, 이온 펌프, 타이타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 터보 분자 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프는 예컨대 물(H_2O) 등 수소 원자를 포함한 화합물, 탄소 원자를 포함한 화합물 등의 배기 능력이 높기 때문에, 크라이오 펌프를 사용하여 배기한 성막실에서 형성된 막 내에 포함되는 불순물 농도를 저감할 수 있다.

[0090] 또한, 반도체층(111) 및 반도체층(112)으로서 산화물 반도체막을 스퍼터링법으로 형성하는 경우, 성막에 사용하는 금속 산화물 타겟의 상대 밀도(충전율)는 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 이하로 한다. 상대 밀도가 높은 금속 산화물 타겟을 사용함으로써, 형성되는 막을 치밀한 막으로 할 수 있다.

[0091] 또한, 기판(102)을 고온으로 유지한 상태에서 반도체층(111) 및 반도체층(112)으로서 산화물 반도체막을 형성하는 것도, 산화물 반도체막 내에 포함될 수 있는 불순물 농도를 저감시키는 데 유효하다. 기판(102)을 가열하는 온도는 150°C 이상 450°C 이하로 하면 좋고, 바람직하게는 기판 온도를 200°C 이상 350°C 이하로 하면 좋다.

[0092] 다음에, 제 1 가열 처리를 수행하면 바람직하다. 제 1 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로, 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 수행하면 좋다. 또한, 제 1 가열 처리는, 불활성 가스 분위기에서 가열 처리한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상 포함하는 분위기에서 수행하여도 좋다. 제 1 가열 처리에 의하여, 반도체층(111) 및 반도체층(112)에 사용되는 산화물 반도체의 결정성을 높이고, 또한 절연층(127), 반도체층(111) 및 반도체층(112)으로부터 수소나 물 등의 불순물을 제거할 수 있다. 또한, 반도체층(111) 및 반도체층(112)을 섬 형상으로 가공하기 전에 제 1 가열 처리를 수행하여도 좋다.

[0093] 다음에, 도 6에 도시된 바와 같이, 절연층(127), 반도체층(111), 및 반도체층(112) 위에 도전막을 형성하고, 원하는 영역이 잔존하도록 상기 도전막을 가공함으로써, 데이터선(109), 도전층(113B), 도전층(113G), 및 도전층(114)을 형성한다. 또한, 이 단계에서 트랜지스터(103)가 형성된다. 또한, 용량 소자(105B) 및 용량 소자(105G)가 형성된다. 또한, 도전층(114)은 용량선(115)과 중첩되는 영역까지 연장된다.

[0094] 데이터선(109), 도전층(113B), 도전층(113G), 및 도전층(114)에 사용할 수 있는 도전막의 재료로서는, 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 또는 텅스텐 등의 금속,

또는 이를 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 사용할 수 있다. 예를 들어, 알루미늄막 위에 타이타늄막을 적층하는 2층 구조, 텅스텐막 위에 타이타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 타이타늄막 또는 질화 타이타늄막 위에 증착하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 타이타늄막 또는 질화 타이타늄막을 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막 위에 증착하여 알루미늄막 또는 구리막을 적층하고, 또한 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함한 투명 도전 재료를 사용하여도 좋다. 또한, 도전막은 예컨대 스퍼터링법으로 형성할 수 있다. 또한, 데이터선(109), 도전층(113B), 도전층(113G), 및 도전층(114)의 막 두께는, 설정하고자 하는 셀 갭과, 반도체층(111) 및 반도체층(112)의 막 두께를 고려하여 조정한다. 여기서는 316nm로 한다.

[0095] 다음에, 도 7에 도시된 바와 같이, 절연층(127), 반도체층(111), 반도체층(112), 데이터선(109), 도전층(113B), 도전층(113G), 및 도전층(114) 위에 절연층(129) 및 절연층(131)을 형성한다.

[0096] 절연층(129) 및 절연층(131)에는, 반도체층(111) 및 반도체층(112)에 사용하는 산화물 반도체와의 계면 특성을 향상시키기 위하여, 산소를 포함한 무기 절연 재료를 사용할 수 있다. 또한, 절연층(129) 및 절연층(131)은 예컨대 PE-CVD법을 이용하여 형성할 수 있다.

[0097] 절연층(129)의 두께는 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하로 할 수 있다. 절연층(131)의 두께는 30nm 이상 500nm 이하, 바람직하게는 150nm 이상 400nm 이하로 할 수 있다. 절연층(129) 및 절연층(131)의 두께는, 설정하고자 하는 셀 갭과, 반도체층(111) 및 반도체층(112)의 막 두께를 고려하여 조정한다. 여기서는, 절연층(129)을 30nm, 절연층(131)을 252nm로 한다. 즉, 제 1 층간 절연층의 막 두께(절연층(129)과 절연층(131)의 총 막 두께)를 282nm로 한다.

[0098] 또한, 절연층(129) 및 절연층(131)으로서는 같은 재료로 이루어진 절연층을 사용할 수 있기 때문에 절연층(129)과 절연층(131)의 계면은 명확히 확인되지 않는 경우가 있다. 따라서, 본 실시형태에서는 절연층(129)과 절연층(131)의 계면을 파선으로 나타내었다. 또한, 본 실시형태에서는 절연층(129)과 절연층(131)의 2층 구조에 대하여 설명하였지만 이에 한정되지 않고, 예컨대 절연층(129)의 단층 구조나, 절연층(131)의 단층 구조, 또는 3층 이상으로 이루어진 적층 구조로 하여도 좋다.

[0099] 다음에, 도 8에 도시된 바와 같이, 절연층(129) 및 절연층(131)을 원하는 영역이 잔존하도록 가공함으로써 개구(117) 및 개구(118)를 형성한다. 개구(117) 및 개구(118)의 형성에 의하여, 절연층(129) 및 절연층(131)에 오목부가 형성된다.

[0100] 일반적인 반사형 액정 표시 장치에 비하여 개구(117) 및 개구(118)를 형성하기 위한 마스크가 1장 증가하지만, 1장의 마스크 증가에 의하여 3가지의 셀 갭의 조정이 가능해진다.

[0101] 또한, 개구(117) 및 개구(118)는 도전층(113G) 및 반도체층(112)이 노출되도록 형성된다. 본 실시형태에서는, 개구(117) 및 개구(118)에 의하여 각 화소의 셀 갭을 각각 다르게 할 수 있다. 개구(117) 및 개구(118)의 형성 방법으로서, 예컨대 드라이 에칭법을 이용할 수 있다. 다만, 개구(117) 및 개구(118)의 형성 방법은 이에 한정되지 않고, 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 하여도 좋다. 에칭 조건으로서, 절연층(129) 및 절연층(131)을 에칭하지만, 도전층(113G) 및 반도체층(112) 양쪽에 대하여 에칭량이 적은 조건을 선택하면 좋다.

[0102] 또한, 개구(117) 및 개구(118)는 도전층(113G) 및 반도체층(112) 위에 제공되고, 절연층(129) 및 절연층(131)의 단부의 일부가 도전층(113G) 및 반도체층(112)의 단부를 덮는 것이 바람직하다. 도전층(113G) 및 반도체층(112)의 단부를 덮지 않는 경우, 절연층(129) 및 절연층(131)의 에칭 시에 절연층(127)을 에칭할 우려가 있기 때문이다. 절연층(127)이 에칭되면, 나중에 형성되는 절연층(133)의 피복 불량이 되어 신뢰성에 영향을 미칠 가능성이 있다.

[0103] 예를 들어, 개구(117) 및 개구(118)의 형성 방법으로서 드라이 에칭법을 이용한 경우, 산화물 반도체막에 산소 결손이 형성될 경우가 있다.

[0104] 또한, 산화물 반도체막에서 산소 결손을 형성하는 원소를 불순물 원소로 하여 설명하기로 한다. 불순물 원소의 대표적인 예로서는 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소, 희가스 원소 등이 있다. 희가스 원소의 대표적인 예로서는, 헬륨, 네온, 아르곤, 크립톤, 및 제논이 있다.

[0105] 또한, 도 8의 (C)에 도시된 바와 같이, 개구(118)에서, 개구(118)의 단부의 일부는 도전층(114)의 상면에 제공

되는 것이 바람직하다. 절연층(129) 및 절연층(131)이 도전층(114)의 측면을 덮도록 개구(118)를 형성하면, 절연층(129) 및 절연층(131)에 접촉하는 부분의 반도체층(112)의 저항이 높게 되어, 도전층(OC 전극)으로서 기능시킬 수 없을 가능성이 있기 때문이다.

[0106] 다음에, 도 9에 도시된 바와 같이, 절연층(131), 도전층(113G), 반도체층(112), 개구(117), 및 개구(118)를 덮도록 절연층(133)을 형성한다.

[0107] 절연층(133)은 외부로부터의 불순물(예컨대 물, 알칼리 금속, 알칼리 토금속 등)이 산화물 반도체층으로 확산되는 것을 방지하는 재료로 형성되는 막이고, 또한 수소를 포함한다. 그러므로, 절연층(133)의 수소가 반도체층(112)으로 확산되면 반도체층(112)에서 수소와 산소가 결합한다. 또는, 수소는 산소 결손과 결합하여, 캐리어인 전자가 생성된다. 결과적으로, 반도체층(112)은 도전성이 높아져 도전층(OC 전극)이 된다. 반도체층(112)이 도전층(OC 전극)이 됨으로써 용량 소자(105R)가 형성된다.

[0108] 산소 결손이 형성된 산화물 반도체에 수소를 첨가하면, 산소 결손 사이트에 수소가 혼입되어 전도대 근방에 도너 준위가 형성된다. 결과적으로, 산화물 반도체는 도전성이 높아져서 도전체화된다. 그러므로, 산화물 도전체막을 용량 소자의 한쪽 전극에 사용하는 것이 가능하다. 또한, 도전체화된 산화물 반도체를 산화물 도전체(OC)라고 할 수 있다. 일반적으로, 산화물 반도체는 에너지 갭이 크기 때문에 가시광에 대한 투광성을 갖는다. 한편, 산화물 도전체는 전도대 근방에 도너 준위를 갖는 산화물 반도체이다. 따라서, 이 도너 준위로 인한 흡수의 영향은 작고, 가시광에 대하여 산화물 반도체와 같은 정도의 투광성을 갖는다.

[0109] 절연층(133)으로서는 예컨대 두께 100nm 이상 400nm 이하의 질화 실리콘막, 질화 산화 실리콘막 등을 사용할 수 있다. 본 실시형태에서는 절연층(133)으로서 두께 100nm의 질화 실리콘막을 사용한다.

[0110] 또한, 상기 질화 실리콘막은 불로킹성을 높이기 위하여 고온으로 형성되는 것이 바람직하고, 예컨대 기판 온도 100℃ 이상 기판의 변형점 이하, 바람직하게는 300℃ 이상 400℃ 이하의 온도로 가열하여 형성되는 것이 바람직하다. 또한, 고온으로 형성하는 경우에는, 반도체층(111)에 사용되는 산화물 반도체로부터 산소가 이탈되어, 캐리어 농도가 상승되는 현상이 발생될 수 있기 때문에, 이러한 현상이 발생되지 않는 온도로 한다.

[0111] 다음에, 도 10에 도시된 바와 같이, 절연층(129), 절연층(131), 및 절연층(133)에 대하여 개구(181) 및 개구(182)를 형성한다.

[0112] 개구(181) 및 개구(182)는 도전층(113) 및 도전층(114)이 노출되도록 형성된다. 또한, 개구(181) 및 개구(182)의 형성 방법으로서, 예컨대 드라이 에칭법을 이용할 수 있다. 다만, 개구(181) 및 개구(182)의 형성 방법으로서, 이에 한정되지 않고 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 하여도 좋다.

[0113] 다음에, 도 11에 도시된 바와 같이, 절연층(133)을 덮도록 평탄화막(134)을 형성한다. 평탄화막(134)은 개구(181) 및 개구(182)에 중첩하는 개구(119)를 갖고, 도전층(113)에 도달하는 개구(116) 및 도전층(114)에 도달하는 개구(118)를 구성한다. 또한, 개구(116) 및 개구(118)에서 평탄화막(134)의 단부는 절연층(133) 위에 제공되지만 이에 한정되지 않고, 평탄화막(134)의 단부는 도전층(113) 또는 도전층(114) 위에 제공되어도 좋다.

[0114] 평탄화막(134)에는, 폴리이미드 수지, 아크릴 수지, 폴리이미드아마이드 수지, 벤조사이클로부텐 수지, 폴리아마이드 수지, 에폭시 수지 등 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 이들 재료를 사용하여 형성되는 절연층을 복수로 적층함으로써, 평탄화막(134)을 형성하여도 좋다.

[0115] 다음에, 도 12에 도시된 바와 같이, 개구(116)를 덮도록 평탄화막(134) 위에 도전층을 형성하고, 이 도전층을 원하는 영역이 잔존하도록 가공함으로써 반사 전극(121)을 형성한다.

[0116] 반사 전극(121)에 사용할 수 있는 도전층으로서, 가시광에 대하여 반사성이 있는 도전막을 사용할 수 있다. 도전막으로서, 예컨대 알루미늄 또는 은을 포함하는 재료를 사용하면 좋다. 또한, 반사 전극(121)으로서 사용할 수 있는 도전층은, 예컨대 스퍼터링법으로 형성될 수 있다.

[0117] 다음에, 기판(102)에 대향하도록 제공되는 기판(152)에 형성되는 구조에 대하여 설명하기로 한다.

[0118] 우선, 도 13의 (A)에 도시된 바와 같이, 기판(152)을 준비한다. 기판(152)으로서는 기판(102)에 사용되는 재료를 사용할 수 있다. 다음에, 기판(152) 위에 차광층(154), 유색층(156R), 유색층(156G), 유색층(156B), 및 평탄화막(158)을 형성한다.

[0119] 차광층(154)에는, 특정한 파장 대역의 광을 차광하는 기능을 가지고 있으면 좋고, 흑색 안료 등을 포함한 유기

절연층 등을 사용할 수 있다. 유색층(156R), 유색층(156G), 및 유색층(156B)으로서는, 특정한 파장 대역의 광을 투과하는 유색층이면 좋고, 예컨대 적색의 파장 대역의 광을 투과시키는 적색(R)의 컬러 필터, 녹색의 파장 대역의 광을 투과시키는 녹색(G)의 컬러 필터, 청색의 파장 대역의 광을 투과시키는 청색(B)의 컬러 필터 등을 사용할 수 있다. 차광층(154), 유색층(156R), 유색층(156G), 및 유색층(156B)은, 다양한 재료가 사용되고 인쇄법, 잉크젯법, 포토리소그래피 기술을 이용한 에칭법 등에 의하여 각각 원하는 위치에 형성된다.

[0120] 평탄화막(158)으로서는 예컨대 아크릴계 수지 등의 유기 절연층을 사용할 수 있다. 평탄화막(158)을 형성함으로써 예컨대 유색층(156) 내에 포함되는 불순물 등이 액정층(164) 측으로 확산되는 것을 억제할 수 있다. 다만, 평탄화막(158)은 반드시 형성될 필요는 없고, 평탄화막(158)을 형성하지 않는 구조로 하여도 좋다.

[0121] 다음에, 도 13의 (B)에 도시된 바와 같이, 평탄화막(158) 위에 도전층(160)을 형성한다. 그 후에 도전층(160) 위의 원하는 영역에 스페이서(166)를 형성한다.

[0122] 도전층(160)으로서는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하에서는 ITO라고 표시함), 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 사용할 수 있다. 또한, 도전층(160)으로서 사용할 수 있는 도전층은 예컨대 스퍼터링법으로 형성할 수 있다.

[0123] 스페이서(166)는, 절연층을 선택적으로 패터닝함으로써 얻어지는 기둥 형상의 스페이서이며, 액정층(164)의 막 두께(셀 갭)를 제어하기 위하여 제공된다. 예를 들어, 스페이서(166)로서는 기둥 형상의 스페이서를 원형, 타원형, 삼각형, 사각형, 또는 이 이상의 다각형으로 하여 형성하는 것이 바람직하다. 또한, 스페이서(166)로서는 예컨대 아크릴계 수지, 폴리이미드계 수지 등의 유기 재료, 또는 산화 실리콘막, 산화 질화 실리콘막, 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막 등의 무기 재료를 사용하여 형성할 수 있다. 또한, 스페이서(166)의 두께(높이라고도 함)는 0.5 μ m 이상 10 μ m 이하, 바람직하게는 1.0 μ m 이상 4 μ m 이하이다. 스페이서(166)의 높이를 조정하여, 원하는 셀 갭이 되도록 조정한다.

[0124] 상술한 공정을 거쳐 기판(152) 위에 형성되는 구조를 형성할 수 있다.

[0125] 다음에, 기판(102) 위 및 기판(152) 위에 배향막을 형성한다. 배향막은 도포법 등으로 형성할 수 있다. 이 후 기판(102)과 기판(152) 사이에 액정층(164)을 형성한다. 액정층(164)의 형성 방법으로는, 디스펜서법(적하법)이나, 기판(102)과 기판(152)을 접합하고 나서 모세관 현상을 이용하여 액정을 주입하는 주입법을 이용할 수 있다.

[0126] 또한, 액정층(164)에 사용되는 액정으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이러한 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄네마틱상, 등방상 등을 나타낸다.

[0127] 또한, 액정층(164)의 동작 모드로서는, TN(Twisted Nematic) 모드, 수직 배향(VA) 모드 등을 이용할 수 있다. 수직 배향 모드로서는, 몇 개의 예를 들 수 있지만, 예컨대 MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 이용할 수 있다.

[0128] 또한, 액정층(164)의 동작 모드로서는, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수도 있다.

[0129] 상술한 공정을 거쳐 도 2에 도시된 표시 장치를 제작할 수 있다.

[0130] <변형예 1>

[0131] 여기서는 도 2에 도시된 표시 장치의 화소 주변의 변형예의 단면도에 대하여 도 14를 사용하여 설명하기로 한다.

[0132] 도 14에 도시된 표시 장치의 화소 주변의 단면도는, 도전층(113B) 아래에 반도체층(172B)이 제공되고 도전층(113G) 아래에 반도체층(172G)이 제공되는 점이, 도 2에 도시된 단면도와 다르다.

[0133] 반도체층(172B)과 반도체층(172G) 및 도전층(113B)과 도전층(113G)을 각각 다른 마스크를 사용하여 가공하여도 좋고, 하프톤 마스크 또는 그레이톤 마스크를 사용하여 1장의 마스크로 2단계의 에칭 처리를 수행하여 가공할 수도 있다. 하프톤 마스크 또는 그레이톤 마스크를 사용함으로써 마스크 수를 1장 삭감할 수 있다.

- [0134] <변형예 2>
- [0135] 도 2의 구성과 도 14의 구성을 조합함으로써 5가지의 셀 갭을 얻을 수 있고, 4색 또는 5색분의 셀 갭의 조정이 가능하다.
- [0136] <변형예 3>
- [0137] 도 2에 도시된 표시 장치의 화소 주변의 변형예의 단면도에 대하여 도 20을 사용하여 설명하기로 한다.
- [0138] 도 20에 도시된 바와 같이, 유색층(156B), 유색층(156G), 및 유색층(156R) 대신 유색층(157B), 유색층(157G), 및 유색층(157R)과 같이 유색층의 일부가 없는 구조로 하여도 좋다. 유색층을 통하지 않고 광이 액정층에 침입하거나, 또는 유색층을 통하지 않고 반사광이 사출되므로 전체적으로 표시를 밝게 할 수 있다.
- [0139] <변형예 4>
- [0140] 또한, 본 명세서에서는 반사형 액정 표시 장치로서 설명하였으나, 반투과형 액정 표시 장치로 할 수도 있다. 도 21을 사용하여 설명하기로 한다.
- [0141] 반투과형 액정 표시 장치로 하는 경우에는, 화소 전극의 일부가 반사 전극(121)으로서 기능하고, 일부가 투과 전극(122)으로서 기능하도록 하면 좋다. 예를 들어, 투과 전극(122)은 도전층(160)과 같은 재료를 가지도록 하면 좋다. 또한, 투과 전극 아래에는 용량 소자(105G)를 배치하지 않도록 한다. 투과 전극 부분에서는 용량 소자(105G)가 없기 때문에, 셀 갭을 두껍게 할 수 있다. 투과 전극(122) 위의 셀 갭을 반사 전극(121) 위의 셀 갭의 약 2배가 되도록 각 층을 조정하면 좋다. 또한, 대향 전극 측의 유색층(156G)은 광이 2번 통과함으로써 색 재현성이 높게 되도록 조정되어 있기 때문에, 투과형 액정 표시 장치에서 사용되면 색 재현성이 저하된다. 따라서, 투과 전극 아래에 유색층(155G)을 더 배치함으로써, 색 재현성을 향상시킬 수 있다. 또한, 반사 전극(121) 아래까지 유색층(155G)이 연장되어도 좋다.
- [0142] 또한, 액정층(164)의 동작 모드가 수직 배향(VA) 모드인 경우, 액정 표시 장치로서는 일반적으로 노멀리 블랙의 동작이 된다. 각 화소에 전압을 인가함으로써, 명 상태를 표시한다. 본 실시형태에서 제시하는 구성에 따르면, RGB 각각에서 휘도가 가장 높게 되도록 조정되어 있으므로 밝은 표시가 가능하고, 종래보다 낮은 전압이 인가되어도 종래의 밝기에 못지않게 밝게 표시할 수 있고, 소비 전력을 낮게 할 수 있다.
- [0143] 또한, 본 실시형태는, 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.
- [0144] (실시형태 2)
- [0145] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치에 사용할 수 있는 트랜지스터의 구성에 대하여 도 15 및 도 16을 사용하여 설명하기로 한다. 또한, 본 실시형태에서 제시하는 트랜지스터는 실시형태 1에서 제시한 화소(101)에 사용하는 트랜지스터, 및 실시형태 4에서 제시하는 구동 회로부(504)에 사용하는 트랜지스터에 적용할 수 있다. 또한, 상술한 실시형태에서 제시한 기능과 같은 기능을 갖는 부분을 가리킬 때에는 같은 부호를 붙이며, 그 자세한 설명은 생략한다.
- [0146] 우선, 도 15에 도시된 트랜지스터(250)에 대하여 이하에서 설명하기로 한다.
- [0147] 도 15에, 트랜지스터(250)의 상면도 및 단면도를 도시하였다. 도 15의 (A)는 트랜지스터(250)의 상면도이고, 도 15의 (B)는 도 15의 (A) 중 일점 쇄선 A-B 부분의 단면도이고, 도 15의 (C)는 도 15의 (A) 중 일점 쇄선 C-D 부분의 단면도이다. 또한, 도 15의 (A)에서는 명료화를 위하여 기관(102), 트랜지스터(250)의 게이트 절연층으로서 기능하는 절연층(127), 절연층(129), 절연층(133) 등을 생략하였다.
- [0148] 도 15에 도시된 트랜지스터(250)는 채널 에치형 트랜지스터이고, 기관(102) 위에 제공되는 게이트 전극(207)과, 기관(102) 및 게이트 전극(207) 위에 형성되는 절연층(127)과, 절연층(127)을 개재(介)하여 게이트 전극(207)과 중첩되는 반도체층(111)과, 반도체층(111)에 접촉하는 한 쌍의 전극(209, 213)을 갖는다. 또한, 절연층(127), 반도체층(111), 및 한 쌍의 전극(209, 213) 위에 절연층(129), 절연층(131), 및 절연층(133)으로 구성되는 게이트 절연층(228)과, 게이트 절연층(228) 위에 형성되는 게이트 전극(251)을 갖는다. 게이트 전극(251)은 절연층(127) 및 게이트 절연층(228)에 제공된 개구(242)를 통하여 게이트 전극(207)에 접속된다. 또한, 게이트 전극(251)의 전계를 반도체층(111)에 효율적으로 전달하기 위하여 실시형태 1에서 제시한 평탄화막(134)은 제공되지 않는 것이 좋다.
- [0149] 게이트 전극(251)은 실시형태 1에서 제시한 반사 전극(121)과 동시에 형성된다. 또한, 본 실시형태의 트랜지스

터(250)로서는, 실시형태 1에서 제시한 반사 전극(121)과 동일한 공정을 거쳐, 트랜지스터(250)의 제 2 게이트 전극으로서 기능하는 게이트 전극(251)이 형성되는 것이 특징이다.

[0150] 또한, 게이트 전극(207)은 실시형태 1에서 제시한 주사선(107)과 같은 재료 및 제작 방법으로 형성될 수 있다. 개구(242)는 실시형태 1에서 제시한 개구(181) 및 개구(182)와 같은 제작 방법으로 형성될 수 있다. 또한, 한 쌍의 전극(209, 213)은 실시형태 1에서 제시한 데이터선(109) 및 도전층(113)과 같은 재료 및 제작 방법으로 형성될 수 있다.

[0151] 또한, 본 실시형태에서 제시하는 트랜지스터(250)에서는, 게이트 전극(207)과 게이트 전극(251) 사이에 반도체층(111)이 제공되어 있다. 또한, 게이트 전극(251)은 도 15의 (A)에 도시된 바와 같이 상면으로부터 보면, 게이트 절연층(228)을 개재하여 반도체층(111)의 측면과 중첩된다.

[0152] 또한, 절연층(127) 및 게이트 절연층(228)에는 개구(242)를 갖는다. 도 15의 (C)에 도시된 바와 같이 반도체층(111)의 한쪽 측면의 외측에서, 절연층(127) 및 게이트 절연층(228)에 제공된 개구(242)를 통하여 게이트 전극(251)이 게이트 전극(207)에 접속된다. 또한, 게이트 전극(251)은 개구(242)의 측면에서 반도체층(111)의 측면과 대향한다. 또한, 반도체층(111)의 다른 쪽 측면의 외측에서는 게이트 전극(251)이 게이트 전극(207)에 접속되지 않는다. 또한, 게이트 전극(251)의 단부는 반도체층(111)의 측면의 외측에 위치한다.

[0153] 또한, 도 15의 (C)에 도시된 바와 같이 채널 폭 방향에 있어서, 절연층(127)과 게이트 절연층(228)의 계면에 게이트 전극(251)을 투영한 경우의 단부와 반도체층(111)의 측면과의 거리 e 는, 절연층(127)의 막 두께 t_1 과 게이트 절연층(228)의 막 두께 t_2 의 총 막 두께의 1배 이상 7.5배 이하로 하는 것이 바람직하다. 거리 e 가 절연층(127)의 막 두께 t_1 과 게이트 절연층(228)의 막 두께 t_2 의 총 막 두께의 1배 이상인 경우, 게이트 전극(251)의 전계가 반도체층(111)의 측면, 또는 측면 및 그 근방을 포함하는 단부에 영향을 미치기 때문에 반도체층(111)의 측면 또는 단부에서의 기생 채널의 발생을 억제할 수 있다. 한편, 거리 e 가 절연층(127)의 막 두께 t_1 과 게이트 절연층(228)의 막 두께 t_2 의 총 막 두께의 7.5배 이하인 경우 트랜지스터(250)의 면적을 작게 할 수 있다.

[0154] 또한, 도 15에 도시된 트랜지스터(250)에서는, 채널 폭 방향에 있어서, 반도체층(111)의 한쪽 측면의 외측에서 게이트 전극(207)과 게이트 전극(251)이 접속되고, 반도체층(111)의 다른 쪽의 측면의 외측에서 절연층(127) 및 게이트 절연층(228)을 개재하여 게이트 전극(207)과 게이트 전극(251)이 대향한다. 채널 길이 방향에 있어서, 개구(242)가 전극(209)과 전극(213) 사이의 간격보다 넓게 제공되고, 게이트 전극(251)의 전계가 반도체층(111)의 측면 및 그 근방에 효율적으로 전달된다. 또한, 채널 폭 방향에 있어서, 개구(242)를 반도체층(111)의 양 측면의 외측에 제공하여도 좋다. 따라서, 게이트 전극(251)의 전계를 더 효율적으로 전달할 수 있다.

[0155] 다음에, 도 16에 도시된 트랜지스터(260)에 대하여 이하에서 설명하기로 한다.

[0156] 도 16에, 트랜지스터(260)의 상면도 및 단면도를 도시하였다. 도 16의 (A)는 트랜지스터(260)의 상면도이고, 도 16의 (B)는 도 16의 (A) 중 일점 쇄선 A-B 부분의 단면도이고, 도 16의 (C)는 도 16의 (A) 중 일점 쇄선 C-D 부분의 단면도이다. 또한, 도 16의 (A)에서는 명료화를 위하여 기관(102), 게이트 절연층으로서 기능하는 절연층(127) 등을 생략하였다.

[0157] 도 16에 도시된 트랜지스터(260)는 채널 에치형 트랜지스터이고, 기관(102) 위에 제공되는 게이트 전극(207)과, 기관(102) 및 게이트 전극(207) 위에 형성되는 절연층(127)과, 절연층(127)을 개재하여 게이트 전극(207)과 중첩되는 반도체층(111)과, 반도체층(111)에 접촉하는 한 쌍의 전극(209, 213)을 갖는다. 또한, 절연층(127), 반도체층(111), 및 한 쌍의 전극(209, 213) 위에 절연층(129), 절연층(131), 및 절연층(133)으로 구성되는 게이트 절연층(228)과, 게이트 절연층(228) 위에 형성되는 게이트 전극(251)을 갖는다. 게이트 전극(251)은 절연층(127) 및 절연층(133)에 제공된 개구(294)를 통하여 게이트 전극(207)에 접속된다. 또한, 게이트 전극(251)의 전계를 반도체층(111)에 효율적으로 전달하기 위하여 실시형태 1에서 제시한 평탄화막(134)은 제공하지 않는 것이 좋다.

[0158] 또한, 절연층(127)은 절연층(215a) 및 절연층(215b)으로 형성된다. 절연층(215b)은 반도체층(111), 한 쌍의 전극(209, 213), 및 절연층(131)과 중첩되는 영역에 형성된다.

[0159] 게이트 전극(251)은, 실시형태 1에서 제시한 반사 전극(121)과 동시에 형성된다. 또한, 본 실시형태의 트랜지스터(260)는, 실시형태 1에서 제시한 반사 전극(121)과 동일한 공정을 거쳐, 트랜지스터(260)의 제 2 게이트 전극으로서 기능하는 게이트 전극(251)을 형성하는 것을 특징으로 한다. 또한, 절연층(215a)으로서, 질화 실리콘막을 사용하여 형성한다. 또한, 절연층(215b)은 산화 실리콘막, 산화 질화 실리콘막 등을 사용하여 형성된다.

또한, 절연층(215a) 및 절연층(215b)은 절연층(127)과 같은 형성 방법으로 형성될 수 있다.

[0160] 또한, 절연층(129) 및 절연층(131)은 트랜지스터마다 분리되어 있으며 반도체층(111)과 증착된다. 구체적으로 말하면, 도 16의 (B)에 도시된 채널 길이 방향에서, 한 쌍의 전극(209, 213) 위에 절연층(129) 및 절연층(131)의 단부가 위치하고, 도 16의 (C)에 도시된 채널 폭 방향에서, 반도체층(111)의 외측에 절연층(129) 및 절연층(131)의 단부가 위치한다. 또한, 절연층(133)은 절연층(129) 및 절연층(131)의 상면 및 측면을 덮도록 형성되며 절연층(215a)에 접촉한다. 또한, 채널 길이 방향에서, 절연층(129) 및 절연층(131)의 단부는 한 쌍의 전극(209, 213) 위에 제공되지 않으며 절연층(215b) 위에 제공되어도 좋다.

[0161] 또한, 도 16의 (C)에 도시된 채널 폭 방향에서, 게이트 전극(251)은 절연층(129) 및 절연층(131)의 측면을 개재하여 반도체층(111)의 측면과 대향한다.

[0162] 본 실시형태에서 제시한 트랜지스터(260)에서는, 채널 폭 방향에서, 절연층(127) 및 게이트 절연층(228)을 개재하여 게이트 전극(207)과 게이트 전극(251) 사이에 반도체층(111)이 제공된다. 또한, 도 16의 (A)에 도시된 바와 같이, 게이트 전극(251)은 상면으로부터 보면, 게이트 절연층(228)을 개재하여 반도체층(111)의 측면과 대향한다.

[0163] 도 16의 (C)에 도시된 바와 같이, 반도체층(111)의 한쪽 측면의 외측에서, 절연층(127) 및 절연층(133)에 제공된 개구(294)를 통하여 게이트 전극(251)이 게이트 전극(207)에 접속된다. 또한, 게이트 전극(251)은 절연층(228)을 개재하여 반도체층(111)의 측면과 대향한다. 또한, 반도체층(111)의 다른 쪽 측면의 외측에서는 게이트 전극(251)이 게이트 전극(207)에 접속되지 않는다. 또한, 게이트 전극(251)의 단부는 반도체층(111)의 측면의 외측에 위치한다.

[0164] 또한, 트랜지스터(260)에서는, 도 16의 (C)에 도시된 바와 같이 채널 폭 방향에서, 반도체층(111)의 한쪽 측면의 외측에서만 게이트 전극(207)과 게이트 전극(251)이 접속되지만, 반도체층(111)의 양측면의 외측에서 게이트 전극(207)과 게이트 전극(251)이 접속되어도 좋다.

[0165] 본 실시형태에서 제시하는 트랜지스터(260)에서, 절연층(215a)과 절연층(133)은 반도체층(111) 및 절연층(131)을 내측에 가지며 서로 접촉한다. 절연층(215a) 및 절연층(133)은 산소의 확산 계수가 낮으며 산소에 대한 배리어성을 갖기 때문에, 절연층(131)에 포함되는 산소의 일부를 반도체층(111)으로 효율적으로 이동시키는 것이 가능하고, 반도체층(111)의 산소 결손량을 저감할 수 있다. 또한, 절연층(215a) 및 절연층(133)은 물이나 수소 등의 확산 계수가 낮으며, 물이나 수소 등에 대한 배리어성을 갖기 때문에, 외부로부터 반도체층(111)으로 물이나 수소 등이 확산되는 것을 방지할 수 있다. 결과적으로, 트랜지스터(260)는 신뢰성이 높은 트랜지스터가 된다.

[0166] 또한, 트랜지스터(260)의 제작 공정은 이하와 같다.

[0167] 먼저 실시형태 1에서 제시한 도 7의 공정과 같은 공정을 수행한다. 그 후, 개구(117)와 개구(118)의 형성과 동시에 절연층(129) 및 절연층(131)을 섬 형상으로 분리한다. 그 다음에 절연층(133)을 형성한다. 그 후에 절연층(133) 및 절연층(127)을 가공하여 게이트 전극(207)에 도달하는 개구(294)를 형성한다. 그 다음에, 절연층(133) 위에 도전층을 형성하고, 이 도전층을 가공함으로써 게이트 전극(251)을 형성한다.

[0168] 본 실시형태에서 제시한 구성은 다른 실시형태에서 제시한 구성과 적절히 조합하여 사용할 수 있다. 또한, 화소부에는 실시형태 1에서 제시한 트랜지스터를 사용하고, 실시형태 4에서 제시하는 구동 회로부(504)에 사용하는 트랜지스터에 본 실시형태에서 제시한 구성을 조합하여 적용할 수 있다. 또한, 화소부에 본 실시형태에서 제시한 구성을 사용하고, 실시형태 4에서 제시하는 구동 회로부(504)에 실시형태 1에서 제시한 트랜지스터를 조합하여 적용할 수 있다.

[0169] (실시형태 3)

[0170] 본 실시형태에서는 실시형태 1 및 2에서 제시한 표시 장치의 트랜지스터 및 용량 소자의 반도체층으로서 적용 가능한 산화물 반도체막의 일례에 대하여 설명하기로 한다.

[0171] <산화물 반도체막의 결정성>

[0172] 이하에서는, 산화물 반도체막의 구조에 대하여 설명하기로 한다.

[0173] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산

화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0174] 우선, CAAC-OS막에 대하여 설명하기로 한다.

[0175] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막 중 하나이다.

[0176] 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS막의 명시야상 및 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰함으로써 복수의 결정부가 확인된다. 한편, 고분해능 TEM 이미지에서도 결정부끼리의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)가 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도 저하가 일어나기 어렵다고 할 수 있다.

[0177] 시료면에 실질적으로 평행한 방향으로부터 CAAC-OS막의 단면의 고분해능 TEM 이미지를 관찰하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.

[0178] 한편, 시료면에 실질적으로 수직인 방향으로부터 CAAC-OS막의 평면의 고분해능 TEM 이미지를 관찰하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0179] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용한 구조 해석, 예컨대 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석을 수행하면, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 확인할 수 있다.

[0180] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방일 때 나타나는 피크 이외에, 2θ 가 36° 근방일 때에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는, CAAC-OS막 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방일 때 피크가 나타나고, 2θ 가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0181] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 천이 금속 원소 등 산화물 반도체막의 주성분 이외의 원소이다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체막에서 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0182] 또한, CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.

[0183] 불순물 농도가 낮으며 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작으며 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출할 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높으며 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

[0184] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.

[0185] 다음에, 미결정 산화물 반도체막에 대하여 설명하기로 한다.

[0186] 미결정 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 갖는다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한,

예컨대 nc-OS막의 고분해능 TEM 이미지에서는 결정 입계가 명확히 확인되지 않는 경우가 있다.

- [0187] nc-OS막은 미소한 영역(예컨대 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어, nc-OS막에 대하여 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 out-of-plane법에 의하여 구조 해석을 수행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS막에 대하여 결정부보다 큰 프로브 직경(예컨대 50nm 이상)의 전자 빔을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 수행하면, 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 결정부의 크기와 가깝거나 결정부보다 작은 프로브 직경의 전자 빔을 사용하는 나노 빔 전자 회절을 수행하면, 스폿이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자 회절을 수행하면, 원을 그리듯이(고리 형상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자 회절을 수행하면, 고리 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.
- [0188] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.
- [0189] 다음에, 비정질 산화물 반도체막에 대하여 설명하기로 한다.
- [0190] 비정질 산화물 반도체막은, 막 내에서의 원자 배열이 불규칙하며 결정부를 갖지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체막이 일례이다.
- [0191] 비정질 산화물 반도체막의 고분해능 TEM 이미지에서는 결정부가 확인되지 않는다.
- [0192] 비정질 산화물 반도체막에 대하여 XRD 장치를 사용하여 out-of-plane법에 의하여 구조 해석을 수행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막에 대하여 전자 회절을 수행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막에 대하여 나노 빔 전자 회절을 수행하면, 스폿이 관측되지 않고 헤일로 패턴이 관측된다.
- [0193] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막의 중간의 물성을 나타내는 구조를 갖는 경우가 있다. 이러한 구조를 갖는 산화물 반도체막을 특히 a-like OS(amorphous-like Oxide Semiconductor)막이라고 부른다.
- [0194] a-like OS막의 고분해능 TEM 이미지에서는 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서, 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역이 있다. a-like OS막은 TEM 관찰과 같은 미량의 전자 조사에 의해서도 결정화되어 결정부의 성장이 관찰되는 경우가 있다. 한편, 양질의 nc-OS막이라면, TEM 관찰과 같은 미량의 전자 조사에 의한 결정화는 거의 관찰되지 않는다.
- [0195] 또한, a-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM 이미지로부터 예측할 수 있다. 예를 들어, InGaZnO₄의 결정은 층상 구조를 가지며, In-O층 사이에 Ga-Zn-O층을 2층 갖는다. InGaZnO₄의 결정의 단위 격자는 In-O층 3층과 Ga-Zn-O층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는다. 따라서, 이들 근접하는 층끼리의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 결정 구조 해석에 의하여 그 값은 0.29nm로 산출된다. 그러므로, 고분해능 TEM 이미지에서의 격자 줄무늬(lattice fringe)에 착안하여, 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 부분에서는 각 격자 줄무늬가 InGaZnO₄의 결정의 a-b면에 대응한다.
- [0196] 또한, 산화물 반도체막은 예컨대 비정질 산화물 반도체막, a-like OS막, 미결정 산화물 반도체막, CAAC-OS막 중 2종 이상을 갖는 적층막이라도 좋다.
- [0197] 본 실시형태에서 제시한 구성은 다른 실시형태에서 제시한 구성과 적절히 조합하여 사용할 수 있다.
- [0198] (실시형태 4)
- [0199] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치에 대하여 도 17을 사용하여 설명하기로 한다.
- [0200] 도 17의 (A)에 도시된 표시 장치는, 표시 소자의 화소를 갖는 영역(이하, 화소부(502)라고 함)과, 화소부(502) 외측에 배치되며 화소를 구동하기 위한 회로를 갖는 회로부(이하, 구동 회로부(504)라고 함)와, 소자의 보호 기

능을 갖는 회로(이하, 보호 회로(506)라고 함)와, 단자부(507)를 갖는다. 또한, 보호 회로(506)를 제공하지 않는 구성으로 하여도 좋다.

[0201] 구동 회로부(504)의 일부 또는 전부는, 화소부(502)와 동일 기판 위에 형성되는 것이 바람직하다. 이에 의하여, 부품 수나 단자 수를 줄일 수 있다. 구동 회로부(504)의 일부 또는 전부가, 화소부(502)와 동일 기판 위에 형성되지 않는 경우에는, 구동 회로부(504)의 일부 또는 전부는 COG나 TAB(Tape Automated Bonding)에 의하여 실장할 수 있다.

[0202] 화소부(502)는, X행(X는 2 이상의 자연수) Y열(Y는 2 이상의 자연수)에 배치된 복수의 표시 소자를 구동하기 위한 회로(이하, 화소 회로(501)라고 함)를 갖고, 구동 회로부(504)는 화소를 선택하는 신호(주사 신호)를 출력하는 회로(이하, 게이트 드라이버(504a)라고 함), 화소의 표시 소자를 구동하기 위한 신호(데이터 신호)를 공급하기 위한 회로(이하, 소스 드라이버(504b)라고 함) 등의 구동 회로를 갖는다.

[0203] 게이트 드라이버(504a)는 시프트 레지스터 등을 갖는다. 게이트 드라이버(504a)는, 단자부(507)를 통하여 시프트 레지스터를 구동하기 위한 신호가 입력되고 신호를 출력한다. 예를 들어, 게이트 드라이버(504a)는 스타트 펄스 신호나 클럭 신호 등이 입력되고, 펄스 신호를 출력한다. 게이트 드라이버(504a)는 주사 신호가 공급되는 배선(이하, 주사선(GL₁)~(GL_X)이라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 게이트 드라이버(504a)를 복수 제공하고, 복수의 게이트 드라이버(504a)에 의하여 주사선(GL₁)~(GL_X)을 따로따로 제어하여도 좋다. 또는, 게이트 드라이버(504a)는 초기화 신호를 공급할 수 있는 기능을 갖는다. 다만, 이에 한정되지 않고, 게이트 드라이버(504a)는 다른 신호를 공급하는 것도 가능하다.

[0204] 소스 드라이버(504b)는 시프트 레지스터 등을 갖는다. 소스 드라이버(504b)는 단자부(507)를 통하여, 시프트 레지스터를 구동하기 위한 신호 외에, 데이터 신호의 바탕이 되는 신호(화상 신호)가 입력된다. 소스 드라이버(504b)는, 화상 신호를 바탕으로 화소 회로(501)에 기록하는 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(504b)는 스타트 펄스 신호나 클럭 신호 등이 입력되어 얻어지는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(504b)는 데이터 신호가 공급되는 배선(이하, 데이터선(DL₁)~(DL_Y)이라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(504b)는 초기화 신호를 공급할 수 있는 기능을 갖는다. 다만, 이에 한정되지 않고, 소스 드라이버(504b)는 다른 신호를 공급하는 것도 가능하다.

[0205] 소스 드라이버(504b)는 예컨대 복수의 아날로그 스위치 등을 사용하여 구성된다. 소스 드라이버(504b)는 복수의 아날로그 스위치를 순차적으로 온 상태로 함으로써, 화상 신호를 시분할한 신호를 데이터 신호로서 출력할 수 있다. 또한, 시프트 레지스터 등을 사용하여 소스 드라이버(504b)를 구성하여도 좋다.

[0206] 복수의 화소 회로(501) 각각은, 주사 신호가 공급되는 복수의 주사선(GL) 중 하나를 통하여 펄스 신호가 입력되고, 데이터 신호가 공급되는 복수의 데이터선(DL) 중 하나를 통하여 데이터 신호가 입력된다. 또한, 복수의 화소 회로(501) 각각은 게이트 드라이버(504a)에 의하여 데이터 신호의 데이터의 기록 및 유지가 제어된다. 예를 들어, m행 n열짜 화소 회로(501)에는, 게이트 드라이버(504a)로부터 주사선(GL_m)(m은 X 이하의 자연수)을 통하여 펄스 신호가 입력되고, 주사선(GL_m)의 전위에 따라 소스 드라이버(504b)로부터 데이터선(DL_n)(n은 Y 이하의 자연수)을 통하여 데이터 신호가 입력된다.

[0207] 도 17의 (A)에 도시된 보호 회로(506)는, 예컨대 게이트 드라이버(504a)와 화소 회로(501) 사이의 배선인 주사선(GL)에 접속된다. 또는, 보호 회로(506)는 소스 드라이버(504b)와 화소 회로(501) 사이의 배선인 데이터선(DL)에 접속된다. 또는, 보호 회로(506)는 게이트 드라이버(504a)와 단자부(507) 사이의 배선에 접속시킬 수 있다. 또는, 보호 회로(506)는 소스 드라이버(504b)와 단자부(507) 사이의 배선에 접속시킬 수 있다. 또한, 단자부(507)란, 외부의 회로로부터 표시 장치에 전원, 제어 신호, 및 화상 신호를 입력하기 위한 단자가 제공된 부분을 말한다.

[0208] 보호 회로(506)는, 이 자체가 접속되는 배선에 일정 범위 외의 전위가 공급되었을 때, 상기 배선과 다른 배선으로 통 상태로 하는 회로이다.

[0209] 도 17의 (A)에 도시된 바와 같이, 화소부(502)와 구동 회로부(504)에 각각 보호 회로(506)를 제공함으로써, ESD(Electro Static Discharge: 정전기 방전) 등에 의하여 발생하는 과전류에 대한 표시 장치의 내성을 높일 수 있다. 다만, 보호 회로(506)의 구성은 이에 한정되지 않고, 예컨대 게이트 드라이버(504a)에 보호 회로(506)를 접속시킨 구성, 또는 소스 드라이버(504b)에 보호 회로(506)를 접속시킨 구성으로 할 수도 있다. 또는, 단자부(507)에 보호 회로(506)를 접속시킨 구성으로 할 수도 있다.

- [0210] 또한, 도 17의 (A)에서는 게이트 드라이버(504a)와 소스 드라이버(504b)에 의하여 구동 회로부(504)를 형성한 예를 도시하였으나, 이 구성에 한정되지 않는다. 예를 들어, 게이트 드라이버(504a)만을 형성하고, 별도로 준비된 소스 드라이버 회로가 형성된 기판(예컨대, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기판)을 실장하는 구성으로 하여도 좋다.
- [0211] 또한, 도 17의 (A)에 도시된 복수의 화소 회로(501)는, 예컨대 도 17의 (B)에 도시된 구성으로 할 수 있다.
- [0212] 도 17의 (B)에 도시된 화소 회로(501)는, 액정 소자(570)와, 트랜지스터(550)와, 용량 소자(560)를 갖는다. 트랜지스터(550)에 상술한 실시형태에서 제시한 트랜지스터를 적용할 수 있다.
- [0213] 액정 소자(570)의 한 쌍의 전극 중 한쪽의 전위는 화소 회로(501)의 사양에 따라 적절히 설정된다. 액정 소자(570)는, 기록되는 데이터에 따라 배향 상태가 설정된다. 또한, 복수의 화소 회로(501) 각각이 갖는 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공통 전위(common potential)를 공급하여도 좋다. 또한, 각 행의 화소 회로(501)의 액정 소자(570)의 한 쌍의 전극 중 한쪽에 다른 전위를 공급하여도 좋다.
- [0214] m행 n열째의 화소 회로(501)에 있어서, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 한쪽은 데이터선(DL_n)에 전기적으로 접속되고, 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(550)의 게이트 전극은 주사선(GL_m)에 전기적으로 접속된다. 트랜지스터(550)는 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.
- [0215] 용량 소자(560)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하, 전위 공급선(VL))에 전기적으로 접속되고, 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 전위 공급선(VL)의 전위 값은 화소 회로(501)의 사양에 따라 적절히 설정된다. 용량 소자(560)는 기록된 데이터를 유지하는 유지용량으로서의 기능을 갖는다.
- [0216] 예를 들어, 도 17의 (B)에 도시된 화소 회로(501)를 갖는 표시 장치는, 도 17의 (A)에 도시된 게이트 드라이버(504a)에 의하여 각 행의 화소 회로(501)를 순차적으로 선택하고, 트랜지스터(550)를 온 상태로 하고 데이터 신호의 데이터를 기록한다.
- [0217] 데이터가 기록된 화소 회로(501)는 트랜지스터(550)가 오프 상태가 됨으로써 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시할 수 있다.
- [0218] 본 실시형태에서 제시한 구성은, 다른 실시형태에서 제시한 구성과 적절히 조합하여 사용할 수 있다.
- [0219] (실시형태 5)
- [0220] 본 실시형태에서는 본 발명의 일 형태에 따른 표시 장치를 사용할 수 있는 표시 모듈 및 전자 기기에 대하여, 도 18 및 도 19를 사용하여 설명하기로 한다.
- [0221] 도 18에 도시된 표시 모듈(8000)은 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 프레임(8009), 프린트 기판(8010), 및 배터리(8011)를 갖는다.
- [0222] 본 발명의 일 형태에 따른 표시 장치는 예컨대 표시 패널(8006)에 사용될 수 있다.
- [0223] 상부 커버(8001) 및 하부 커버(8002)의 형상이나 치수는, 터치 패널(8004) 및 표시 패널(8006)의 크기에 맞추어서 적절히 변경할 수 있다.
- [0224] 터치 패널(8004)은, 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩시켜서 사용될 수 있다. 또한, 표시 패널(8006)의 대향 기판(밀봉 기판)에, 터치 패널 기능을 가지게 하는 것도 가능하다. 또한, 표시 패널(8006)의 각 화소 내에 광 센서를 제공하고, 광학식 터치 패널로 하는 것도 가능하다.
- [0225] 프레임(8009)은 표시 패널(8006)의 보호 기능 외에, 프린트 기판(8010)의 동작에 의하여 발생하는 전자파를 차단하기 위한 전자 실드로서의 기능을 갖는다. 또한, 프레임(8009)은 방열판으로서의 기능을 가져도 좋다.
- [0226] 프린트 기판(8010)은 전원 회로, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 갖는다. 전원 회로에 전력을 공급하는 전원으로서, 외부의 상용 전원이라도 좋고, 별도로 제공한 배터리(8011)에 의한 전원이라도 좋다. 배터리(8011)는 상용 전원을 사용하는 경우에는 생략 가능하다.
- [0227] 또한, 표시 모듈(8000)은, 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 제공하여도 좋다.
- [0228] 도 19는 전자 기기를 도시한 것이다. 이들의 전자 기기는, 하우징(5000), 표시부(5001), 스피커(5003), LED 램

프(5004), 조작 키(5005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액(液), 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.

[0229]

도 19의 (A)는 모바일 컴퓨터이며, 상술한 것 이외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 19의 (B)는 기록 매체를 구비한 휴대형 화상 재생 장치(예컨대, DVD 재생 장치)이며, 상술한 것 이외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 19의 (C)는 고글형 디스플레이이며, 상술한 것 이외에, 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 19의 (D)는 휴대형 게임기이며, 상술한 것 이외에, 기록 매체 판독부(5011) 등을 가질 수 있다. 도 19의 (E)는 텔레비전 수상 기능을 갖는 디지털 카메라이며, 상술한 것 이외에, 안테나(5014), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 19의 (F)는 휴대형 게임기이며, 상술한 것 이외에, 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 19의 (G)는 포터블 텔레비전 수상기이며, 상술한 것 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다.

[0230]

도 19에 도시된 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속되는 기능, 무선 통신 기능을 사용하여 다양한 데이터의 송신 또는 수신을 수행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한 복수의 표시부를 갖는 전자 기기에 있어서는, 하나의 표시부에서 주로 화상 정보를 표시하고, 다른 하나의 표시부에서 주로 문자 정보를 표시하는 기능, 또는 복수의 표시부에 시차(視差)를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한 수상부를 갖는 전자 기기에 있어서는, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 19에 도시된 전자 기기가 가질 수 있는 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0231]

본 실시형태에서 제시한 전자 기기는, 어떤 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다.

[0232]

본 실시형태에서 제시한 구성은, 다른 실시형태에서 제시한 구성과 적절히 조합하여 사용할 수 있다.

부호의 설명

[0233]

101: 화소

102: 기관

103: 트랜지스터

105: 용량 소자

105B: 용량 소자

105G: 용량 소자

105R: 용량 소자

107: 주사선

109: 데이터선

111: 반도체층

112: 반도체층

113: 도전층

113B: 도전층

113G: 도전층

114: 도전층

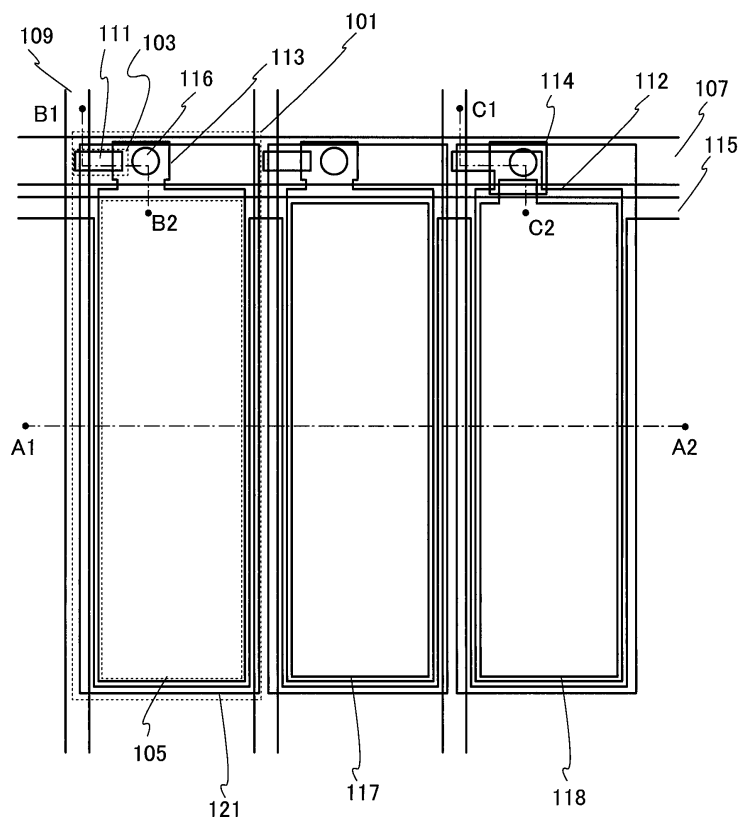
115: 용량선
115B: 용량선
115G: 용량선
115R: 용량선
116: 개구
117: 개구
118: 개구
119: 개구
121: 반사 전극
122: 투과 전극
127: 절연층
129: 절연층
131: 절연층
133: 절연층
134: 평탄화막
144: 도전층
152: 기관
154: 차광층
155G: 유색층
156: 유색층
156B: 유색층
156G: 유색층
156R: 유색층
157B: 유색층
157G: 유색층
157R: 유색층
158: 평탄화막
160: 도전층
164: 액정층
166: 스페이서
171B: 셀 겹
171G: 셀 겹
171R: 셀 겹
172B: 반도체층
172G: 반도체층
181: 개구

182: 개구
207: 게이트 전극
209: 전극
213: 전극
215a: 절연층
215b: 절연층
228: 게이트 절연층
242: 개구
250: 트랜지스터
251: 게이트 전극
260: 트랜지스터
294: 개구
501: 화소 회로
502: 화소부
504: 구동 회로부
504a: 게이트 드라이버
504b: 소스 드라이버
506: 보호 회로
507: 단자부
550: 트랜지스터
560: 용량 소자
570: 액정 소자
5000: 하우징
5001: 표시부
5002: 표시부
5003: 스피커
5004: LED 램프
5005: 조작 키
5006: 접속 단자
5007: 센서
5008: 마이크로폰
5009: 스위치
5010: 적외선 포트
5011: 기록 매체 판독부
5012: 지지부
5013: 이어폰

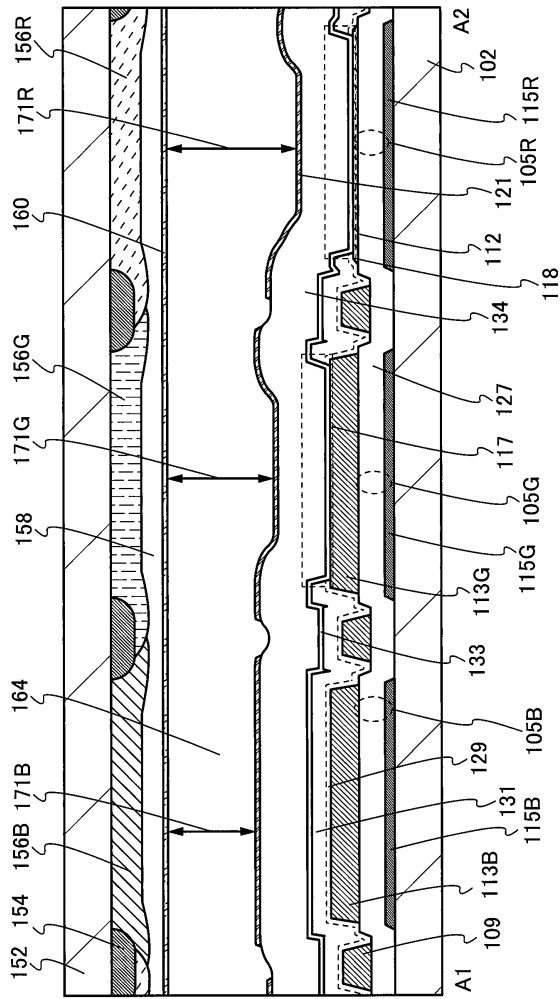
- 5014: 안테나
- 5015: 셔터 버튼
- 5016: 수상부
- 5017: 충전기
- 8000: 표시 모듈
- 8001: 상부 커버
- 8002: 하부 커버
- 8003: FPC
- 8004: 터치 패널
- 8005: FPC
- 8006: 표시 패널
- 8009: 프레임
- 8010: 프린트 기판
- 8011: 배터리

도면

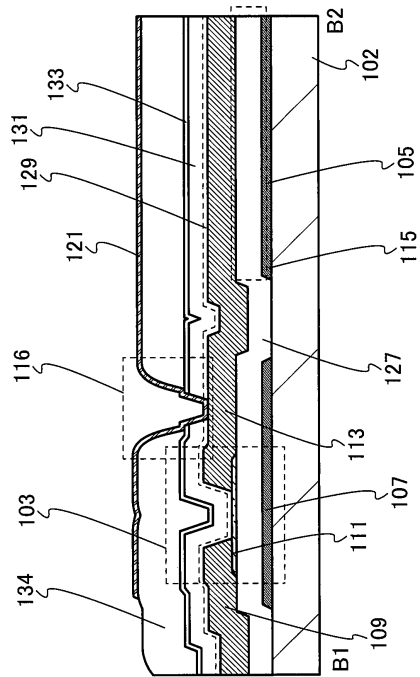
도면1



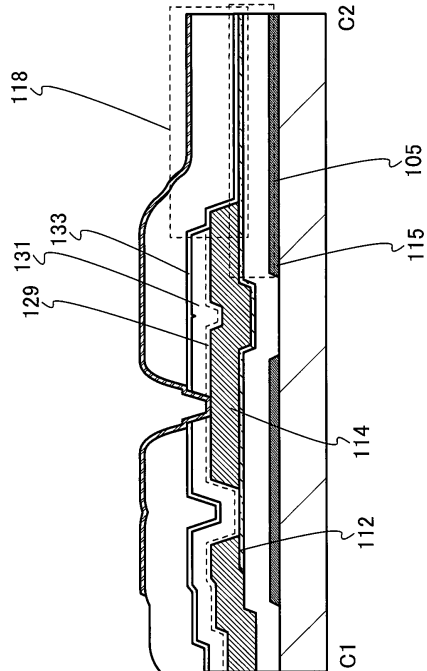
도면2



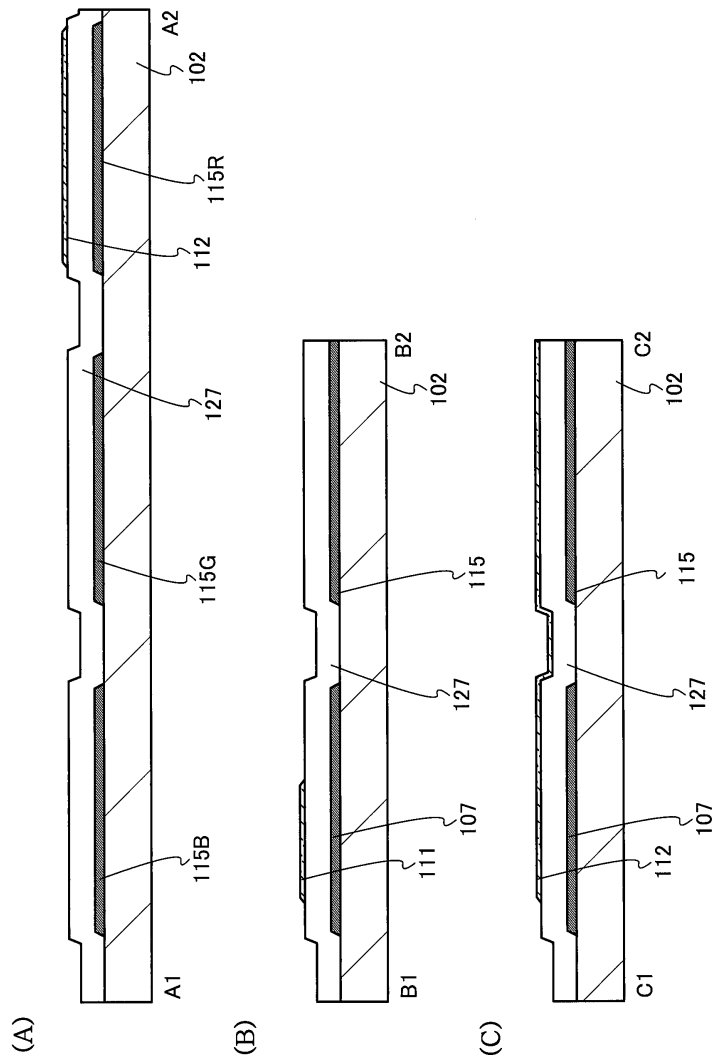
도면3



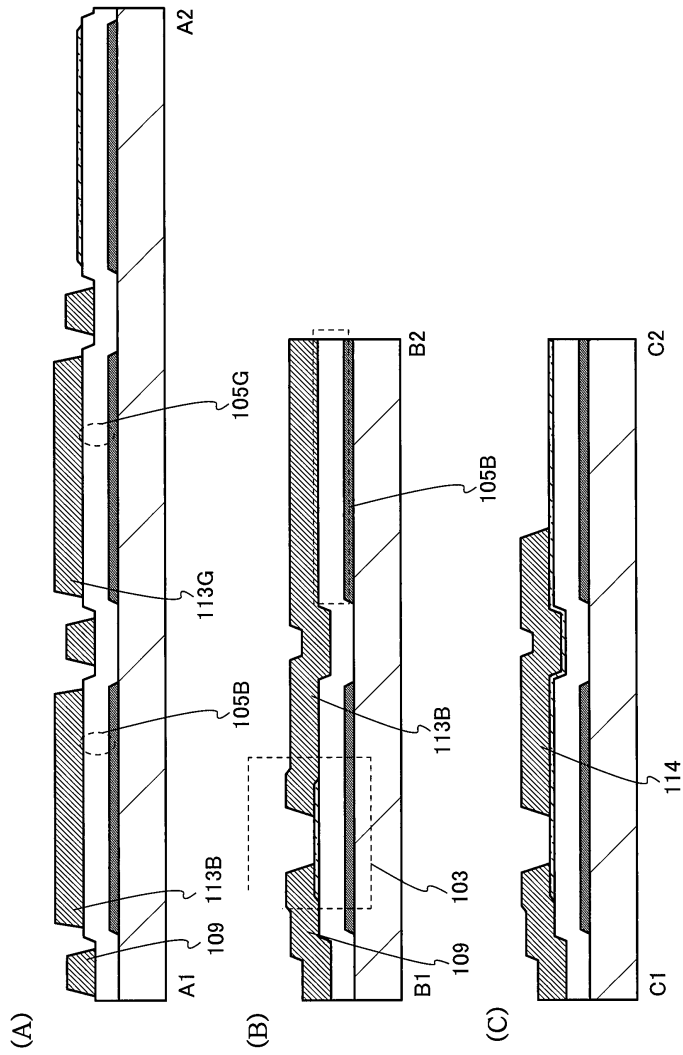
도면4



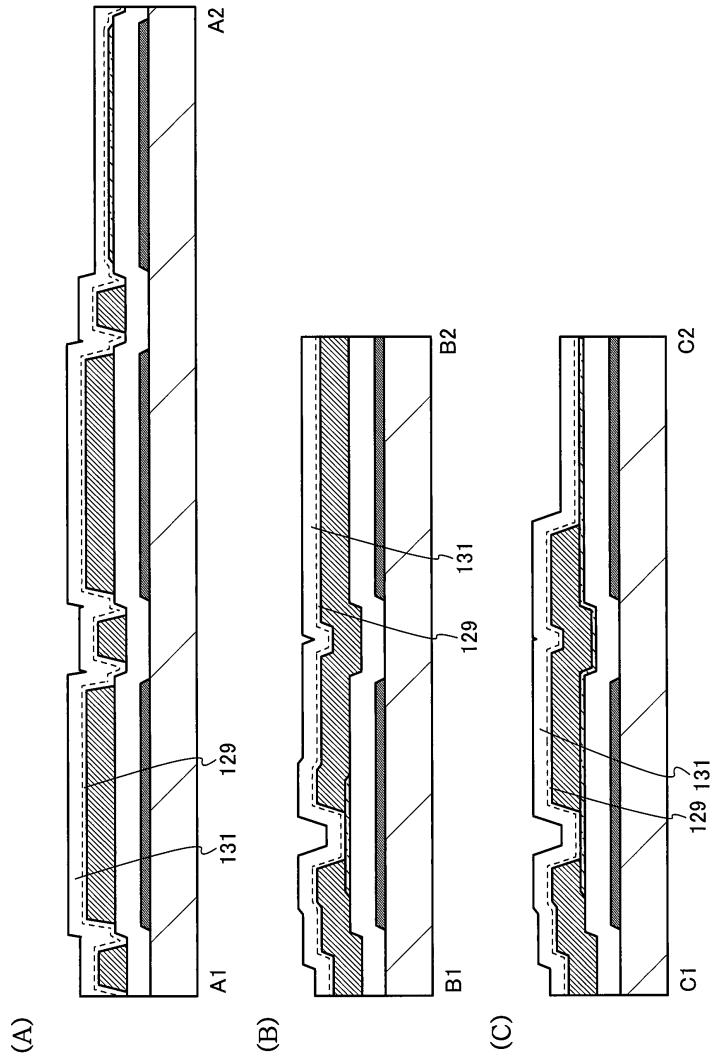
도면5



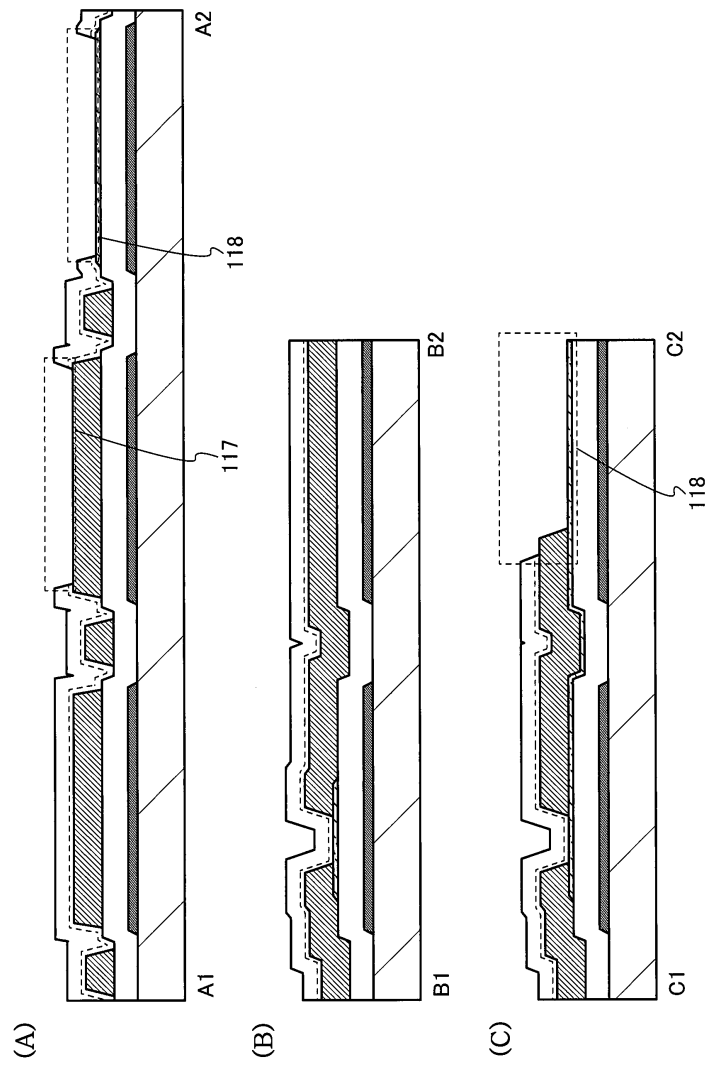
도면6



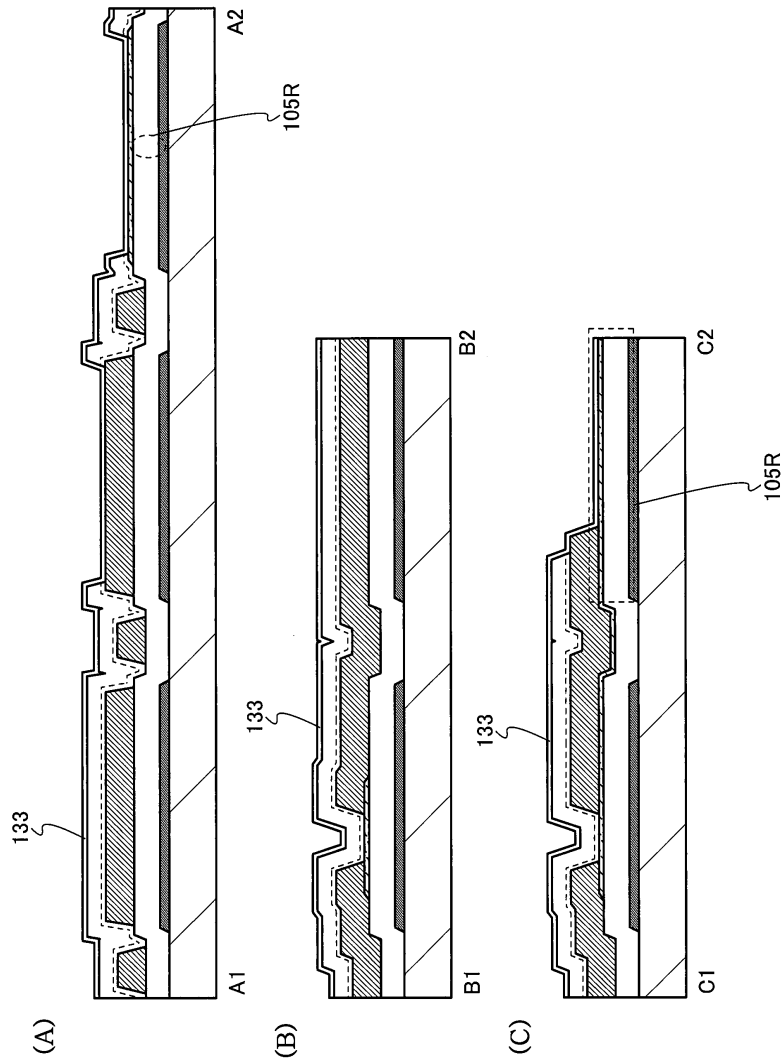
도면7



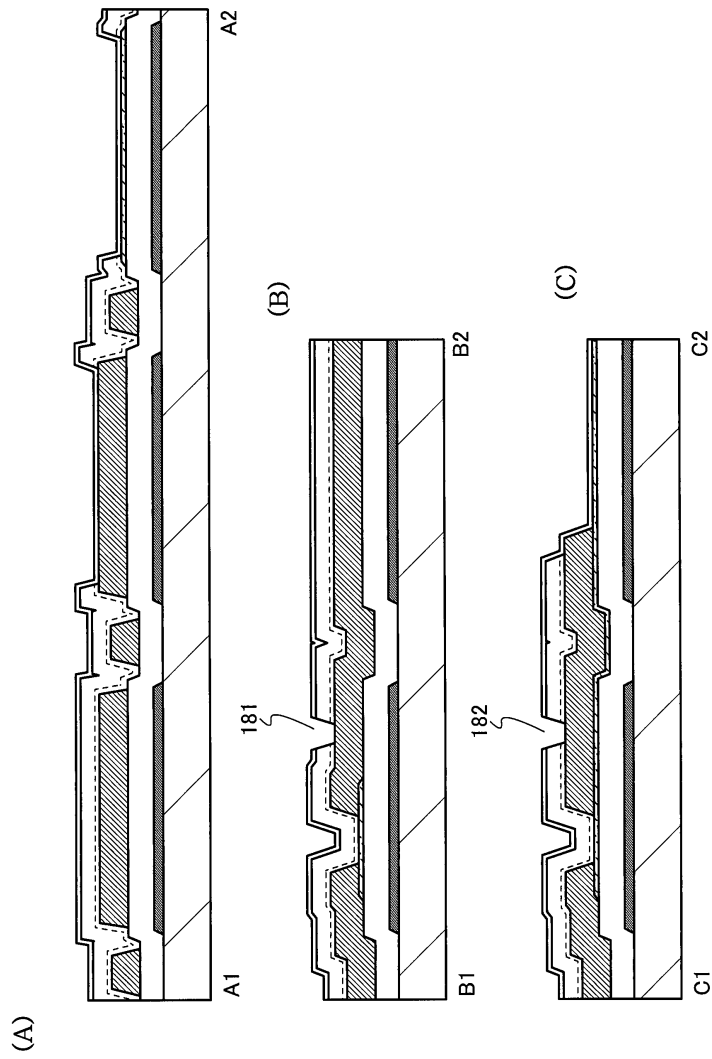
도면8



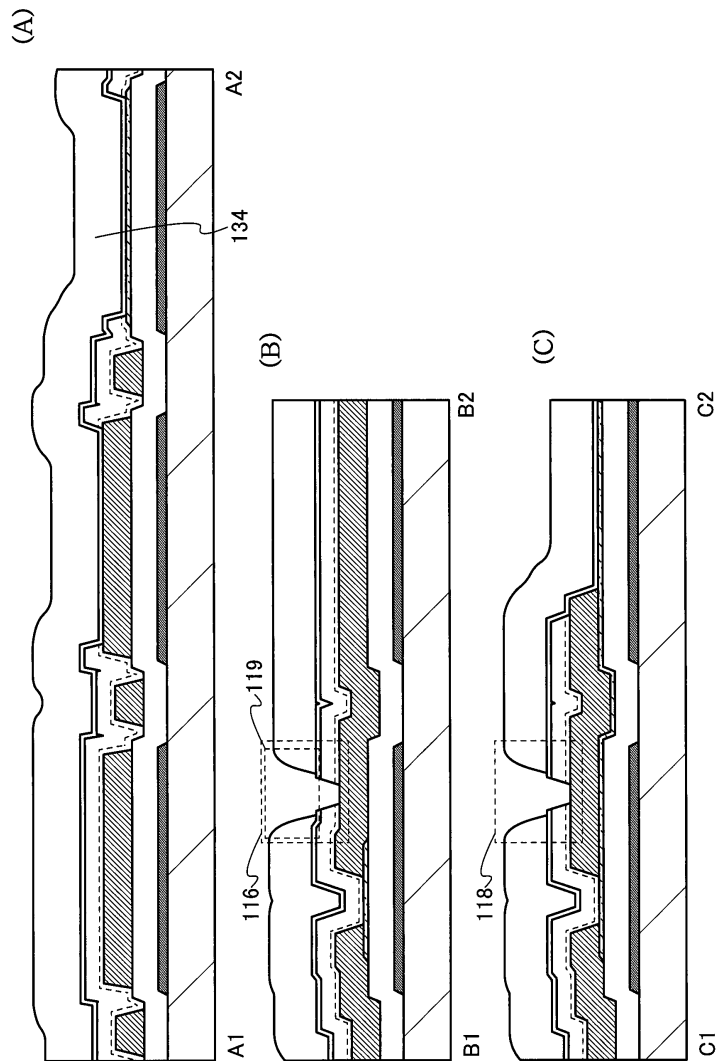
도면9



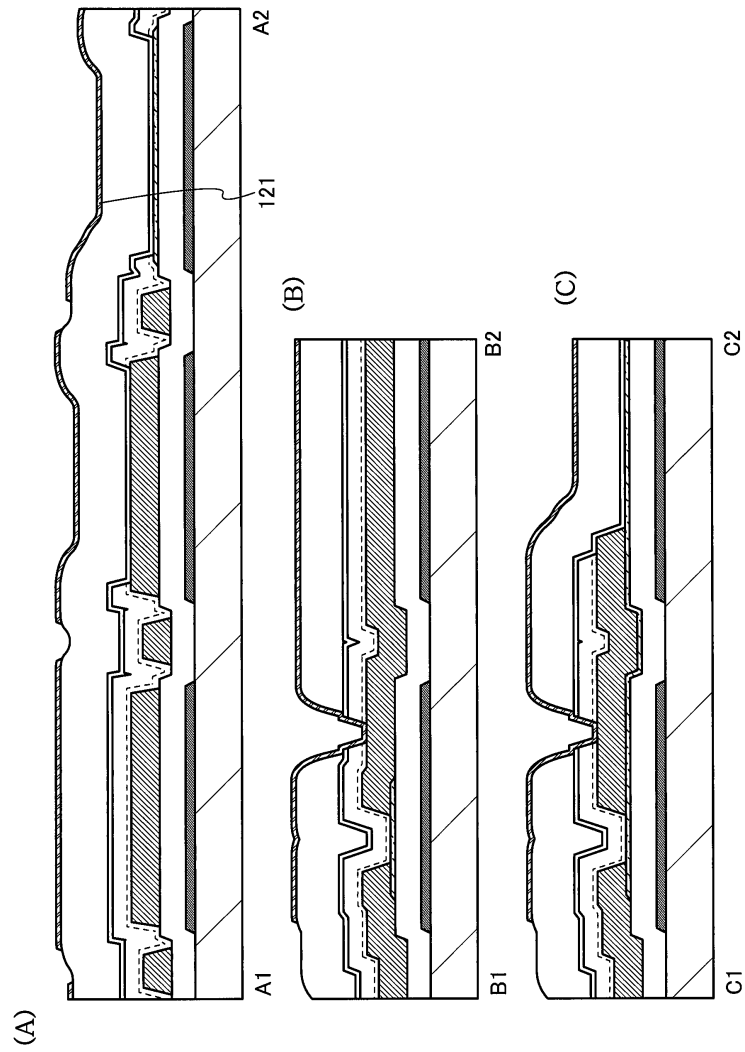
도면10



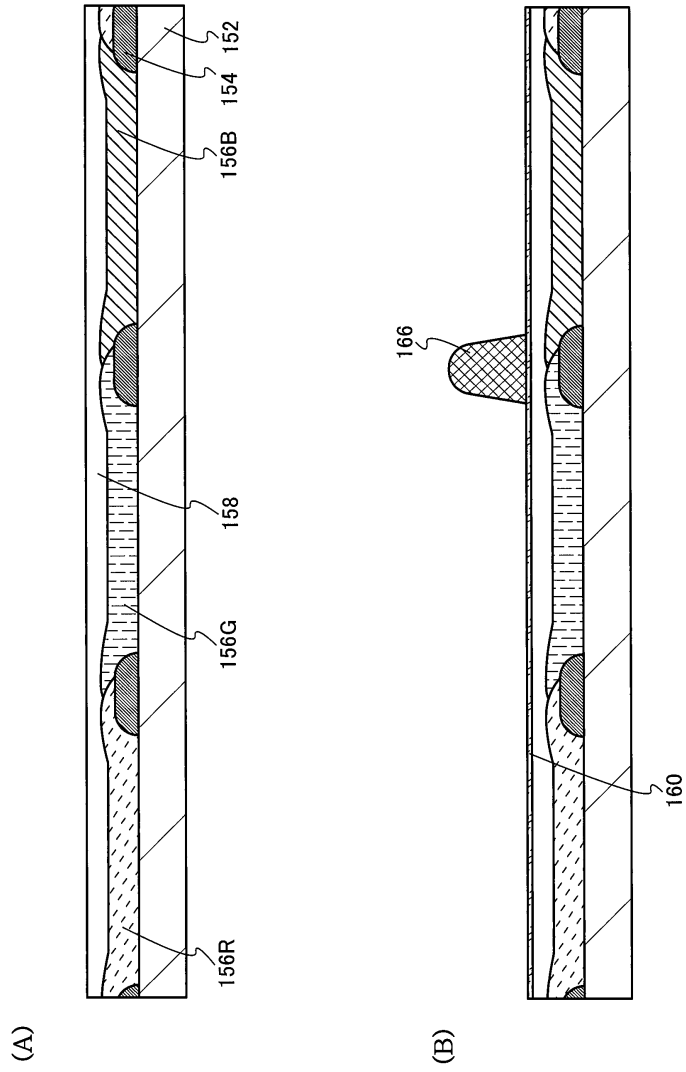
도면11



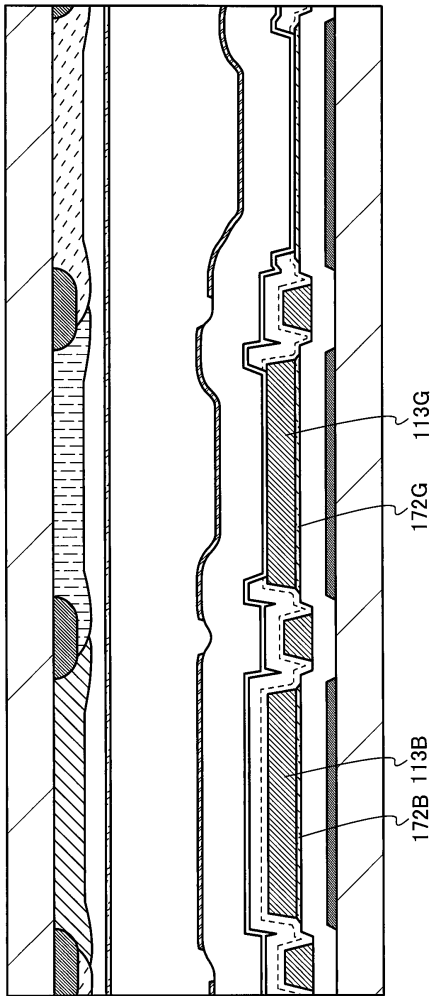
도면12



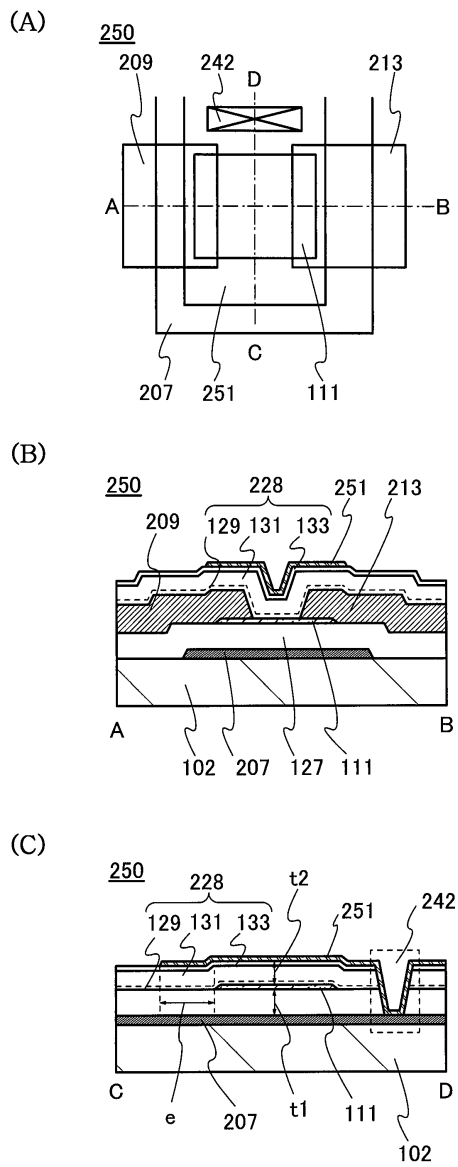
도면13



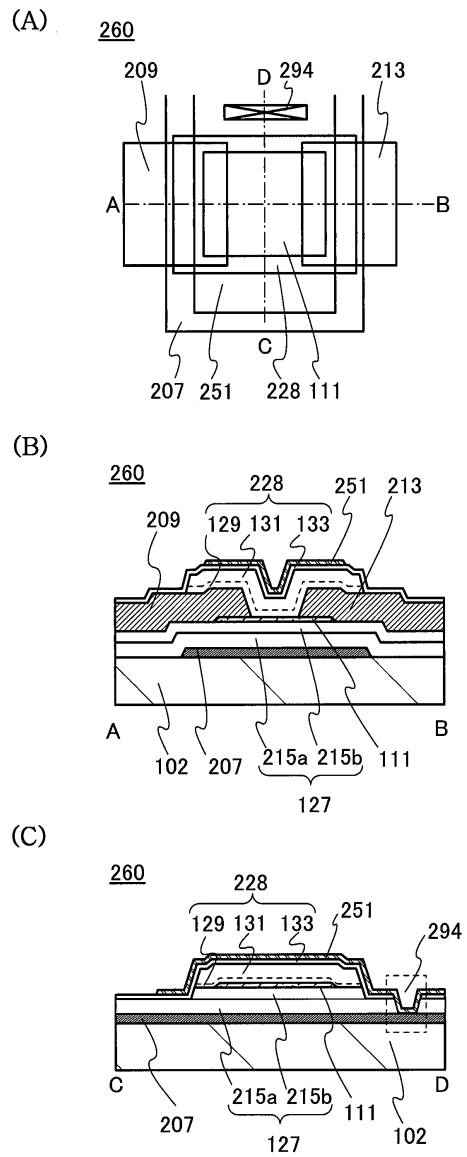
도면14



도면15

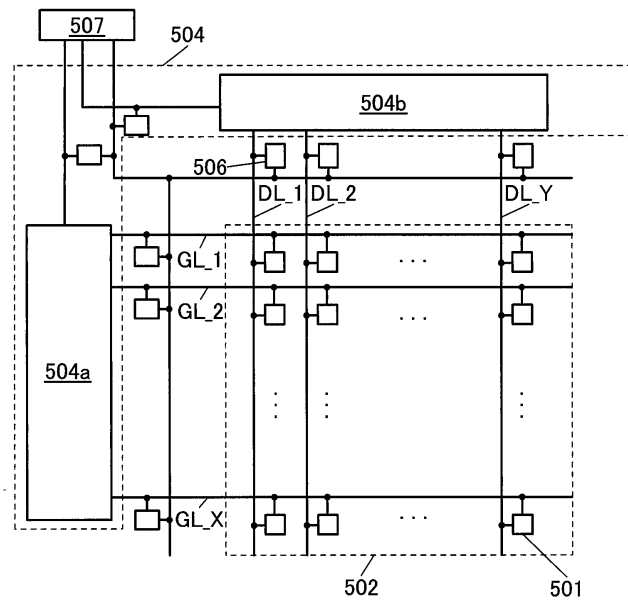


도면16

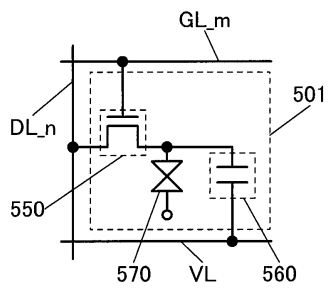


도면17

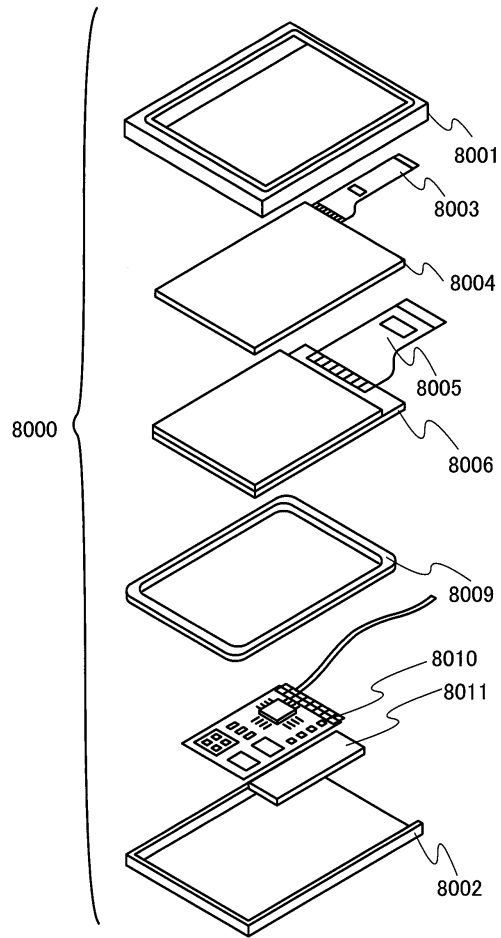
(A)



(B)

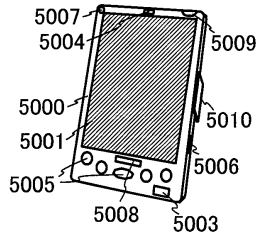


도면18

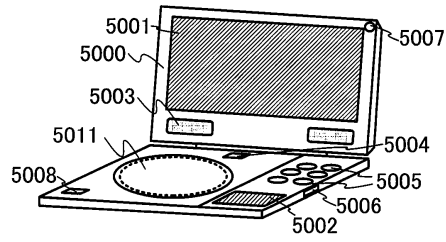


도면19

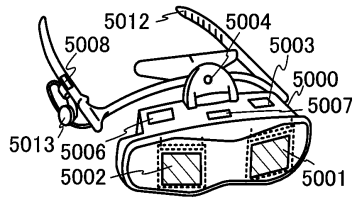
(A)



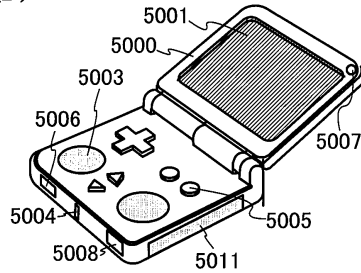
(B)



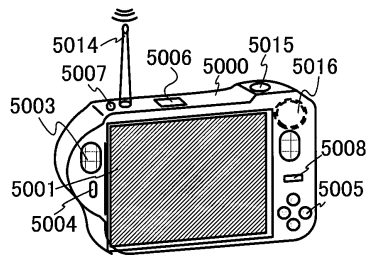
(C)



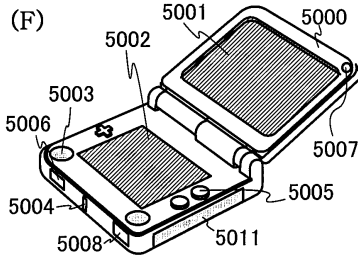
(D)



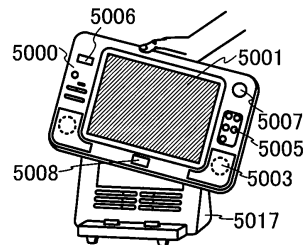
(E)



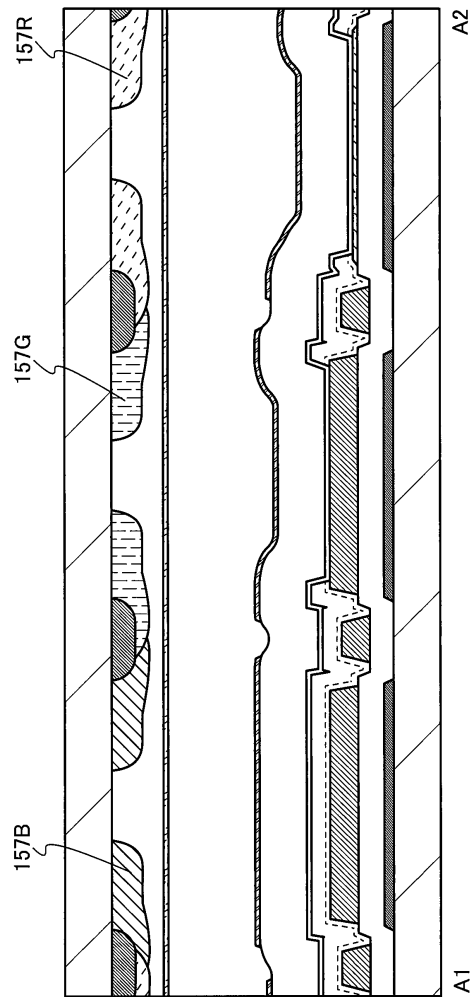
(F)



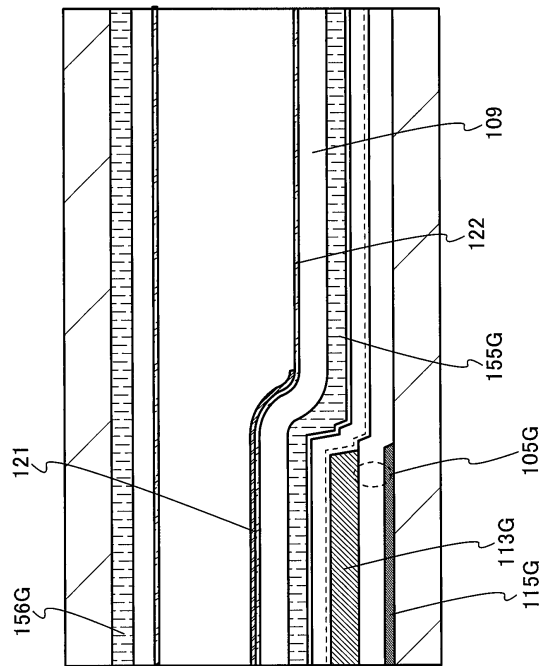
(G)



도면20



도면21



专利名称(译)	标题：液晶显示器和电子设备		
公开(公告)号	KR1020150137014A	公开(公告)日	2015-12-08
申请号	KR1020150072772	申请日	2015-05-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KUBOTA DAISUKE 구보타다이스케		
发明人	구보타다이스케		
IPC分类号	G02F1/1333 G02F1/1362 G02F1/136		
CPC分类号	G02F1/133371 G02F1/133345 G02F1/136213 G02F2203/02 G02F1/133553		
代理人(译)	张本勋		
优先权	2014109844 2014-05-28 JP		
外部链接	Espacenet		

摘要(译)

本发明提供一种对比度提高的反射型液晶显示装置。还提供了一种具有改善的颜色再现性的反射型液晶显示装置。此外，提供了一种具有低功耗的反射型液晶显示装置。研究导电层和反射电极下面的绝缘层的布置，并针对每种颜色调整单元间隙。电容器元件设置在反射电极下方，电容器元件的一个电极共用，导电层或金属氧化物层用于电容器元件的另一个电极，另一个电极上的绝缘层被去除或留下可以调整单元间隙。

