



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0070755
(43) 공개일자 2015년06월25일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G09F 9/35 (2006.01)

(21) 출원번호 10-2013-0157330

(22) 출원일자 2013년12월17일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

오세준

경기 수원시 영통구 봉영로1517번길 27, 903동 906호 (영통동, 벽적골9단지아파트)

임완순

충남 천안시 서북구 충무로 124-25, 202동 201호 (쌍용동, 현대아이파크홈타운)

(74) 대리인

특허법인 고려

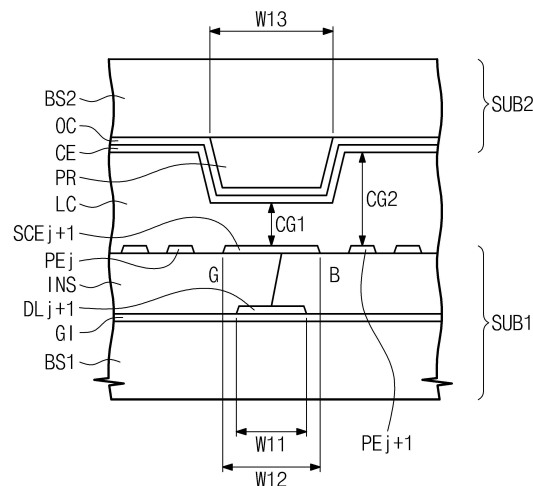
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 곡면 표시 장치

(57) 요약

곡면 표시 장치는 제1 방향으로 절곡되며, 제1 기판, 상기 제1 기판과 마주보는 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층을 포함한다. 상기 제1 기판은 제1 베이스 기판, 상기 제1 베이스 기판 상에 제공된 화소 전극들을 포함한다. 상기 제2 기판은 제2 베이스 기판, 평면 상에서 볼 때 서로 인접한 2 개의 화소 전극들 사이에 제공되며 상기 제2 베이스 기판으로부터 돌출된 돌출 패턴, 및 상기 제2 베이스 기판 상에 제공되며 상기 화소 전극과 전계를 형성하는 공통 전극을 포함한다.

대표도 - 도3b



명세서

청구범위

청구항 1

제1 방향으로 절곡되는 곡면 표시 장치는,

제1 베이스 기관, 상기 제1 베이스 기관 상에 제공된 화소 전극들을 포함하는 제1 기관;

제2 베이스 기관, 평면 상에서 볼 때 서로 인접한 2 개의 화소 전극들 사이에 제공되며 상기 제2 베이스 기관으로부터 돌출된 돌출 패턴, 및 상기 제2 베이스 기관 상에 제공되며 상기 화소 전극과 전계를 형성하는 공통 전극을 포함하는 제2 기관; 및

상기 제1 기관과 상기 제2 기관 사이에 개재된 액정층을 포함하는 것을 특징으로 하는 곡면 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 기관은 상기 제1 베이스 기관 상에 제공된 다수의 신호 배선, 상기 다수의 신호 배선을 커버하는 절연층을 더 포함하고,

상기 돌출 패턴은 평면 상에서 볼 때 상기 다수의 신호 배선 중 상기 제1 방향과 교차하는 제2 방향으로 연장된 신호 배선을 따라 배치되는 곡면 표시 장치.

청구항 3

제2 항에 있어서,

상기 제1 기관은 상기 다수의 신호 배선 중 상기 제2 방향으로 연장된 신호 배선을 따라 배치되며 상기 화소 전극과 전기적으로 절연된 쉘딩 전극을 더 포함하는 곡면 표시 장치.

청구항 4

제3 항에 있어서,

단면 상에서 볼 때 상기 돌출 패턴의 폭은 상기 상기 쉘딩 전극의 폭과 같거나 큰 곡면 표시 장치.

청구항 5

제4 항에 있어서,

상기 제2 베이스 기관의 상면으로부터의 상기 돌출 패턴의 높이는 $\lambda \cdot m / (2 \cdot \text{홀})$ (m 은 양의 홀수, 홀 은 액정층의 굴절률 이방성)인 곡면 표시 장치.

청구항 6

제3 항에 있어서,

상기 돌출 패턴은 유기 물질로 이루어지는 곡면 표시 장치.

청구항 7

제3 항에 있어서,

상기 돌출 패턴과 상기 공통 전극 사이에 제공된 오버코트막을 더 포함하는 곡면 표시 장치.

청구항 8

제3 항에 있어서, 상기 쉘딩 전극은 상기 공통 전극과 동일 전위를 갖는 전압을 수신하는 것을 특징으로 하는 곡면 표시 장치.

청구항 9

제3 항에 있어서, 상기 광 제어층은 네가티브 타입 액정분자들 포함하는 액정층인 것을 특징으로 하는 곡면 표시 장치.

청구항 10

제3 항에 있어서, 상기 신호 배선들은,

상기 제1 방향으로 연장된 게이트 라인들; 및

상기 제2 방향으로 연장된 데이터 라인들을 포함하고,

상기 쉘딩 전극은 상기 데이터 라인들을 따라 구비되는 것을 특징으로 하는 곡면 표시 장치.

청구항 11

제10 항에 있어서, 상기 쉘딩 전극은 평면에서 봤을 때 상기 데이터 라인들의 폭과 같거나 더 큰 폭을 갖는 것을 특징으로 하는 곡면 표시 장치.

청구항 12

제3 항에 있어서, 상기 제2 기관은 상기 제2 베이스 기관 상에 제공되며 상기 게이트 라인들을 따라 연장된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 곡면 표시 장치.

청구항 13

제3 항에 있어서, 상기 화소 전극은 상기 데이터 라인을 사이에 두고 인접 화소 전극과 전기적으로 절연되도록 배치되며,

상기 쉘딩 전극은 상기 화소 전극과 상기 인접 화소 전극 사이에 구비되는 것을 특징으로 하는 곡면 표시 장치.

청구항 14

제13 항에 있어서, 상기 쉘딩 전극은 상기 절연층 상에 구비되고, 상기 화소 전극과 동일한 물질로 이루어진 것을 특징으로 하는 곡면 표시 장치.

청구항 15

제3 항에 있어서, 상기 절연층은 레드, 그린 및 블루 색화소를 포함하는 것을 특징으로 하는 곡면 표시 장치.

청구항 16

제3 항에 있어서, 상기 화소 전극은 상기 제2 방향으로 배열된 제1 서브화소 전극 및 제2 서브화소 전극을 포함하고,

상기 제2 기관은 상기 제1 서브화소 전극과 상기 제2 서브화소 전극 사이의 경계에서 상기 제1 방향으로 연장된 블랙 매트릭스를 더 포함하는 것을 특징으로 하는 곡면 표시 장치.

청구항 17

제16 항에 있어서, 상기 제1 서브화소 전극은 상기 제2 방향을 따라 배열된 적어도 2개의 도메인으로 구분되고, 상기 적어도 2개의 도메인의 액정 배향 방향은 서로 다른 것을 특징으로 하는 곡면 표시 장치.

청구항 18

제16 항에 있어서, 상기 제2 서브화소 전극은 상기 제2 방향을 따라 배열된 적어도 두 개의 도메인으로 구분되고,

상기 적어도 2개의 도메인의 액정 배향 방향은 서로 다른 것을 특징으로 하는 곡면 표시 장치.

청구항 19

제16 항에 있어서, 상기 신호 배선들은,

상기 제1 방향으로 연장된 게이트 라인들;

상기 제2 방향으로 연장되고, 상기 제1 서브화소 전극과 전기적으로 연결된 제1 데이터 라인; 및

상기 제2 방향으로 연장되고, 상기 제2 서브화소 전극과 전기적으로 연결된 제2 데이터 라인을 포함하고,

상기 쉘딩 전극은 상기 제1 및 제2 데이터 라인을 따라 연장된 것을 특징으로 하는 곡면 표시 장치.

청구항 20

제19 항에 있어서, 상기 블랙 매트릭스는 상기 게이트 라인들을 따라 연장되어 평면에서 봤을 때 상기 게이트 라인을 커버하도록 구비되는 것을 특징으로 하는 곡면 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로, 특히 곡면표시패널을 갖는 곡면 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 투명한 두 기판 사이에 액정층이 형성된 표시 장치로서, 액정층을 구동하여 화소별로 광투과율을 조절함으로써 원하는 화상을 표시한다.

[0003] 액정 표시 장치의 동작 모드 중에서 수직 정렬(vertical alignment) 모드는 두 기판 사이에 전계가 형성될 때 액정 분자가 수직으로 정렬되어 광을 투과시켜 화상을 표시한다. 수직 정렬 모드는 액정 분자들을 서로 다른 방향으로 배열시킬 수 있는 액정 도메인을 형성함으로써 액정 표시 장치의 시야각을 향상시킨다.

[0004] 또한, 최근에는 휘어진 곡면 표시 장치가 개발되고 있는데, 곡면 표시 장치는 곡면의 표시 영역을 제공하여 사용자에게 입체감, 몰입감 및 임장감이 향상된 영상을 제공할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 곡면표시패널을 구비하는 구조에서 표시품질을 개선할 수 있는 곡면 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 따른 곡면 표시 장치는 제1 방향으로 절곡되며, 제1 기판, 상기 제1 기판과 마주보는 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 개재된 액정층을 포함한다. 상기 제1 기판은 제1 베이스 기판, 상기 제1 베이스 기판 상에 제공된 화소 전극들을 포함한다. 상기 제2 기판은 제2 베이스 기판, 평면 상에서 볼 때 서로 인접한 2 개의 화소 전극들 사이에 제공되며 상기 제2 베이스 기판으로부터 돌출된 돌출 패턴, 및 상기 제2 베이스 기판 상에 제공되며 상기 화소 전극과 전계를 형성하는 공통 전극을 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제1 기판은 상기 제1 베이스 기판 상에 제공된 다수의 신호 배선, 상기 다수의 신호 배선을 커버하는 절연층을 더 포함할 수 있다. 상기 돌출 패턴은 평면 상에서 볼 때 상기 다수의 신호 배선 중 상기 제1 방향과 교차하는 제2 방향으로 연장된 신호 배선을 따라 배치될 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 제1 기판은 상기 다수의 신호 배선 중 상기 제2 방향으로 연장된 신호 배선을 따라 배치되며 상기 화소 전극과 전기적으로 절연된 쉘딩 전극을 더 포함할 수 있다. 단면 상에서 볼 때 상기 돌출 패턴의 폭은 상기 상기 쉘딩 전극의 폭과 같거나 클 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 신호 배선들은, 상기 제1 방향으로 연장된 게이트 라인들, 및 상기 제2 방향으로 연장된 데이터 라인들을 포함할 수 있으며, 상기 쉘딩 전극은 상기 데이터 라인들을 따라 구비될 수 있다.

발명의 효과

[0010] 상술한 바와 같이, 본 발명의 일 실시예에 따른 곡면 표시 장치는 오정렬이 발생하더라도 빠른 응답 속도를 갖는다.

도면의 간단한 설명

[0011] 도 1a는 본 발명의 일 실시예에 따른 곡면 표시 장치의 사시도이다.
 도 1b는 도 1a에 도시된 곡면 표시 장치의 측면도이다.
 도 2는 본 발명의 일 실시예에 따른 제1 기관의 평면도이다.
 도 3a는 도 2에 도시된 절단선 I-I'에 따른 단면도이다.
 도 3b는 도 2에 도시된 절단선 II-II'에 따른 단면도이다.
 도 4는 제2 베이스 기관의 상면으로부터의 돌출 패턴의 높이에 따른 액정층의 응답 시간을 도시한 그래프이다.
 도 5는 본 발명의 일 실시예에 따른 곡면 표시 장치의 화소 구조를 나타내는 평면도이다.
 도 6a는 도 5에 도시된 절단선 III-III'에 따라 절단한 단면도이다.
 도 6b는 도 5에 도시된 절단선 IV-IV'에 따라 절단한 단면도이다.
 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 곡면 표시 장치에 있어서 서로 인접한 두 화소 사이의 경계부에서의 휘도를 나타낸 그래프로써, 도 7a는 화소가 화이트로 구동될 때, 도 7b는 화소가 블랙으로 구동될 때의 휘도 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0013] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0014] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0015] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0016] 도 1a는 본 발명의 일 실시예에 따른 곡면 표시 장치의 사시도이고, 도 1b는 도 1a에 도시된 곡면 표시 장치의 측면도이다.

[0017] 도 1a를 참조하면, 표시 장치(DP)는 제1 방향(D1)으로 휘어진 형상을 갖는다. 특히, 상기 표시 장치(DP)는 사용자가 상기 표시 장치(DP)를 바라보는 방향으로 휘어져서 사용자가 곡면 형상의 화면(즉, 표시영역(DA)) 상에 표시되는 영상을 시인할 수 있도록 한다. 이러한 곡면 형상의 표시영역(DA)을 제공하는 표시 장치를 곡면 표시 장치(DP)라고 정의한다. 상기 곡면 표시 장치(DP)를 사용하여 영상을 표시할 경우, 사용자가 느끼는 입체감, 몰입감 및 입장감을 향상시킬 수 있다.

- [0018] 상기 곡면 표시 장치(DP)는 제1 기관(SUB1), 상기 제1 기관(SUB1)과 마주하는 제2 기관(SUB2) 및 상기 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 개재된 광 제어층(미도시)을 포함한다. 본 발명에서는 상기 광 제어층의 일 예로 액정층이 사용된 것을 설명한다.
- [0019] 상기 제1 및 제2 기관(SUB1, SUB2)은 상기 제1 방향(D1)을 따라 휘어진 형상을 갖는다. 상기 제1 기관(SUB1)의 일부 또는 전부(全部)가 상기 제1 방향(D1)을 따라 연속적으로 휘어질 수 있으며, 이에 따라 상기 표시 영역(DA)은 상기 제1 방향(D1)을 따라 휘어져 곡면 형상을 가질 수 있다. 또한, 상기 제2 기관(SUB2)은 상기 제1 기관(SUB1)과 함께 휘어질 수 있다.
- [0020] 도 1b를 참조하면, 상기 제1 및 제2 기관(SUB1, SUB2)이 휘어진 경우, 상기 제2 기관(SUB2)의 제1 지점(P1)에 접하는 접선(11)에 수직한 법선(10)은 상기 제1 기관(SUB1)의 제2 지점(P2)을 통과한다. 그러나, 사용자가 상기 곡면 표시 장치(DP)를 바라보는 시선 방향에서 상기 제2 지점(P2)을 통과하는 시선 라인(15)은 상기 제2 기관(SUB2)에서 상기 제1 지점(P1)과 다른 제3 지점(P3)을 통과한다.
- [0021] 상기 제1 지점(P1)과 상기 제3 지점(P3)의 간격은 상기 곡면 표시 장치(DP)의 곡률에 따라서 달라진다. 즉, 상기 곡면 표시 장치(DP)의 곡률이 증가할수록 상기 제1 지점(P1)과 제3 지점(P3)의 간격이 증가할 수 있다.
- [0022] 이처럼, 상기 제1 지점(P1)과 상기 제3 지점(P3) 사이에 간격이 발생하는 현상을 곡률에 의한 상기 제1 기관(SUB1)과 제2 기관(SUB2)의 오정렬(miss-alignment)이라고 정의한다. 이하, 상기 오정렬에 의해서 텍스처 불량이 시인되는 것을 방지하기 위한 방안을 제시한다.
- [0023] 도 2는 본 발명의 일 실시예에 따른 제1 기관(SUB1)의 평면도이고, 도 3a는 도 2에 도시된 절단선 I-I'에 따른 단면도, 도 3b는 도 2에 도시된 절단선 II-II'에 따른 단면도이다.
- [0024] 도 2, 도 3a 및 도 3b를 참조하면, 곡면 표시 장치는 제1 기관(SUB1), 제2 기관(SUB2), 및 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2) 사이에 개재된 액정층(LC)을 포함한다.
- [0025] 상기 곡면 표시 장치는 매트릭스 형상으로 제공된 복수의 화소 영역(PA)을 갖는다. 도 2, 도 3a 및 도 3b에서는 설명의 편의상 i번째 행 및 j번째 열에 해당하는 하나의 화소 영역(PA)만을 표시하였으며, 이하 참조 번호의 i 및 j는 화소의 행이나 열의 번호를 의미한다. 상기 화소 영역들(PA)은 서로 동일한 구조를 가지므로 이하에서는, 설명의 편의상 하나의 화소 영역(PA)만을 일 예로서 설명한다. 여기서, 상기 화소 영역(PA)은 일 방향으로 길게 연장된 직사각형 모양으로 도시하였으나, 이에 한정되는 것은 아니다. 상기 화소 영역(PA)의 형상은 V 자 형상, Z 자 형상 등 다양하게 변형될 수 있다.
- [0026] 상기 제1 기관(SUB1)은 제1 베이스 기관(BS1), 게이트 라인(GL), 데이터 라인(DL), 박막 트랜지스터(TR), 화소 전극(PE), 및 절당 전극(SCE)을 포함한다.
- [0027] 상기 제1 베이스 기관(BS1)은 절연성 물질로 이루어지며 유연성을 가질 수 있다.
- [0028] 상기 게이트 라인(GL)은 복수로 제공되며, 상기 제1 베이스 기관(BS1) 상에 제1 방향(D1)으로 연장되어 구비된다. 도 2, 도 3a 및 도 3b에서는 상기 게이트 라인들(GL) 중 i-1번째 및 i번째 게이트 라인(GLi-1, GLi)이 개시되었으며, 이하, i-1번째 및 i번째 게이트 라인(GLi-1, GLi)을 제1 및 제2 게이트 라인(GLi-1, GLi)으로 지칭한다.
- [0029] 상기 데이터 라인(DL)은 복수로 제공되며, 상기 제1 베이스 기관(BS1) 상에 게이트 절연막(GI)을 사이에 두고 상기 게이트 라인(GL)과 절연되며, 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장된다. 도 2, 도 3a 및 도 3b에서는 상기 데이터 라인들(DL) 중 j번째 및 j+1번째 데이터 라인(DLj, DLj+1)이 개시되었으며, 이하, j번째 및 j+1번째 데이터 라인(DLj, DLj+1)을 제1 및 제2 데이터 라인(DLj, DLj+1)으로 지칭한다.
- [0030] 상기 박막 트랜지스터(TR)는 상기 제1 기관(SUB1)은 상기 제2 게이트 라인(GLi) 및 제1 데이터 라인(DLj)과 전기적으로 연결되어 후술할 화소 전극(PEj)으로의 신호 공급을 스위칭한다. 구체적으로, 상기 박막 트랜지스터(TR)는 상기 제2 게이트 라인(GLi)으로부터 분기된 게이트 전극(GE), 상기 제1 데이터 라인(DLj)으로부터 분기된 소스 전극(SE) 및 상기 화소 전극(PEj)과 전기적으로 연결되는 드레인 전극(DE)을 포함한다. 상기 소스 전극(SE)과 상기 드레인 전극(DE) 사이에는 전도 채널을 이루는 반도체 패턴(SM)이 제공된다.
- [0031] 상기 박막 트랜지스터(TR) 상에는 절연층(INS)이 제공된다. 상기 절연층(INS)은 상기 화소 영역들(PA)에 대응하여 구비된다. 상기 절연층(INS)은 컬러를 나타내는 색화소를 포함할 수 있다. 상기 색화소는 적색 색화소(R), 녹색 색화소(G), 또는 청색 색화소(B) 중의 어느 하나일 수 있으며, 상기 색 화소 이외에도 마젠타 색화소, 옐

로우 색화소, 시안 색화소 등의 추가 색 화소가 포함될 수 있다.

- [0032] 상기 제2 게이트 라인(GLi) 및 제1 데이터 라인(DLj)에는 박막 트랜지스터(TR)를 통해 상기 화소 전극(PEj)이 연결된다. 상기 화소 전극(PEj) 상기 화소 영역(PA)에 제공된다. 상기 화소 전극(PEj)은 상기 절연층 상에 제공되며 콘택홀(CH)을 통해 상기 박막 트랜지스터(TR)의 드레인 전극(DE)에 연결된다.
- [0033] 상기 화소 전극(PEj)은 상기 제1 방향(D1)으로 인접하는 타 화소 전극(즉, 좌측 화소 전극(PEj-1) 및 우측 화소 전극(PEj+1))과 소정 간격 이격되어 배치되고, 전기적으로 절연된다.
- [0034] 본 발명의 일 실시예에 있어서, 상기 화소 전극(PEj)은 줄기부(T0) 및 상기 줄기부(T0)로부터 방사형으로 연장된 복수의 가지부들(B0)을 포함한다. 상기 줄기부(T0)는 본 발명의 일 실시예와 같이 십자 형상으로 제공될 수 있으며, 이 경우 상기 화소 영역(PA)은 상기 줄기부(T0)에 의해 4개의 도메인, 즉 제1 내지 제4 도메인(DM1, DM2, DM3, DM4)으로 구획될 수 있다. 상기 복수의 가지부들(B0)은 상기 줄기부(T0)에 의해서 구획된 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 본 발명의 일 예로, 상기 가지부들(B0)은 상기 줄기부(T0)에 대해서 대략 45도(degree)를 이루는 방향으로 연장될 수 있다. 상기 가지부들(B0)에 있어서, 서로 인접한 가지부들(B0)은 마이크로미터 단위의 거리로 이격되어 다수의 미세 슬릿(US)을 형성한다. 상기 다수의 미세 슬릿(US)에 의해서 상기 액정층(LC)의 액정 분자들은 상기 도메인별로 서로 다른 방향으로 초기 배향된다.
- [0035] 본 발명의 다른 실시예에 있어서, 상기 화소 전극(PEj)의 형상은 상술한 형상과 달리 형성될 수 있다.
- [0036] 상기 화소 전극(PEj)과 좌측 화소 전극(PEj-1) 사이에는 제1 쉘딩 전극(SCEj)이 구비되고, 상기 화소 전극(PEj)과 우측 화소 전극(PEj+1) 사이에는 제2 쉘딩 전극(SCEj+1)이 구비될 수 있다.
- [0037] 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)은 각각 상기 제1 및 제2 데이터 라인(DLj, DLj+1)을 따라 형성되며, 상기 제1 및 제2 데이터 라인(DLj, DLj+1)의 폭(W11)과 같거나 큰 폭(W12)을 갖고, 평면에서 봤을 때 상기 제1 및 제2 데이터 라인(DLj, DLj+1)을 커버하도록 배치된다.
- [0038] 상기 제1 쉘딩 전극(SCEj)은 상기 화소 전극(PEj) 및 상기 좌측 화소 전극(PEj-1)과 전기적으로 절연된다. 상기 제2 쉘딩 전극(SCEj+1)은 상기 화소 전극(PEj) 및 상기 우측 화소 전극(PEj+1)과 전기적으로 절연된다.
- [0039] 본 발명의 일 예로, 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)에는 상기 공통 전극(CE)에 인가되는 상기 공통 전압과 동일한 전위를 갖는 전압이 인가된다. 따라서, 상기 제1 쉘딩 전극(SCEj)과 상기 공통 전극(CE) 사이 및 제2 쉘딩 전극(SCEj+1)과 상기 공통 전극(CE) 사이에는 전계가 형성되지 않는다. 특히, 상기 액정층(LC)이 음의 유전율 이방성을 갖는 액정 분자들로 이루어진 경우, 무전계 상태에서 상기 액정 분자들이 상기 제2 쉘딩 전극(SCEj+1)의 표면에 대해서 수직하게 배열된다. 상기 액정 분자들이 수직하게 배열되면, 상기 백라이트 어셈블리로부터 제공되는 광이 상기 수직 배열된 액정 분자들에 의해서 차단될 수 있다. 따라서, 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)이 형성된 영역은 상기 백라이트 어셈블리로부터 제공되는 상기 광을 차단하는 광 차단 영역으로 정의될 수 있다. 앞서 기술한 바와 같이, 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)은 상기 제1 및 제2 데이터 라인(DLj, DLj+1)을 따라 길게 형성되므로, 상기 광 차단 영역은 상기 제2 방향(D2)으로 형성될 수 있다. 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)이 형성된 영역에 대응하여 상기 제2 기판(SUB2)에는 블랙 매트릭스(BM)가 제공되지 않는다.
- [0040] 상기 화소 전극(PEj)과 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)을 상기 제1 기판(SUB1)에 함께 형성하면, 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2)의 오정렬이 발생하더라도, 상기 광 차단 영역(BA)과 상기 화소 영역(PA) 내로 이동하는 현상이 감소한다. 따라서, 상기 곡면 표시 장치(DP)에서 상기 곡면 표시 장치(DP)가 휘는 방향(즉, 상기 제1 방향(D2))과 수직하는 방향(즉, 상기 제2 방향(D2))으로 상기 화소 영역(PA) 내에 세로줄 압부가 형성되는 것을 방지할 수 있다.
- [0041] 그러나, 본 발명의 다른 실시예에서는 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)이 생략될 수 있다. 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)이 생략되는 경우에는, 이 경우에는 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)이 형성되는 영역과 대응하는 영역에 별도의 차광 수단, 예를 들어, 블랙 매트릭스(BM)가 제공될 수 있다. 상기 블랙 매트릭스(BM)는 상기 제1 기판(SUB1) 또는 상기 제2 기판(SUB2) 중 어느 하나에 제공될 수 있다.
- [0042] 상기 제2 기판(SUB2)은 상기 제1 기판(SUB1)에 대향하여 구비된다. 상기 제2 기판(SUB2)은 제2 베이스 기판(BS2), 돌출 패턴(PR), 블랙 매트릭스(BM), 오버코트층(OC), 및 공통 전극(CE)을 포함한다.
- [0043] 상기 제2 베이스 기판(BS2)은 절연성 물질로 이루어지며 유연성을 가질 수 있다.

- [0044] 상기 돌출 패턴(PR)은 상기 제2 베이스 기관(BS2) 상에 제공되며 상기 제2 방향(D2)을 따라 연장된다. 상기 돌출 패턴(PR)은 각각 상기 제1 및 제2 데이터 라인(DLj, DLj+1)을 따라 형성되며, 상기 제1 및 제2 데이터 라인(DLj, DLj+1)의 폭(W11)과 같거나 큰 폭(W13)을 갖고, 평면에서 봤을 때 상기 제1 및 제2 데이터 라인(DLj, DLj+1)을 커버하도록 배치될 수 있다. 또한, 상기 돌출 패턴(PR)은 상기 제1 및 제2 절딩 전극(SCEj, SCEj+1)을 따라 형성되며, 상기 제1 및 제2 절딩 전극(SCEj, SCEj+1)의 폭(W12)과 같거나 큰 폭(W13)을 갖고, 평면에서 봤을 때 상기 제1 및 제2 절딩 전극(SCEj, SCEj+1)을 커버하도록 배치될 수 있다.
- [0045] 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2) 사이의 거리를 셀 갭이라고 하면, 상기 돌출 패턴(PR)은 상기 제2 베이스 기관(BS2)의 상면으로부터 돌출되므로, 상기 돌출 패턴(PR)이 형성된 영역에서의 셀 갭은 상기 돌출 패턴(PR)이 형성되지 않은 영역에서의 셀 갭 보다 작다. 상세하게는, 상기 돌출 패턴(PR)의 상면 상에 형성된 공통 전극(CE)과 상기 제1 기관(SUB1)의 상기 제1 및 제2 절딩 전극(SCEj, SCEj+1) 사이의 거리(CG1)는, 상기 돌출 패턴(PR)이 없는 영역에 형성된 공통 전극(CE)과 상기 제1 및 제2 절딩 전극(SCEj, SCEj+1) 사이의 거리(CG2)보다 작다. 상기 제2 베이스 기관(BS2)으로부터의 상기 돌출 패턴(PR)의 높이가 클수록 상기 셀 갭은 작아진다.
- [0046] 상기 돌출 패턴(PR)의 높이는 상기 액정층(LC)을 투과하는 광의 파장 및 상기 액정층(LC)의 굴절률 이방성에 따라 달리 설정될 수 있다. 예를 들어, 상기 돌출 패턴(PR)의 높이는 $\lambda/2$ (홀)일 수 있다. 여기서, λ 는 광의 파장이고, 홀은 액정층(LC)의 굴절률 이방성이다.
- [0047] 상기 돌출 패턴(PR)은 유기 고분자로 이루어질 수 있다. 본 발명의 일 실시예에 있어서, 상기 유기 고분자로 는 폴리아미드, 폴리아미드이미드, 폴리아미드, 폴리에테르이미드, 폴리에테르에테르케톤, 폴리에테르케톤, 폴리케톤설파이드, 폴리에테르설파이드, 시클로올레핀폴리머, 폴리설파이드, 폴리페닐렌설파이드, 폴리페닐렌옥사이드, 폴리에틸렌테레프탈레이트, 폴리부틸렌테레프탈레이트, 폴리에틸렌나프탈레이트, 폴리아세탈, 폴리카보네이트, 폴리아크릴레이트, 아크릴 수지, 폴리비닐알콜, 폴리프로필렌, 셀룰로오스, 트리아세틸셀룰로오스, 에폭시 수지, 페놀 수지 등이 사용될 수 있다.
- [0048] 상기 블랙 매트릭스(BM)는 상기 제2 베이스 기관(BS2) 상에 제공되어 상기 액정층(LC)을 투과하는 광을 차단한다. 상기 블랙 매트릭스(BM)는 게이트 라인(GL)을 커버하도록 배치된다. 또한, 상기 블랙 매트릭스(BM)는 평면 상에서 볼 때 상기 박막 트랜지스터(TR)를 커버하도록 배치된다.
- [0049] 상기 오버코트층(OC)은 상기 돌출 패턴(PR)과 상기 블랙 매트릭스(BM) 상에 제공되어 상기 돌출 패턴(PR)과 상기 블랙 매트릭스(BM)를 덮는다. 상기 오버코트층(OC)은 생략될 수 있다.
- [0050] 상기 공통 전극(CE)은 상기 오버코트층(OC) 상에 제공되며, 상기 화소 전극(PE)과 함께 전계를 형성한다.
- [0051] 상기 액정층(LC)은 유전율 이방성 및 굴절률 이방성을 갖는 액정 분자들을 포함한다. 본 발명의 일 실시예에서, 상기 액정층(LC)은 유전율 이방성이 음인 액정 분자들을 포함할 수 있다.
- [0052] 상기 액정층(LC)에 있어서, 상기 액정 분자들은 서로 다른 방향으로 초기 배향될 수 있다. 도 3a에서는 상기 액정층(LC)이 네 개의 도메인, 즉, 제1 내지 제4 도메인(DM1, DM2, DM3, DM4)에서 서로 다른 네 방향으로 초기 배향된 것을 도시하였다.
- [0053] 상기 액정층(LC) 내의 액정분자들은 상기 화소 전극(PE)과 상기 공통 전극(CE) 사이에 형성된 전계에 따라서 배열된다. 상기 공통 전극(CE)에는 공통 전압이 인가되고, 상기 화소 전극(PE)은 상기 제1 데이터 라인(DLj)으로부터 데이터 전압을 수신한다. 따라서, 상기 공통 전압과 상기 데이터 전압의 전위차에 대응하는 크기로 전계가 형성되며, 상기 전계의 크기에 따라서 상기 액정층(LC) 내의 액정분자들의 배열이 변화되어 광 투과율이 제어된다.
- [0054] 상기 액정층(LC)으로 제공되는 광은 상기 제1 기관(SUB1)의 후면에 배치된 백라이트 어셈블리(미도시)로부터 제공되는 광일 수 있다.
- [0055] 상기한 구조를 갖는 본 발명의 일 실시예에 따른 곡면 표시 장치는 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2)의 오정렬이 발생하더라도 응답 속도가 감소하지 않는다. 이를 설명하면 다음과 같다.
- [0056] 상기 액정층(LC) 제1 내지 제4 도메인(DM1, DM2, DM3, DM4)에 따라 서로 다른 방향으로 초기 배향된다. 그러나, 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2)의 오정렬이 발생하는 경우, 인접한 두 화소의 경계부, 특히, 상기 데이터 라인(DL) 및/또는 절딩 전극(SCE)이 형성된 영역의 분자들의 초기 배향 방향이 변하게 된다. 상기 액정

분자들의 초기 배향이 변하는 경우 액정 분자들의 응답 속도가 떨어진다.

- [0057] 본 발명의 일 실시예에서는 상기 인접한 두 화소의 경계부, 즉, 상기 데이터 라인(DL) 및/또는 쉘딩 전극(SCE)이 형성된 영역에 대응하여 돌출 패턴(PR)이 제공된다. 상기 돌출 패턴(PR)이 형성된 영역에서의 셀 갭은 상기 돌출 패턴(PR)이 형성되지 않은 영역에서의 셀 갭보다 작은 바, 상기 돌출 패턴(PR)이 형성된 영역에서의 액정 분자들은 상기 돌출 패턴(PR)이 형성되지 않은 영역보다 반응 속도가 빠르다.
- [0058] 도 4는 제2 베이스 기관의 상면으로부터의 돌출 패턴의 높이에 따른 액정층의 응답 시간을 도시한 그래프이다. 도 4를 참조하면, 돌출 패턴의 높이가 높을수록 응답 시간이 감소하며, 이는 셀 갭이 작아질수록 빠른 응답 속도를 갖는다는 것을 의미한다. 또한, 돌출 패턴의 높이에 따른 응답 시간이 실질적으로 예측가능한 경향성을 띤다. 따라서, 돌출 패턴의 높이를 조절함으로써 서로 인접한 두 화소의 경계부에서 발생할 수 있는 응답 속도 또한 조절할 수 있다. 그 결과, 상기 제1 기관과 상기 제2 기관의 오정렬이 발생하여 서로 인접한 두 화소의 경계부에서 초기 배향 방향이 변경되더라도 상기 돌출 패턴을 형성함으로써 반응 속도를 제어할 수 있다.
- [0059] 본 발명의 일 실시예에 따른 곡면 표시 장치는 상술한 실시예와 다른 구조를 가질 수 있다. 도 5는 본 발명의 일 실시예에 따른 곡면 표시 장치의 화소 구조를 나타내는 평면도이고, 도 6a는 도 5에 도시된 절단선 III-III'에 따라 절단한 단면도이며, 도 6b는 도 5에 도시된 절단선 IV-IV'에 따라 절단한 단면도이다. 상기 곡면 표시 장치(DP)에는 다수의 화소가 제공되나, 도 5에서는 다수의 화소 중 상기 제1 방향(D1)으로 배열된 두 개의 화소(즉, 제1 화소(P_{ij}), 제2 화소($P_{i(j+1)}$))만을 일 예로 도시하였고, 나머지 화소들은 이와 유사한 구조를 가지므로 생략하였다.
- [0060] 도 5, 도 6a 및 도 6b를 참조하면, 상기 곡면 표시 장치(DP)는 제1 기관(SUB1), 상기 제1 기관(SUB1)과 마주하는 제2 기관(SUB2) 및 상기 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 개재된 액정층(LC)을 포함한다.
- [0061] 상기 제1 기관(SUB1)은 제1 베이스 기관(BS1), 제1 및 제2 게이트 라인(GL_{i-1} , GL_i), 제1 내지 제4 데이터 라인(DL_{1j} , DL_{2j} , $DL_{1(j+1)}$, $DL_{2(j+1)}$), 및 스토리지 라인을 포함한다.
- [0062] 상기 제1 베이스 기관(BS1)은 플라스틱 기관과 같이 광 투과 특성 및 플렉서블 특성을 갖는 절연기관일 수 있다. 상기 제1 및 제2 게이트 라인(GL_{i-1} , GL_i), 제1 및 제2 데이터 라인(DL_{1j} , DL_{2j})에 의해서 정의된 제1 화소영역에는 제1 화소(P_{ij})가 구비되고, 상기 제1 및 제2 게이트 라인(GL_{i-1} , GL_i), 제1 및 제2 데이터 라인($DL_{1(j+1)}$, $DL_{2(j+1)}$)에 의해서 정의된 제2 화소영역에는 제2 화소($P_{i(j+1)}$)가 구비된다.
- [0063] 상기 제1 화소(P_{ij})는 제1 및 제2 박막 트랜지스터(TR_1 , TR_2), 제1 및 제2 서브화소 전극(SPE_1 , SPE_2)을 포함하고, 상기 제2 화소($P_{i(j+1)}$)는 제3 및 제4 박막 트랜지스터(TR_3 , TR_4), 제3 및 제4 서브화소 전극(SPE_3 , SPE_4)을 포함한다.
- [0064] 상기 제1 및 제2 화소(P_{ij} , $P_{i(j+1)}$) 사이에는 쉘딩 전극(SCE)이 구비된다. 상기 쉘딩 전극(SCE)은 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장된다.
- [0065] 도 4에 도시된 바와 같이, 상기 제1 및 제2 게이트 라인(GL_{i-1} , GL_i)은 상기 제1 방향(D1)으로 연장되고, 상기 제1 내지 제4 데이터 라인(DL_{1j} , DL_{2j} , $DL_{1(j+1)}$, $DL_{2(j+1)}$)은 상기 제1 방향(D1)과 직교하는 상기 제2 방향(D2)으로 연장된다. 상기 제1 및 제2 게이트 라인(GL_{i-1} , GL_i)은 게이트 절연막(GI)에 의해서 상기 제1 내지 제4 데이터 라인(DL_{1j} , DL_{2j} , $DL_{1(j+1)}$, $DL_{2(j+1)}$)과 절연되게 교차한다.
- [0066] 상기 제1 박막 트랜지스터(TR_1)는 상기 제2 게이트 라인(GL_i)으로부터 분기된 제1 게이트 전극(GE_1), 상기 제1 데이터 라인(DL_{1j})으로부터 분기된 제1 소스 전극(SE_1) 및 상기 제1 소스 전극(SE_1)과 소정의 간격으로 이격된 제1 드레인 전극(DE_1)을 포함한다. 상기 제2 박막 트랜지스터(TR_2)는 상기 제2 게이트 라인(GL_i)으로부터 분기된 제2 게이트 전극(GE_2), 상기 제2 데이터 라인(DL_{2j})으로부터 분기된 제2 소스 전극(SE_2) 및 상기 제2 소스 전극(SE_2)과 소정의 간격으로 이격된 제2 드레인 전극(DE_2)을 포함한다.
- [0067] 상기 제1 화소 영역(PA1)은 상기 제2 방향(D2)으로 구분된 두 개의 영역, 즉, 제1 서브화소영역(SPA1) 및 제2 서브화소영역(SPA2)을 포함한다. 상기 제1 서브화소영역(SPA1)은 상기 제2 서브화소영역(SPA2)과 다른 사이즈를 가질 수 있고, 예를 들어 상기 제1 서브화소영역(SPA1)이 상기 제2 서브화소영역(SPA2)보다 작은 사이즈를 가질 수 있다.
- [0068] 상기 제1 서브화소영역(SPA1)에는 상기 제1 서브화소 전극(SPE_1)이 구비되고, 상기 제1 서브화소 전극(SPE_1)은 상기 제1 박막 트랜지스터(TR_1)의 제1 드레인 전극(CE_1)과 전기적으로 연결된다. 상기 제2 서브화소영역(SPA2)에는 상기 제2 서브화소 전극(SPE_2)이 구비되고, 상기 제2 서브화소 전극(SPE_2)은 상기 제2 박막 트랜지스터

(TR2)의 제2 드레인 전극(DE2)과 전기적으로 연결된다.

[0069] 상기 제1 서브화소 전극(SPE1)은 상기 제1 서브화소영역(SPA1)을 복수의 도메인으로 분할하기 위하여, 줄기부(T1) 및 상기 줄기부(T1)로부터 방사형으로 연장된 복수의 제1 가지부들(B1)을 포함한다. 상기 제1 줄기부(T1)는 본 발명의 일 실시예와 같이 십자 형상으로 제공되며, 이 경우 상기 제1 서브화소영역(SPA1)은 상기 제1 줄기부(T1)에 의해 4개의 도메인으로 구획될 수 있다. 상기 복수의 제1 가지부들(B1)은 상기 제1 줄기부(T1)에 의해서 구획된 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 본 발명의 일 예로, 상기 제1 가지부들(B1)은 상기 제1 줄기부(T1)에 대해서 대략 45도(degree)를 이루는 방향으로 연장될 수 있다. 상기 제1 가지부들(B1)에 있어서, 서로 인접한 제1 가지부들(B1)은 마이크로미터 단위의 거리로 이격되어 다수의 제1 미세 슬릿(US1)을 형성한다. 상기 다수의 제1 미세 슬릿(US1)에 의해서 상기 액정층(LC)의 액정 분자들은 상기 도메인별로 서로 다른 방향으로 초기 배향된다.

[0070] 상기 제2 서브화소 전극(SPE2)은 상기 제2 서브 화소영역(SPA2)을 복수의 도메인으로 분할하기 위하여, 제2 줄기부(T2) 및 상기 제2 줄기부(T2)로부터 방사형으로 돌출되어 연장된 복수의 제2 가지부들(B2)을 포함한다. 상기 제2 줄기부(T2)는 본 발명의 일 실시예와 같이 십자 형상으로 제공될 수 있으며, 이 경우 상기 제2 서브 화소영역(SPA2)은 상기 제2 줄기부(T2)에 의해 상기 복수의 도메인으로 구획될 수 있다. 상기 복수의 제2 가지부들(B2)은 상기 제2 줄기부(T2)에 의해서 구획된 각 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 상기 제2 가지부들(B2)에 있어서, 서로 인접한 제2 가지부들(B2)은 마이크로미터 단위의 거리로 이격되어 다수의 제2 미세 슬릿(US2)을 형성한다. 다수의 제2 미세 슬릿들(US2)에 의해서 상기 액정층(LC)의 액정 분자들은 상기 도메인별로 서로 다른 방향으로 초기 배향된다.

[0071] 상기 스토리지 라인(SSL)은 상기 제1 서브화소영역(SPA1)과 상기 제2 서브화소영역(SPA2) 사이에 개재되고, 상기 제1 방향(D1)으로 연장된 메인 스토리지 라인(MSLi), 상기 메인 스토리지 라인(MSLi)으로부터 분기되어 상기 제2 방향(D2)으로 연장된 제1 및 제2 서브 스토리지 라인(SSL1, SSL2)을 포함한다.

[0072] 상기 메인 스토리지 라인(MSLi)은 평면에서 봤을 때 상기 제1 및 제2 서브화소 전극(SPE1, SPE2)과 부분적으로 오버랩된다. 상기 제1 및 제2 서브 스토리지 라인(SSL1, SSL2)은 상기 제1 서브화소 전극(SPE1)과 부분적으로 오버랩된다. 본 발명의 일 예로, 상기 제1 및 제2 서브 스토리지 라인(SSL1, SSL2) 사이의 간격은 상기 제1 및 제2 데이터 라인(DL1j, DL2j) 사이의 간격보다 작을 수 있고, 상기 제1 서브화소 전극(SPE1)의 상기 제1 방향(D1)으로의 폭은 상기 제1 및 제2 서브 스토리지 라인(SSL1, SSL2) 사이의 간격보다 크고, 상기 제1 및 제2 데이터 라인(DL1j, DL2j) 사이의 간격보다 작을 수 있다.

[0073] 한편, 상기 제1 화소(Pij)는 상기 제1 게이트 라인(GLi-1)으로부터 분기되어 상기 제2 서브화소 전극(SPE2)과 부분적으로 오버랩하는 스토리지 전극(SSE)을 더 포함한다.

[0074] 상기 제2 화소(Pi(j+1))는 상기 제1 화소(Pij)와 유사한 구조를 가지므로, 상기 제2 화소(Pi(j+1))에 대한 구체적인 설명은 생략한다.

[0075] 상기 제2 화소(Pi(j+1))는 상기 제1 화소(Pij)와 제1 및 제2 게이트 라인(GLi-1, GLi) 및 메인 스토리지 라인(MSLi)을 공유한다. 그러나, 상기 제2 화소(Pi(j+1))는 상기 제1 화소(Pij)와는 별개로 제3 및 제4 데이터 라인(DL1(j+1), DL2(j+1))에 전기적으로 연결된 제3 및 제4 박막 트랜지스터(TR3, TR4)와, 상기 제3 및 제4 박막 트랜지스터(TR3, TR4)에 전기적으로 연결된 제3 및 제4 서브화소 전극(SPE3, SPE4)을 구비한다. 또한, 상기 제2 화소(Pi(j+1))는 상기 제1 화소(Pij)와는 별개로 제3 및 제4 서브 스토리지 라인(SSL3, SSL4)을 포함한다.

[0076] 도 6a에서는 상기 제1 화소(Pij)와 상기 제2 화소(Pi(j+1))의 경계 부분의 단면 구조를 도시하였다.

[0077] 도 6a에 도시된 바와 같이, 상기 제1 베이스 기판(BS1) 상에는 제2 및 제3 서브 스토리지 라인(SSL2, SSL3)이 제1 및 제2 게이트 라인들(GLi-1, GLi)과 동일 공정을 통해 형성된다. 상기 제2 및 제3 서브 스토리지 라인(SSL2, SSL3)은 상기 게이트 절연막(GI)에 의해서 커버되고, 상기 게이트 절연막(GI) 상에는 제2 데이터 라인(DL2j) 및 제3 데이터 라인(DL1(j+1))이 형성된다.

[0078] 상기 제2 및 제3 데이터 라인(DL2j, DL1(j+1))은 절연층(INS)에 의해서 커버된다. 본 발명의 일 예로, 상기 제1 화소 영역(PA1)에는 상기 레드 색 화소(R)가 구비되고, 상기 제2 화소 영역(PA2)에는 녹색 색화소(G)가 구비될 수 있다.

[0079] 상기 절연층(INS) 상에는 상기 제1 내지 제4 서브화소 전극(SPE1~SPE4)이 구비된다. 평면에서 봤을 때 상기 제1 화소(Pij)의 상기 제1 서브화소 전극(SPE1)은 상기 제2 서브 스토리지 라인(SSL2)과 오버랩되고, 상기 제2 화소

($Pi(j+1)$)의 제3 서브화소 전극(SPE3)은 상기 제3 서브 스토리지 라인(SSL3)과 오버랩된다.

- [0080] 상기 제1 및 제3 서브화소 전극(SPE1, SPE3)은 상기 제1 방향(D1)으로 소정 간격 이격된다. 상기 제1 화소(Pij) 및 제2 화소($Pi(j+1)$) 사이에는 쉘딩 전극(SCE)이 구비된다. 도 4에 도시된 바와 같이, 상기 쉘딩 전극(SCE)은 상기 제2 및 제3 데이터 라인(DL2j, DL1(j+1))을 따라서 상기 제2 방향(D2)으로 연장된다. 상기 쉘딩 전극(SCE)은 상기 제1 및 제3 서브화소 전극(SPE1, SPE3)과 전기적으로 절연되도록 상기 제1 및 제3 서브화소 전극(SPE1, SPE3)과 각각 이격되어 배치된다.
- [0081] 상기 쉘딩 전극(SCE)은 상기 제1 및 제3 서브화소 전극(SPE1, SPE3)과 마찬가지로 상기 절연층(INS) 상에 구비된다. 또한, 상기 쉘딩 전극(SCE)은 상기 제1 및 제3 서브화소 전극(SPE1, SPE3)과 마찬가지로 투명한 도전성 물질, 예를 들어, 인듐 틴 옥사이드(ITO) 또는 인듐 징크 옥사이드(IZO)로 이루어질 수 있다.
- [0082] 상기 쉘딩 전극(SCE)에는 상기 공통 전극(CE)에 인가되는 상기 공통 전압($Vcom$)과 동일한 전위를 갖는 전압이 인가된다. 따라서, 상기 쉘딩 전극(SCE)과 상기 공통 전극(CE) 사이에는 전계가 형성되지 않는다. 특히, 상기 액정층(LC)이 네가티브 액정 분자들로 이루어진 경우, 무전계 상태에서 상기 액정 분자들이 상기 쉘딩 전극(SCE)의 표면에 대해서 수직하게 배열된다.
- [0083] 이처럼, 상기 액정 분자들이 수직하게 배열되면, 상기 백라이트 어셈블리로부터 제공되는 광이 상기 수직 배열된 액정 분자들에 의해서 차단될 수 있다. 따라서, 상기 쉘딩 전극(SCE)이 형성된 영역은 상기 백라이트 어셈블리로부터 제공되는 상기 광을 차단하는 제1 광 차단 영역으로 정의될 수 있다.
- [0084] 앞서 기술한 바와 같이, 상기 쉘딩 전극(SCE)은 상기 제2 및 제3 데이터 라인(DL2j, DL1(j+1))을 따라 길게 형성되므로, 상기 제1 광 차단 영역은 상기 제2 방향(D2)으로 형성될 수 있다.
- [0085] 상기 쉘딩 전극(SCE)이 형성된 영역에 대응하여 상기 제2 기판(SUB2)에는 블랙 매트릭스(BM)가 제공되지 않는다.
- [0086] 상기 제2 기판(SUB2)에는 돌출 패턴(PR), 오버코트층(OC), 및 공통 전극(CE)이 제공된다.
- [0087] 상기 돌출 패턴(PR)은 상기 돌출 패턴(PR)은 상기 제2 베이스 기판(BS2)의 상면으로부터 돌출된다. 상기 돌출 패턴(PR)은 상기 제2 베이스 기판(BS2) 상에 제공되며 상기 제2 방향(D2)을 따라 연장된다. 상기 돌출 패턴(PR)은 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)을 따라 형성되며, 평면에서 봤을 때 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)을 모두를 커버하도록 상기 제1 및 제2 쉘딩 전극(SCEj, SCEj+1)이 이루는 폭(W21)보다 더 큰 폭(W22)을 가질 수 있다. 또한, 상기 돌출 패턴(PR)은 평면에서 봤을 때 상기 제1 및 제2 데이터 라인(DLj, DLj+1)을 모두를 커버하도록 상기 제1 및 제2 데이터 라인(DLj, DLj+1)이 이루는 폭(W21)보다 더 큰 폭(W22)을 가질 수 있다. 이에 더해, 상기 돌출 패턴(PR)은 상기 제2 및 제3 서브 스토리지 라인(SSL2, SSL3) 모두를 커버하도록 상기 제2 및 제3 서브 스토리지 라인(SSL2, SSL3)이 이루는 폭(W23)보다 더 큰 폭(W22)을 가질 수 있다.
- [0088] 상기 공통 전극(CE)은 공통 전압($Vcom$)을 수신하고, 상기 제1 내지 제4 서브화소 전극(SPE1~SPE4)과 마주하여 상기 제1 내지 제4 서브화소 전극(SPE1~SPE4)과의 사이에 전계를 형성한다. 상기 공통 전극(CE)은 패터닝되지 않은 통 전극 형태로 형성될 수 있다.
- [0089] 앞서 기술한 바와 같이, 본 발명의 일 실시예에서는 상기 인접한 두 화소의 경계부, 즉, 상기 데이터 라인(DL) 및/또는 쉘딩 전극(SCE)이 형성된 영역에 대응하여 돌출 패턴(PR)이 제공된다. 상기 돌출 패턴(PR)이 형성된 영역에서의 셀 갭은 상기 돌출 패턴(PR)이 형성되지 않은 영역에서의 셀 갭보다 작은 바, 상기 돌출 패턴(PR)이 형성된 영역에서의 액정 분자들은 상기 돌출 패턴(PR)이 형성되지 않은 영역보다 반응 속도가 빠르다.
- [0090] 다시, 도 5 및 도 6b를 참조하면, 상기 제2 기판(SUB2)은 블랙 매트릭스(BM)를 더 포함한다. 상기 블랙 매트릭스(BM)는 광을 차단하는 물질로 이루어져 불필요한 광이 투과되는 것을 차단한다.
- [0091] 상기 블랙 매트릭스(BM)는 상기 메인 스토리지 라인(MSLi), 제1 및 제2 게이트 라인(GLi-1, GLi)을 따라서 상기 제1 방향(D1)으로 연장된 스트라이프 형태로 형성될 수 있다.
- [0092] 상기 곡면 표시 장치(DP)가 상기 제1 방향(D1)으로 휘어진 경우, 상기 제2 방향(D2)으로는 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2)의 오정렬이 거의 발생하지 않는다. 따라서, 상기 제2 기판(SUB2)에 상기 제1 방향(D1)으로 연장된 상기 블랙 매트릭스(BM)가 구비되어 광 차단 영역을 형성할 수 있다. 즉, 상기 제2 광 차단 영역은 상기 제1 방향(D1)으로 형성될 수 있다.

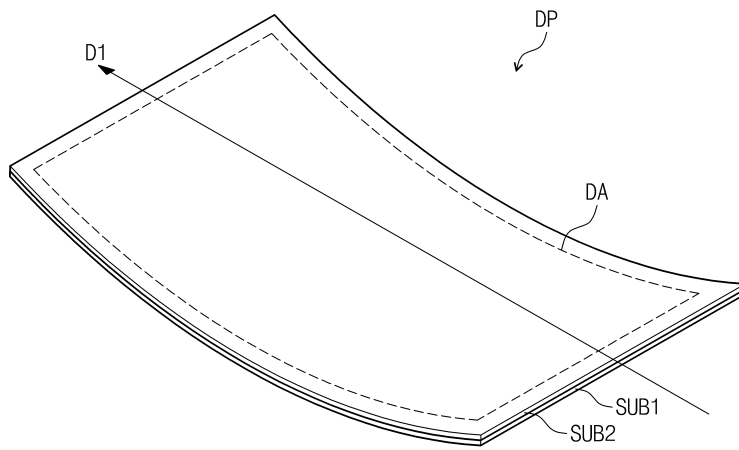
- [0093] 상기 제1 기관(SUB1)에 형성된 상기 설딩 전극(SCE)에 의해서 정의되는 상기 제1 광 차단 영역에 대응하여 상기 제2 기관(SUB2)에는 상기 블랙 매트릭스(BM)가 생략된다.
- [0094] 다만, 상기 제1 및 제2 게이트 라인(GLi-1, GLi), 상기 메인 스토리지 라인(MSLi)과 상기 제1 내지 제4 데이터 라인(DL1j, DL2j, DL1(j+1), DL2(j+1))의 교차부에는 상기 설딩 전극(SCE) 및 상기 블랙 매트릭스(BM)가 모두 배치될 수 있다.
- [0095] 상술한 도면들에서는 상기 곡면 표시 장치(DP)가 특정 한 방향(예를 들어, 제1 방향(D1))으로 휘어진 경우를 도시하였다. 그러나, 상기 곡면 표시 장치(DP)가 상기 제1 및 제2 방향(D1, D2)으로 휘어지거나 또는 반원구 형태로 휘어지는 경우, 상기 설딩 전극(SCE)은 상기 제1 기관(SUB1)에서 상기 제1 및 제2 방향(D1, D2)으로 형성될 수 있고, 이 경우 상기 제2 기관(SUB2)에 형성되는 상기 블랙 매트릭스(BM)는 생략 가능하다.
- [0096] 본 발명의 일 실시예에 있어서, 제2 기관에 돌출 패턴이 제공되기 때문에 상기 돌출 패턴의 단차에 의한 액정의 오배열 및 상기 오배열에 따른 빛샘의 우려가 있다. 도 7a 및 도 7b는 기존의 곡면 표시 장치와 본 발명의 일 실시예에 따른 곡면 표시 장치에 있어서 서로 인접한 두 화소 사이의 경계부에서의 휘도를 각각 나타낸 그래프이다. 상기 그래프에 있어서, 도 7a는 화소가 화이트로 구동될 때, 도 7b는 화소가 블랙으로 구동될 때의 휘도 그래프이다. 상기 그래프에 있어서 제1 그래프(Ref)는 돌출 패턴이 제공되지 않은 기존의 곡면 표시 장치에 있어서의 위치 그래프이며, 제2 그래프(Scm)은 돌출 패턴이 제공된 본 발명의 일 실시예에 따른 곡면 표시 장치에서의 위치 그래프이다. 여기서, 곡면 표시 장치는 도 5의 구조를 갖는 것을 이용하였으며, 측정 위치는 도 5의 제1 위치(P1)으로부터 제2 위치(P2)까지이다.
- [0097] 도 7a 및 도 7b를 참조하면, 만약 돌출 패턴의 단차에 의해 빛샘이 발생하는 경우, 그래프에서 이상 휘도가 관찰되어야 하나, 제1 및 제2 그래프 모두에서 이상 휘도가 관찰되지 않았다. 이에 따라, 본 발명의 일 실시예에 따른 곡면 표시 장치에서는 돌출 패턴이 제공되더라도 빛샘과 같은 부작용이 없다.
- [0098] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

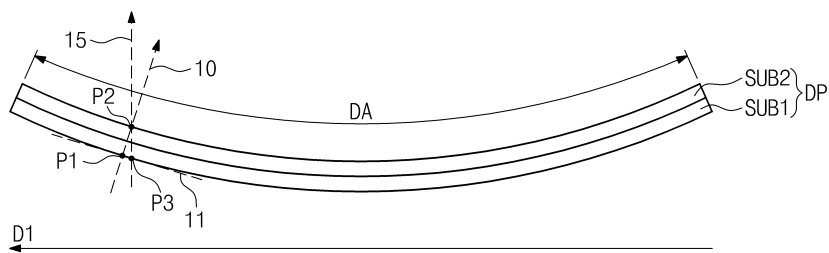
- [0099] SUB1 : 제1 기관 SUB2 : 제2 기관
- DP : 곡면 표시 장치 LC : 액정층
- PE : 화소 전극 SPE1~SPE4: 제1 내지 제4 서브화소 전극
- SCE : 설딩 전극 CE : 공통 전극
- BM : 블랙 매트릭스

도면

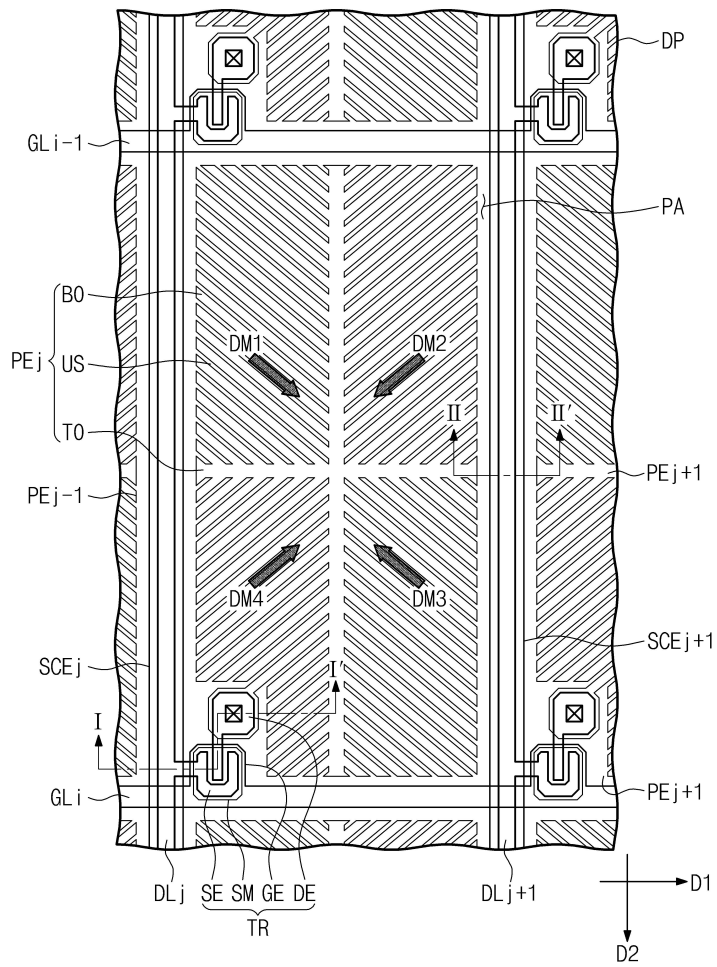
도면1a



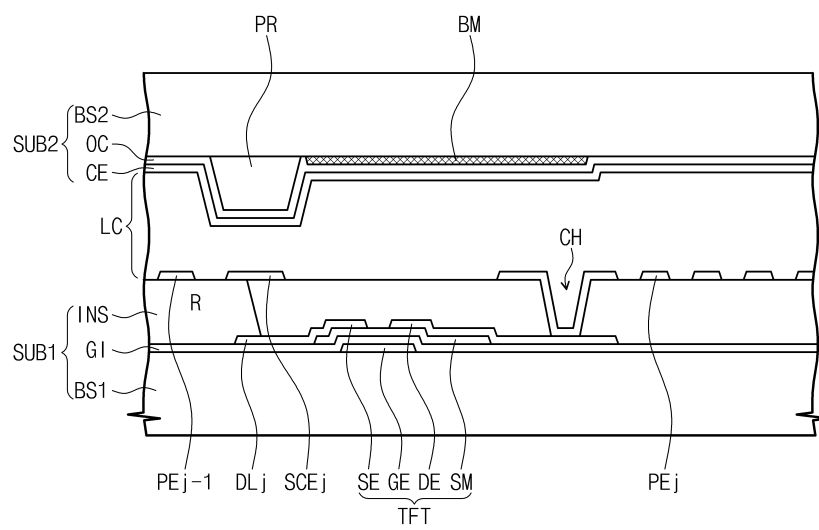
도면1b



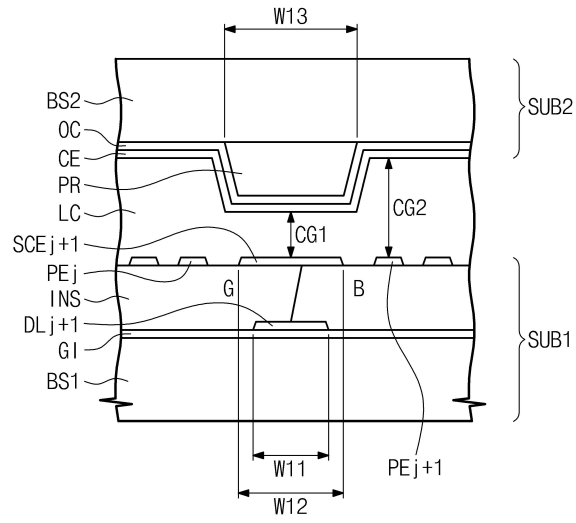
도면2



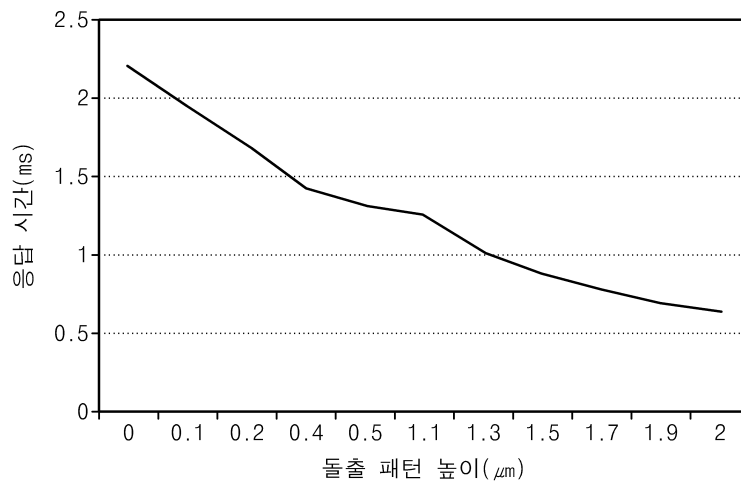
도면3a



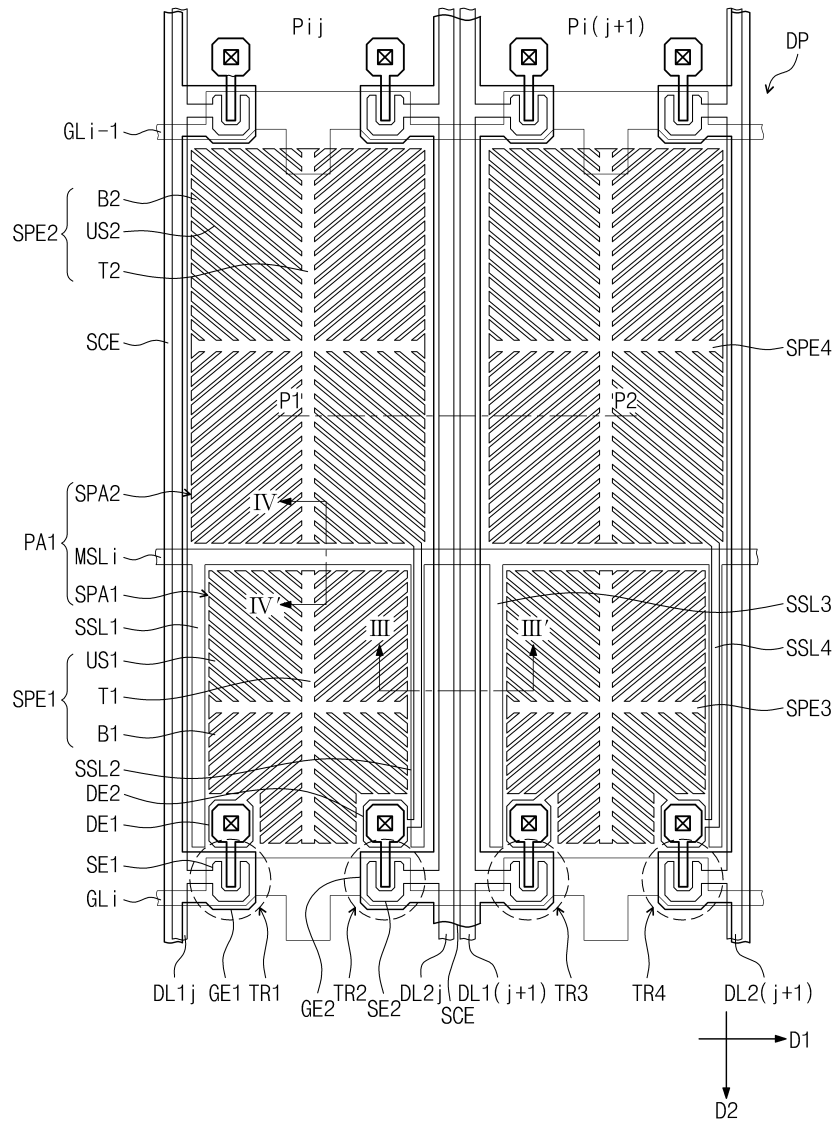
도면3b



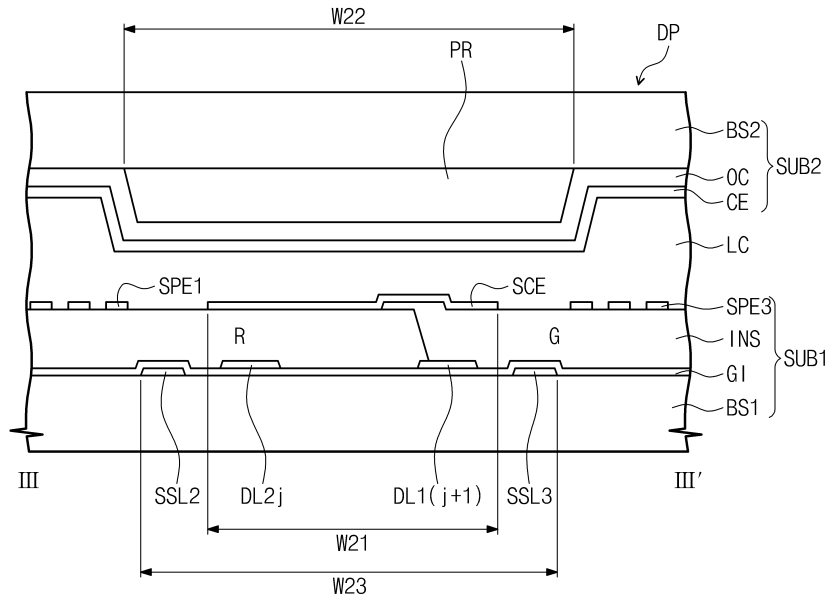
도면4



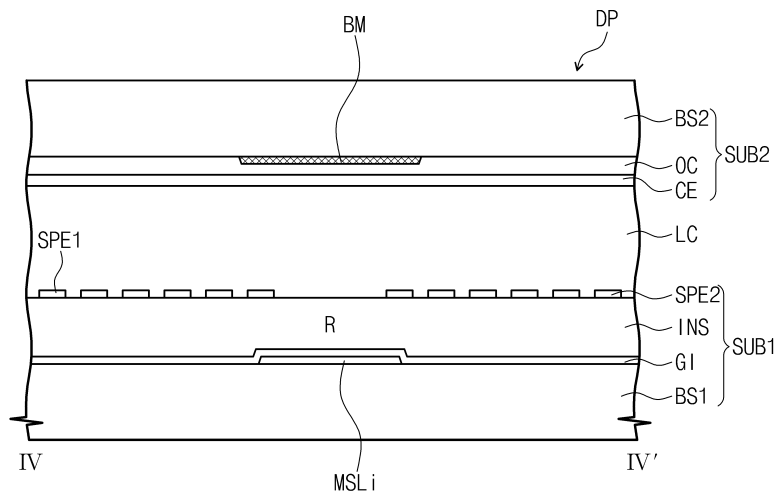
도면5



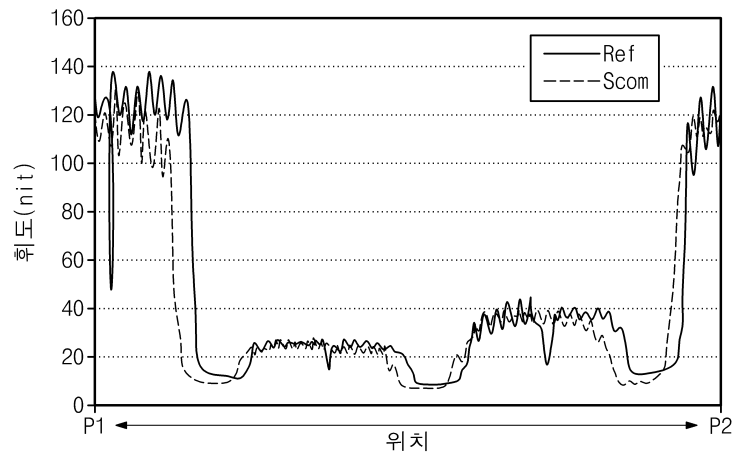
도면6a



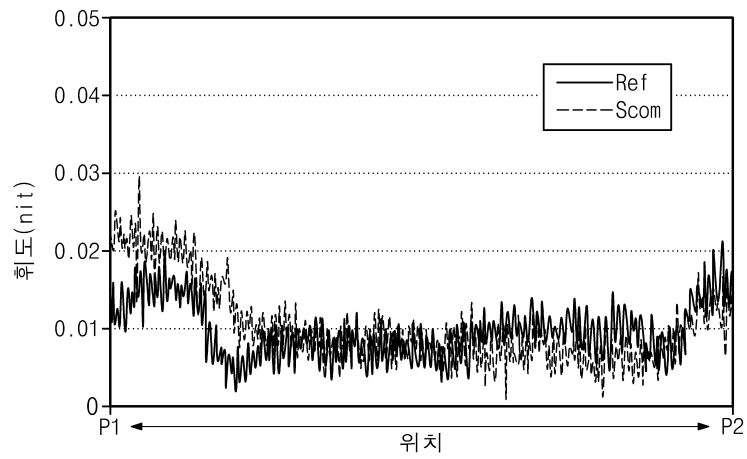
도면6b



도면7a



도면7b



专利名称(译)	发明名称		
公开(公告)号	KR1020150070755A	公开(公告)日	2015-06-25
申请号	KR1020130157330	申请日	2013-12-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	OH SEJOON 오세준 IM WAN SOON 임완순		
发明人	오세준 임완순		
IPC分类号	G02F1/1343 G09F9/35		
CPC分类号	G02F2001/134345 G02F1/1368 G02F1/136286 G02F2001/136218 G02F1/136209 G02F1/133345 G02F1/134336 G02F1/133707 G02F1/1362 G02F1/1393		
其他公开文献	KR102134857B1		
外部链接	Espacenet		

摘要(译)

一种沿第一方向弯曲的曲面显示装置，包括：第一基板，包括第一基础基板;多个像素电极，设置在第一基础基板上;第二基板，包括第二基础基板;突出图案，设置在两个相邻像素之间平面图中的多个像素电极中的电极和从第二基板突出的公共电极，以及配置为与多个像素电极配合产生电场的第二基板上的公共电极，以及液晶介于第一基板和第二基板之间的层。

