



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0081324
(43) 공개일자 2014년07월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1345 (2006.01)
G02F 1/1343 (2006.01) G09F 9/00 (2006.01)
(21) 출원번호 10-2012-0150944
(22) 출원일자 2012년12월21일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 95 (농서동)
(72) 발명자
홍성희
경기 화성시 영통로27번길 53, 204동 503호 (반월동, 신영통현대2차아파트)
김장일
경기 부천시 소사구 중동로 64, 111동 1502호 (송내동, 중동역푸르지오아파트)
(74) 대리인
권혁수, 송윤호, 오세준

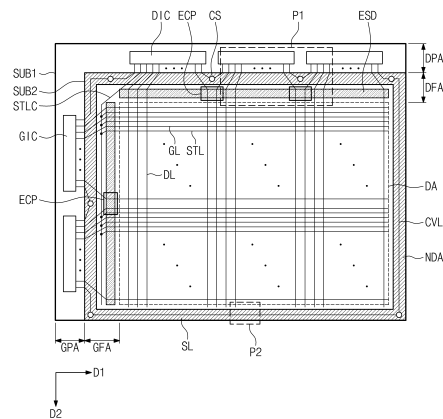
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치는 표시 영역과 상기 표시 영역을 제외한 비표시 영역을 갖는다. 상기 표시 장치는 화소 전극을 포함하는 제1 기판과, 공통 전극을 포함하는 제2 기판, 상기 제1 베이스 기판과 상기 제2 베이스 기판 사이에 제공된 액정층, 및 상기 제1 베이스 기판과 상기 제2 베이스 기판 사이에 제공되어 상기 공통 전극과 상기 배선부 중 일부를 연결하는 연결부를 포함하며, 상기 공통 전극은 평면상에서 볼 때 상기 연결부와 상기 표시 영역 사이에 제공된 전계 제어 패턴을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

표시 영역과 상기 표시 영역을 제외한 비표시 영역을 갖는 표시 장치에 있어서,

제1 베이스 기판, 상기 제1 베이스 기판 상에 제공된 배선부, 및 상기 배선부 중 일부에 연결되며 상기 표시 영역에 제공된 화소 전극을 포함하는 제1 기판;

제2 베이스 기판 및 상기 제2 베이스 기판 상에 제공된 공통 전극을 포함하는 제2 기판;

상기 제1 베이스 기판과 상기 제2 베이스 기판 사이에 제공된 액정층; 및

상기 제1 베이스 기판과 상기 제2 베이스 기판 사이에 제공되어 상기 공통 전극과 상기 배선부 중 일부를 연결하는 연결부를 포함하며,

상기 공통 전극은 평면상에서 볼 때 상기 연결부와 상기 표시 영역 사이에 제공된 전계 제어 패턴을 포함하는 표시 장치.

청구항 2

제1항에 있어서,

상기 전계 제어 패턴은 상기 공통 전극의 일부가 제거되어 형성된 개구부인 표시 장치.

청구항 3

제2항에 있어서,

상기 개구부는 복수로 제공되는 표시 장치.

청구항 4

제2항에 있어서,

상기 배선부는

제1 방향으로 연장된 복수의 게이트 라인들;

상기 제1 방향과 수직한 제2 방향으로 연장된 복수의 데이터 라인들; 및

상기 표시 영역의 둘레의 적어도 일부를 따라 상기 비표시 영역에 제공되며 상기 연결부에 연결된 공통 전압 라인을 포함하는 표시 장치.

청구항 5

제4항에 있어서,

상기 비표시 영역은 상기 데이터 라인들의 일 단부들이 위치하는 데이터 패드 영역과, 상기 표시 영역과 상기 데이터 패드 영역 사이에 제공되는 데이터 팬아웃 영역을 포함하며,

상기 전계 제어 패턴은 상기 데이터 팬아웃 영역에 제공되는 표시 장치.

청구항 6

제5항에 있어서,

상기 데이터 패드 영역에 제공되어 상기 데이터 라인들에 연결된 적어도 하나의 데이터 구동부를 더 포함하며,

상기 연결부는 상기 데이터 구동부와 상기 표시 영역 사이를 제외한 영역에 제공되며, 상기 전기 제어 패턴은 상기 표시 영역과 상기 연결부 사이에 제공되는 표시 장치.

청구항 7

제6항에 있어서,

상기 비표시 영역은 상기 게이트 라인들의 일 단부들이 위치하는 게이트 패드 영역과, 상기 표시 영역과 상기 게이트 패드 영역 사이에 제공되는 게이트 팬아웃 영역을 더 포함하며,

상기 전계 제어 패턴은 상기 게이트 팬아웃 영역에 제공되는 표시 장치.

청구항 8

제6항에 있어서,

상기 게이트 패드 영역에 제공되어 상기 게이트 라인들에 연결된 적어도 하나의 게이트 구동부를 더 포함하며,

상기 연결부와 상기 전기 제어 패턴은 상기 게이트 구동부와 상기 표시 영역 사이를 제외한 영역에 제공되며,

상기 전기 제어 패턴은 상기 표시 영역과 상기 연결부 사이에 제공되는 표시 장치.

청구항 9

제6항에 있어서,

상기 배선부는 상기 제1 방향으로 연장된 복수의 스토리지 라인들과, 상기 제2 방향으로 연장되어 상기 스토리지 라인들과 상기 데이터 구동부를 연결하는 스토리지 연결 라인을 더 포함하며,

상기 전계 제어 패턴은 상기 스토리지 연결 라인의 일부와 중첩하는 표시 장치.

청구항 10

제6항에 있어서,

상기 표시 영역과 상기 게이트 구동부 사이, 및 상기 표시 영역과 상기 데이터 구동부 사이 중 적어도 어느 한 곳에 제공된 정전기 방지 회로를 더 포함하며,

평면상에서 볼 때 상기 전계 제어 패턴은 상기 정전기 방지 회로와 중첩하는 표시 장치.

청구항 11

제4항에 있어서,

상기 비표시 영역은 상기 데이터 라인들의 타단부들 및 상기 게이트 라인들의 타단부들 중 적어도 하나가 위치하는 변들에 대응하는 테스트 영역을 더 포함하며, 상기 전계 제어 패턴은 상기 테스트 영역에 제공되는 표시 장치.

청구항 12

제1항에 있어서,

상기 비표시 영역의 상기 제1 기관과 상기 제2 기관 사이에 제공되어 상기 액정층을 봉지하는 봉지부를 더 포함하며,

평면상에서 볼 때 상기 봉지부는 상기 연결부와 중첩하는 표시 장치.

청구항 13

제1항에 있어서,

상기 표시 장치는 직사각 형상으로 제공되며,

상기 전계 제어 패턴은 상기 표시 장치의 적어도 어느 한 변을 따라 연장된 표시 장치.

청구항 14

제1항에 있어서,

상기 전계 제어 패턴은 상기 공통 전극으로부터 돌출된 돌기인 표시 장치.

명세서

기술분야

[0001] 본 발명은 표시 장치에 관한 것으로, 상세하게는 빔샘 결합이 감소된 표시 장치에 관한 것이다.

배경기술

[0002] 액정표시장치는 두 기관 사이에 전계를 형성하여, 두 기관 사이에 개재된 액정층을 투과하는 빛의 양을 조절함으로써, 원하는 영상을 표시하는 장치이다.

[0003] 그러기 위해 액정표시장치의 두 기관 중 하부 기관에는 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소 전극이 구비되고, 상부기관에는 공통 전극이 구비된다. 상기 하부 기관과 상부 기관 사이에는 액정 분자들을 포함하는 액정층이 개재된다.

[0004] 상기 액정 분자들은 상기 화소 전극과 상기 공통 전극이 형성하는 전계에 의해 구동되어 상기 액정층을 투과하는 광량을 조절한다. 그런데, 상기 화소 전극과 상기 공통 전극이 형성하는 전계 이외의 전계가 제공되면 상기 액정 분자들이 원하지 않는 방향으로 오배열될 수 있으며, 그 결과 빔샘 결합이 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 빔샘 결합이 방지된 고품질의 액정 표시 장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위한 표시 장치는 표시 영역과 상기 표시 영역을 제외한 비표시 영역을 가지며, 제1 기관, 제2 기관, 액정층, 및 연결부를 포함한다. 상기 제1 기관은 제1 베이스 기관, 상기 제1 베이스 기관 상에 제공된 배선부, 및 상기 배선부 중 일부에 연결되며 상기 표시 영역에 제공된 화소 전극을 포함한다. 상기 제2 기관은 제2 베이스 기관 및 상기 제2 베이스 기관 상에 제공된 공통 전극을 포함한다. 상기 액정층은 상기 제1 베이스 기관과 상기 제2 베이스 기관 사이에 제공되며, 상기 연결부는 상기 제1 베이스 기관과 상기 제2 베이스 기관 사이에 제공되어 상기 공통 전극과 상기 배선부 중 일부를 연결한다. 여기서, 상기 공통 전극은 평면상에서 볼 때 상기 연결부와 상기 표시 영역 사이에 제공된 전계 제어 패턴을 포함한다.

[0007] 상기 전계 제어 패턴은 상기 공통 전극의 일부가 제거되어 형성된 개구부 또는 상기 공통 전극으로부터 돌출된 돌기일 수 있다. 여기서, 상기 개구부 또는 상기 돌기는 복수로 제공될 수 있다.

[0008] 상기 배선부는 제1 방향으로 연장된 복수의 게이트 라인들, 상기 제1 방향과 수직한 제2 방향으로 연장된 복수의 데이터 라인들, 및 상기 표시 영역의 둘레의 적어도 일부를 따라 상기 비표시 영역에 제공되며 상기 연결부에 연결된 공통 전압 라인을 포함할 수 있다.

[0009] 상기 비표시 영역은 상기 데이터 라인들의 일 단부들이 위치하는 데이터 패드 영역과, 상기 표시 영역과 상기 데이터 패드 영역 사이에 제공되는 데이터 팬아웃 영역을 포함할 수 있으며, 상기 전계 제어 패턴은 상기 데이터 팬아웃 영역에 제공될 수 있다. 상기 표시 장치는 상기 데이터 패드 영역에 제공되어 상기 데이터 라인들에 연결된 적어도 하나의 데이터 구동부를 더 포함할 수 있으며, 이 경우, 상기 연결부와 상기 전기 제어 패턴은 상기 데이터 구동부와 상기 표시 영역 사이를 제외한 영역에 제공될 수 있다.

[0010] 상기 비표시 영역은 상기 게이트 라인들의 일 단부들이 위치하는 게이트 패드 영역과, 상기 표시 영역과 상기 게이트 패드 영역 사이에 제공되는 게이트 팬아웃 영역을 더 포함할 수 있으며, 상기 전계 제어 패턴은 상기 게이트 팬아웃 영역에 제공될 수 있다. 상기 표시 장치는 상기 게이트 패드 영역에 제공되어 상기 게이트 라인들에 연결된 적어도 하나의 게이트 구동부를 더 포함할 수 있으며, 이 경우, 상기 연결부와 상기 전기 제어 패턴은 상기 게이트 구동부와 상기 표시 영역 사이를 제외한 영역에 제공될 수 있다.

[0011] 상기 배선부는 상기 제1 방향으로 연장된 복수의 스토리지 라인들과, 상기 제2 방향으로 연장되어 상기 스토리지 라인들과 상기 데이터 구동부를 연결하는 스토리지 연결 라인을 더 포함할 수 있으며, 상기 전계 제어 패턴은 상기 스토리지 연결 라인의 일부와 중첩할 수 있다.

[0012] 상기 표시 장치는 상기 표시 영역과 상기 게이트 구동부 사이, 및 상기 표시 영역과 상기 데이터 구동부 사이 중 적어도 어느 한 곳에 제공된 정전기 방지 회로를 더 포함할 수 있으며, 평면상에서 볼 때 상기 전계 제어 패턴은 상기 정전기 방지 회로와 중첩할 수 있다.

[0013] 상기 비표시 영역은 상기 데이터 라인들의 타단부들 및 상기 게이트 라인들의 타단부들 중 적어도 하나가 위치하는 변들에 대응하는 테스트 영역을 더 포함하며, 상기 전계 제어 패턴은 상기 테스트 영역에 제공될 수 있다.

발명의 효과

[0014] 본 발명의 실시예들에 따른 표시 장치에서는 비표시 영역에서의 액정 분자들의 오배열 및/또는 이상 배열이 방지되며, 이에 따라 빛샘 결함이 방지된다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.

도 2는 도 1에 도시된 표시 장치에 있어서 하나의 화소의 등가회로도이다.

도 3은 도 1의 P1 부분을 확대한 평면도이다.

도 4는 도 3의 I-I' 선에 따른 단면도이다.

도 5a와 도 5b는 각각 기존 표시 장치와 본 발명의 실시예에 따른 표시 장치에서의 액정 분자들의 배열 상태를 나타낸 시뮬레이션 도면으로서, 표시 영역과 비표시 영역 사이의 액정 분자들의 방향자를 화살표로 나타낸 것이다.

도 6은 본 발명의 다른 실시예에 따른 표시 장치를 간략하게 도시한 평면도이다.

도 7은 본 발명의 또 다른 실시예에 따른 표시 장치를 간략하게 도시한 평면도이다.

도 8은 도 7에 도시된 또 다른 실시예에 따른 표시 장치에 있어서, 도 1의 P2에 대응하는 영역을 확대한 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0017] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다. 도 2는 도 1에 도시된 표시 장치에 있어서 하나의 화소의 등가회로도이다. 도 3은 도 1의 P1 부분을 확대한 평면도이며, 도 4는 도 3의 I-I' 선에 따른 단면도이다. 도 3에 있어서, 설명의 편의를 위해 데이터 구동부는 생략되고 도시되었다.

[0018] 도 1 내지 도 4를 참조하면, 상기 표시 장치는 제1 기관(SUB1), 상기 제1 기관(SUB1)과 마주하는 제2 기관(SUB2) 및 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2)과의 사이에 개재된 액정층(LC)을 포함한다. 상기 표시 장치는 영상을 표시하는 표시 영역(DA) 및 상기 표시 영역(DA)을 둘러싼 비표시 영역(NDA)으로 구분된다.

[0019] 상기 제1 기관(SUB1)은 제1 베이스 기관(BS1)과 상기 제1 베이스 기관(BS1) 상에 제공된 다수의 화소가 매트릭스 형태로 구비된다. 상기 화소는 상기 표시 영역(DA)에 제공된다.

[0020] 상기 제1 기관(SUB1)에는 상기 화소들에 연결된 다수의 게이트 라인들(GL), 다수의 데이터 라인들(DL) 및 다수의 스토리지 라인들(STL)이 구비된다. 상기 다수의 게이트 라인들(GL), 다수의 데이터 라인들(DL) 및 다수의 스토리지 라인들(STL)은 배선부를 이룬다.

[0021] 상기 다수의 게이트 라인들(GL)은 제1 방향(D1)으로 연장되고, 서로 일정 간격으로 배열된다. 상기 다수의 데이터 라인들(DL)은 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 연장되고 서로 일정 간격으로 배열된다. 상기 다수의 데이터 라인들(DL)과 상기 다수의 게이트 라인들(GL)은 서로 다른 층 상에 구비되어 서로 절연되게 교차한다. 상기 다수의 스토리지 라인들(STL)은 상기 게이트 라인들(GL)과 동일한 층 상에 구비되고, 상기 제1 방향(D1)으로 연장되며 서로 일정 간격으로 배열된다. 각 스토리지 라인(STL)은 서로 인접하는 두 개의 게이트 라인들(GL) 사이에 구비된다.

- [0022] 상기 표시 영역(DA)은 상기 화소들에 대응하는 다수의 화소 영역들을 가질 수 있으며, 상기 화소 영역들은 상기 게이트 라인들(GL) 및 상기 데이터 라인들(DL)에 의해 정의될 수 있다. 도 2를 참조하면, 각 화소는 박막 트랜지스터(TR), 액정 커패시터(Clc), 및 스토리지 커패시터(Cst)를 포함한다. 상기 스토리지 라인들(STL)에는 스토리지 전압(Vst)이 인가되고, 상기 스토리지 라인들(STL)은 각 화소의 화소 전극(PE)과 오버랩되어 상기 스토리지 커패시터(Cst)를 형성한다.
- [0023] 상기 비표시 영역(NDA)은 상기 표시 영역(DA)의 적어도 일측에 제공될 수 있으며, 본 발명의 일 실시예에서는 상기 표시 영역(DA)을 둘러싼다.
- [0024] 상기 비표시 영역(NDA)은 상기 배선부들 중 상기 데이터 라인들(DL)과 상기 게이트 라인들(GL)의 일 단부들이 위치하는 패드 영역과 상기 표시 영역(DA)과 패드 영역 사이에 제공되는 팬 아웃 영역을 포함한다.
- [0025] 구체적으로, 상기 비표시 영역(NDA)은 상기 데이터 라인들(DL)의 일 단부들이 위치하는 데이터 패드 영역(DPA)과, 상기 표시 영역(DA)과 데이터 패드 영역(DPA) 사이에 제공된 데이터 팬아웃 영역(DFA)을 포함한다. 또한, 상기 비표시 영역(NDA)은 상기 게이트 라인들(GL)의 일 단부들이 위치하는 게이트 패드 영역(GPA)과, 상기 표시 영역(DA)과 상기 게이트 패드 영역(GPA) 사이에 제공된 게이트 팬아웃 영역(GFA)을 포함한다.
- [0026] 상기 패드 영역에는 구동부가 제공된다. 구체적으로, 상기 데이터 패드 영역(DPA)에는 데이터 구동부(DIC)가, 상기 게이트 패드 영역(GPA)에는 게이트 구동부(GIC)가 제공된다.
- [0027] 상기 데이터 구동부(DIC)는 상기 데이터 패드 영역(DPA)에서 상기 데이터 라인들(DL)의 일 단부들에 연결된다. 상기 데이터 라인들(DL)의 일 단부에는 외부 배선과 연결하기 위한 데이터 패드들(DPP)이 구비되어 있다. 상기 데이터 구동부(DIC)는 상기 데이터 라인들(DL)의 데이터 패드들(DPP)에 전기적으로 연결되어 데이터 신호를 제공한다. 상기 데이터 구동부(DIC)는 상기 표시 장치의 장변 방향을 따라 구비될 수 있다. 상기 데이터 구동부(DIC)는 복수로 제공될 수 있는 바, 이하 설명에서는 상기 데이터 구동부(DIC)가 복수로 제공된 것을 일례로서 설명하며, 본 발명의 일 실시예에서는 3개의 데이터 구동부(DIC)가 제공된 경우를 도시하였다.
- [0028] 상기 게이트 구동부(GIC)는 상기 게이트 패드 영역(GPA)에서 상기 게이트 라인들(GL)의 일 단부들에 연결된다. 상기 게이트 라인들(GL)의 일 단부에는 외부 배선과 연결하기 위한 게이트 패드들(미도시)이 구비되어 있다. 상기 게이트 구동부(GIC)는 상기 게이트 라인들(GL)의 게이트 패드들에 게이트 신호를 순차적으로 인가하여 상기 표시 장치의 단변을 따라서 다수의 화소행을 순차적으로 스캔한다. 상기 게이트 구동부(GIC)는 상기 표시 장치의 단변 방향을 따라 구비될 수 있으며, 복수로 제공될 수 있다. 상기 게이트 구동부(GIC)는 복수로 제공될 수 있는 바, 이하 설명에서는 상기 게이트 구동부(GIC)가 복수로 제공된 것을 일례로서 설명하며, 본 발명의 일 실시예에서는 2개의 게이트 구동부(GIC)가 제공된 경우를 도시하였다.
- [0029] 한편, 본 발명의 다른 실시예에서는 상기 게이트 구동부(GIC)가 다수의 트랜지스터(예를 들어, 다수의 아몰퍼스 실리콘 트랜지스터)로 이루어져, 상기 제1 기판(SUB1) 상에 박막 공정을 통해 직접적으로 형성될 수 있다. 이 경우, 상기 게이트 패드 영역(GPA)이 제공되지 않을 수 있으며, 상기 게이트 구동부(GIC)가 상기 게이트 라인들(GL)에 직접 전기적으로 연결된다. 또한, 본 발명의 다른 실시예에서는 상기 데이터 구동부(DIC)도 다수의 트랜지스터로 이루어져, 상기 제1 기판(SUB1) 상에 박막 공정을 통해 직접적으로 형성될 수 있다. 이 경우, 상기 데이터 패드 영역(DPA)이 제공되지 않을 수 있으며, 상기 데이터 구동부(DIC)가 상기 게이트 라인들(DL)에 직접 전기적으로 연결될 수 있다.
- [0030] 상기 팬아웃 영역은 상기 배선부들이 연장되어 상기 구동부들과 연결되는 영역이다. 상기 팬아웃 영역에 있어서, 상기 데이터 라인들(DL)은 상기 데이터 구동부(DIC)로부터 분기되어 상기 표시 영역(DA)으로 확장되며, 상기 게이트 라인들(GL)은 상기 게이트 구동부(GIC)로부터 분기되어 상기 표시 영역(DA)으로 확장된다.
- [0031] 상기 비표시 영역(NDA)에는 상기 구동부, 예를 들어, 상기 데이터 구동부(DIC)로부터 분기되어 상기 게이트 팬아웃 영역(GFA)의 일측에 상기 스토리지 라인들(STL)을 연결하는 스토리지 연결 라인(STLC)이 구비된다. 상기 스토리지 연결 라인(STLC)은 상기 제2 방향(D2)으로 연장되어 상기 스토리지 라인들(STL)의 일 단부들을 연결한다. 여기서, 본 발명의 다른 실시예에서, 상기 스토리지 연결 라인(STLC)은 상기 스토리지 라인들(STL)의 다른 단부들을 연결하도록 추가될 수 있다. 상기 스토리지 연결 라인(STLC)은 외부로부터 스토리지 전압(Vst)을 입력받아서 상기 스토리지 라인들(STL)로 공급한다. 상기 스토리지 연결 라인(STLC)은 후술할 공통 전압 라인(CVL)과 전기적으로 절연될 수 있다.
- [0032] 상기 비표시 영역(NDA)에는 또한 외부에서 유입되는 정전기를 방지하기 위한 정전기 방지 회로(ESD)가

제공된다. 상기 정전기 방지 회로(ESD)는 정전 다이오드 또는 정전 방지 박막 트랜지스터 중 적어도 어느 하나 일 수 있다. 상기 정전기 방지 회로(ESD)는 상기 화소들이 배열된 상기 표시 영역(DA)에 바로 인접하는 상기 비 표시 영역(NDA)에 배치될 수 있다. 상기 정전기 방지 회로(ESD)는 상기 표시 영역(DA)과 상기 패드 영역 사이, 즉, 상기 표시 영역(DA)과 상기 게이트 패드 영역(GPA) 사이, 및 상기 표시 영역(DA)과 상기 데이터 패드 영역(DPA) 사이 중 적어도 어느 한 곳에 제공된다. 본 발명의 일 실시예에서는 상기 표시 영역(DA)과 상기 게이트 패드 영역(GPA) 사이, 및 상기 표시 영역(DA)과 상기 데이터 패드 영역(DPA) 사이 두 곳 모두 형성된 것을 도시 하였다.

[0033] 상기 제2 기판(SUB2)은 제2 베이스 기판(BS2) 및 상기 제2 베이스 기판(BS2) 상에 제공된 공통 전극(CE)을 포함 한다. 상기 공통 전극(CE)은 상기 제2 기판(SUB2) 전면에 형성되고, 상기 화소 전극(PE)과 마주하여 상기 액정 커패시터(C1c)를 형성한다. 상기 공통 전극(CE)에는 공통 전압(Vcom)이 인가되며 상기 화소 전극(PE)과 전계를 형성한다.

[0034] 상기 배선부는 상기 공통 전극(CE)에 상기 공통 전압(Vcom)을 인가하기 위하여 상기 제1 기판(SUB1)에는 외부로 부터 공통 전압(Vcom)을 입력받는 공통 전압 라인(CVL)을 더 포함한다. 상기 공통 전압 라인(CVL)은 상기 구동 부들 중 적어도 하나에 연결된다. 상기 공통 전압 라인(CVL)은 서로 인접한 구동부들 사이에 제공되며, 상기 비 표시 영역(NDA)의 일부에 상기 표시 영역(DA)의 둘레를 따라 제공될 수 있다.

[0035] 상기 공통 전극(CE)은 상기 비표시 영역(NDA)에서 상기 전계를 제어하기 위한 전계 제어 패턴(ECP)을 갖는다. 상기 전계 제어 패턴(ECP)에 대해서는 후술한다.

[0036] 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2) 사이에는 액정층(LC), 연결부(CS), 및 봉지부(SL)가 제공된다.

[0037] 상기 액정층(LC)은 상기 화소 전극(PE)과 상기 공통 전극(CE)에 의해 형성된 전계에 의해 구동된다.

[0038] 상기 연결부(CS)는 상기 공통 전극(CE) 및 상기 공통 전압 라인(CVL)에 직접 접촉하여 상기 공통 전압 라인 (CVL)을 상기 공통 전극(CE)에 전기적으로 연결시킨다. 상기 연결부(CS)는 평면상에서 볼 때 상기 공통 전극 (CE)과 중첩하며, 상기 연결부(CS)는 도전 스페이서 형태로 제공될 수 있다. 구체적으로, 상기 도전 스페이서는 상기 공통 전압 라인(CVL)과 상기 공통 전극(CE) 사이에 개재되어 서로를 전기적으로 연결시킨다.

[0039] 상기 연결부(CS)는 상기 공통 전압 라인(CVL)에 직접 접촉하여 연결되므로 상기 공통 전압 라인(CVL)이 제공된 영역에 대응하여 제공된다. 본 발명의 일 실시예에 따르면, 서로 인접한 상기 데이터 구동부들(DIC) 사이 및 서로 인접한 상기 게이트 구동부들(GIC) 사이에 상기 공통 전압 라인(CVL)이 제공되는 바, 상기 연결부(CS) 또한 상기 서로 인접한 상기 데이터 구동부들(DIC) 사이 및 서로 인접한 상기 게이트 구동부들(GIC) 사이에 제공된다. 여기서, 상기 데이터 구동부(DIC)와 상기 표시 영역(DA) 사이 및 상기 게이트 구동부(GIC)와 상기 표시 영역(DA) 사이에는 상기 데이터 라인들(DL)과 상기 게이트 라인들(GL)이 위치하는 바, 상기 공통 전압 라인 (CVL) 및 상기 연결부(CS)가 제공되지 않는다. 이에 따라, 상기 연결부(CS)는 상기 데이터 팬아웃 영역(DFA)에 있어서 상기 데이터 구동부(DIC)와 상기 표시 영역(DA) 사이를 제외한 영역 내에 제공된다.

[0040] 상기 연결부(CS)는 또한, 평면 상에서 볼 때 상기 공통 전압 라인(CVL)의 연장 방향을 따라 길게 연장된 벽 (wall) 형태로 제공될 수 있다. 즉, 상기 데이터 구동부(DIC)가 형성된 팬아웃 영역을 제외한 상기 비표시 영역 (NDA)에는 상기 연결부(CS)가 기둥 형태가 아니라, 길게 연장된 벽의 형태로 제공될 수 있다. 여기서, 상기 연결부(CS)의 개수 및 위치는 이에 한정되는 것은 아니며, 상기 표시 장치의 크기나 구성요소의 배치 등에 따라 그 개수나 위치가 달라질 수 있다.

[0041] 따라서, 상기 공통 전압 라인(CVL)으로 인가된 상기 공통 전압(Vcom)은 상기 연결부(CS)를 경유하여 상기 공통 전극(CE)으로 인가될 수 있다. 그러나, 상기 연결부(CS)는 다른 방식으로 상기 공통 전압 라인(CVL)에 연결될 수 있는 바, 예를 들어, 은 도팅을 통해 상기 공통 전압 라인(CVL)에 연결될 수 있다.

[0042] 여기서, 상기 공통 전극(CE)에는 상기 비표시 영역(NDA)에서의 전계를 제어하기 위한 전계 제어 패턴(ECP)이 제공된다. 상기 전계 제어 패턴(ECP)은 상기 비표시 영역(NDA)에서 액정 분자들의 이상 배열이나 오배열을 막기 위한 것이다.

[0043] 본 발명의 일 실시예에 따르면 상기 전계 제어 패턴(ECP)은 상기 공통 전극(CE)의 일부를 제거하여 형성한 개구 부일 수 있다. 상기 개구부에서는 상기 제2 베이스 기판(BS2)의 상면이 노출된다. 본 발명의 다른 실시예에 따르면 상기 전계 제어 패턴(ECP)은 상기 공통 전극(CE)으로부터 돌출된 돌기일 수 있다. 상기 전계 제어 패턴 (ECP)이 상기 개구부인 경우, 상기 개구부에는 상기 공통 전극(CE)이 형성되지 않아 상기 개구부에 대응하는 영

역에는 전계가 형성되지 않거나, 상기 화소 전극(PE)과 상기 연결부(CS)와의 사이에 전계가 형성되더라도 상기 개구부가 없는 경우에 비해 매우 약한 전계가 형성된다. 상기 전계 제어 패턴(ECP)이 돌기인 경우, 상기 돌기에 의해 상기 돌기 근처의 전계가 왜곡되며, 이에 따라, 상기 연결부(CS)와 상기 화소 전극(PE) 사이의 전계를 약화시킨다.

[0044] 이하의 설명에서는 설명의 편의를 위해 상기 전계 제어 패턴(ECP)이 개구부인 경우를 일례로서 설명하기로 한다.

[0045] 상기 전계 제어 패턴(ECP)은 상기 연결부(CS)와, 상기 화소 전극(PE)들이 형성된 상기 표시 영역(DA) 사이에 제공된다. 이에 따라, 상기 전계 제어 패턴(ECP)은 서로 인접한 상기 데이터 구동부들(DIC) 사이에 해당하는 상기 데이터 팬아웃 영역(DFA)에 제공될 수 있다. 또한, 상기 전계 제어 패턴(ECP)은 서로 인접한 상기 게이트 구동부들(GIC) 사이에 해당하는 상기 게이트 팬아웃 영역(GFA)에 제공될 수 있다. 여기서, 상기 전계 제어 패턴(ECP)은 상기 표시 영역(DA)과 상기 연결부(CS) 사이의 영역이 충분히 이격되도록 하는 크기로 제공될 수 있으며, 상기 데이터 라인들(DL) 중 일부와 상기 게이트 라인들(GL) 중 일부와 중첩할 수 있다.

[0046] 여기서, 상기 전계 제어 패턴(ECP)은 평면상에서 볼 때 상기 정전기 방지 회로(ESD)와 중첩될 수 있다. 또한, 상기 전계 제어 패턴(ECP)이 상기 게이트 구동부들(GIC) 사이 영역에 제공되는 경우, 상기 전계 제어 패턴(ECP)은 평면상에서 볼 때 상기 스토리지 연결 라인(STLC)과 중첩될 수 있다.

[0047] 한편, 본 발명의 일 실시예에서는 상기 데이터 구동부들(DIC) 사이 및 상기 게이트 구동부들(GIC) 사이에 해당하는 영역 모두에 상기 전계 제어 패턴(ECP)이 형성된 것을 도시하였으나, 상기 전계 제어 패턴(ECP)은 상기 데이터 구동부들(DIC) 사이, 또는 상기 게이트 구동부들(GIC) 사이 중 어느 한 곳에만 형성될 수 있다. 만약, 상기 데이터 팬아웃 영역(DFA)에 있어서의 상기 연결부(CS)와 상기 화소 전극(PE) 사이의 거리는 상기 게이트 팬아웃 영역(GFA)에 있어서의 상기 연결부(CS)와 상기 화소 전극(PE) 사이의 거리보다 충분히 길기 때문에 액정의 오배열에 의한 빛샘이 나타나지 않는 경우, 상기 전계 제어 패턴(ECP)은 상기 데이터 구동부들(DIC) 사이에 대응하는 영역에는 형성되고 상기 게이트 구동부들(GIC) 사이에 대응하는 영역에는 형성되지 않을 수 있다.

[0048] 상기 전계 제어 패턴(ECP)에 있어서, 상기 개구부는 상기 비표시 영역(NDA)에 적어도 한 개 이상이 제공된다. 상기 전계 제어 패턴(ECP)은 상기 연결부(CS)에 대응하는 위치마다 제공될 수 있으며, 일부 연결부(CS)에 대응하는 위치에는 생략될 수도 있다.

[0049] 상기 전계 제어 패턴(ECP)은 상기 표시 영역(DA)의 가장자리를 따라 길게 연장될 수 있다. 도 1 및 도 3에서는 상기 전계 제어 패턴(ECP)의 일 변이 상기 표시 영역(DA)과 이격된 것으로 도시하였으나, 상기 전계 제어 패턴(ECP)의 일 변은 상기 표시 영역(DA)의 경계에 위치할 수 있다. 상기 전계 제어 패턴(ECP)의 일변이 상기 표시 영역(DA)의 경계에 위치함으로써 상기 비표시 영역(NDA)에서의 이상 전계를 최소화할 수 있다.

[0050] 본 발명의 일 실시예에 있어서, 상기 전계 제어 패턴은 상기 전계 제어 패턴은 다양한 형상을 가질 수 있다. 본 발명의 일 실시예에서는 상기 전계 제어 패턴이 직사각형 형상을 갖는 것을 일 예로 들었으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 전계 제어 패턴은 일방향으로 길게 형성된 슬릿 형상을 가질 수 있으며, 다각형이나 원형 등의 형상을 가질 수 있음은 물론이다. 또한, 상기 전계 제어 패턴은 복수회 절곡된 형상 등을 가질 수 있다.

[0051] 상기 봉지부(SL)는 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2)의 사이에 제공되어 상기 액정층(LC)을 봉지한다. 상기 봉지부(SL)는 상기 제2 기관(SUB2)의 둘레를 따라 상기 비표시 영역(NDA)에 제공되며 상기 액정층(LC)을 외부로부터 가둔다. 상기 봉지부(SL)는 평면상에서 볼 때 상기 공통 전압 라인(CVL)의 일부 및 상기 연결부(CS)와 적어도 일부 영역에서 중첩할 수 있다.

[0052] 상기 표시 장치에 있어서, 상기 게이트 라인(GL)에 게이트 신호가 인가되면, 상기 박막 트랜지스터(TR)가 턴-온된다. 따라서, 상기 데이터 라인(DL)으로 인가된 상기 데이터 신호는 상기 박막 트랜지스터(TR)를 통해 상기 화소 전극(PE)으로 인가된다. 상기 박막 트랜지스터(TR)가 온 상태가 되어 화소 전극(PE)에 데이터 신호가 인가되면, 상기 화소 전극(PE)과 상기 공통 전극(CE) 사이에 전계가 형성된다. 상기 공통 전극(CE)과 상기 화소 전극(PE)에 인가되는 전압의 차이에 의해 생성된 전계에 의해 상기 액정 분자들이 구동된다. 이에 따라, 상기 액정층(LC)을 투과하는 광량이 변화되어 영상이 표시된다.

[0053] 여기서, 상기 공통 전극(CE)에는 상기 공통 전압 라인(CVL)으로부터 상기 연결부(CS)를 통해 상기 공통 전압이 인가되기 때문에 상기 연결부(CS)와 상기 화소 전극(PE) 사이에도 전압차가 발생하며, 상기 전압차에 의한 전계에 의해 상기 액정 분자들이 오배열이나 이상 배열되어 상기 표시 영역(DA)의 가장자리를 따라 빛샘 현상을 일

어날 수 있다. 그러나, 본 발명의 일 실시예에 따른 표시 장치에 따르면 상기 연결부(CS)와 상기 화소 전극(PE) 사이에 상기 전계 제어 패턴(ECP)이 형성되므로 상기 전계 제어 패턴(ECP)에 의해 상기 연결부(CS)와 상기 화소 전극(PE) 사이에는 전계가 형성되지 않거나, 형성되더라도 매우 약하게 형성된다. 이에 따라, 액정 분자들의 오배열이나 이상배열이 줄어들어 빛샘 현상이 방지된다.

[0054] 도 5a와 도 5b는 각각 기존 표시 장치와 본 발명의 실시예에 따른 표시 장치에서의 액정 분자들의 배열 상태를 나타낸 시뮬레이션 도면으로서, 표시 영역과 비표시 영역 사이의 액정 분자들의 방향자를 화살표로 나타낸 것이다. 도 5a와 도 5b에 있어서, 기존의 표시 장치와 본 발명의 실시예에 따른 표시 장치는 공통 전극을 제외한 모든 구성 요소는 동일한 조건으로 설정되었다. 여기서, 도 5a 및 도 5b에서의 각 부호는 상술한 실시예에서의 구성 요소에 대응하는 것으로 설정되었으며, 설명하지 않은 부호 INS는 컬러 필터를 포함하는 절연막에 해당한다. 또한, 도시하지는 않았으나 상기 비표시 영역의 좌측에는 제1 기관의 공통 전압 라인(CVL)과 제2 기관의 공통 전극을 연결하는 연결부(CS)가 위치한다.

[0055] 도 5a를 참조하면, 기존 표시 장치에서는 상기 공통 전극(CE)과 상기 화소 전극(PE) 각각에 전압이 인가되면 표시 영역의 상기 공통 전극(CE)과 상기 화소 전극(PE) 사이에 전계가 형성되며 상기 전계에 따라 상기 액정 분자들의 방향자가 일정한 방향(도면에서는 수직 방향)으로 배열된다. 이때, 비표시 영역에 대응하는 액정 분자들은 상기 공통 전극(CE)과 상기 화소 전극(PE) 사이의 전계 뿐만 아니라, 도시되지 않은 연결부(미도시)와 상기 화소 전극(PE) 사이의 전계가 형성되기 때문에 상기 액정 분자들의 방향자가 일 방향이 아닌 다양한 방향으로 나타난다. 특히, 상기 화소 전극(PE)과 상기 연결부 사이의 액정 분자들은 상기 제1 기관(SUB1)의 기관의 상면과 평행하거나 경사진 방향으로 배열되기도 한다.

[0056] 도 5b를 참조하면, 본 발명의 실시예에 따른 표시 장치 또한 상기 공통 전극(CE)과 화소 전극(PE) 각각에 전압이 인가되면 표시 영역의 상기 공통 전극(CE)과 상기 화소 전극(PE) 사이에 전계가 형성되며, 상기 전계에 따라 상기 액정 분자들의 방향자가 일정한 방향(도면에서는 수직 방향)으로 배열된다. 그런데, 본 발명의 일 실시예에 따른 표시 장치에서는 기존의 표시 장치와 달리, 비표시 영역의 액정 분자들 또한 거의 대부분이 표시 영역의 액정 분자들과 동일한 방향으로 배열된다. 이는 상기 비표시 영역의 공통 전극(CE) 상에 전계 제어 패턴(ECP)으로서 개구부를 형성함으로써 상기 개구부에 의해 상기 연결부(미도시)와 상기 화소 전극(PE) 사이의 전계가 형성되지 않기 때문이다. 이에 따라, 본 발명의 일 실시예에 따른 표시 장치는 상기 비표시 영역에 있어서 액정 분자들의 오작동 및 이상 배열을 방지된다.

[0057] 도 6은 본 발명의 다른 실시예에 따른 표시 장치를 간략하게 도시한 평면도이다.

[0058] 이하, 본 발명의 실시예들에서는 중복된 설명을 피하기 위하여 일부 구성요소들이 생략되었으며, 본 발명의 일 실시예와 다른 점을 위주로 설명한다. 본 발명의 다른 실시예들에서 특별히 설명하지 않은 부분은 본 발명의 일 실시예에 따른다. 동일한 번호는 동일한 구성요소를, 유사한 번호는 유사한 구성요소를 나타낸다.

[0059] 도 6을 참조하면, 전계 제어 패턴(ECP)은 데이터 팬아웃 영역(DFA)과 게이트 팬아웃 영역(GFA)에 표시 영역(DA)의 가장자리를 따라 길게 연장된 슬릿 형태로 제공될 수 있다. 여기서, 상기 데이터 팬아웃 영역(DFA)에 형성된 전계 제어 패턴(ECP)은 상기 표시 영역(DA)의 일 변(제1 방향(D1))으로 연장된 장변)을 따라 연장되며, 상기 게이트 팬아웃 영역(GFA)에 형성된 전계 제어 패턴(ECP)은 상기 표시 영역(DA)의 다른 일 변(제2 방향(D2))으로 연장된 단변)을 따라 연장된다. 여기서, 상기 데이터 팬아웃 영역(DFA)에 형성된 전계 제어 패턴(ECP)과 상기 게이트 팬아웃 영역(GFA)에 형성된 전계 제어 패턴(ECP)은 서로 이격되어 형성된다.

[0060] 본 실시예에 있어서 상기 전계 제어 패턴이 상기 표시 영역과 상기 패드 영역 사이의 상기 데이터 팬아웃 영역 및 상기 게이트 팬아웃 영역에 제공됨으로써, 상기 데이터 구동부, 상기 게이트 구동부, 및 연결부(CS)의 위치와 관계없이 비표시 영역에서의 액정 분자들의 방향자를 제어할 수 있다.

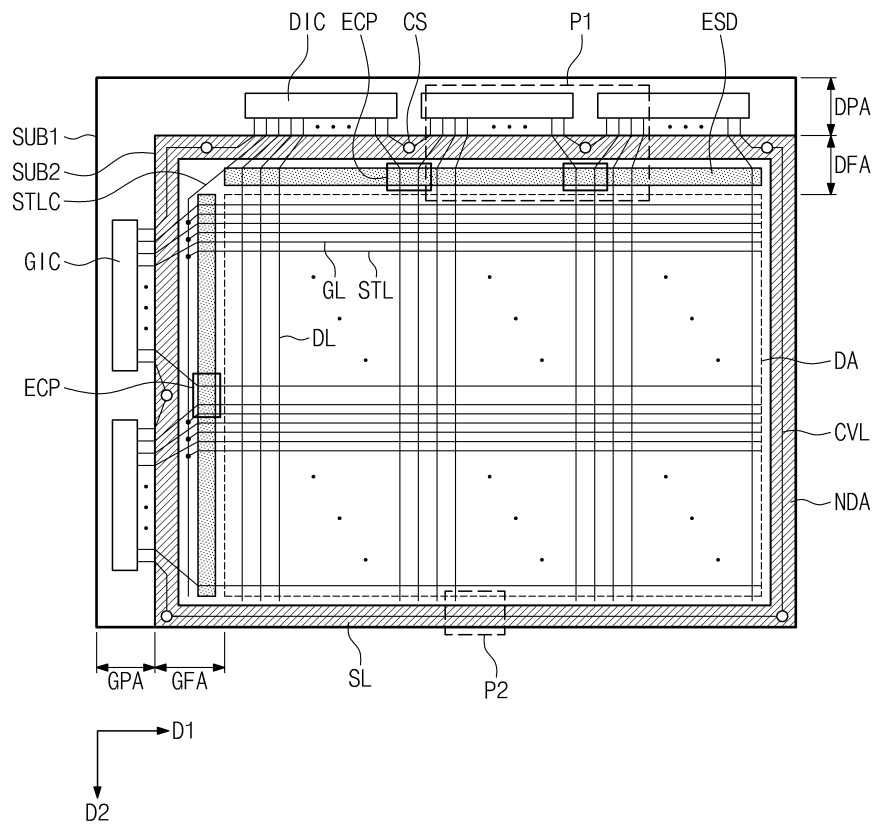
[0061] 도 7은 본 발명의 또 다른 실시예에 따른 표시 장치를 간략하게 도시한 평면도이다. 도 8은 도 7에 도시된 또 다른 실시예에 따른 표시 장치에 있어서, 도 1의 P2에 대응하는 영역을 확대한 평면도이다.

[0062] 도 7 및 도 8을 참조하면, 비표시 영역(NDA)은 배선부들의 타 단부들이 위치하는 테스트 영역(TA)을 더 포함할 수 있다. 상기 테스트 영역(TA)에는 상기 테스트 영역(TA)의 바깥쪽 가장자리를 따라 봉지부(SL)가 제공되며, 상기 봉지부(SL)와 중첩하여 상기 제1 기관(SUB1)에는 공통 전압 라인(CVL)이 제공된다. 상기 공통 전압 라인(CVL) 상에는 복수개의 연결부(CS)가 제공될 수 있다. 이 경우 상기 연결부(CS)와 상기 표시 영역(DA)의 화소 전극(PE) 사이에 전계가 형성된다.

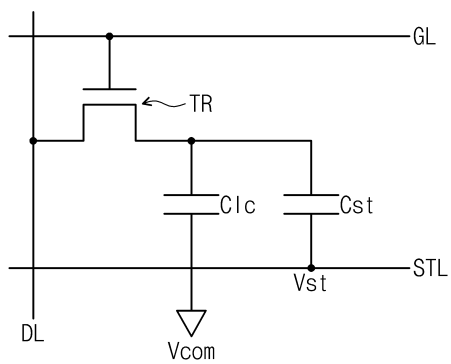
[0063] 본 실시예에 따르면 상기 연결부(CS)와 상기 표시 영역(DA)의 화소 전극(PE) 사이에 전계를 방지하기 위해, 상

도면

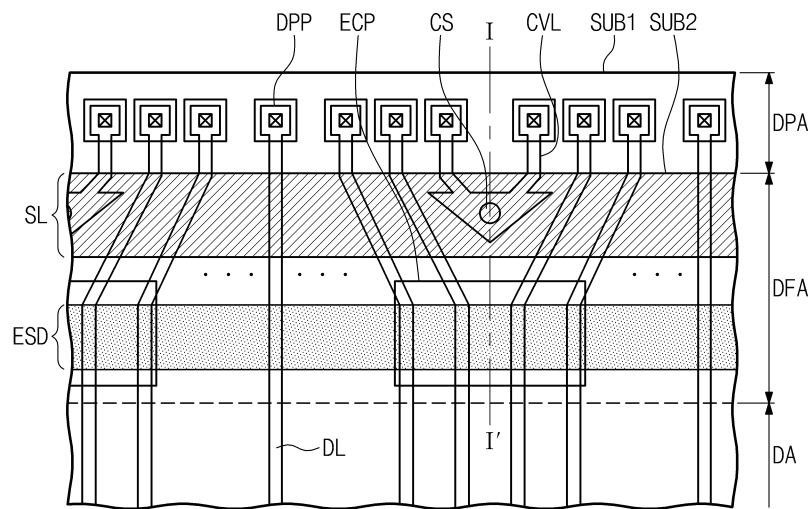
도면1



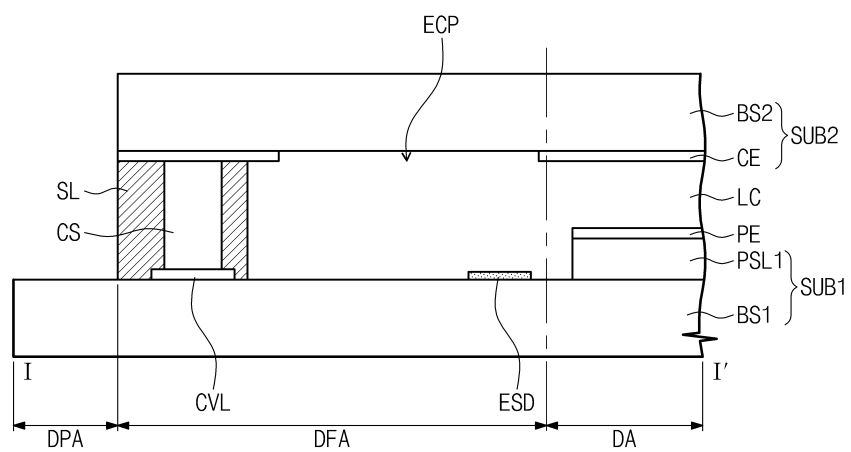
도면2



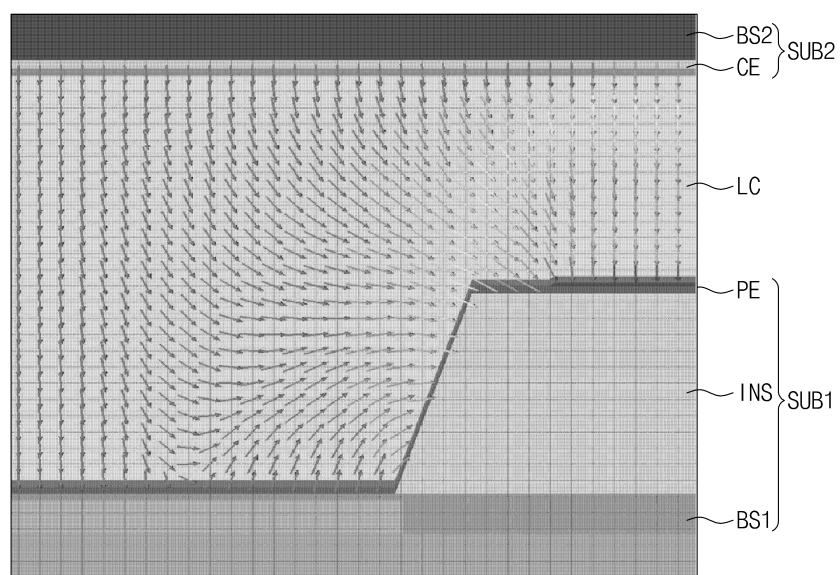
도면3



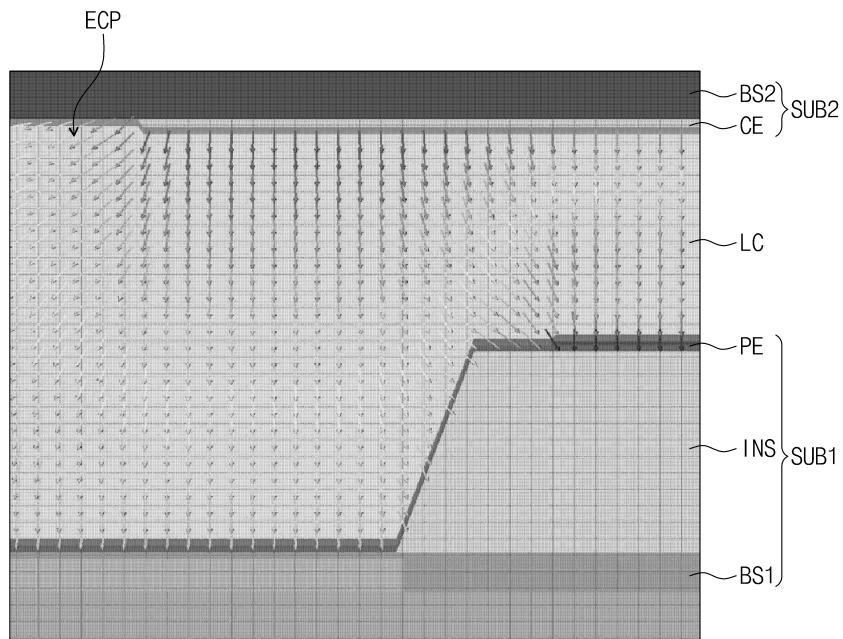
도면4



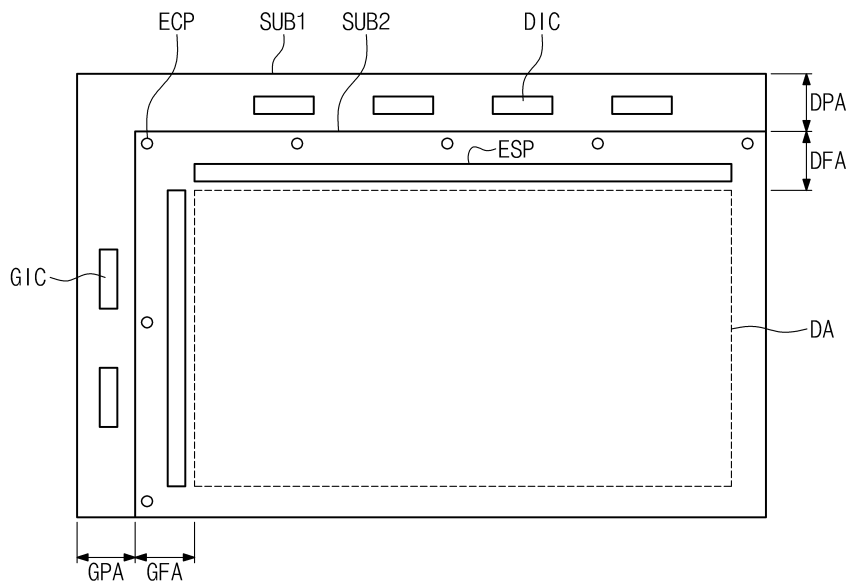
도면5a



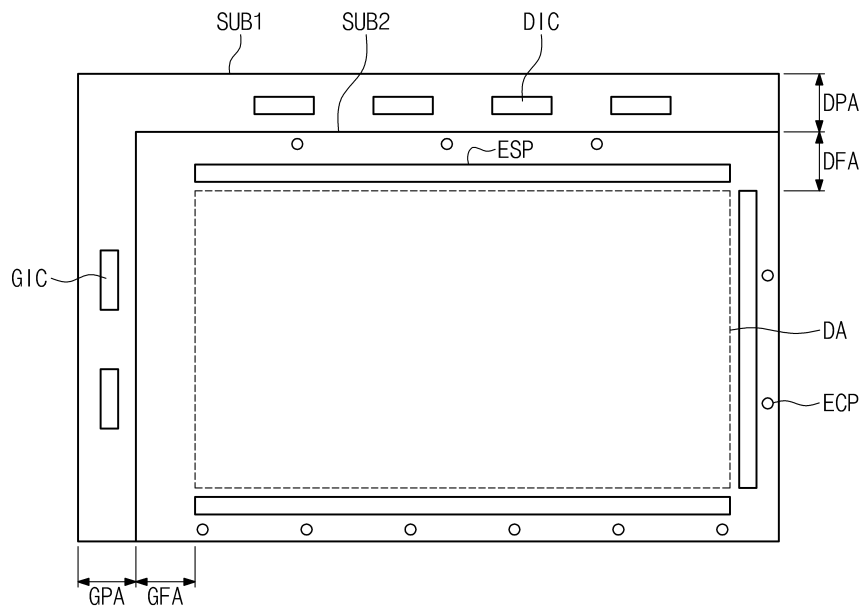
도면5b



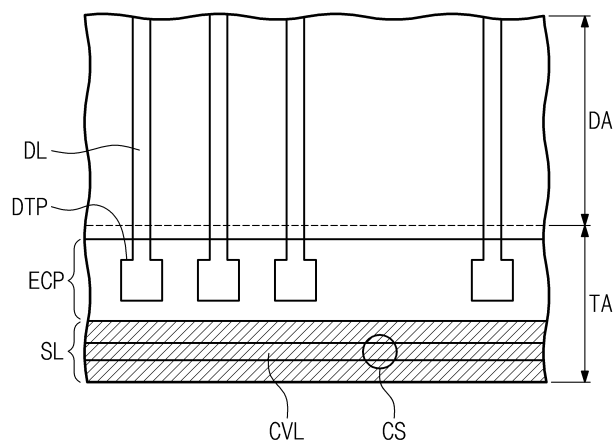
도면6



도면7



도면8



专利名称(译)	显示装置		
公开(公告)号	KR1020140081324A	公开(公告)日	2014-07-01
申请号	KR1020120150944	申请日	2012-12-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HONG SUNGHEE 홍성희 KIM JANG IL 김장일		
发明人	홍성희 김장일		
IPC分类号	G02F1/133 G02F1/1345 G02F1/1343 G09F9/00		
其他公开文献	KR101990115B1		
外部链接	Espacenet		

摘要(译)

该显示装置具有显示区域和除显示区域以外的非显示区域。该显示装置包括：第一基板，其包括像素电极；第二基板，其包括公共电极；液晶层，其设置在第一基础基板和第二基础基板之间；以及第一基础基板和第二基板。设置在基底基板之间并连接公共电极的一部分的连接部分和布线部分的一部分，其中，在平面图中，公共电极包括设置在连接部分和显示区域之间的电场控制图案。

