



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0080250
(43) 공개일자 2014년06월30일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-0149846
(22) 출원일자 2012년12월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김영호
경기 파주시 쇠재로 133, 507동 1804호 (금촌동, 쇠재마을아파트)
이태욱
경기 파주시 가람로 70, 404동 602호 (와동동, 가람마을4단지한양수자인)
김제학
경기 부천시 오정구 성지로 8, 나동 507호 (작동, 로얄아파트)
(74) 대리인
특허법인로알

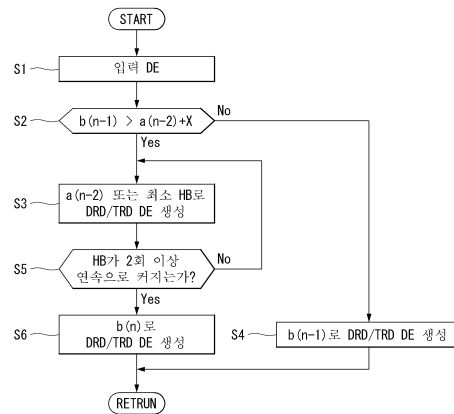
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치와 그 데이터 인에이블 신호 생성 방법

(57) 요약

본 발명은 액정표시장치와 그 데이터 인에이블 신호 생성 방법에 관한 것으로, 이 액정표시장치의 타이밍 콘트롤러는 입력 데이터 인에이블 신호의 제n-1 로우 구간이 제n-2 로우 구간 보다 크면 상기 제n-2 로우 구간을 1/i로 나눈 결과를 이용하여 내부 데이터 인에이블 신호를 생성한다.

대표도 - 도6



특허청구의 범위

청구항 1

데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치된 액정표시패널;

극성제어신호에 응답하여 데이터전압들의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동부;

상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동부; 및

입력 데이터 인에이블 신호의 로우 구간을 $1/i$ (i 는 2 또는 3)로 나눈 결과로 상기 입력 데이터 인에이블 신호보다 주파수가 높은 내부 데이터 인에이블 신호를 생성하고, 상기 내부 데이터 인에이블 신호를 바탕으로 상기 데이터 구동부와 상기 게이트 구동부를 제어하는 타이밍 컨트롤러를 포함하고,

상기 타이밍 컨트롤러는,

상기 입력 데이터 인에이블 신호의 상기 제 n (n 은 2 이상의 양의 정수)-1 로우 구간이 상기 입력 데이터 인에이블 신호의 상기 제 $n-2$ 로우 구간 보다 크면 상기 제 $n-2$ 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

상기 제 $n-1$ 로우 구간이 상기 제 $n-2$ 로우 구간 이하이면 보다 크면 상기 제 $n-1$ 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 타이밍 컨트롤러는,

상기 제 $n-1$ 로우 구간과 제 n 로우 구간 각각이 상기 제 $n-2$ 로우 구간 보다 크면, 상기 제 n 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 타이밍 컨트롤러는

상기 제 $n-2$ 로우 구간과 상기 제 n 로우 구간을 i 클럭 마다 카운트하여 그 카운트값을 레지스터에 저장하고 출력하는 제1 카운터;

상기 제 $n-1$ 로우 구간과 제 $n+1$ 로우 구간을 상기 i 클럭 마다 카운트하여 그 카운트값을 상기 레지스터에 저장하고 출력하는 제2 카운터;

상기 제1 및 제2 카운터들로부터 입력된 카운트값들을 비교하여 상기 제 $n-1$ 로우 구간이 상기 제 $n-2$ 로우 구간 보다 크면 선택신호를 제1 논리값으로 발생하고 상기 제 $n-1$ 로우 구간이 제 $n-2$ 로우 구간 이하이면 상기 선택신호를 제2 논리값으로 발생하는 비교부;

상기 선택신호가 제1 논리값이면, 상기 제1 카운터로부터 출력된 제 $n-2$ 로우 구간의 카운트값을 선택하고, 상기 선택신호가 제2 논리값이면 상기 제2 카운터로부터 출력된 상기 제 $n-1$ 로우 구간의 카운트값을 선택하는 선택부;

상기 선택부로부터 입력된 카운트값을 바탕으로 상기 내부 데이터 인에이블 신호를 생성하는 내부 데이터 인에이블 신호 발생부; 및

상기 내부 데이터 인에이블 신호를 바탕으로 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하

기 위한 타이밍 제어신호를 발생하는 타이밍 제어신호 발생부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 비교부는 상기 제 n 로우 구간이 상기 제 $n-1$ 로우 구간 보다 클 때 상기 선택신호를 제1 논리값으로 발생하고,

상기 선택부는 상기 선택신호가 제1 논리값으로 2 회 이상 연속 입력되면, 상기 제 n 로우 구간의 카운트값을 선택하는 것을 특징으로 하는 액정표시장치.

청구항 6

데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치된 액정표시패널, 극성제어신호에 응답하여 데이터전압들의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동부, 상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동부; 및 입력 데이터 인에이블 신호의 로우 구간을 $1/i$ (i 는 2 또는 3)로 나눈 결과로 상기 입력 데이터 인에이블 신호 보다 주파수가 높은 내부 데이터 인에이블 신호를 생성하고, 상기 내부 데이터 인에이블 신호를 바탕으로 상기 데이터 구동부와 상기 게이트 구동부를 제어하는 타이밍 콘트롤러를 포함하는 액정표시장치의 데이터 인에이블 신호 생성 방법에 있어서,

상기 입력 데이터 인에이블 신호의 상기 제 n (n 은 2 이상의 양의 정수)-1 로우 구간이 상기 입력 데이터 인에이블 신호의 상기 제 $n-2$ 로우 구간을 비교하는 단계; 및

상기 제 $n-1$ 로우 구간이 상기 제 $n-2$ 로우 구간 보다 크면 상기 제 $n-2$ 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 데이터 인에이블 신호 생성 방법.

청구항 7

제 6 항에 있어서,

상기 내부 데이터 인에이블 신호를 생성하는 단계는,

상기 제 $n-1$ 로우 구간이 상기 제 $n-2$ 로우 구간 이하이면 보다 크면 상기 제 $n-1$ 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 인에이블 신호 생성 방법.

청구항 8

제 7 항에 있어서,

상기 내부 데이터 인에이블 신호를 생성하는 단계는,

상기 제 $n-1$ 로우 구간과 제 n 로우 구간 각각이 상기 제 $n-2$ 로우 구간 보다 크면, 상기 제 n 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 인에이블 신호 생성 방법.

명세서

기술분야

[0001] 본 발명은 입력 데이터 인에이블 신호 보다 높은 주파수의 내부 데이터 인에이블 신호를 생성하는 액정표시장치와 그 데이터 인에이블 신호 생성 방법에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치의 액정셀들은 화소전극에

공급되는 데이터전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다.

[0003] 이러한 액정표시장치에는 데이터 인에이블 신호(data enable signal, DE)이 입력된다. 데이터 인에이블 신호의 하이 구간은 입력 영상의 1 라인 데이터와 동기되어 1 라인 데이터의 입력 타이밍을 나타낸다. 데이터 인에이블 신호의 1 주기는 1 수평 기간이다. 타이밍 콘트롤러(Timing controller, TCON)는 데이터 인에이블 신호(DE)를 바탕으로 데이터 구동부와 게이트 구동부의 동작 타이밍을 제어한다.

[0004] 최근에는 액정표시패널에서 픽셀 수를 줄이지 않고 데이터 라인의 개수를 줄일 수 있는 패널 구조로 개발되고 있다. 이러한 액정표시패널은 데이터 라인의 개수가 작기 때문에 데이터 구동부의 출력 채널 수를 줄일 수 있다. 이러한 액정표시패널은 상대적으로 작은 개수의 데이터 라인을 통해 픽셀들에 데이터를 공급하여야 하므로 구동 주파수가 높아진다. 이를 위하여, 타이밍 콘트롤러는 입력 데이터 인에이블 신호를 바탕으로 주파수가 높은 내부 데이터 인에이블 신호를 생성하여야 한다.

[0005] 타이밍 콘트롤러에 입력되는 데이터 인에이블 신호(DE)는 외부 입력 인터페이스가 변경되거나 채널 변경 또는 2D 모드와 3D 모드 변경시에 로우 구간이 변동될 수 있다. 이 경우, 타이밍 콘트롤러에서 생성되는 내부 데이터 인에이블 신호가 일시적으로 왜곡된다. 내부 데이터 인에이블 신호가 왜곡되면, 데이터 구동부와 게이트 구동부의 타이밍 제어 신호가 일시적으로 비정상적인 타이밍으로 발생되기 때문에 데이터 구동부와 게이트 구동부가 오동작할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 입력 데이터 인에이블 신호가 변동되더라도 타이밍 콘트롤러 내에서 생성되는 내부 데이터 인에이블 신호를 정상적인 타이밍으로 발생할 수 있는 액정표시장치와 그 데이터 인에이블 신호 생성 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치된 액정표시패널; 극성제어신호에 응답하여 데이터전압들의 극성을 반전시켜 상기 데이터라인들에 공급하는 데이터 구동부; 상기 데이터전압들과 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동부; 및 입력 데이터 인에이블 신호의 로우 구간을 $1/i$ (i 는 2 또는 3)로 나눈 결과로 상기 입력 데이터 인에이블 신호보다 주파수가 높은 내부 데이터 인에이블 신호를 생성하고, 상기 내부 데이터 인에이블 신호를 바탕으로 상기 데이터 구동부와 상기 게이트 구동부를 제어하는 타이밍 콘트롤러를 포함한다.

[0008] 상기 타이밍 콘트롤러는 상기 입력 데이터 인에이블 신호의 상기 제 n (n 은 2 이상의 양의 정수)-1 로우 구간이 상기 입력 데이터 인에이블 신호의 상기 제 $n-2$ 로우 구간 보다 크면 상기 제 $n-2$ 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성한다.

[0009] 상기 액정표시장치의 데이터 인에이블 신호 생성 방법은 상기 입력 데이터 인에이블 신호의 상기 제 $n-1$ 로우 구간이 상기 입력 데이터 인에이블 신호의 상기 제 $n-2$ 로우 구간을 비교하는 단계; 및 상기 제 $n-1$ 로우 구간이 상기 제 $n-2$ 로우 구간 보다 크면 상기 제 $n-2$ 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 상기 내부 데이터 인에이블 신호를 생성하는 단계를 포함한다.

발명의 효과

[0010] 본 발명의 액정표시장치는 입력 데이터 인에이블 신호의 제 $n-2$ 로우 구간과 제 $n-1$ 로우 구간을 비교하여 제 $n-2$ 로우 구간이 제 $n-1$ 로우 구간 보다 클 때 제 $n-2$ 로우 구간을 이용하여 내부 데이터 인에이블 신호를 생성한다. 그 결과, 본 발명의 액정표시장치는 입력 데이터 인에이블 신호가 변동되더라도 내부 데이터 인에이블 신호를 정상적인 타이밍으로 발생할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- 도 2 내지 도 4는 다양한 액정표시패널의 구조를 보여 주는 도면들이다.
- 도 5는 내부 데이터 인에이블 신호가 비정상적으로 발생하는 예를 보여 주는 파형도이다.
- 도 6은 본 발명의 실시예에 따른 데이터 인에이블 신호 생성 방법을 보여 주는 흐름도이다.
- 도 7은 도 6에서 S2 내지 S4 단계의 예를 보여 주는 파형도이다.
- 도 8은 도 6에서 S5 및 S6 단계의 예를 보여 주는 파형도이다.
- 도 9는 본 발명의 타이밍 콘트롤러에서 데이터 인에이블 신호 생성 회로를 보여 주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0013] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 콘트롤러(101), 데이터 구동부(102), 및 게이트 구동부(103)를 구비한다.
- [0014] 액정표시패널(100)은 두 장의 유리기관 사이에 액정층이 형성된다. 액정표시패널은 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 픽셀들 각각은 액정셀들(C1c)을 포함한다.
- [0015] 액정표시패널(100)의 하부 유리기관에는 TFT 어레이가 형성된다. TFT 어레이는 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 형성된 액정셀들(C1c), 액정셀들의 화소전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cs t)를 포함한다. TFT 어레이는 도 2 내지 도 4와 같이 다양한 형태로 구현될 수 있다. 액정셀들(C1c)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(100)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 등을 포함한 컬러 필터 어레이가 형성된다. 액정표시패널(100)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0016] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0017] 본 발명에서 적용 가능한 액정표시패널(100)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0018] 타이밍 콘트롤러(101)는 호스트 시스템(Host system, HOST)(104)로부터 입력된 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동부(102)에 공급한다. 타이밍 콘트롤러(101)는 시스템 보드(104)로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭(CLK) 등의 타이밍신호를 입력받는다. 타이밍 콘트롤러(101)는 도 3 및 도 4와 같은 구조의 액정표시패널(100)의 동작 타이밍을 제어하기 위하여 입력 데이터 인에이블 신호(DE)를 바탕으로 내부 데이터 인에이블 신호(DRD/TRD DE)를 생성한다. 내부 데이터 인에이블 신호(DRD/TRD DE)는 액정표시패널의 구조에 따라 도 5 내지 도 9와 같은 DRD 데이터 인에이블 신호(이하 "DRD DE"라 함)과, TRD 데이터 인에이블 신호(이하 "TRD DE"라 함)로 나뉘어진다.
- [0019] 타이밍 콘트롤러(101)는 액정표시패널(100)이 도 3 또는 도 4에 도시된 TFT 어레이를 갖는 패널 구조로 구현될 때 그 패널 구조의 구동에 적합한 데이터 인에이블 신호(DRD/TRD DE)를 생성한다. 이를 상세히 하면, 타이밍

컨트롤러(101)는 입력 데이터 인에이블 신호(DE)의 제 n (n 은 2 이상의 양의 정수)-1 로우 구간이 입력 데이터 인에이블 신호의 제 $n-2$ 로우 구간 보다 크면 제 $n-2$ 로우 구간을 $1/i$ (i 는 2 또는 3)로 나눈 결과를 이용하여 내부 데이터 인에이블 신호(DRD/TRD DE)를 생성한다. 타이밍 컨트롤러(101)는 입력 데이터 인에이블 신호(DE)의 제 $n-1$ 로우 구간이 제 $n-2$ 로우 구간 이하이면 보다 크면 제 $n-1$ 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 내부 데이터 인에이블 신호(DRD/TRD DE)를 생성한다. 입력 데이터 인에이블 신호(DE)의 제 $n-1$ 로우 구간과 제 n 로우 구간 각각이 제 $n-2$ 로우 구간 보다 크면, 타이밍 컨트롤러(101)는 입력 데이터 인에이블 신호(DE)의 제 n 로우 구간을 $1/i$ 로 나눈 결과를 이용하여 내부 데이터 인에이블 신호(DRD/TRD DE)를 생성한다.

[0020] 타이밍 컨트롤러(101)는 내부 데이터 인에이블 신호(DRD/TRD DE)와 클럭 신호를 바탕으로 데이터 구동부(102)와 게이트 구동부(103)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동부(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와, 데이터 구동부(102)의 동작 타이밍과 데이터전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 타이밍 컨트롤러(101)는 EEPROM(Electrically Erasable Programmable Read-Only Memory)(105)이 연결된다. EEPROM(105)는 타이밍 제어신호의 타이밍 정보를 저장하고 있다.

[0021] 게이트 타이밍 제어신호는 게이트 스타트 펄스(GSP), 게이트 시프트 클럭(GSC), 게이트 출력 인에이블신호(GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(103)를 구성하는 게이트 드라이브 IC(Integrated Circuit)의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 펄스의 시프트 타이밍을 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력 타이밍을 제어한다.

[0022] 데이터 타이밍 제어신호는 소스 스타트 펄스(SSP), 소스 샘플링 클럭(SSC), 극성제어신호(POL), 및 소스 출력 인에이블신호(SOE), 차지웨어제어신호(CS) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(102)를 구성하는 소스 드라이브 IC들의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(102)의 출력 타이밍을 제어한다. 데이터 구동부(102)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0023] 데이터 구동부(102)의 소스 드라이브 IC들 각각은 시프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 소스 드라이브 IC들은 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터전압을 발생하고 극성제어신호(POL)에 응답하여 그 데이터 전압의 극성을 반전시킨다. 소스 드라이브 IC들은 소스 출력 인에이블 신호(SOE)에 응답하여 데이터전압을 데이터라인들(DL)로 출력한다.

[0024] 게이트 구동부(103)의 게이트 드라이브 IC들은 시프트 레지스터와 레벨 쉬프터를 포함한다. 게이트 구동부(103)는 게이트 타이밍 제어신호에 응답하여 데이터전압에 동기되는 게이트펄스를 게이트라인들(GL)에 순차적으로 공급한다.

[0025] 호스트 시스템(104)은 텔레비전 시스템, 홈 시어터 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(104)은 입력 영상의 디지털 비디오 데이터(RGB)를 액정표시패널(100)의 해상도에 맞게 스케일링한다. 호스트 시스템(14)은 입력 영상의 디지털 비디오 데이터(RGB)와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 컨트롤러(101)로 전송한다.

[0026] 도 2 내지 도 4는 TFT 어레이의 다양한 예들을 보여 주는 등가 회로들이다. 도 2 내지 도 4에는 TFT 어레이의 일부를 보여 준다. 도 2 내지 도 4에 있어서, D1~D6은 데이터라인, G1~G6은 게이트 라인, LINE#1~LINE#6은 픽셀 어레이의 라인 번호를 각각 나타낸다.

[0027] 도 2에 도시된 TFT 어레이는 대부분의 액정표시장치에서 적용되는 TFT 어레이이다. 이 TFT 어레이에는 데이터라인들(D1~D6)과 게이트라인들(G1~G4)이 교차된다. 이 TFT 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. TFT 각각은 게이트라인(G1~G4)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 3에 도시된 TFT 어레이에서 1 픽셀은 컬럼 방향과 직교하는 로우 방향(또는 라인 방향)을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)을 포함한다. 도 2에 도시된

TFT 어레이의 해상도가 $M \times N$ (M 및 N 각각은 2 이상의 양의 정수) 일 때, $M \times 3$ 개의 데이터라인들과 N 개의 게이트라인들이 필요하다. $M \times 3$ 에서, 3은 1 픽셀에 포함된 서브픽셀들의 개수이다.

[0028] 도 3에 도시된 TFT 어레이는 도 2에 도시된 TFT 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄인 구조의 TFT 어레이이다. 이 TFT 어레이의 구동 주파수는 도 2에서 도시된 TFT 어레이에 비하여 2 배 높다. 이 때문에 도 3에 도시된 TFT 어레이를 가지는 액정표시패널을 DRD(Double rate driving) 패널로 칭하기도 한다. 이하에서, DRD 패널은 도 3과 같은 액정표시패널을 지칭한다. DRD 패널은 도 2에 도시된 TFT 어레이에 비하여 소스 드라이브 IC들의 개수를 1/2로 줄일 수 있다. DRD 패널의 TFT 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. DRD 패널의 TFT 어레이에서, 1 픽셀은 컬럼 방향과 직교하는 라인방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. DRD 패널의 TFT 어레이에서 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)라 하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)라 하여 TFT 어레이의 구조를 설명하면 다음과 같다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. DRD 패널의 TFT 어레이는 해상도가 $M \times N$ 일 때, $(M \times 3)/2$ 개의 데이터라인들과 $2N$ 개의 게이트라인들이 필요하다.

[0029] 도 4에 도시된 TFT 어레이는 도 2에 도시된 TFT 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/3로 줄인 구조의 TFT 어레이이다. 이 TFT 어레이의 구동 주파수는 도 2에서 도시된 TFT 어레이에 비하여 3 배 높다. 이 때문에 도 4에 도시된 TFT 어레이를 가지는 액정표시패널을 TRD(Triple rate driving) 패널로 칭하기도 한다. 이하에서, TRD 패널은 도 3과 같은 액정표시패널을 지칭한다. TRD 패널의 TFT 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 라인 방향을 따라 배치된다. TRD 패널의 TFT 어레이에서 1 픽셀은 컬럼 방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. TRD 패널의 TFT 어레이에서, TFT 각각은 게이트라인(G1~G6)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. TRD 패널의 TFT 어레이는 해상도가 $M \times N$ 일 때, $M/3$ 개의 데이터라인들과 $3N$ 개의 게이트라인들이 필요하다.

[0030] 도 5는 내부 데이터 인에이블 신호가 비정상적으로 발생되는 예를 보여 주는 파형도이다. 도 5에서, 입력 DE는 타이밍 컨트롤러(101)에 입력되는 데이터 인에이블 신호이고, DRD DE는 도 3과 같은 DRD 패널 구동에 필요한 데이터 인에이블 신호이다. 그리고 TRD DE는 도 4와 같은 TRD 패널 구동에 필요한 데이터 인에이블 신호이다. DRD DE와 TRD DE는 액정표시패널의 구조에 따라 선택된다.

[0031] 도 5를 참조하면, 입력 데이터 인에이블 신호(DE)의 1 라인 기간(Ht)은 입력 영상의 1 라인 데이터 구간을 정의하는 하이 로직 구간(high logic section, 이하 "하이 구간"이라 함)과, 데이터가 없는 수평 블랭크 기간(horizontal blank period)를 정의하는 로우 로직 구간(low logic section, 이하 "로우 구간"이라 함)으로 나뉘어진다.

[0032] DRD DE를 생성하기 위하여, 타이밍 컨트롤러(101)는 먼저 입력 DE의 로우 구간을 2 클럭(CLK) 마다 카운트하여 1/2 로우 구간(a/2, b/2)을 측정하여 그 결과를 타이밍 컨트롤러(101)에 내장된 레지스터(register)에 일시 저장한다. 타이밍 컨트롤러(101)는 입력 DE의 라이징 에지에 동기하여 DRD DE의 제1 하이 구간(1a, 1e)을 발생한 후에, 레지스터에 저장된 입력 DE의 1/2 로우 구간(a/2, b/2) 만큼 DRD DE의 제1 로우 구간(1b, 1f)을 발생한다. 타이밍 컨트롤러(101)는 EEPROM(105)에 저장된 DRD DE의 하이 구간 시간을 읽어 그 시간 만큼 제1 하이 구간(1a, 1e)을 발생한다. 이어서, 타이밍 컨트롤러(101)는 DRD DE의 제2 하이 구간(1c)을 발생한 후에 다음 입력 DE의 라이징 에지 전까지 DRD DE 신호를 로우 구간을 유지하여 DRD DE의 제2 로우 구간(1d)을 발생한다.

[0033] TRD DE를 생성하기 위하여, 타이밍 컨트롤러(101)는 먼저 입력 DE의 로우 구간을 3 클럭(CLK) 마다 카운트하여

입력 DE의 1/3 로우 구간($a/3$, $b/3$)을 측정하여 그 결과를 레지스터에 저장한다. 타이밍 콘트롤러(101)는 입력 DE의 라이징 에지에 동기하여 TRD DE의 제1 하이 구간($2a$, $2g$)을 발생한 후에, 레지스터에 저장된 입력 DE의 1/3 로우 구간($a/3$, $b/3$) 만큼 TRD DE의 제1 로우 구간($2b$, $2h$)을 발생한다. 타이밍 콘트롤러(101)는 EEPROM(105)에 저장된 TRD DE의 하이 구간 시간을 읽어 그 시간 만큼 제1 하이 구간($2a$, $2g$)을 발생한다. 이어서, 타이밍 콘트롤러(101)는 TRD DE의 제2 하이 구간($2c$, $2i$)을 발생한 후에 레지스터에 저장된 입력 DE의 1/3 로우 구간($a/3$, $b/3$) 만큼 TRD DE의 제2 로우 구간($2d$, $2j$)을 발생한다. 이어서, 타이밍 콘트롤러(101)는 DRD DE의 제3 하이 구간($2e$)을 발생한 후에, 다음 입력 DE의 라이징 에지 전까지 TRD DE 신호를 로우 구간을 유지하여 TRD DE의 제3 로우 구간($2f$)을 발생한다.

[0034] 입력 DE의 로우 구간이 b 와 같이 길어지면, DRD DE의 제1 로우 구간이 $b/2$ 만큼 길어질 수 있다. 이 경우에, 타이밍 콘트롤러(101)는 DRD DE의 제1 로우 구간에 이어서 DRD DE의 제2 하이 구간을 발생하는데, 이 제2 하이 구간 내에서 다음 입력 DE가 입력되기 때문에 DRD DE의 제2 로우 구간을 발생하지 못한다. TRD DE의 경우에, 타이밍 콘트롤러(101)는 TRD DE의 제2 로우 구간에 이어서 DRD DE의 제3 하이 구간을 발생하는데, 이 제3 하이 구간 내에서 다음 입력 DE가 입력되기 때문에 TRD DE의 제3 로우 구간을 발생하지 못한다. 따라서, 입력 DE의 로우 구간이 변동할 때 DRD DE와 TRD DE가 비정상적인 타이밍으로 발생된다. 본 발명의 데이터 인에이블 신호 생성 방법은 도 6과 같이 연속되는 입력 DE의 로우 구간을 비교하여 그 중 어느 하나를 선택함으로써 입력 DE의 로우 구간이 변동할 때 비정상적인 내부 데이터 인에이블 신호(DRD DE, TRD DE) 발생을 방지한다.

[0035] 도 6은 본 발명의 실시예에 따른 데이터 인에이블 신호 생성 방법을 보여 주는 흐름도이다. 타이밍 콘트롤러(101)는 도 6과 같은 데이터 인에이블 신호 생성 방법으로 DRD DE 혹은 TRD DE를 생성한다. 도 7은 도 6에서 S2 내지 S4 단계의 예를 보여 주는 파형도이다. 도 8은 도 6에서 S5 및 S6 단계의 예를 보여 주는 파형도이다.

[0036] 도 6 내지 도 8을 참조하면, 데이터 인에이블 신호 생성 방법은 입력 DE가 수신되면(S1), 그 입력 DE의 로우 구간을 i 클럭(CLK) 마다 카운트하여 입력 DE의 $1/i$ 로우 구간을 측정하여 그 결과를 레지스터에 저장한다. 여기서, i 는 DRD DE에서 2이고, TRD DE에서 3이다.

[0037] 데이터 인에이블 신호 생성 방법은 입력 DE에서 연속되는 로우 구간들을 비교하여 그 중 어느 하나를 선택한다.(S2) 제 $n-1$ 로우 구간($b(n-1)$)이 제 $n-2$ 로우 구간($a(n-2)$)에 미리 정해진 상수값(X)을 더한 $a(n-2)+X$ 보다 크면, 제 $n-2$ 로우 구간($a(n-2)$)이 선택된다. 제 $n-2$ 로우 구간($a(n-2)$)은 제 $n-1$ 로우 구간($b(n-1)$)에 앞서 타이밍 콘트롤러(101)에 입력된다. 제 $n-1$ 로우 구간($b(n-1)$)이 $a(n-2)+X$ 이하이면, 제 $n-1$ 로우 구간($b(n-1)$)이 선택된다.

[0038] 여기서 상수값(X)은 0 이상의 상수값으로서 액정표시패널(100)의 해상도, 액정표시패널(100)의 드라이브 IC 사양, DRD 패널, TRD 패널에 따라 선택된다. 이 상수값(X)은 EEPROM(105)에 저장된다.

[0039] 데이터 인에이블 신호 생성 방법은 입력 DE의 라이징 에지에 동기하여 DRD DE의 제1 하이 구간($1a$, $1e$)을 발생한 후에, S2 단계에서 선택된 제 $n-2$ 로우 구간($a(n-2)$)의 $1/2$ 기간 또는 DRD DE의 최소 로우 구간(HB) 만큼 DRD DE 제1 로우 구간($1b$, $1f$)을 발생한다.(S3) DRD DE의 최소 로우 구간은 EEPROM(105)에 저장되어 있다. DRD DE의 최소 로우 구간은 0 보다 크고 $a/2$ 이하의 값으로 미리 설정될 수 있다. 이어서, 데이터 인에이블 신호 생성 방법은 DRD DE의 제2 하이 구간($1c$)을 발생한 후에 다음 입력 DE의 라이징 에지 전까지 DRD DE 신호를 로우 구간을 유지하여 DRD DE의 제2 로우 구간($1d$, $1h$)을 발생한다. 도 7은 $b(n-1) > a(n-2)+X$ 일 때 DRD DE 생성 방법을 보여 준다.

[0040] TRD DE의 경우, 데이터 인에이블 신호 생성 방법은 S3 단계에서 입력 DE의 라이징 에지에 동기하여 TRD DE의 제1 하이 구간($2a$, $2g$)을 발생한 후에, S2 단계에서 선택된 제 $n-2$ 로우 구간($a(n-2)$)의 $1/2$ 기간 또는 TRD DE의 최소 로우 구간(HB) 만큼 TRD DE 제1 로우 구간($2b$, $2h$)을 발생한다. TRD DE의 최소 로우 구간은 EEPROM(105)에 저장되어 있다. TRD DE의 최소 로우 구간은 0 보다 크고 $a/3$ 이하의 값으로 미리 설정될 수 있다. 이어서, 데이터 인에이블 신호 생성 방법은 TRD DE의 제2 하이 구간($2c$, $2i$)을 발생한 후에, S2 단계에서 선택된 로우 구간($a(n-2)$ 또는 $b(n-1)$)의 $1/3$ 기간 만큼 TRD DE 제2 로우 구간($2d$, $2j$)을 발생한다. 이어서, 데이터 인에이블 신호 생성 방법은 TRD DE의 제3 하이 구간($2e$, $2k$)을 발생한 후에, 다음 입력 DE의 라이징 에지 전까지 TRD DE 신호를 로우 구간을 유지하여 TRD DE의 제3 로우 구간($2f$, $2l$)을 발생한다. 도 7은 $b(n-1) > a(n-2)+X$ 일 때 DRD DE 생성 방법을 보여 준다.

[0041] S2 단계에서 $b(n-1)$ 이 $a(n-2)+X$ 이하이면, 데이터 인에이블 신호 생성 방법은 S3 단계에서 입력 DE의 제 $n-1$ 로우 구간($b(n-1)$)을 바탕으로 DRD/TRD DE의 로우 구간을 생성한다.(S4)

- [0042] 입력 DE에서 $a(n-2)+X$ 보다 큰 로우 구간이 연속적으로 입력되면, 입력 DE가 정상적으로 길어진 예이다. 따라서, 데이터 인에이블 신호 생성 방법은 입력 DE에서 연속되는 로우 구간들을 비교하여 $a(n-2)+X$ 보다 큰 로우 구간이 연속적으로 입력되면 가장 최근에 입력된 로우 구간을 선택한다.(S5)
- [0043] 도 8의 예에서, 입력 DE에서 제 $n-2$ 로우 구간($a(n-2)$)에 이어서 연속적으로 입력되는 제 $n-1$ 및 제 n 로우 구간($b(n-1)$, $b(n)$)은 $a(n-2)+X$ 보다 크다. 이 경우에 데이터 인에이블 신호 생성 방법은 가장 최근에 입력된 제 n 로우 구간($b(n)$)을 선택한다.
- [0044] 데이터 인에이블 신호 생성 방법은 입력 DE의 라이징 에지에 동기하여 DRD DE의 제1 하이 구간($1i$)을 발생한 후에, 도 8과 같이 S5 단계에서 선택된 제 n 로우 구간($b(n)$)의 $1/2$ 기간 만큼 DRD DE 제1 로우 구간($1j$)을 발생한다.(S6) 이어서, 데이터 인에이블 신호 생성 방법은 DRD DE의 제2 하이 구간($1k$)을 발생한 후에 다음 입력 DE의 라이징 에지 전까지 DRD DE 신호를 로우 구간을 유지하여 DRD DE의 제2 로우 구간($1l$)을 발생한다.
- [0045] TRD DE의 경우, 데이터 인에이블 신호 생성 방법은 S3 단계에서 입력 DE의 라이징 에지에 동기하여 TRD DE의 제1 하이 구간($2m$)을 발생한 후에, 도 8과 같이 S5 단계에서 선택된 제 n 로우 구간($b(n)$)의 $1/3$ 기간 만큼 TRD DE 제1 로우 구간($2n$)을 발생한다. 이어서, 데이터 인에이블 신호 생성 방법은 TRD DE의 제2 하이 구간($2o$)을 발생한 후에, S5 단계에서 선택된 제 n 로우 구간($b(n)$)의 $1/3$ 기간 만큼 TRD DE 제2 로우 구간($2p$)을 발생한다. 이어서, 데이터 인에이블 신호 생성 방법은 제3 하이 구간($2q$)을 발생한 후에 다음 입력 DE의 라이징 에지 전까지 TRD DE 신호를 로우 구간을 유지하여 TRD DE의 제3 로우 구간($2r$)을 발생한다.
- [0046] 도 9는 본 발명의 타이밍 컨트롤러(101)에서 데이터 인에이블 신호 생성 회로를 보여 주는 블록도이다.
- [0047] 도 9를 참조하면, 타이밍 컨트롤러(101)는 제1 및 제2 카운터(91, 92), 비교부(93), 선택부(94), 내부 데이터 인에이블 신호 발생부(95), 타이밍 제어신호 발생부(96) 등을 포함한다.
- [0048] 제1 카운터(91)는 입력 DE의 제 $n-2$ 로우 구간을 i 클럭(CLK) 마다 카운트하여 그 카운트값을 레지스터에 저장하고 비교부(93)에 공급한다. 제1 카운터(91)는 다음 입력 DE의 라이징 에지에 카운트값을 리셋한다. 이어서, 제1 카운터(91)는 입력 DE의 제 n 로우 구간을 i 클럭(CLK) 마다 카운트하여 그 카운트값을 레지스터에 저장하고 비교부(93)에 공급한다.
- [0049] 제2 카운터(92)는 입력 DE의 제 $n-1$ 로우 구간을 i 클럭(CLK) 마다 카운트하여 그 카운트값을 레지스터에 저장하고 비교부(93)에 공급한다. 제2 카운터(92)는 다음 입력 DE의 라이징 에지에 카운트값을 리셋한다. i 는 DRD DE에서 2이고, TRD DE에서 3이다. 이어서, 제2 카운터(92)는 입력 DE의 제 $n+1$ 로우 구간을 i 클럭(CLK) 마다 카운트하여 그 카운트값을 레지스터에 저장하고 비교부(93)에 공급한다.
- [0050] 비교부(93)는 제1 및 제2 카운터(91, 92)로부터 입력된 카운트값들을 비교하여 제 $n-1$ 로우 구간($b(n-1)$)이 제 $n-2$ 로우 구간($a(n-2)$)에 미리 정해진 상수값(X)을 더한 $a(n-2)+X$ 보다 크면, 선택신호를 제1 논리값으로 발생한다. 비교부(93)는 제 n 로우 구간($b(n)$)이 $a(n-2)+X$ 보다 클 때 선택신호를 제1 논리값으로 발생한다. 반면에, 비교부(93)는 제 $n-1$ 로우 구간($b(n-1)$) 또는 제 n 로우 구간($b(n)$)이 $a(n-2)+X$ 이하이면, 선택신호를 제2 논리값으로 발생한다. 제1 논리값은 하이 로직(high logic) 또는 1이고, 제2 논리값은 로우 로직(low logic) 또는 0일 수 있다.
- [0051] 선택부(94)는 비교부(93)로부터의 선택신호에 응답하여 제1 및 제2 카운터(91, 92)의 출력 중 어느 하나를 선택하여 내부 데이터 인에이블 신호 발생부(95)에 공급한다. 선택신호가 제1 논리값이면, 제1 카운터(91)로부터 출력된 제 $n-2$ 로우 구간($a(n-2)$)의 카운트값이 선택된다. 반면에, 선택신호가 제2 논리값이면, 제2 카운터(92)로부터 출력된 제 $n-1$ 로우 구간($b(n-1)$)의 카운트값이 선택된다. 선택신호가 제1 논리값으로 2 회 이상 연속 입력되면, 제2 카운터(92)로부터 출력된 제 n 로우 구간($b(n)$)의 카운트값이 선택된다.
- [0052] 내부 데이터 인에이블 신호 발생부(95)는 선택부(94)를 통해 입력된 로우 구간 카운트값을 바탕으로 도 7 및 도 8과 같이 DRD DE 혹은 TRD DE를 생성한다. 타이밍 제어신호 발생부(96)는 내부 데이터 인에이블 신호 발생부(95)로부터 입력된 DRD DE 혹은 TRD DE를 클럭(CLK)으로 카운트하여 그 카운트값을 EEPROM(105)에 저장된 파형 정보와 비교함으로써 게이트 타이밍 제어신호와 데이터 타이밍 제어신호를 발생한다.
- [0053] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

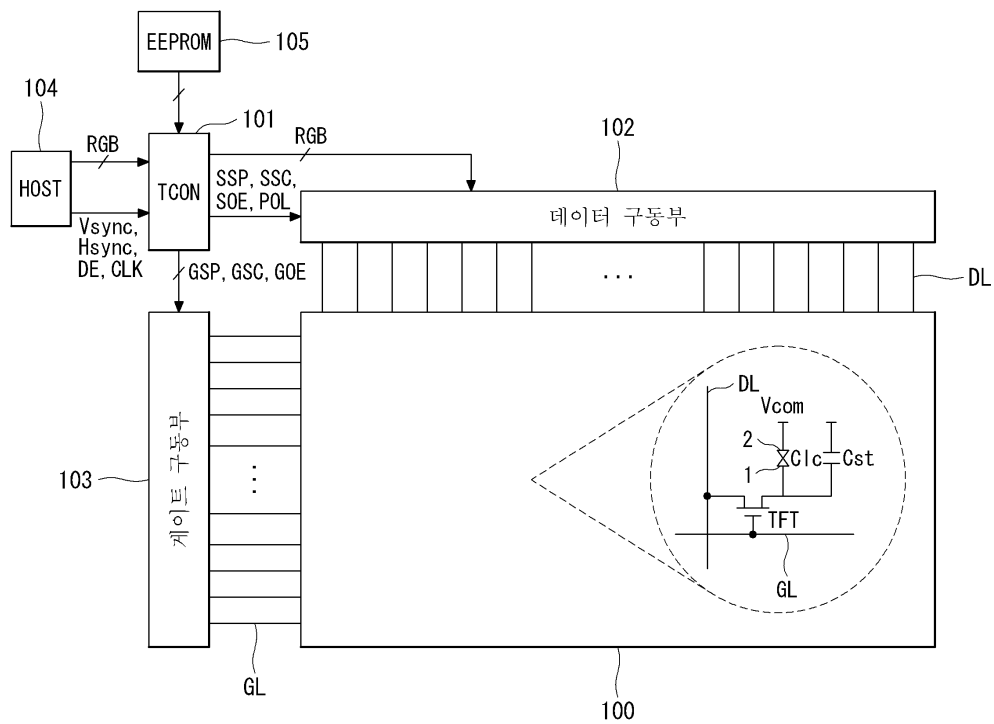
부호의 설명

[0054]

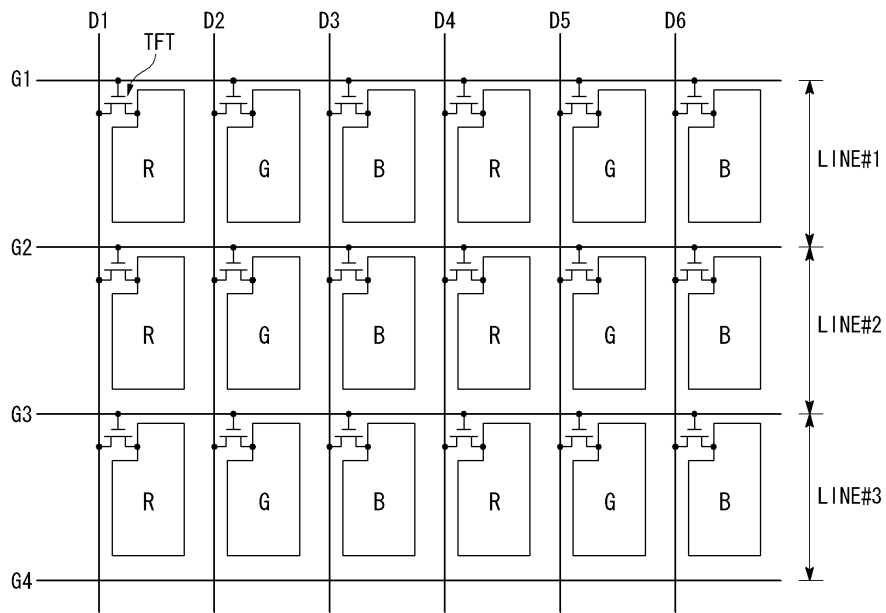
91, 92 : 카운터	93 : 비교부
94 : 선택부	95 : 내부 데이터 인에이블 신호 발생부
96 : 타이밍 제어신호 발생부	100 : 액정표시패널
101 : 타이밍 콘트롤러	102 : 데이터 구동부
103 : 게이트 구동부	

도면

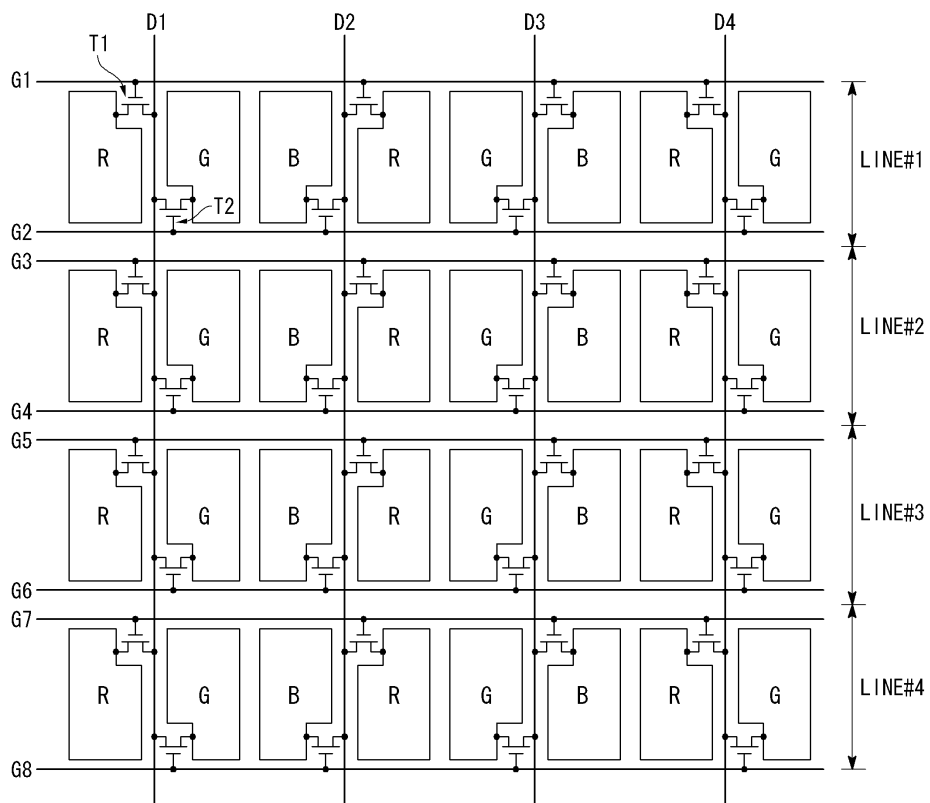
도면1



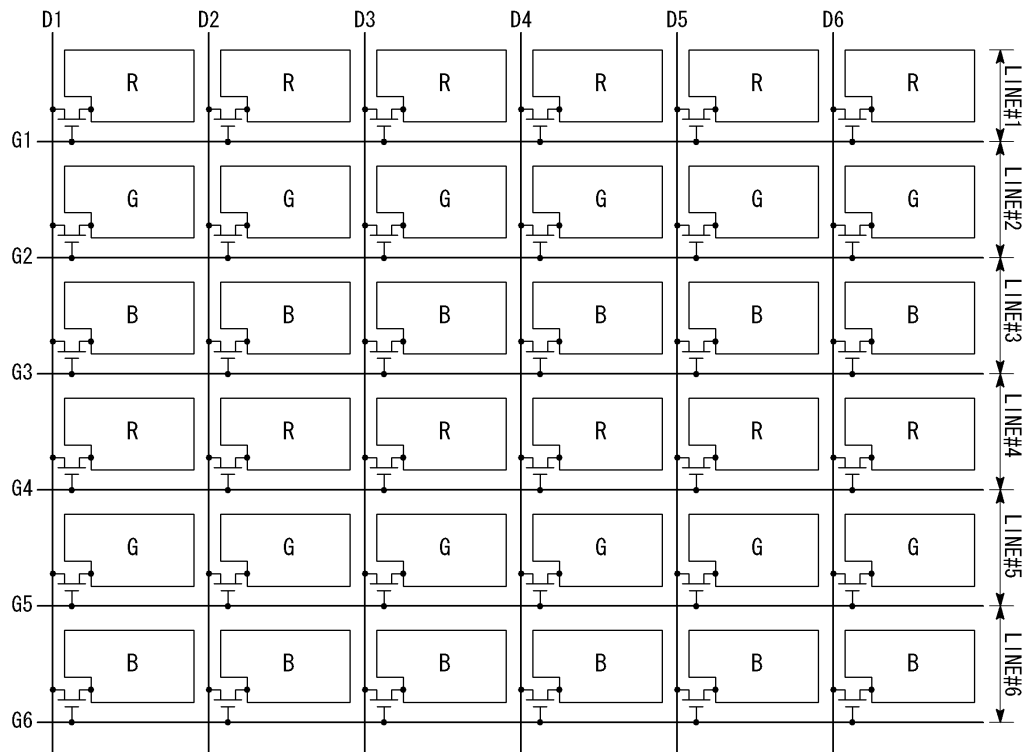
도면2



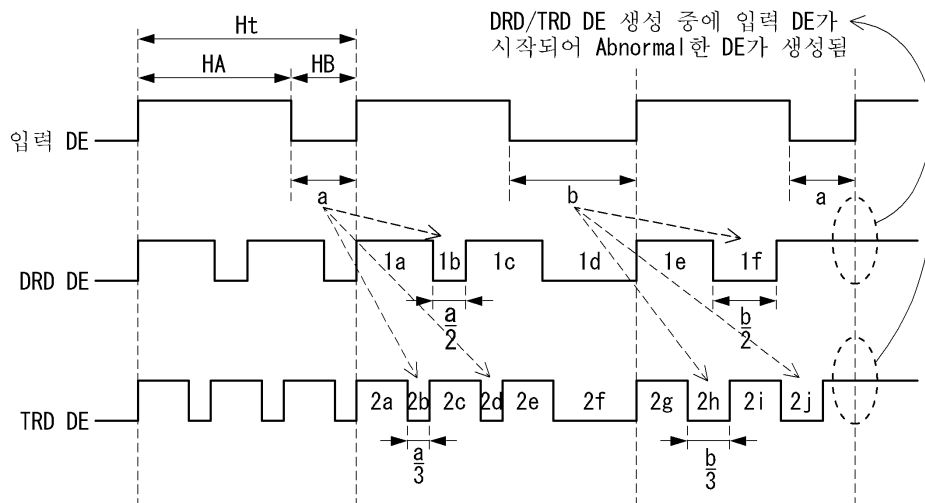
도면3



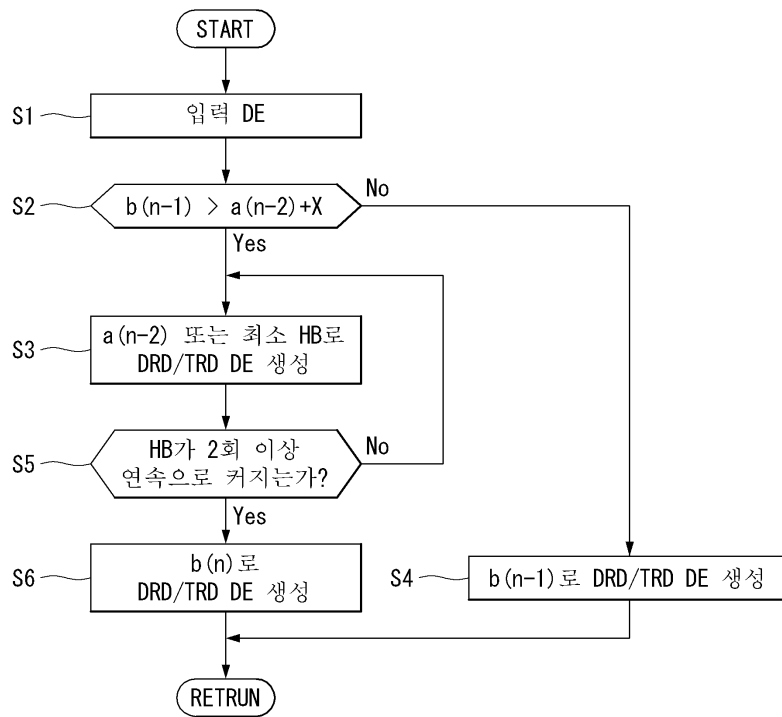
도면4



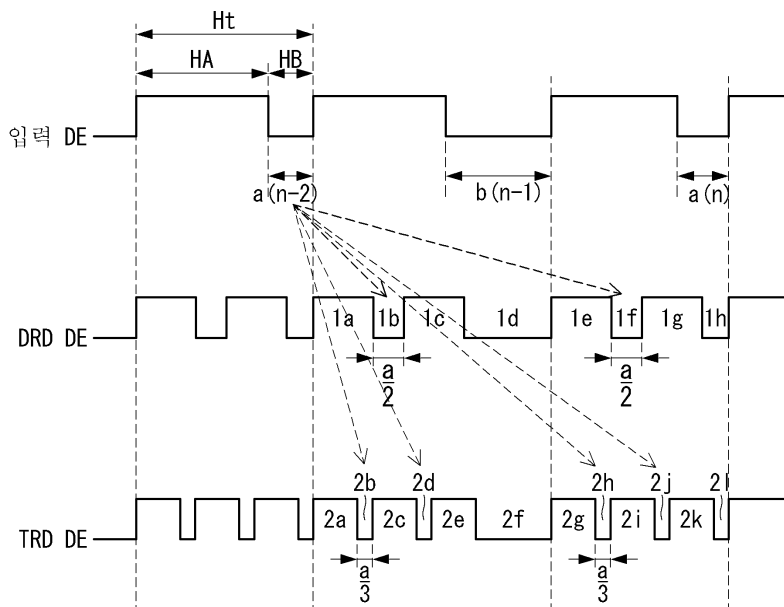
도면5



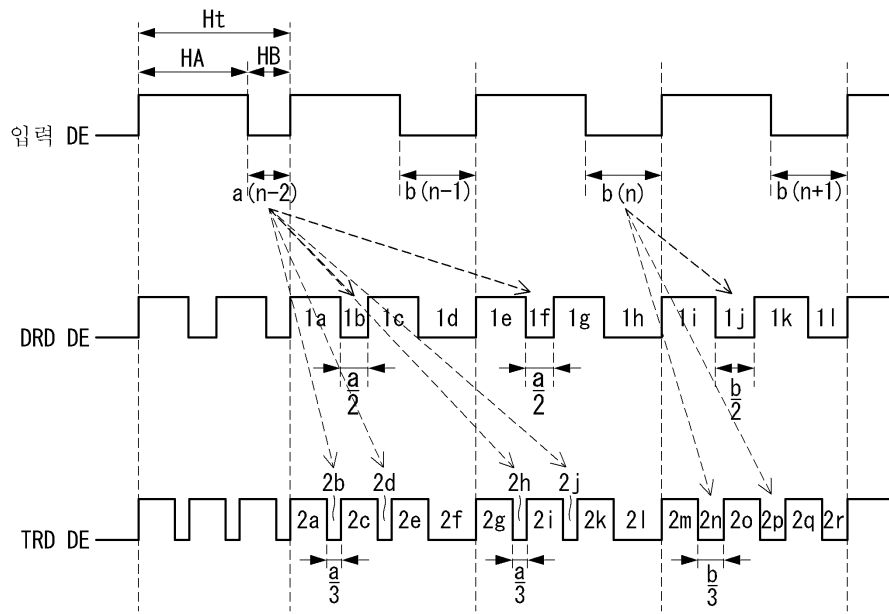
도면6



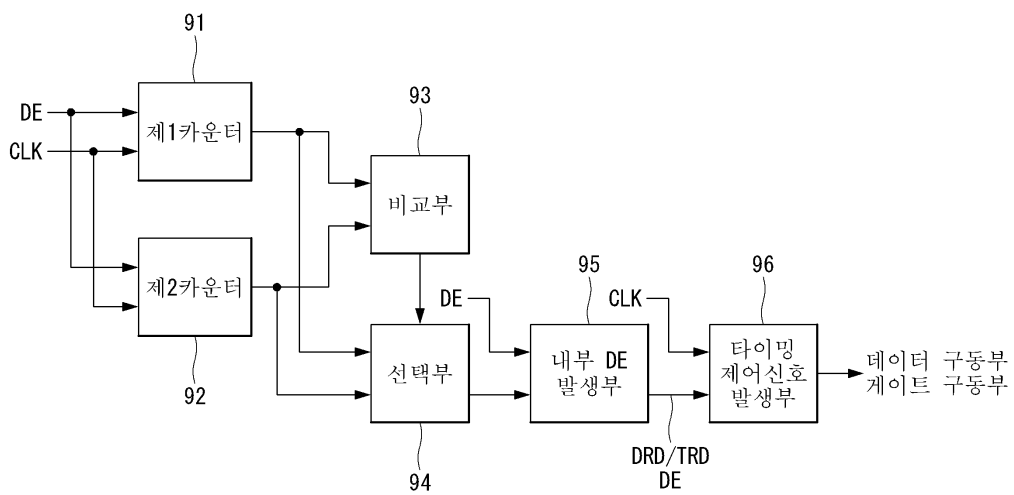
도면7



도면8



도면9



专利名称(译)	LCD及产生数据使能信号的方法		
公开(公告)号	KR1020140080250A	公开(公告)日	2014-06-30
申请号	KR1020120149846	申请日	2012-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG HO 김영호 LEE TAE WOOK 이태욱 KIM JAE HAK 김제학		
发明人	김영호 이태욱 김제학		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3614 G02F1/133 G09G2310/08		
其他公开文献	KR102040649B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器及其产生数据使能信号的方法，其中当输入数据使能信号的第n-1个低部分大于第n-2个低部分时，液晶显示器的定时控制器包括第n行。通过将-2低间隔除以1/i的结果来生成内部数据使能信号。

