(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0131851
(43) 공개일자 2013년12월04일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) *G09G 3/36* (2006.01)
(21) 출원번호 10-2012-0055731
(22) 출원일자 2012년05월25일
심사청구일자 2012년05월25일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
민웅기
경기도 파주시 와동동 해솔마을 4단지 벽산우남연리지 405동 1203호
송홍성
경기도 고양시 일산서구 일산3동 후곡마을15단지 아파트 건영아파트 1508동 804호
(뒷면에 계속)
(74) 대리인
서교준

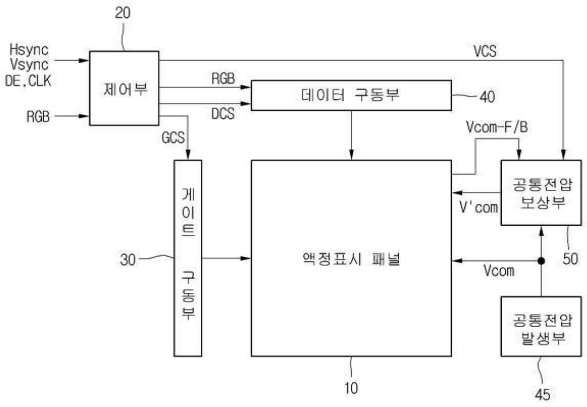
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **액정표시장치 및 그 구동방법**

(57) 요 약

액정표시장치는, 적어도 하나 이상의 공통전극 바 및 상기 적어도 하나 이상의 공통전극 바의 길이 방향을 따라 정의된 다수의 분할 영역을 포함하는 액정표시패널; 한 프레임을 상기 분할 영역의 개수에 대응하는 다수의 구간으로 분할하여, 상기 각 구간에 따른 공통전압 제어신호를 생성하는 공통전압 제어부; 및 상기 각 구간에 따른 공통전압 제어신호를 바탕으로 상기 상기 액정표시패널의 상기 적어도 하나 이상의 공통전극 바로 공급하기 위한 보상 공통전압을 생성하는 공통전압 보상부를 포함한다.

대 표 도 - 도1



(72) 발명자

오동경

경상북도 구미시 진평동 미래주공아파트 108동 902호

손용기

경기도 파주시 금촌동 후곡마을아파트 407동 1705호

장수혁

경기도 파주시 교하읍 와동리 가람마을 9단지 남양휴튼 901동 201호

특허청구의 범위

청구항 1

적어도 하나 이상의 공통전극 바 및 상기 적어도 하나 이상의 공통전극 바의 길이 방향을 따라 정의된 다수의 분할 영역을 포함하는 액정표시패널;

한 프레임을 상기 분할 영역의 개수에 대응하는 다수의 구간으로 분할하여, 상기 각 구간에 따른 공통전압 제어신호를 생성하는 공통전압 제어부; 및

상기 각 구간에 따른 공통전압 제어신호를 바탕으로 상기 상기 액정표시패널의 상기 적어도 하나 이상의 공통전극 바로 공급하기 위한 보상 공통전압을 생성하는 공통전압 보상부를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 액정표시패널을 구동하기 위한 제어신호를 생성하는 타이밍 제어부를 더 포함하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 제어신호는 한 프레임의 시작을 알리는 게이트 스타트 신호를 포함하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 공통전압 제어부는,

상기 게이트 스타트 신호를 바탕으로 데이터 인에이블 신호의 펄스 개수를 카운트하여 그 결과값을 라인 카운트 신호로 생성하는 라인 카운터; 및

상기 데이터 인에이블 신호의 펄스 개수를 바탕으로 상기 각 구간의 공통전압 제어신호를 생성하는 공통전압 제어신호 생성부를 포함하는 액정표시장치.

청구항 5

제4항에 있어서,

상기 구간의 개수는 상기 데이터 인에이블 신호의 펄스 개수를 상기 분할 영역의 개수로 나누어준 값인 액정표시장치.

청구항 6

제4항에 있어서,

상기 액정표시패널에 정의된 분할 영역의 개수가 파라미터로 설정되는 분할 영역 설정부를 더 포함하는 액정표시장치.

청구항 7

제4항에 있어서,

상기 공통전압 보상부는,

상기 액정표시패널의 적어도 하나 이상의 공통전극 바로부터 피드백된 공통전압 피드백신호를 반전시킬 다수의 반전 증폭률을 포함하는 반전 증폭부; 및

상기 공통전압 피드백신호가 상기 다수의 반전 증폭률로부터 선택된 반전 증폭률에 의해 반전되도록 상기 공통전압 피드백신호를 스위칭 제어하는 디멀티플렉서를 포함하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 반전 증폭부는,

상기 공통전압 피드백신호를 반전시키기 위한 차동 증폭기;

상기 차동 증폭기의 반전 입력단(-)에 접속된 다수의 저항; 및

상기 차동 증폭기의 반전 입력단(-)과 상기 차동 증폭기의 출력단 사이에 접속된 부궤환 저항을 포함하는 액정표시장치.

청구항 9

제8항에 있어서,

상기 다수의 반전 증폭률은 상기 부궤환 저항과 상기 각 저항의 비율로 결정되는 액정표시장치.

청구항 10

제8항에 있어서,

상기 다수의 저항은 상기 액정표시패널에 정의된 다수의 분할 영역에서 발생된 공통전압 피드백신호의 리플의 진폭을 고려하여 설정되는 액정표시장치.

청구항 11

제8항에 있어서,

상기 디멀티플렉서는

상기 공통전압 피드백신호가 입력되기 위한 제1 입력단;

상기 공통전압 제어신호가 입력되기 위한 제2 입력단; 및

상기 다수의 저항을 개별적으로 포함하는 다수의 라인과 접속되기 위한 다수의 출력단을 포함하고,

상기 공통전압 제어신호에 따라 상기 공통전압 피드백신호가 상기 다수의 출력단 중 어느 하나로 출력되는 액정표시장치.

청구항 12

제4항에 있어서,

상기 공통전압 보상부는,

상기 액정표시패널의 적어도 하나 이상의 공통전극 바로부터 피드백된 공통전압 피드백신호를 반전시킬 다수의 반전 증폭률을 포함하는 반전 증폭부를 포함하고,

상기 반전 증폭부는,

상기 공통전압 피드백신호를 반전시키기 위한 차동 증폭기;

상기 차동 증폭기의 반전 입력단(-)에 접속된 제1 저항; 및

상기 차동 증폭기의 반전 입력단(-)과 상기 차동 증폭기의 출력단 사이에 접속된 제2 가변 저항을 포함하며,

상기 제2 가변 저항은,

상기 공통전압 제어신호에 따라 서로 상이한 저항값으로 가변되는 액정표시장치.

청구항 13

적어도 하나 이상의 공통전극 바 및 상기 적어도 하나 이상의 공통전극 바의 길이 방향을 따라 정의된 다수의 분할 영역을 포함하는 액정표시패널을 구동하기 위한 액정표시장치의 구동 방법에 있어서,

상기 적어도 하나 이상의 공통전극 바의 길이 방향을 따라 구분할 다수의 분할 영역의 개수를 설정하는 단계;

한 프레임을 상기 다수의 분할 영역의 개수에 대응하는 다수의 구간으로 분할하여, 상기 각 구간에 따른 공통전압 제어신호를 생성하는 단계; 및

상기 각 구간에 따른 공통전압 제어신호를 바탕으로 상기 액정표시패널의 상기 적어도 하나 이상의 공통전극 바로 공급하기 위한 보상 공통전압을 생성하는 단계를 포함하는 액정표시장치의 구동 방법.

청구항 14

제13항에 있어서,

상기 공통전압 제어신호를 생성하는 단계는,

데이터 인에이블 신호의 펄스 개수를 바탕으로 상기 각 구간의 공통전압 제어신호를 생성하는 단계를 포함하는 액정표시장치의 구동 방법.

청구항 15

제13항에 있어서,

상기 보상 공통전압을 생성하는 단계는,

상기 액정표시패널의 적어도 하나 이상의 공통전극 바로부터 피드백된 공통전압 피드백신호를 반전시킬 다수의 반전 증폭률을 제공하는 단계;

상기 공통전압 피드백신호가 상기 다수의 반전 증폭률로부터 선택된 반전 증폭률에 의해 반전되도록 상기 공통전압 피드백신호를 스위칭 제어하는 단계; 및

상기 공통전압 피드백신호가 상기 선택된 반전 증폭률에 의해 반전된 보상 공통전압을 생성하는 단계를 포함하는 액정표시장치의 구동 방법.

명 세 서

기 술 분 야

[0001] 실시예는 액정표시장치에 관한 것이다.

[0002] 실시예는 액정표시장치의 구동 방법에 관한 것이다.

배 경 기 술

[0003] 최근 들어 다양한 표시장치가 개발되고 있다. 표시장치로는 액정표시장치, 플라즈마 표시장치, 유기발광 표시장치, 전계방출 표시장치 등이 있다.

[0004] 이 중에서, 액정표시장치는 고 해상도, 고 화질, 고 콘트라스트, 저 소비 전력 및 풀컬러 동영상 구현 등의 장점을 가지므로 표시장치의 주류로 각광받고 있다.

[0005] 액정표시장치는 영상을 표시하는 액정표시패널을 포함한다. 액정표시패널에는 기준 전압으로서 기능하는 공통전압이 인가되기 위한 공통전극 바가 배치된다.

[0006] 따라서, 공통전극 바의 일측으로 공통전압이 인가되는 경우, 공통전극 바의 RC 성분으로 인해 공통전극 바의 일측으로부터 공통전극 바의 타측으로 멀어질수록 공통전압이 지연된다.

[0007] 한편, 공통전극 바는 데이터 전압이 인가되는 데이터 라인과 교차하도록 배치된다. 이러한 경우, 데이터 전압에 의해 공통전극 바로 인가된 공통전압에 리플(ripple)이 발생한다. 리플은 일종의 신호 왜곡으로서, 이러한 리플에 의해 데이터 전압과 공통전압 간의 차이가 불 균일해지게 되어 휘도 불량이 발생될 수 있다.

발명의 내용

해결하려는 과제

[0008] 실시예는 공통전극 바의 전 영역에서 균일한 공통전압을 유지할 수 있는 액정표시장치를 제공한다.

[0009] 실시예는 공통전압의 리플을 보상하여 휘도 불량을 방지할 수 있는 액정표시장치를 제공한다.

[0010] 실시예는 상기 액정표시장치를 구동하기 위한 방법을 제공한다.

과제의 해결 수단

[0011] 실시예에 따르면, 액정표시장치는, 적어도 하나 이상의 공통전극 바 및 상기 적어도 하나 이상의 공통전극 바의 길이 방향을 따라 정의된 다수의 분할 영역을 포함하는 액정표시패널; 한 프레임을 상기 분할 영역의 개수에 대응하는 다수의 구간으로 분할하여, 상기 각 구간에 따른 공통전압 제어신호를 생성하는 공통전압 제어부; 및 상기 각 구간에 따른 공통전압 제어신호를 바탕으로 상기 상기 액정표시패널의 상기 적어도 하나 이상의 공통전극 바로 공급하기 위한 보상 공통전압을 생성하는 공통전압 보상부를 포함한다.

[0012] 실시예에 따르면, 적어도 하나 이상의 공통전극 바 및 상기 적어도 하나 이상의 공통전극 바의 길이 방향을 따라 정의된 다수의 분할 영역을 포함하는 액정표시패널을 구동하기 위한 액정표시장치의 구동 방법은, 상기 적어도 하나 이상의 공통전극 바의 길이 방향을 따라 구분할 다수의 분할 영역의 개수를 설정하는 단계; 한 프레임을 상기 다수의 분할 영역의 개수에 대응하는 다수의 구간으로 분할하여, 상기 각 구간에 따른 공통전압 제어신호를 생성하는 단계; 및 상기 각 구간에 따른 공통전압 제어신호를 바탕으로 상기 액정표시패널의 상기 적어도 하나 이상의 공통전극 바로 공급하기 위한 보상 공통전압을 생성하는 단계를 포함한다.

발명의 효과

[0013] 실시예는 미리 설정된 액정표시패널의 분할 영역의 개수에 대응하여 한 프레임을 다수의 구간으로 분할하여, 각 구간별로 보상 공통전압을 액정표시패널로 공급하여 줌으로써, 액정표시패널의 전 영역에서 균일한 공통 전압을 유지할 수 있다.

[0014] 실시예는 액정표시패널로부터 피드백된 공통전압 피드백신호의 리플을 리플이 생성된 액정표시패널의 분할 영역에 따라 그 리플을 완벽하게 제거하여 줌으로써, 휘도 불량을 방지할 수 있다.

도면의 간단한 설명

[0015] 도 1은 실시예에 따른 액정표시장치를 도시한 블록도이다.

도 2는 도 1에서 2개의 분할 영역으로 분할된 액정표시패널을 도시한 도면이다.

도 3은 도 2에서 단위 화소를 도시한 회로도이다.

도 4는 도 1의 제어부를 도시한 블록도이다.

도 5는 4의 공통전압 제어부를 도시한 블록도이다.

도 6은 도 5의 공통전압 제어부에서 생성된 신호 파형도의 일 예시도이다.

도 7은 도 1의 공통전압 보상부를 도시한 일 회로도이다.

도 8은 도 1에서 7개의 분할 영역으로 분할된 액정표시패널을 도시한 도면이다.

도 9는 도 5의 공통전압 제어부에서 생성된 신호 파형도의 다른 예시도이다.

도 10은 도 1의 공통전압 보상부를 도시한 다른 회로도이다.

도 11은 도 도 1의 공통전압 보상부를 도시한 또 다른 회로도이다.

도 12a 및 도 12b는 종래와 실시예에 따른 공통전압 보상을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 발명에 따른 실시 예의 설명에 있어서, 각 구성 요소의 " 상(위) 또는 하(아래)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되거나 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 배치되어 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)"로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0017] 도 1은 실시예에 따른 액정표시장치를 도시한 블록도이다.

[0018] 도 1을 참조하면, 실시예에 따른 액정표시장치는 액정표시패널(10), 게이트 구동부(30), 데이터 구동부(40), 제어부(20), 공통전압 발생부(45) 및 공통전압 보상부(50)를 포함할 수 있다.

[0019] 예컨대, 상기 액정표시패널(10)이 처음에 구동될 때에 한해 공통전압 발생부(45)로부터 생성된 공통전압이 상기 액정표시패널(10)로 공급되고, 그 이외에는 공통전압 보상부(50)로부터 생성된 보상 공통전압이 상기 액정표시패널(10)로 공급될 수 있지만, 이에 대해서는 한정하지 않는다.

[0020] 예컨대, 상기 액정표시패널(10)의 매 프레임의 처음, 예컨대 상기 액정표시패널(10)의 첫번째 게이트 라인에 게이트 신호가 공급될 때에 한해 공통전압 발생부(45)로부터 생성된 공통전압이 상기 액정표시패널(10)로 공급되고, 그 이외에는 공통전압 보상부(50)로부터 생성된 보상 공통전압이 상기 액정표시패널(10)로 공급될 수 있지만, 이에 대해서는 한정하지 않는다.

[0021] 상기 액정표시패널(10)은 영상을 표시할 수 있다. 상기 액정표시패널(10)에 영상을 표시하기 위해서는 상기 게이트 구동부(30)에 의해 영상을 표시할 화소 또는 화소 열이 선택되며, 상기 데이터 구동부(40)에 의해 상기 선택된 화소 또는 화소 열에 영상으로 표시될 데이터 전압이 인가되며, 상기 공통전압 발생부(45)로부터 공통전압 또는 상기 공통전압 보상부(50)로부터 보상 공통전압이 인가될 수 있다.

[0022] 상기 게이트 구동부(30), 상기 데이터 구동부(40), 상기 공통전압 발생부(45) 및 상기 공통전압 보상부(50)가 상기 제어부(20)의 제어로 구동될 수 있다. 다시 말해, 상기 제어부(20)는 이들 구성 요소들뿐만 아니라 액정표시장치에 구비되는 어떠한 동작 기능을 수행하는 모든 구성 요소들도 제어할 수 있다.

[0023] 상기 제어부(20)는 이들 구성 요소들의 제어뿐만 아니라, 영상을 표시할 시간적인 제어와, 영상 자체의 제어도 수행할 수 있다.

[0024] 상기 게이트 구동부(30)는 상기 제어부(20)의 제어를 받아 상기 액정표시패널(10)의 화소 또는 화소 영역을 선택하기 위한 게이트 신호를 생성할 수 있다.

[0025] 상기 데이터 구동부(40)는 상기 제어부(20)의 제어를 받아 상기 상기 선택된 화소 또는 화소 열에 데이터 전압을 공급할 수 있다.

[0026] 예컨대, 상기 제어부(20)는 상기 게이트 구동부(30)를 제어하기 위한 게이트 제어신호(GCS)와 상기 데이터 구동부(40)를 제어하기 위한 데이터 제어신호(DCS)를 생성하지만, 이에 대해서는 한정하지 않는다.

[0027] 상기 게이트 제어신호(GCS)는 상기 액정표시패널(10)의 첫 번째 게이트 라인에 게이트 신호를 공급하기 위해 상기 게이트 구동부(30)의 시작을 개시하는 게이트 스타트 신호(VST)를 적어도 포함할 수 있다.

[0028] 상기 액정표시패널(10)은 적어도 일측에 구비된 공통전극 바를 포함할 수 있다. 즉, 도 2에 도시한 바와 같이, 상기 액정표시패널(10)의 제1 측에 제1 공통전극 바(101)가 배치되고, 상기 액정표시패널(10)의 제2 측에 제2 공통전극 바(103)가 배치될 수 있지만, 이에 대해서는 한정하지 않는다.

[0029] 상기 공통전극 바는 상기 액정표시패널(10)의 에지 영역을 따라 폐루프 형상으로 배치될 수도 있다.

[0030] 또는 상기 공통전극 바는 상기 액정표시패널(10)의 좌측, 우측, 하측 및 상측 각각에 서로 이격되어 배치될 수도 있다.

[0031] 이상에 설명된 공통전극 바(101, 103)는 비표시 영역에 배치될 수 있다.

[0032] 액정표시패널(10)은 영상이 표시되는 표시 영역과 영상이 표시되지 않는 대신에 영상의 표시를 지원하는 여러 가지 신호 라인이나 회로칩 등이 설치되는 비표시 영역으로 구분될 수 있지만, 이에 대해서는 한정하지 않는다.

[0033] 이하의 실시예에서는 설명의 편의를 위해 도 2에 도시된 제1 및 제2 공통전극 바(101, 103)를 중심으로 설명하기로 한다.

[0034] 도 2에 도시된 액정표시패널(101)에는 제1 분할 영역(A)과 제2 분할 영역(B)으로 구분될 수 있다. 상기 제1 분할 영역(A)과 상기 제2 분할 영역(B)은 서로 상이한 보상 공통전압이 인가되는 영역을 의미할 수 있다.

[0035] 상기 제1 및 제2 분할 영역(A, B)은 상기 제1 및 제2 공통전극 바들(101, 103)의 길이 방향을 따라 구분될 수 있다.

[0036] 예컨대, 상기 제1 분할 영역(A)은 상기 제1 공통전극 바(101)의 상부 영역과 상기 제2 공통전극 바(103)의 상부

영역 사이에 정의되고, 상기 제2 분할 영역(B)은 상기 제1 공통전극 바(101)의 하부 영역과 제2 공통전극 바(103)의 하부 영역 사이에 정의될 수 있다.

[0037] 상기 제1 분할 영역(A)으로 예컨대 제1 보상 공통전압이 인가되는 경우, 상기 제2 분할 영역(B)으로 예컨대 상기 제1 보상 공통전압보다 적어도 더 큰 제2 보상 공통전압이 인가될 수 있다. 상기 제1 및 제2 보상 공통전압은 상기 공통전압 보상부(50)에서 생성될 수 있는데, 자세한 것은 나중에 설명하기로 한다.

[0038] 도 3에 도시한 바와 같이, 상기 액정표시패널(10)에는 다수의 신호 라인들과 다수의 소자들이 배치될 수 있다.

[0039] 다수의 게이트 라인(GLn)들이 제1 방향을 따라 배치되고, 다수의 데이터 라인(DLm)들이 상기 게이트 라인(GLn)과 교차하는 제2 방향을 따라 배치될 수 있다.

[0040] 아울러, 다수의 공통전극 라인(Vcom_n)들이 상기 게이트 라인(GLn)과 평행한 상기 제1 방향을 따라 배치될 수 있지만, 이에 대해서는 한정하지 않는다.

[0041] 예컨대, 상기 제1 방향은 가로 방향이고, 상기 제2 방향은 세로 방향이지만, 이에 대해서는 한정하지 않는다.

[0042] 상기 다수의 공통전극 라인(Vcom_n)들은 도 2에 도시된 제1 및 제2 공통전극 바들(101, 103)과 전기적으로 연결될 수 있다.

[0043] 즉, 상기 공통전극 라인(Vcom_n)의 일측은 상기 제1 공통전극 바(101)와 전기적으로 연결되고, 상기 공통전극 라인(Vcom_n)의 타측은 상기 제2 공통전극 바(103)와 전기적으로 연결될 수 있다.

[0044] 상기 제1 및 제2 공통전극 바들(101, 103)은 상기 데이터 라인과 평행한 제2 방향을 따라 배치될 수 있다. 이러한 경우, 상기 제1 및 제2 공통전극 바들(101, 103)은 상기 게이트 라인(GLn)과 교차하게 된다. 따라서, 상기 제1 및 제2 공통전극 바들(101, 103)와 상기 게이트 라인(GLn)은 전기적인 쇼트를 피하기 위해 서로 상이한 층들 상에 배치될 수 있다. 예컨대, 상기 제1 및 제2 공통전극 바들(101, 103)은 데이터 라인(DLm)과 동일한 층에 배치되든지 나중에 설명될 화소 전극과 동일한 층에 배치될 수 있지만, 이에 대해서는 한정하지 않는다.

[0045] 상기 공통전극 라인(Vcom_n)은 상기 게이트 라인(GLn)과 동일한 층에 배치되든지 상기 데이터 라인(DLm)과 동일한 층에 배치되든지 상기 화소 전극과 동일한 층에 배치될 수 있지만, 이에 대해서는 한정하지 않는다.

[0046] 상기 게이트 라인(GLn)과 상기 데이터 라인(DLm)의 교차에 의해 화소 영역(P)이 정의될 수 있다. 따라서, 상기 액정표시패널(10)에는 상기 게이트 라인(GLn)과 상기 데이터 라인(DLm)의 교차에 의해 정의된 다수의 화소 영역(P)들이 매트릭스로 배열될 수 있지만, 이러한 배열 구조에 대해서는 한정하지 않는다.

[0047] 상기 화소 영역(P)은 박막트랜지스터(TFT), 액정셀(Clc) 및 스토리지 캐패시터(Cst) 등을 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[0048] 상기 박막트랜지스터(TFT)는 게이트 전극, 반도체층, 소오스 전극 및 드레인 전극을 포함할 수 있다. 상기 반도체층은 활성층과 오믹 콘택층을 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[0049] 상기 게이트 전극은 상기 게이트 라인(GLn)으로부터 연장 형성될 수 있다. 필요에 따라 상기 게이트 라인(GLn) 상에 박막트랜지스터(TFT)가 형성되는 경우, 상기 게이트 전극의 역할을 상기 게이트 라인(GLn)이 할 수도 있지만, 이에 대해서는 한정하지 않는다.

[0050] 상기 반도체층은 데이터 전압의 공급 및 차단을 담당하는 것으로서, 상기 반도체층 상에 상기 소오스 전극과 상기 드레인 전극이 서로 이격되도록 배치될 수 있다. 상기 반도체층이 데이터 전압을 공급할 수 있도록 된 상태를 활성화 상태(active state)라 명명할 수 있고, 상기 반도체층이 데이터 전압의 공급을 차단할 수 있도록 된 상태를 비활성화 상태(inactive state)라 명명할 수 있다.

[0051] 상기 반도체층의 활성화 상태 또는 비활성화 상태는 상기 게이트 전극에 인가된 게이트 신호에 의해 제어될 수 있다.

[0052] 예컨대, 상기 반도체층이 상기 게이트 전극으로 인가된 게이트 신호에 의해 활성화 상태가 된 경우, 데이터 전압이 상기 소오스 전극으로부터 상기 반도체층을 경유하여 상기 드레인 전극으로 공급될 수 있다.

[0053] 예컨대, 상기 반도체층이 상기 게이트 전극으로 인가된 게이트 신호에 의해 비활성화 상태가 된 경우, 데이터 전압이 상기 반도체층을 경유할 수 없게 되므로 상기 데이터 전압은 상기 드레인 전극으로 공급되지 않게 된다.

[0054] 상기 소오스 전극은 상기 데이터 라인(DLm)으로부터 연장 형성될 수 있다. 상기 드레인 전극은 화소전극과 전기

적으로 연결될 수 있다. 상기 반도체층의 활성화에 의해 상기 드레인 전극으로 공급된 데이터 전압은 궁극적으로는 화소전극으로 인가될 수 있다.

[0055] 상기 액정셀(Clc)은 액정표시패널(10)에 구비된 액정에 저장된 캐패시터를 의미하는 것으로서, 이러한 캐패시터는 상기 화소전극에 공급된 데이터 전압과 상기 공통전극 라인(Vcom_n)에 공급된 공통전압 사이의 전위차에 의해 결정될 수 있다.

[0056] 예컨대, 횡전계 스위칭 모드(IPS: In-Plane Switching)의 액정표시패널인 경우, 화소전극으로부터 연장된 다수의 화소전극 패턴들과 상기 공통전극 라인으로부터 연장된 다수의 공통전극 패턴들이 서로 교대로 배열될 수 있다. 이러한 경우, 상기 액정셀은 상기 화소전극 패턴으로 공급된 데이터 전압과 상기 공통전극 패턴들로 공급된 공통전압 사이의 전위차에 의해 결정될 수 있다. 이러한 전위차에 의해 액정들이 변위되고, 이러한 변위에 의해 광의 투과량이 제어될 수 있다.

[0057] 상기 스토리지 캐패시터(Cst)는 화소전극과 전단의 게이트 라인(GLn-1) 사이의 중첩에 의해 형성될 수 있다. 즉, 전단의 게이트 라인(GLn-1)에 공급된 로우 레벨의 게이트 신호와 상기 화소전극에 공급된 데이터 전압 사이의 전위차가 상기 화소전극과 상기 전단의 게이트 라인(GLn-1) 사이에 배치된 예컨대 게이트 절연층에 의해 일정 주기, 예컨대 한 프레임 주기 동안 유지될 수 있다.

[0058] 도 4는 도 1의 제어부를 도시한 블록도이다.

[0059] 도 4를 참조하면, 상기 제어부(20)는 타이밍 제어부(210)와 공통전압 제어부(220)를 포함할 수 있다.

[0060] 상기 타이밍 제어부(210)는 상기 액정표시패널(10)에 화상을 표시하기 위해 필요한 제어신호나 기타 신호 등을 생성할 수 있다.

[0061] 예컨대, 상기 타이밍 제어부(210)는 수직동기신호(Vsync), 수평동기신호(Hsync), 데이터 인에이블 신호(DE) 및 클럭 신호(CLK)를 외부, 예컨대 비디오 카드로부터 공급받을 수 있다. 상기 타이밍 제어부(210)는 이들 신호들을 바탕으로 상기 게이트 구동부(30)를 제어하기 위한 게이트 제어신호(GCS)와 상기 데이터 구동부(40)를 제어하기 위한 데이터 제어신호(DCS)를 생성할 수 있다. 상기 타이밍 제어부(210)는 이들 제어신호들 이외에 인버젼 방식으로 액정표시패널(10)을 구동하는 경우에 사용하기 위한 극성 제어신호(POL) 등을 더 생성할 수 있지만, 이에 대해서는 한정하지 않는다.

[0062] 상기 게이트 제어신호(GCS)는 상기 액정표시패널(10)의 첫 번째 게이트 라인에 게이트 신호를 공급하기 위해 상기 게이트 구동부(30)의 시작을 개시하는 게이트 스타트 신호(VST)를 적어도 포함할 수 있다. 상기 게이트 제어신호(GCS)는 게이트 스타트 신호(VST) 이외에 1 수평 구간(H) 게이트 신호를 지연시켜 다음 게이트 라인에 공급하도록 하여 주기 위한 게이트 쉬프트 신호(GSS) 및 게이트 신호의 출력을 제어하여 주기 위한 게이트 출력 제어신호(GOE)를 더 포함할 수 있지만, 이에 대해서는 한정하지 않는다.

[0063] 상기 공통전압 제어부(220)는 데이터 인에이블 신호(DE) 및 클럭 신호(CLK)을 공급받는 한편, 상기 타이밍 제어부(210)로부터 출력된 게이트 제어신호(GCS)에 포함된 게이트 스타트 신호(VST)를 공급받을 수 있다. 따라서, 상기 공통전압 제어부(220)는 상기 데이터 인에이블 신호(DE)의 펄스 개수를 카운트하여, 그 카운트 값에 따른 공통전압 제어신호(VCS)를 생성할 수 있다.

[0064] 한편, 상기 공통전압 제어부(220)는 상기 제어부(20)에 포함되지 않고, 상기 제어부(20)와 별도로 구성될 수도 있지만, 이에 대해서는 한정하지 않는다.

[0065] 상기 공통전압 제어부(220)는 도 5에 도시한 바와 같이, 라인 카운터(222)와 공통전압 제어신호 생성부(226)를 포함할 수 있다.

[0066] 아울러, 상기 공통전압 제어부(220)는 서로 상이한 보상 공통전압을 공급하여 줄 분할 영역들의 개수에 관한 파라미터(어드레스 신호)를 설정하여 주기 위한 분할 영역 설정부(224)를 더 포함할 수 있다.

[0067] 예컨대, 도 2에 도시한 바와 같이, 상기 액정표시패널(10)이 2개의 분할 영역으로 정의되는 경우, 상기 분할 영역 설정부(224)는 2개의 분할 영역에 관한 파라미터(어드레스 신호)를 상기 공통전압 제어신호 생성부(226)로 공급하여 줄 수 있다. 따라서, 상기 공통전압 제어신호 생성부(226)는 상기 분할 영역 설정부(224)에서 공급된 2개의 분할 영역에 관한 파라미터를 바탕으로 한 프레임을 제1 및 제2 구간으로 분할하여 제1 구간과 제2 구간에 서로 상이한 보상 공통전압이 생성되도록 제어하기 위한 공통전압 제어신호(VCS)를 생성할 수 있다.

[0068] 예컨대, 도 8에 도시한 바와 같이, 상기 액정표시패널(10)이 7개의 분할 영역으로 정의되는 경우, 상기 분할 영

역 설정부(224)는 7개의 분할 영역에 관한 파라미터(어드레스 신호)를 상기 공통전압 제어신호 생성부(226)로 공급하여 줄 수 있다. 따라서, 상기 공통전압 제어신호 생성부(224)는 상기 분할 영역 설정부(224)에서 공급된 7개의 분할 영역에 관한 파라미터(어드레스 신호)를 바탕으로 한 프레임을 제1 내지 제7 구간으로 분할하여 제1 내지 제7 구간에 서로 상이한 보상 공통전압이 생성되도록 제어하기 위한 공통전압 제어신호(VCS)를 생성할 수 있다.

[0069] 결국, 상기 분할 영역 설정부(224)에서 상기 공통전압 제어신호 생성부(226)로 제공된 분할 영역 개수에 관한 파라미터(어드레스 신호)에 따라 분할 영역 개수에 대응하는 서로 상이한 보상 공통전압이 상기 분할 영역 개수에 따라 한 프레임으로부터 시분할적으로 구획된 다수의 구간 각각에 상기 액정표시패널(10)로 공급될 수 있다.

[0070] 예컨대, 상기 분할 영역 설정부(224)로부터 2개의 분할 영역에 관한 파라미터(어드레스 신호)가 상기 공통전압 제어신호 생성부(226)로 공급되는 경우, 한 프레임의 제1 구간 동안 공통전압 제어신호(VCS)의 제어로 생성된 제1 보상 공통전압이 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로 공급되어 제1 분할 영역(A)에서 상기 제1 및 제2 공통전극 바들(101, 103) 사이에 배치된 공통전극 라인(Vcom_n)들로 공급될 수 있다. 예컨대, 상기 제1 분할 영역(A)에 50개의 게이트 라인이 배치되는 경우, 상기 게이트 라인과 동일한 개수인 50개의 공통전극 라인이 배치되므로, 상기 50개의 공통전극 라인으로 상기 제1 보상 공통전압이 인가될 수 있다.

[0071] 상기 한 프레임의 제1 구간 뒤에 이어지는 제2 구간 동안 공통전압 제어신호(VCS)의 제어로 생성된 제2 보상 공통전압이 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로 공급되어 제2 분할 영역(B)에서 제1 및 제2 공통전극 바들(101, 103) 사이에 배치된 공통전극 라인(Vcom_n)들로 공급될 수 있다.

[0072] 상기 라인 카운터(222)는 상기 데이터 인에이블 신호(DE)의 펄스 개수를 카운트하여 그 카운트된 값을 라인 카운트 신호(LCS)로서 상기 공통전압 제어신호 생성부(226)로 공급하여 줄 수 있다.

[0073] 도 6에 도시한 바와 같이, 한 프레임은 수직동기신호(Vsync)의 블랭크 구간(로우 레벨의 펄스 구간)에 의해 정의될 수 있다.

[0074] 상기 게이트 제어신호(GCS)에 포함된 게이트 스타트 신호(VST)는 한 프레임의 시작을 알리는 동시에 상기 액정표시패널(10)의 첫 번째 게이트 라인에 게이트 신호를 공급하기 위해 상기 게이트 구동부(30)의 시작을 개시하여 주는 역할을 할 수 있지만, 이에 대해서는 한정하지 않는다.

[0075] 상기 게이트 스타트 신호(VST)는 수직동기신호(Vsync)의 블랭크 구간을 지나고 블랭크 구간에 인접한 시점에 발생된 하이 레벨의 펄스를 포함할 수 있다. 따라서, 이러한 하이 레벨의 펄스의 게이트 스타트 신호(VST)에 의해 게이트 구동부(30)에서 생성된 게이트 신호가 상기 액정표시패널(10)의 첫번째 게이트 라인으로 공급될 수 있다.

[0076] 아울러, 상기 게이트 제어신호(GCS)에 포함된 게이트 쉬프트 신호(GSS)에 의해 상기 게이트 신호가 1 수평 구간(H) 단위로 지연되어 생성되어 상기 액정표시패널(10)의 두번째 게이트 라인, 세번째 게이트 라인의 순서로 순차적으로 공급될 수 있다.

[0077] 이러한 게이트 신호에 의해 해당 게이트 라인(GLn)에 연결된 각 화소 영역의 박막트랜지스터(TFT)가 턴온되어, 데이터 전압이 상기 박막트랜지스터(TFT)를 경유하여 화소전극이나 화소전극 패턴들로 공급될 수 있다.

[0078] 상기 데이터 인에이블 신호(DE)는 한 프레임 동안 공급될 데이터의 개수에 관한 신호일 수 있지만, 이에 대해서는 한정하지 않는다.

[0079] 상기 라인 카운터(222)는 상기 게이트 스타트 신호(VST)의 하이 레벨의 펄스를 바탕으로 데이터 인에이블 신호(DE)의 펄스 개수를 카운트한 후, 그 결과값을 라인 카운트 신호(LCS)로서 상기 공통전압 제어신호 생성부(226)로 공급할 수 있다.

[0080] 상기 공통전압 제어신호 생성부(226)는 상기 분할 영역 설정부(224)로부터 제공된 파라미터(어드레스 신호)를 바탕으로 상기 액정표시패널(10)에 구획된 분할 영역의 개수를 파악할 수 있다.

[0081] 상기 공통전압 제어신호 생성부(226)는 상기 파악된 분할 영역의 개수를 한 프레임 내에 포함된 데이터 인에이블 신호(DE)의 펄스 개수로 나누어주어, 한 프레임을 다수의 구간으로 구분할 수 있다.

[0082] 예컨대, 한 프레임 내에 데이터 인에이블 신호(DE)의 펄스 개수가 28개이고, 상기 액정표시패널(10)에 구획된 분할 영역의 개수가 2개인 경우, 각각 데이터 인에이블 신호(DE)의 펄스 개수가 14개인 제1 및 제2 구간으로 구분될 수 있다.

[0083] 상기 공통전압 제어신호 생성부(226)는 상기 라인 카운터(222)로부터 공급된 카운트값을 바탕으로 카운트 값이 1부터 14가 될 때까지의 제1 구간 동안 제1 공통전압 제어신호를 생성할 수 있다. 상기 제1 공통전압 제어신호는 상기 공통전압 보상부(50)로 공급되고, 상기 공통전압 보상부(50)에 의해 상기 제1 공통전압 제어신호의 제어에 의한 제1 보상 공통전압이 생성되어 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로 공급될 수 있다. 따라서, 상기 제1 구간 동안 상기 액정표시패널(10)의 제1 분할 영역(A)의 공통전압 라인(Vcom_n)들로 제1 보상 공통전압이 공급될 수 있다.

[0084] 상기 공통전압 제어신호 생성부(226)는 상기 카운트 값이 15부터 28이 될 때까지의 제2 구간 동안 제2 공통전압 제어신호를 생성할 수 있다. 상기 제2 공통전압 제어신호는 상기 공통전압 보상부(50)로 공급되고, 상기 공통전압 보상부(50)에 의해 상기 제2 공통전압 제어신호의 제어에 의한 제2 보상 공통전압이 생성되어 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로 공급될 수 있다. 따라서, 상기 제2 구간 동안 상기 액정표시패널(10)의 제2 분할 영역(B)의 공통전압 라인(Vcom_n)들로 제2 보상 공통전압이 공급될 수 있다.

[0085] 도 7은 도 1의 공통전압 보상부를 도시한 일 회로도이다.

[0086] 도 7을 참조하면, 상기 공통전압 보상부(50)는 디멀티플렉스(310)와 반전 증폭부(320)를 포함할 수 있다.

[0087] 상기 반전 증폭부(320)는 상기 공통전압 발생부(45)로부터 공급된 공통전압을 기준으로 상기 액정표시패널에 구획된 분할 영역의 개수를 고려하여 구분된 한 프레임 내의 구간들 각각에 따른 공통전압 제어신호(VCS)에 따라 서로 상이한 보상 공통전압을 생성할 수 있다.

[0088] 즉, 상기 반전 증폭부(320)는 상기 공통전압 발생부(45)로부터 공급된 공통전압(Vcom))을 기준으로 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호(Vcom-F/B)을 반전 증폭시킨 보상 공통전압(V'com)을 생성할 수 있다.

[0089] 예컨대, 상기 공통전압 피드백신호(Vcom-F/B)는 상기 액정표시패널(10)에 공급된 데이터 전압에 의한 영향으로 발생된 리플을 포함할 수 있지만, 이에 대해 한정하지 않는다.

[0090] 상기 반전 증폭부(320)에 설정된 반전 증폭률에 의해 상기 공통전압 피드백신호(Vcom-F/B)의 리플의 위상이 반전되고, 이러한 결과가 공통전압(Vcom)에 반영되어 궁극적으로 보상 공통전압(V'com)으로 생성될 있다.

[0091] 상기 반전 증폭률은 상기 공통전압 피드백신호(Vcom-F/B)의 리플의 진폭과 동일할 수 있고, 차동 증폭기(325)에 의해 상기 공통전압 피드백신호(Vcom-F/B)의 리플과 상반된 위상으로 반전될 수 있지만, 이에 대해서는 한정하지 않는다.

[0092] 따라서, 이러한 보상 공통전압(V'com)이 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로 공급됨으로써, 공통전압(Vcom)이 보상될 수 있다.

[0093] 상기 반전 증폭부(320)는 차동 증폭기(325), 상기 차동 증폭기(325)의 반전 입력단(-)에 접속된 적어도 하나 이상의 저항 및 상기 차동 증폭기(325)의 반전 입력단(-)과 출력단 사이에 접속된 부궤환 저항(R2)을 포함할 수 있다.

[0094] 도시하지 않았지만, 상기 적어도 하나 이상의 저항 각각에 캐패시터가 직렬로 접속될 수 있지만, 이에 대해서는 한정하지 않는다.

[0095] 상기 차동 증폭기(325)의 비반전 입력단(+)에는 상기 공통전압 발생부(45)의 공통전압(Vcom)을 입력 받기 위한 입력 라인이 접속될 수 있다.

[0096] 상기 적어도 하나 이상의 저항은 상기 디멀티플렉스(310)에 서로 간에 병렬로 접속되는 한편, 상기 차동 증폭기(325)의 반전 입력단(-)에 공통으로 접속될 수 있다.

[0097] 상기 적어도 하나 이상의 저항의 개수는 상기 공통전압 제어부(220)의 분할 영역 설정부(224)에 설정된 분할 영역의 개수에 따라 달라질 수 있지만, 이에 대해서는 한정하지 않는다.

[0098] 예컨대, 도 2에 도시한 바와 같이, 상기 액정표시패널(10)이 2개의 분할 영역(A, B)으로 구분되도록 하기 위해 상기 분할 영역 설정부(224)에 2개의 분할 영역(A, B)에 관한 파라미터(어드레스 신호)가 설정되는 경우, 상기 적어도 하나 이상의 저항은 제1 및 제2 저항(R1a, R1b)을 포함할 수 있다.

[0099] 따라서, 부궤환 저항/제1 저항(R2/R1a) 또는 부궤환 저항/제2 저항(R2/R1b)로 차동 증폭기(325)의 반전 증폭률이 결정될 수 있다. 부궤환 저항/제1 저항(R2/R1a)은 제1 반전 증폭률이라 명명될 수 있고, 부궤환 저항/제2 저

항(R2/R1b)은 제2 반전 증폭률이라 명명될 수 있다.

[0100] 예컨대, 제1 저항(R1a)은 상기 제2 저항(R1b)보다 더 크도록 설정될 수 있다. 이러한 경우, 제2 반전 증폭률(R2/R1b)은 제1 반전 증폭률(R2/R1a)보다 더 큰 값을 가질 수 있다.

[0101] 예컨대, 상기 제1 반전 증폭률(R2/R1a)는 한 프레임의 제1 구간 동안 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호(이하, 제1 공통전압 피드백신호라 함)의 리플의 진폭과 동일한 크기를 가질 수 있지만, 이에 대해서는 한정하지 않는다. 상기 제1 공통전압 피드백신호에는 도 2의 제1 분할 영역(A)에서 발생된 리플이 반영될 수 있다. 궁극적으로, 상기 차동 증폭기(325)에 의해 상기 제1 공통전압 피드백신호에 반영된 리플은 상기 제1 반전 증폭률(R2/R1a)에 의해 상쇄된 제1 보상 공통전압이 생성될 수 있다.

[0102] 예컨대, 상기 제2 반전 증폭률(R2/R1b)는 한 프레임의 제2 구간 동안 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호(이하, 제2 공통전압 피드백신호라 함)의 리플의 진폭과 동일한 크기를 가질 수 있지만, 이에 대해서는 한정하지 않는다. 상기 제2 공통전압 피드백신호에는 도 2의 제2 분할 영역(B)에서 발생된 리플이 반영될 수 있다. 궁극적으로, 상기 차동 증폭기(325)에 의해 상기 제2 공통전압 피드백신호에 반영된 리플은 상기 제2 반전 증폭률(R2/R1b)에 의해 상쇄된 제2 보상 공통전압이 생성될 수 있다.

[0103] 상기 디멀티플렉서(310)는 상기 공통전압 제어부(220)로부터 공급된 공통전압 제어신호(VCS)에 따라 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호 공통전압 피드백신호(Vcom-F/B)의 가 상기 반전 증폭부(320)의 제1 및 제2 저항 중 어느 하나로 입력되도록 스위칭 제어하는 역할을 할 수 있지만, 이에 대해서는 한정하지 않는다.

[0104] 도 7에서는 디멀티플렉서(310)를 기재하고 있지만, 실시예는 상기 공통전압 제어부(220)로부터 공급된 공통전압 제어신호(VCS)에 따라 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호 공통전압 피드백신호(Vcom-F/B)의 가 상기 반전 증폭부(320)의 제1 및 제2 저항(R1a, R1b) 중 어느 하나로 입력되도록 스위칭 제어하는 역할을 할 수 있는 어떠한 소자도 채용될 수 있다.

[0105] 예컨대, 상기 공통전압 제어부(20)로부터 한 프레임의 제1 구간 동안 생성된 공통전압 제어신호, 즉 제1 공통전압 제어신호인 경우, 상기 제1 공통전압 제어신호에 의해 상기 제1 공통전압 피드백신호는 상기 반전 증폭부(320)의 제1 저항(R1a)으로 입력될 수 있다. 따라서 상기 반전 증폭부(320)는 부궤환 저항/제1 저항(R2/R1a)인 제1 반전 증폭률로 상기 제1 공통전압 피드백신호를 반전시킨 제1 보상 공통전압이 생성될 수 있다.

[0106] 예컨대, 상기 공통전압 제어부(220)로부터 한 프레임의 제2 구간 동안 생성된 공통전압 제어신호, 즉 제2 공통전압 제어신호인 경우, 상기 제2 공통전압 제어신호에 의해 상기 제2 공통전압 피드백신호는 상기 반전 증폭부(320)의 제2 저항(R1b)으로 입력될 수 있다. 따라서 상기 반전 증폭부(320)는 부궤환 저항/제2 저항(R2/R1b)인 제2 반전 증폭률로 상기 제2 공통전압 피드백신호를 반전시킨 제2 보상 공통전압이 생성될 수 있다.

[0107] 상기 제1 및 제2 저항(R1a R1b)의 값은 상기 제1 및 제2 분할 영역(A, B)에서 발생된 공통전압 피드백신호 공통전압 피드백신호(Vcom-F/B)의 의 리플의 진폭을 고려하여 설정될 수 있지만, 이에 대해서는 한정하지 않는다.

[0108] 도 8은 도 1에서 7개의 분할 영역(A 내지 G)으로 분할된 액정표시패널(10)을 도시한 도면이다.

[0109] 도 8에 도시한 바와 같이, 상기 액정표시패널(10)은 7개의 분할 영역(A 내지 G)으로 구분될 수 있다. 여기서, 각 분할 영역(A 내지 G)은 한 프레임의 시분할적인 구동을 의미할 수 있다.

[0110] 한 프레임이 7개의 구간, 즉 제1 내지 제7 구간으로 분할될 수 있다. 이러한 경우, 제1 구간 동안 제1 분할 영역(A)이 구동되고, 제2 구간 동안 제2 분할 영역(B)이 구동되고, 제3 구간 동안 제3 분할 영역(C)이 구동되고, 제4 구간 동안 제4 분할 영역(D)이 구동되고, 제5 구간 동안 제5 분할 영역(E)이 구동되고, 제6 구간 동안 제6 분할 영역(F)이 구동되며, 제7 구간 동안 제7 분할 영역(G)이 구동될 수 있다.

[0111] 여기서의 구동이라 함은 각 게이트 라인(GLn)으로 게이트 신호가 공급되고, 상기 게이트 신호에 의해 각 게이트 라인(GLn)에 연결된 박막트랜지스터(TFT)가 턴온되고, 상기 박막트랜지스터(TFT)를 경유하여 데이터 전압이 화소전극으로 공급되며, 이와 대응되어 각 공통전압 라인(Vcom_n)으로 보상 공통전압(V'com)이 공급되어, 데이터 전압과 보상 공통전압(V'com) 사이의 전위차에 의해 영상이 표시되는 일련의 과정을 의미할 수 있다.

[0112] 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로 공급된 보상 공통전압(V'com)보상 공통전압

(V'com)통전극 바들(101, 103)에 연결되고 제1 내지 제7 분할 영역(A 내지 G) 내에 배치된 모든 공통전극 라인(Vcom_n)들에 동시에 공급될 수 있다.

[0113] 그럼에도 불구하고, 상기 제1 및 제2 공통전극 바(Vcom_n)들로부터 피드백된 공통전압 피드백신호(Vcom-F/B)에는 한 프레임의 특정 구간 동안 상기 액정표시패널(10)의 특정 분할 영역에 공급된 데이터 전압의 영향에 의해 발생된 리플이 반영될 수 있다.

[0114] 예컨대, 한 프레임의 제2 구간 동안 상기 액정표시패널(10)의 제2 분할 영역에 공급된 데이터 전압의 영향에 의해 발생된 리플, 즉 제1 리플이 상기 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호에 반영될 수 있다.

[0115] 예컨대, 한 프레임의 제5 구간 동안 상기 액정표시패널(101)의 제5 분할 영역(E)에 공급된 데이터 전압의 영향에 의해 발생된 리플, 즉 제2 리플이 상기 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호에 반영될 수 있다.

[0116] 이러한 경우, 공통전압(Vcom)은 제2 분할 영역(B)보다 제5 분할 영역(E)으로 갈수록 보다 더 지연되게 되고, 이러한 지연된 공통전압(Vcom)은 데이터 전압에 의해 보다 더 영향을 받게 되어, 결국 제2 리플이 제1 리플보다 더 큰 진폭을 가질 수 있다.

[0117] 따라서, 제1 리플을 상쇄하기 위해서만 공통전압 보상이 이루어지는 경우, 제2 리플은 완전히 제거되지 않게 되고 여전히 리플이 존재하게 될 수 있다.

[0118] 이러한 영향으로, 액정표시패널의 특정 분할 영역을 기준으로 공통전압 보상이 이루어지는 경우, 다른 분할 영역에 크로스토크 등과 같은 화질 불량이 발생하게 된다.

[0119] 실시예는 액정표시패널(10)의 각 위치에 맞춰 최적의 공통전압 보상이 이루어지도록 하여 크로스 등과 같은 화질 불량을 방지할 수 있다.

[0120] 도 8과 같이 7개의 분할 영역(A 내지 G) 각각에 맞는 서로 상이한 보상 공통전압(V'com)을 얻기 위해서는 도 9와 같은 신호 파형도가 이용될 수 있다.

[0121] 도 5, 도 8 및 도 9를 참조하면, 상기 공통전압 제어부(220)는 분할 영역 설정부(224), 라인 카운터(222) 및 공통전압 제어신호 생성부(226)를 포함할 수 있다.

[0122] 상기 분할 영역 설정부(224)는 액정표시패널(10)로부터 구분된 7개의 분할 영역(A 내지 G)에 관한 파라미터(어드레스 신호)가 설정될 수 있다.

[0123] 상기 분할 영역 설정부(224)는 7개의 분할 영역(A 내지 G)에 관한 파라미터(어드레스 신호)를 상기 공통전압 제어신호 생성부(226)로 공급하여 줄 수 있다.

[0124] 상기 공통전압 제어신호 생성부(226)는 상기 분할 영역 설정부(224)로부터 공급된 7개의 분할 영역(A 내지 G)에 관한 파리미터(어드레스 신호)를 바탕으로 한 프레임을 7개의 구간, 즉 제1 내지 제7 구간으로 분할하고, 각 구간에 따른 공통전압 제어신호(VCS)를 생성할 수 있다.

[0125] 상기 라인 카운터(222)는 데이터 인에이블 신호(DE)의 펄스의 개수를 카운트하여, 그 결과값을 라인 카운트 신호(LCS)로서 상기 공통전압 제어신호 생성부(226)로 공급할 수 있다.

[0126] 상기 공통전압 제어신호 생성부(226)는 한 프레임 동안의 데이터 인에이블 신호(DE)의 펄스의 총 개수(28개)를 상기 분할 영역 설정부(224)로부로부터 확인된 분할 영역의 개수(7)로 나누어, 각 구간에서 필요한 데이터 인에이블 신호(DE)의 개수(4개)를 산출한다.

[0127] 따라서, 상기 공통전압 제어신호 생성부(226)는 상기 라인 카운터(222)로부터 공급된 라인 카운트 신호(LCS)를 바탕으로 데이터 인에이블 신호(DE)의 개수가 1부터 4가 될 때까지의 제1 구간 동안 제1 공통전압 제어신호를 생성하여 줄 수 있다.

[0128] 이어서, 데이터 인에이블 신호(DE)의 개수가 5부터 8이 될 때까지의 제2 구간 동안 제2 공통전압 제어신호가 생성되고, 9부터 12가 될 때까지의 제3 구간 동안 제3 공통 전압 제어신호, 13부터 16이 될 때까지의 제4 구간 동안 제4 공통전압 제어신호, 17부터 20이 될 때까지의 제5 구간 동안 제5 공통전압 제어신호, 21부터 24가 될 때까지의 제6 구간 동안 제6 공통전압 제어신호 및 25부터 28이 될 때까지의 제7 구간 동안 제7 공통전압 제어신호가 생성될 수 있다.

[0129] 상기 제1 내지 제7 공통전압 제어신호는 3비트의 디지털 신호일 수 있다.

[0130] 예컨대, 제1 공통전압 제어신호는 000이고, 제2 공통전압 제어신호는 001이고, 제3 공통전압 제어신호는 010이고, 제4 공통전압 제어신호는 011이고, 제5 공통전압 제어신호는 100이고, 제6 공통전압 제어신호는 101이며, 제7 공통전압 제어신호는 110일 수 있지만, 이에 대해서는 한정하지 않는다.

[0131] 만일 액정표시패널(10)이 16개의 분할 영역으로 구분되는 경우, 서로 상이한 16개의 공통전압 제어신호들이 필요하므로, 이때의 공통전압 제어신호는 4비트의 디지털 신호일 수 있다.

[0132] 만일 도 2에 도시한 바와 같이 액정표시패널(10)이 2개의 분할 영역(A, B)으로 구분되는 경우, 서로 상이한 2개의 공통전압 제어신호들이 필요하므로, 이때의 공통전압 제어신호는 1비트의 디지털 신호일 수 있다.

[0133] 도 10은 도 1의 공통전압 보상부를 도시한 다른 회로도이다.

[0134] 도 10을 참조하면, 상기 공통전압 보상부(50)는 디멀티플렉서(310) 및 반전 증폭부(320)를 포함할 수 있다.

[0135] 도 5을 공통전압 제어부(220)로부터 시분할적으로 생성된 제1 내지 제7 공통전압 제어신호는 순차적으로 상기 공통전압 보상부(50)로 공급될 수 있다.

[0136] 상기 공통 전압 보상부(50)는 상기 제1 내지 제7 공통전압 제어신호에 따라 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호(Vcom-F/B)를 서로 상이한 반전 증폭률로 반전시킨 제1 내지 제7 공통 보상전압을 생성할 수 있다.

[0137] 상기 반전 증폭부(320)는 차동 증폭기(325), 상기 차동 증폭기(325)의 반전 입력단(-)에 접속된 제1 내지 제7 저항(R1a, R1b, R1c, R1d, R1e, R1f, R1g) 및 상기 차동 증폭기(325)의 반전 입력단(-)과 출력단 사이에 접속된 부궤환 저항(R2)을 포함할 수 있다.

[0138] 상기 제1 내지 제7 저항(R1a, R1b, R1c, R1d, R1e, R1f, R1g)은 상기 디멀티플렉서(310)에 서로 병렬로 접속되는 한편, 상기 차동 증폭기(325)의 반전 입력단(-)에 공통으로 접속될 수 있다.

[0139] 이와 같이, 상기 디멀티플렉서(310)와 상기 차동 증폭기(325)의 반전 입력단(-) 사이에 제1 내지 제7 저항(R1a, R1b, R1c, R1d, R1e, R1f, R1g)이 접속됨에 따라, 상기 반전 증폭부(320)는 서로 상이한 제1 내지 제7 반전 증폭률을 포함할 수 있다. 상기 디멀티플렉서(310)의 입력단으로 공급되는 공통전압 피드백신호가 상기 제1 내지 제7 저항(R1a, R1b, R1c, R1d, R1e, R1f, R1g)이 연결된 라인들 중 어느 저항이 구비된 라인으로 입력되느냐에 따라 상기 제1 내지 제7 반전 증폭률 중 어느 하나의 반전 증폭률로 반전될 수 있다.

[0140] 예컨대, 제1 반전 증폭률은 부궤환 저항/제1 저항(R2/R1a)에 의해 결정되고, 제2 반전 증폭률은 부궤환 저항/제2 저항(R2/R1b)에 의해 결정되고, 제3 반전 증폭률은 부궤환 저항/제3 저항(R2/R1c)에 의해 결정되며, 제4 반전 증폭률은 부궤환 저항/제4 저항(R2/R1d)에 의해 결정될 수 있다. 또한, 제5 반전 증폭률은 부궤환 저항/제5 저항(R2/R1e)에 의해 결정되고, 제6 반전 증폭률은 부궤환 저항/제6 저항(R2/R1f)에 의해 결정되며, 제7 반전 증폭률은 부궤환 저항/제7 저항(R2/R1g)에 의해 결정될 수 있다.

[0141] 상기 제1 내지 제7 저항(R1a, R1b, R1c, R1d, R1e, R1f, R1g)의 값은 상기 제1 내지 제7 분할 영역(A 내지 G)에서 발생된 공통전압 피드백신호의 리플의 진폭을 고려하여 설정될 수 있지만, 이에 대해서는 한정하지 않는다.

[0142] 한편, 상기 차동 증폭기(325)의 비반전 입력단(+)은 공통전압(Vcom)이 입력되는 라인이 접속될 수 있다.

[0143] 상기 디멀티플렉서(310)는 제1 및 제2 입력단과 제1 내지 제7 출력단이 구비될 수 있다.

[0144] 상기 제1 입력단에는 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 공통전압 피드백신호(Vcom-F/B)가 입력되기 위한 제1 입력 라인이 접속되고, 상기 제2 입력단에는 상기 공통전압 제어부(220)로부터 공급된 공통전압 제어신호(VCS)가 입력되기 위한 제2 입력 라인이 접속될 수 있다.

[0145] 상기 제1 내지 제7 출력단 각각에는 상기 반전 증폭부(320)의 제1 내지 제7 저항(R1a, R1b, R1c, R1d, R1e, R1f, R1g) 각각을 포함하는 입력 라인들이 접속될 수 있다.

[0146] 상기 디멀티플렉서(310)는 상기 공통전압 제어부(220)로부터 공급된 공통전압 제어신호(VCS)에 따라 상기 제1 입력단으로 입력된 공통전압 피드백신호(Vcom-F/B)를 상기 제1 내지 제7 저항(R1a, R1b, R1c, R1d, R1e, R1f, R1g)을 포함하는 라인들이 접속된 제1 내지 제7 출력단 중 어느 하나로 스위칭 제어하여 줄 수 있다.

[0147] 예컨대, 상기 디멀티플렉서(310)에 의해 상기 제2 출력단이 선택되는 경우, 상기 제1 입력단으로 입력된 공통전압 피드백신호(Vcom-F/B)는 상기 제2 출력단에 접속된 라인으로 공급될 수 있다. 상기 공통전압 피드백신호(Vcom-F/B)가 입력된 라인의 제2 저항(R1b)에 의해 제2 반전 증폭률(부궤환 저항/제2 저항(R2/R1b))이 생성되고, 상기 차동 증폭기(325)에 의해 상기 공통전압 피드백신호(Vcom-F/B)의 리플이 상기 제2 반전 증폭률로 반전되고, 이러한 반전 결과가 상기 차동 증폭기(325)의 비반전 입력단(+)으로 공급된 공통전압(Vcom)에 반영되어, 제2 보상 공통전압으로 생성될 수 있다.

[0148] 도 11은 도 도 1의 공통전압 보상부를 도시한 또 다른 회로도이다.

[0149] 도 11은 도 7 및 도 10에 도시된 공통전압 보상부의 변형 실시예일 수 있다.

[0150] 도 11을 참조하면, 상기 공통전압 보상부(50)는 반전 증폭부를 포함할 수 있다.

[0151] 상기 공통전압 보상부(50)는 차동 증폭기(325)와, 상기 차동 증폭기(325)의 반전 입력단(-)에 접속된 제1 저항(R1)과, 상기 차동 증폭기(325)의 반전 입력단(-)과 상기 차동 증폭기(325)의 비반전 입력단(+) 사이에 접속된 제2 가변 저항(R2f)을 포함할 수 있다.

[0152] 상기 제2 가변 저항(R2f)은 부궤환 저항으로서, 상기 공통전압 제어부(220)로부터 공급된 공통전압 제어신호(VCS)에 따라 특정값으로 가별될 수 있지만, 이에 대해서는 한정하지 않는다.

[0153] 예컨대, 도 5에 도시된 분할 영역 설정부(226)에 의해 설정된 상기 액정표시패널(10)로부터 구분된 2개의 분할 영역(A, B)에 따라 한 프레임이 제1 및 제2 구간으로 분할되어, 제1 구간 동안 상기 공통전압 제어신호 생성부(226)토로부터 생성된 제1 공통전압 제어신호에 따라 상기 제2 가변 저항(R2f)은 제1 가변 저항값(R'2f)으로 가변될 수 있다. 이러한 경우, 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 제1 공통전압 피드백신호가 R'2f/R1의 제1 반전 증폭률에 의해 반전된 후, 그 결과값이 공통전압(Vcom)에 반영된 제1 보상 공통전압이 생성될 수 있다. 상기 제1 공통전압 피드백신호는 상기 제1 구간 동안 상기 액정표시패널(10)에 공급된 데이터 전압에 의한 영향으로 발생된 리플을 포함하는 신호일 수 있다.

[0154] 제2 구간 동안 상기 공통전압 제어신호 생성부(226)로부터 생성된 제2 공통전압 제어신호에 따라 제2 가변 저항(R2f)은 제2 가변 저항값(R"2f)으로 가별될 수 있다. 이러한 경우, 상기 액정표시패널(10)의 제1 및 제2 공통전극 바들(101, 103)로부터 피드백된 제2 공통전압 피드백신호가 R"2f/R1의 제2 반전 증폭률에 의해 반전된 후, 그 결과값이 공통전압(Vcom)에 반영된 제2 보상 공통전압이 생성될 수 있다. 상기 제2 공통전압 피드백신호는 상기 제2 구간 동안 상기 액정표시패널(10)에 공급된 데이터 전압에 의한 영향으로 발생된 리플을 포함하는 신호일 수 있다.

[0155] 도 12a 및 도 12b는 종래와 실시예에 따른 공통전압 보상을 보여주는 도면이다.

[0156] 도12a에 도시한 바와 같이, 액정표시패널의 중심 영역에 화이트 영상을 표시하고, 상기 중심 영역을 둘러싸는 주변 영역에 블랙 영상이 표시될 수 있다.

[0157] 이러한 경우, 예컨대 상기 액정표시패널의 중심에 위치된 수평 법선 라인을 기준으로 상부 영역에 맞추어 공통전압의 보상이 이루어지되 이러한 보상이 상부 영역과 하부 영역에 공통으로 적용되는 경우, 상부 영역에서는 최적의 공통전압 보상에 의해 화질 불량이 발생되지 않을 수 있다. 하지만, 하부 영역에서는 완전한 공통전압 보상이 이루어지지 않게 되어 크로스토크와 같은 화질 불량이 발생된다.

[0158] 즉, 종래에는 이상과 같이 크로스토크와 같은 화질 불량이 발생하였다.

[0159] 도 12b에 도시한 바와 같이, 실시예는 액정표시패널의 각 위치, 예컨대 상부로부터 하부로 다수의 분할 영역으로 구분되는 경우, 각 분할 영역에 각 분할 영역에서 발생된 리플을 상쇄할 수 있는 서로 상이한 보상 공통전압을 공급하여 줌으로써, 액정표시패널의 어느 영역이든지 크로스토크와 같은 화질 불량이 발생되지 않게 된다.

[0160] 아울러, 실시예는 타이밍 제어부의 게이트 스타트 신호(VST)를 기준으로 시분할적으로 분할된 각 구간에 따라 이러한 각 분할 영역으로 공급할 서로 상이한 보상 공통전압을 생성하여 줄 수 있다.

[0161] 게다가, 실시예는 공통전압 보상부에 선택을 위한 멀티플렉서와 반전 증폭부의 저항의 개수 등이 변하는 것에 불과하여, 단순한 회로 변경에 의해 크로스토크와 같은 화질 불량을 방지할 있는 최적의 공통전압의 보상이 이루어질 수 있다.

부호의 설명

[0162] 10: 액정표시패널

20: 제어부

30: 게이트 구동부

40: 데이터 구동부

45: 공통전압 발생부

50: 공통전압 보상부

101, 103: 공통전극 바

210: 타이밍 제어부

220: 공통전압 제어부

222: 라인 카운터

224: 분할 영역 설정부

226: 공통전압 제어신호 생성부

310: 디멀티플렉서(Demultiplexer)

320: 반전 증폭부

325: 차동 증폭기

Vcom: 공통전압

V'com: 보상 공통전압

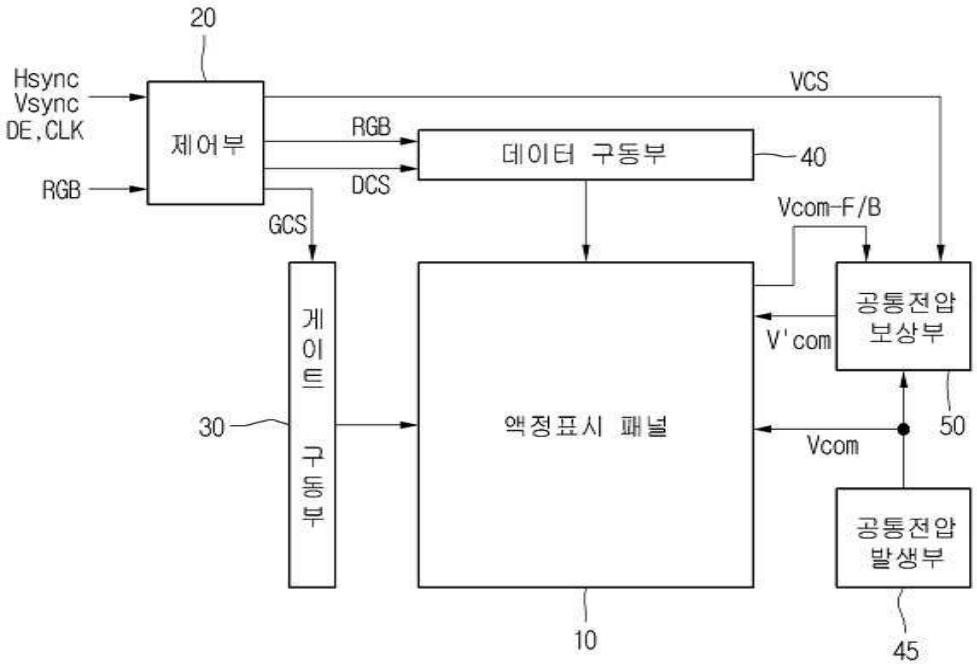
Vcom-F/B: 공통전압 피드백신호

VCS: 공통전압 제어신호

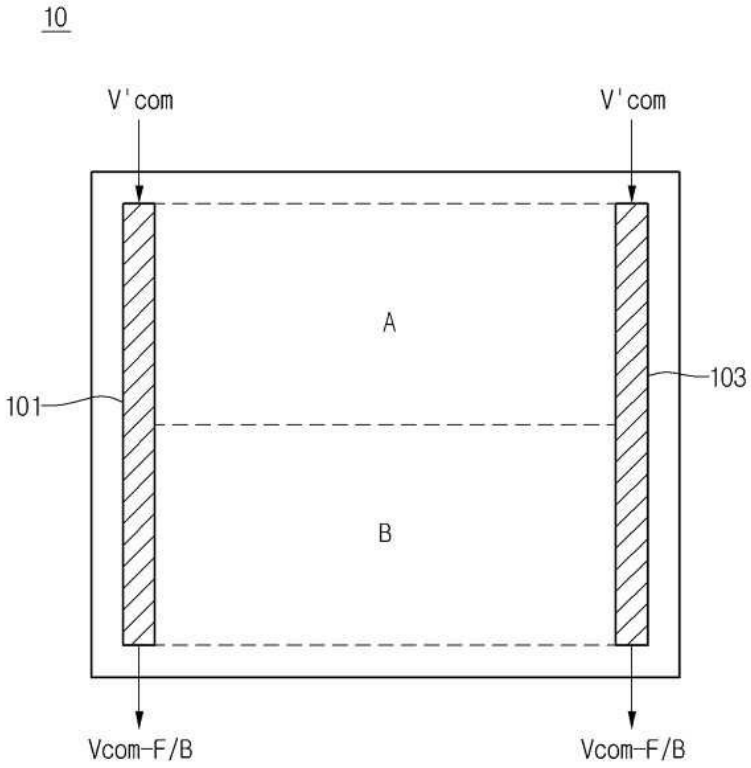
A, B, C, D, E, F, G: 분할 영역

도면

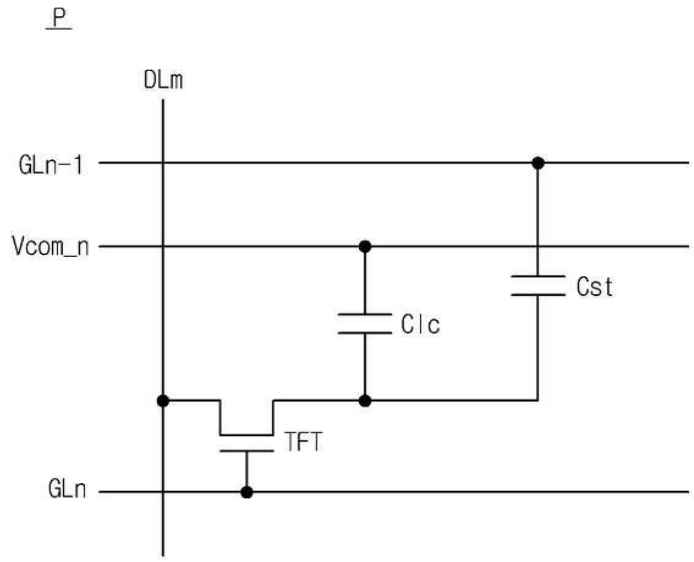
도면1


20
Hsync
Vsync
DE,CLK
RGB
제어부
RGB
DCS
GCS
데이터 구동부
40
VCS
Vcom-F/B
V'com
공통전압
보상부
50
게이트 구동부
30
액정표시 패널
Vcom
공통전압
발생부
10
45

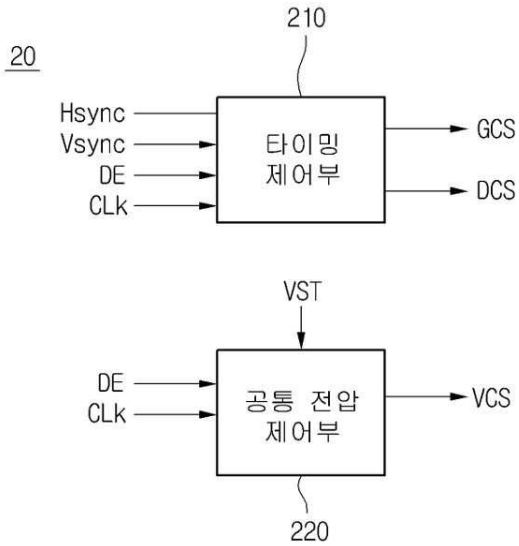
도면2


10
V'com
V'com
A
B
101
103
Vcom-F/B
Vcom-F/B

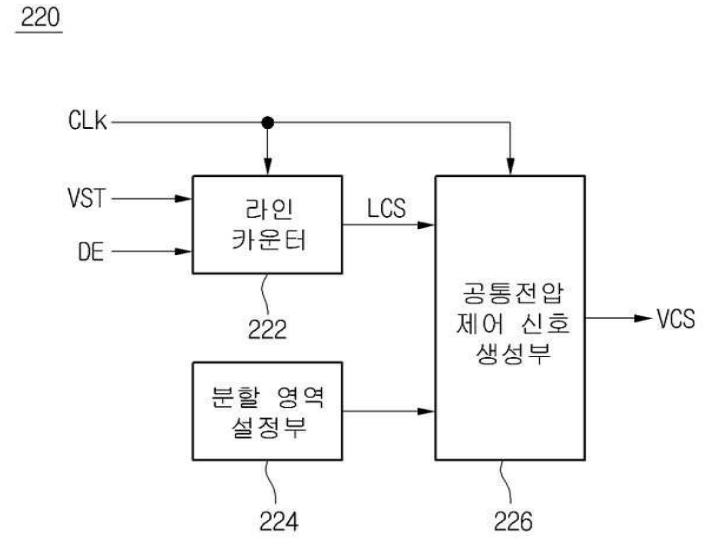
도면3


P
DLm
GLn-1
Vcom_n
Clc
Cst
TFT
GLn

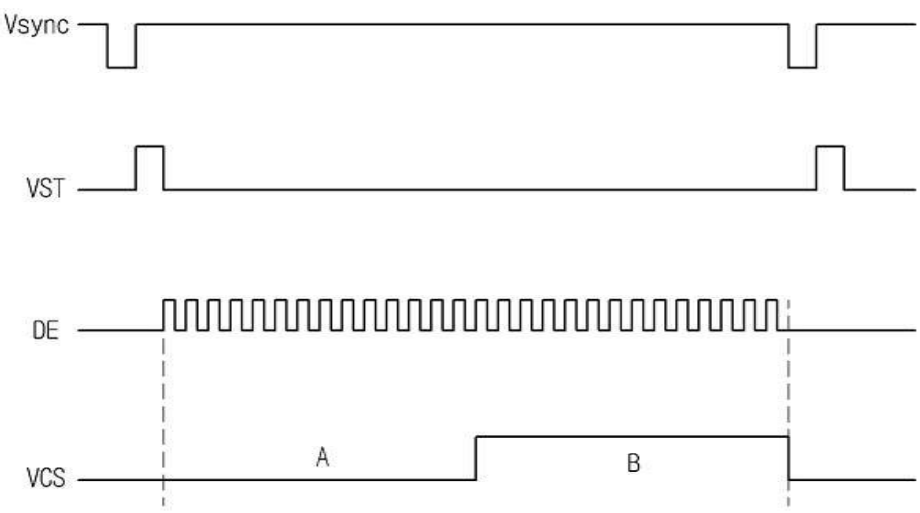
도면4


20
210
Hsync
Vsync
DE
CLk
타이밍
제어부
GCS
DCS
VST
DE
CLk
공통 전압
제어부
VCS
220

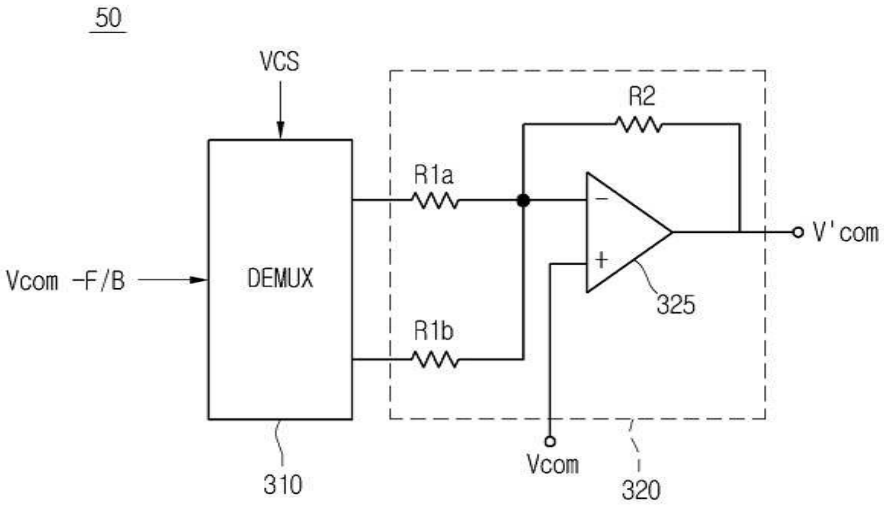
도면5


220
CLk
VST
DE
라인
카운터
222
LCS
분할 영역
설정부
224
공통전압
제어 신호
생성부
226
VCS

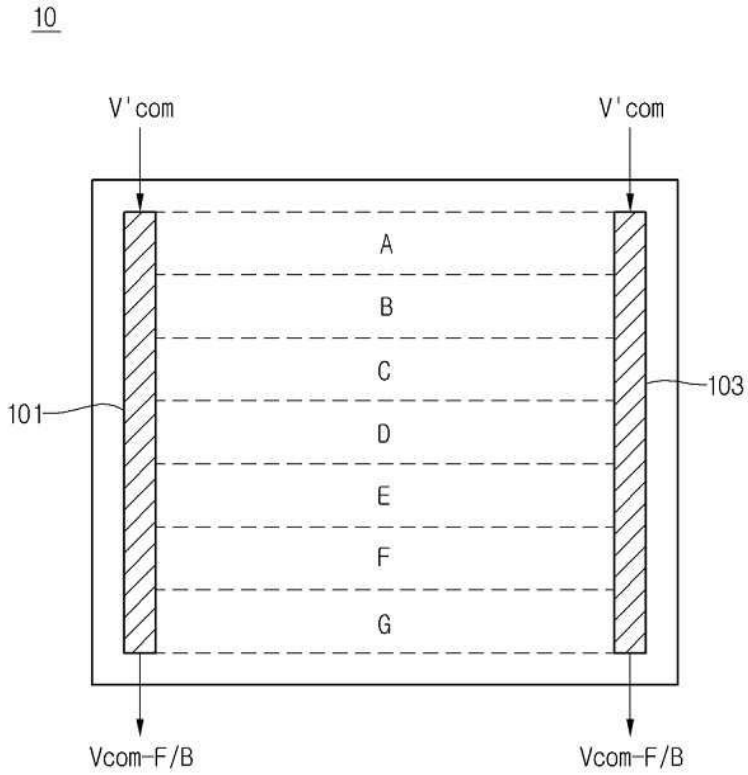
도면6


Vsync
VST
DE
VCS
A
B

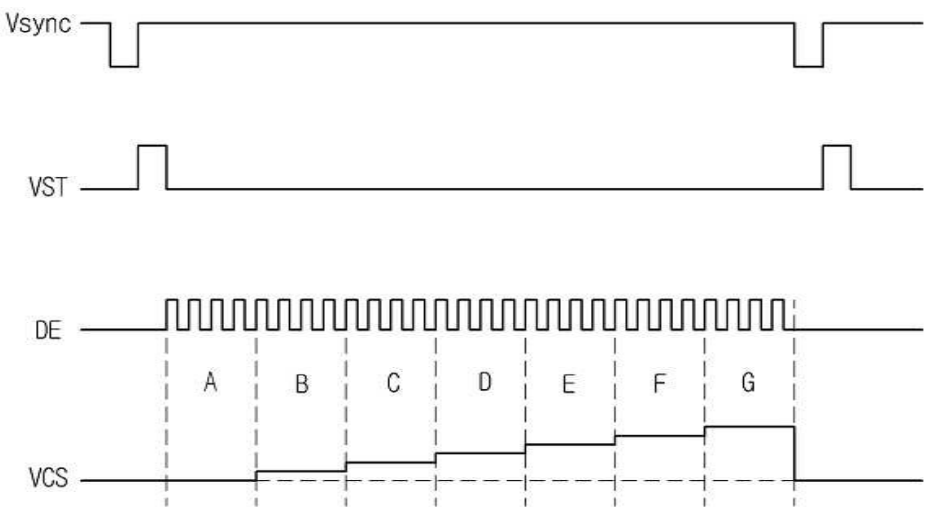
도면7


50
VCS
Vcom -F/B
DEMUX
310
R1a
R1b
R2
325
V'com
Vcom
320

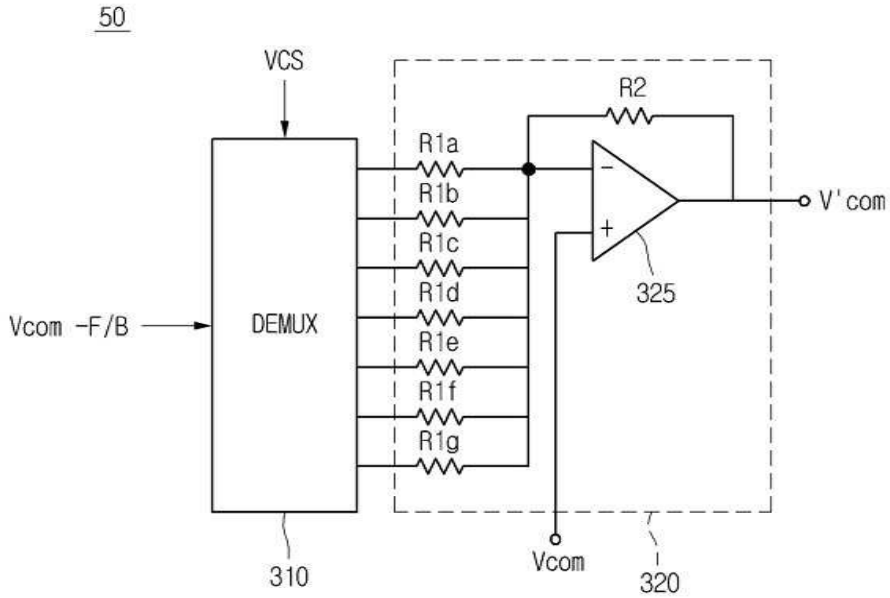
도면8


10
V'com
V'com
A
B
C
D
E
F
G
101
103
Vcom-F/B
Vcom-F/B

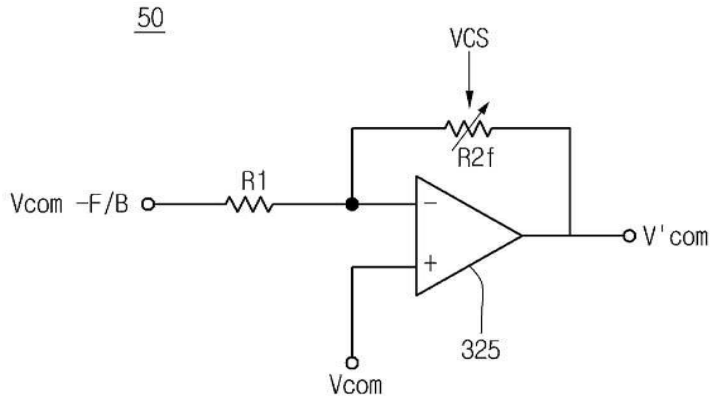
도면9


Vsync
VST
DE
A
B
C
D
E
F
G
VCS

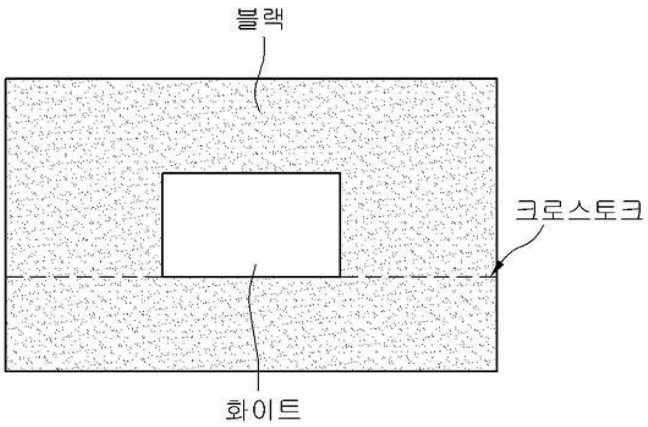
도면10



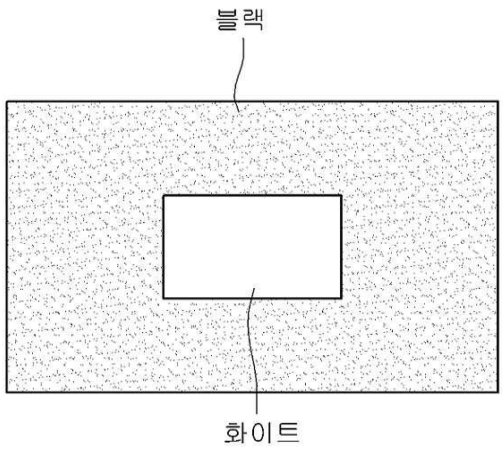
도면11



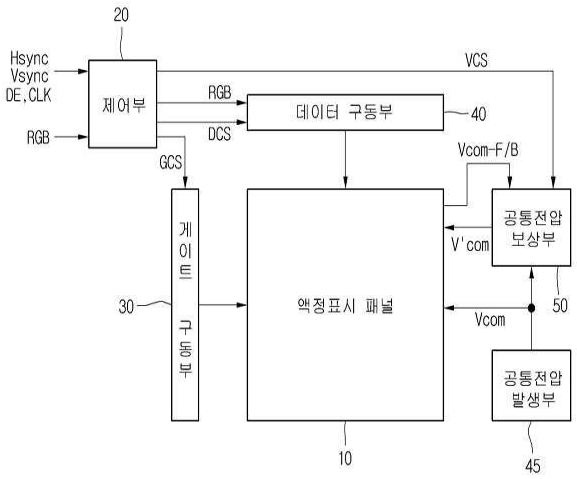
도면12a



도면12b



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020130131851A	公开(公告)日	2013-12-04
申请号	KR1020120055731	申请日	2012-05-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 SONG HONG SUNG 송홍성 OH DONG KYOUNG 오동경 SON YONG GI 손용기 JANG SU HYUK 장수혁		
发明人	민웅기 송홍성 오동경 손용기 장수혁		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3655 G09G3/3696 G09G3/36 G09G3/3614 G09G3/3688 G09G2300/0426 G09G2310/0289 G09G2310/0291 G09G2310/08 G09G2320/0209 G09G2320/0242 G09G2320/0247 G09G2320/04		
其他公开文献	KR101396688B1		
外部链接	Espacenet		

摘要(译)

液晶显示器包括至少一个公共电极，公共电压控制单元划分为LCD面板中相应倍数的部分：包括沿纵向方向的一帧的分数区域的数量限定了至少一个的多个分数区域公共电极根据每个部分产生公共电压控制信号，并且公共电压补偿是用于立即向LCD面板的至少一个公共电极提供公共电压控制信号的补偿公共电压，根据每个部分创建的公共电压控制信号。生性。