



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0106398
(43) 공개일자 2013년09월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-7009190
(22) 출원일자(국제) 2011년08월24일
심사청구일자 없음
(85) 번역문제출일자 2013년04월11일
(86) 국제출원번호 PCT/JP2011/069676
(87) 국제공개번호 WO 2012/035975
국제공개일자 2012년03월22일
(30) 우선권주장
JP-P-2010-207164 2010년09월15일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
미야케 히로유키
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
아라사와 료
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
구스노키 고지
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
박충범, 장수길, 이중희

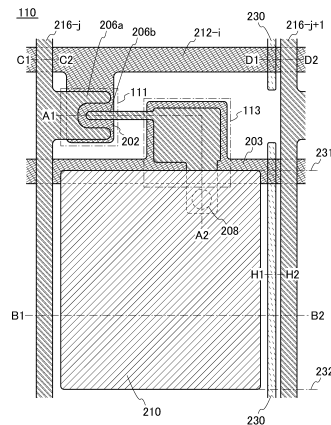
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 액정 표시 장치 및 그 제작 방법

(57) 요약

섬 형상의 반도체층을 형성하는 포토리소그래피 공정 및 에칭 공정이 생략되고, 게이트 전극(동일한 층으로 형성된 배선 등을 포함함)을 형성하는 공정, 소스 전극 및 드레인 전극(동일한 층으로 형성된 배선 등을 포함함)을 형성하는 공정, 콘택트 홀을 형성(콘택트 홀 이외의 영역의 절연층 등의 제거도 포함함)하는 공정, 및 화소 전극(동일한 층으로 형성된 배선 등을 포함함)을 형성하는 공정의 4개의 포토리소그래피 공정을 거쳐 액정 표시 장치가 제작된다. 콘택트 홀을 형성하는 공정에 있어서, 반도체층이 제거된 홈부가 형성되어, 기생 채널의 형성이 방지된다.

대표도 - 도1



특허청구의 범위

청구항 1

표시 장치에 있어서,
 게이트 전극, 소스 전극, 드레인 전극, 및 반도체층을 포함한 트랜지스터와;
 상기 게이트 전극에 전기적으로 접속된 제 1 배선과;
 상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된 제 2 배선과;
 상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 전기적으로 접속된 화소 전극과;
 용량 배선과;
 상기 반도체층에서의 제 1 홈부와;
 상기 반도체층에서의 제 2 홈부를 포함하고,
 상기 반도체층은 상기 제 1 배선, 상기 제 2 배선, 상기 화소 전극, 및 상기 용량 배선과 중첩되고,
 상기 제 1 홈부는 상기 제 1 배선의 선폭 방향에서 상기 제 1 배선과 교차하도록 상기 제 1 배선 위에 형성되고,
 상기 제 2 홈부는 상기 용량 배선의 선폭 방향에서 상기 용량 배선과 교차하도록 상기 용량 배선 위에 형성되고,
 상기 제 2 홈부는, 상기 제 2 배선이 연장되는 방향에 평행한 방향에서 상기 화소 전극의 단부를 넘어 연장되는, 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 반도체층은 상기 제 1 홈부의 저면 및 상기 제 2 홈부의 저면에 존재하지 않는, 표시 장치.

청구항 3

제 1 항에 있어서,
 상기 반도체층은 상기 제 1 홈부의 측면 및 상기 제 2 홈부의 측면에 존재하는, 표시 장치.

청구항 4

제 1 항에 있어서,
 상기 제 1 홈부 및 상기 제 2 홈부는 배향막과 중첩되는, 표시 장치.

청구항 5

제 1 항에 있어서,
 상기 제 2 홈부의 적어도 일부는 상기 화소 전극과 중첩되는, 표시 장치.

청구항 6

제 1 항에 있어서,
 상기 제 2 홈부 및 상기 화소 전극은 서로 떨어져 있는, 표시 장치.

청구항 7

제 1 항에 있어서,

상기 반도체층이 산화물 반도체를 포함하는, 표시 장치.

청구항 8

표시 장치에 있어서,

게이트 전극, 소스 전극, 드레인 전극, 및 반도체층을 포함한 트랜지스터와;

상기 게이트 전극에 전기적으로 접속된 제 1 배선과;

상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된 제 2 배선과;

상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 전기적으로 접속된 화소 전극과;

용량 배선과;

상기 반도체층에서의 홈부를 포함하고,

상기 반도체층은 상기 제 1 배선, 상기 제 2 배선, 상기 화소 전극, 및 상기 용량 배선과 중첩되고,

상기 홈부는 상기 제 1 배선의 선평 방향에서 상기 제 1 배선과 교차하도록 상기 제 1 배선 위에 형성되고,

상기 홈부는 상기 용량 배선의 선평 방향에서 상기 용량 배선과 교차하도록 상기 용량 배선 위에 형성되고,

상기 홈부는, 상기 제 2 배선이 연장되는 방향에 평행한 방향에서 상기 화소 전극의 단부를 넘어 연장되는, 표시 장치.

청구항 9

제 8 항에 있어서,

상기 반도체층은 상기 홈부의 저면에 존재하지 않는, 표시 장치.

청구항 10

제 8 항에 있어서,

상기 반도체층은 상기 홈부의 측면에 존재하는, 표시 장치.

청구항 11

제 8 항에 있어서,

상기 홈부는 배향막과 중첩되는, 표시 장치.

청구항 12

제 8 항에 있어서,

상기 홈부의 적어도 일부는 상기 화소 전극과 중첩되는, 표시 장치.

청구항 13

제 8 항에 있어서,

상기 홈부 및 화소 전극은 서로 떨어져 있는, 표시 장치.

청구항 14

제 8 항에 있어서,

상기 반도체층이 산화물 반도체를 포함하는, 표시 장치.

청구항 15

표시 장치에 있어서,

게이트 전극, 소스 전극, 드레인 전극, 및 반도체층을 포함한 트랜지스터와;

상기 게이트 전극에 전기적으로 접속된 제 1 배선과;

상기 소스 전극 및 상기 드레인 전극 중 하나에 전기적으로 접속된 제 2 배선과;

상기 소스 전극 및 상기 드레인 전극 중 다른 하나에 전기적으로 접속된 화소 전극과;

용량 배선과;

상기 반도체층에서의 제 1 홈부와;

상기 반도체층에서의 제 2 홈부와;

상기 반도체층에서의 제 3 홈부를 포함하고,

상기 반도체층은 상기 제 1 배선, 상기 제 2 배선, 상기 화소 전극, 및 상기 용량 배선과 중첩되고,

상기 제 1 홈부는 상기 제 1 배선의 선평 방향에서 상기 제 1 배선과 교차하도록 상기 제 1 배선 위에 형성되고,

상기 제 2 홈부는 상기 용량 배선의 선평 방향에서 상기 용량 배선과 교차하도록 상기 용량 배선 위에 형성되고,

상기 제 3 홈부는, 상기 제 2 배선이 연장되는 방향에 평행한 방향에서 상기 화소 전극의 단부를 넘어 연장되는, 표시 장치.

청구항 16

제 15 항에 있어서,

상기 반도체층은 상기 제 1 홈부의 저면, 상기 제 2 홈부의 저면, 및 상기 제 3 홈부의 저면에 존재하지 않는, 표시 장치.

청구항 17

제 15 항에 있어서,

상기 반도체층은 상기 제 1 홈부의 측면, 상기 제 2 홈부의 측면, 및 상기 제 3 홈부의 측면에 존재하는, 표시 장치.

청구항 18

제 15 항에 있어서,

상기 제 3 홈부는 배향막과 중첩되는, 표시 장치.

청구항 19

제 15 항에 있어서,

상기 제 3 홈부의 적어도 일부는 상기 화소 전극과 중첩되는, 표시 장치.

청구항 20

제 15 항에 있어서,

상기 제 2 홈부 및 상기 화소 전극은 서로 떨어져 있는, 표시 장치.

청구항 21

제 15 항에 있어서,

상기 반도체층이 산화물 반도체를 포함하는, 표시 장치.

청구항 22

표시 장치의 제작 방법에 있어서,

제 1 포토리소그래피 공정에 의하여 기관 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 반도체층을 형성하는 단계와;

제 2 포토리소그래피 공정에 의하여 상기 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 소스 전극 및 상기 드레인 전극 위에 절연층을 형성하는 단계와;

제 3 포토리소그래피 공정에 의하여 상기 드레인 전극과 중첩되는 상기 절연층의 일부를 제거하여 콘택트 홀을 형성하는 단계와;

상기 제 3 포토리소그래피 공정에 의하여 상기 절연층의 다른 일부, 상기 반도체층의 일부, 및 상기 게이트 절연층의 일부를 제거하여 홈부를 형성하는 단계와;

제 4 포토리소그래피 공정에 의하여 상기 절연층 위에 화소 전극을 형성하는 단계를 포함하는, 표시 장치의 제작 방법.

청구항 23

제 22 항에 있어서,

하지층이 상기 기관과 상기 게이트 전극 사이에 형성되는, 표시 장치의 제작 방법.

청구항 24

제 22 항에 있어서,

상기 반도체층이 산화물 반도체를 포함하는, 표시 장치의 제작 방법.

청구항 25

제 22 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극은 구리를 포함한 재료를 포함하는, 표시 장치의 제작 방법.

청구항 26

제 25 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극을 형성한 후의 최고 처리 온도는 450℃ 이하인, 표시 장치의 제작 방법.

청구항 27

제 22 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극은 알루미늄을 포함한 재료를 포함하는, 표시 장치의 제작 방법.

청구항 28

제 27 항에 있어서,

상기 게이트 전극, 상기 소스 전극, 또는 상기 드레인 전극을 형성한 후의 최고 처리 온도는 380℃ 이하인, 표시 장치의 제작 방법.

명세서

기술분야

[0001] 본 발명은, 반도체 장치, 액정 표시 장치, 상기 반도체 장치의 제작 방법, 및 상기 액정 표시 장치의 제작 방법에 관한 것이다.

[0002] 본 명세서에서 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 트랜지스터, 반도체 회로, 기억 장치, 촬상 장치, 표시 장치, 전기 광학 장치 및 전자 기기 등은 모두 반도체 장치이다.

배경 기술

[0003] 최근, 유리 기판과 같은 절연성 표면을 갖는 기판 위의 수nm 내지 수백nm의 막 두께를 갖는 반도체 박막을 사용하여 형성되는 트랜지스터가 주목을 받고 있다. 트랜지스터는 IC(Integrated Circuit) 및 전기 광학 장치와 같은 전자 디바이스에 널리 사용된다. 특히, 트랜지스터는 액정 표시 장치 등으로 대표되는 화상 표시 장치의 스위칭 소자로서 급속하게 개발되고 있다. 액티브 매트릭스형 액정 표시 장치에서는, 선택된 스위칭 소자에 접속된 화소 전극과, 상기 화소 전극에 대응하는 대향 전극의 사이에 전압이 인가되어, 화소 전극과 대향 전극의 사이에 배치된 액정층이 광학적으로 변조된다. 이 광학 변조가 표시 패턴으로서 관찰자에게 인식될 수 있다. 여기서, 액티브 매트릭스형 액정 표시 장치는, 매트릭스 형상으로 배치된 화소 전극을 스위칭 소자를 사용하여 구동함으로써 화면 상에 표시 패턴이 형성되는 방식을 채용한 액정 표시 장치를 가리킨다.

[0004] 상기와 같은 액티브 매트릭스형 액정 표시 장치의 사용 범위는 확대되고 있으며, 화면 사이즈의 대면적화, 고밀도화 및 고개구율화의 요구가 높아지고 있다. 또한, 액티브 매트릭스형 액정 표시 장치는 높은 신뢰성을 갖는 것이 요구되고, 액티브 매트릭스형 액정 표시 장치의 생산 방법이 높은 생산성을 제공하며 생산 비용을 저감하는 것이 요구된다. 공정의 간략화는 생산성을 높이며 생산 비용을 저감시키는 방법의 하나이다.

[0005] 액티브 매트릭스형 액정 표시 장치에서 트랜지스터는 주로 스위칭 소자로서 사용된다. 트랜지스터를 제작함에 있어서, 포토리소그래피 공정수의 삭감 또는 포토리소그래피 공정의 간략화는 공정 전체의 간략화를 위하여 중요하다. 예를 들어, 포토리소그래피 공정 하나가 추가되면, 레지스트 도포, 프리베이킹, 노광, 현상, 포스트베이킹 등의 공정과, 이들 공정 전후에 행해지는 성막, 에칭, 레지스터의 제거, 세정, 건조 등의 공정이 더 필요하게 된다. 제작 공정에 있어서 포토리소그래피 공정 하나를 추가하는 것만으로도 공정수가 대폭적으로 증가된다. 따라서, 제작 공정에 있어서 포토리소그래피 공정수를 삭감하거나 포토리소그래피 공정을 간략화하기 위한 많은 기술이 개발되고 있다.

[0006] 트랜지스터는, 게이트 전극보다 하층에 채널 형성 영역이 제공되는 톱 게이트형 트랜지스터, 및 게이트 전극보다 상층에 채널 형성 영역이 제공되는 보텀 게이트형 트랜지스터에 널리 분류된다. 이들 트랜지스터는 일반적으로 적어도 5장의 포토마스크를 사용하여 제작된다.

[0007] 포토리소그래피 공정을 간략화하기 위한 많은 종래 기술은, 어떤 노광, 레지스트 리플로우 또는 리프트 오프법과 같은 복잡한 기술이 사용되고, 많은 경우에 있어서 특수한 장치를 필요로 한다. 이와 같은 복잡한 기술을 사용하는 것은 다양한 문제를 일으킬 수 있어, 수율의 저하를 초래한다. 또한, 트랜지스터의 전기적 특성이 저하되는 경우도 많다.

[0008] 트랜지스터 제작에서의 포토리소그래피 공정을 간략화하기 위한 대표적인 수단으로서, 다계조 마스크(하프톤 마스크 또는 그레이톤 마스크라고 불림)를 사용한 기술이 널리 알려져 있다. 다계조 마스크를 사용하여 제작 공정수를 저감하는 기술로서, 예를 들어 특허 문헌 1을 들 수 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본국 특개 2003-179069호 공보

발명의 내용

해결하려는 과제

[0010] 본 발명의 일 형태의 목적은 트랜지스터를 제작하기 위하여 사용되는 포토리소그래피 공정수를 종래보다 저감시키는 것이다.

- [0011] 본 발명의 일 형태의 목적은 박막 트랜지스터를 포함한 표시 장치를 제작하기 위하여 사용되는 포토마스크수를 종래보다 저감시키는 것이다.
- [0012] 본 발명의 일 형태의 목적은 비용이 낮고 생산성이 높은 액정 표시 장치를 제공하는 것이다.
- [0013] 본 발명의 일 형태의 목적은 저소비 전력의 액정 표시 장치를 제공하는 것이다.
- [0014] 본 발명의 일 형태의 목적은 신뢰성이 높은 액정 표시 장치를 제공하는 것이다.
- [0015] 섬 형상의 반도체층을 형성하기 위한 포토리소그래피 공정 및 에칭 공정을 생략하고, 게이트 전극(동일한 층으로 형성된 배선을 포함함)을 형성하는 공정, 소스 전극 및 드레인 전극(동일한 층으로 형성된 배선을 포함함)을 형성하는 공정, 콘택트 홀을 형성(콘택트 홀 이외의 영역의 절연층 등의 제거도 포함함)하는 공정, 및 화소 전극(동일한 층으로 형성된 배선 등을 포함함)을 형성하는 공정의 4개의 포토리소그래피 공정을 거쳐 액정 표시 장치에 사용되는 반도체 장치가 제작된다.
- [0016] 이 경우, 섬 형상의 반도체층을 형성하기 위한 포토리소그래피 공정 및 에칭 공정이 수행되지 않기 때문에, 트랜지스터가 형성되는 영역 이외의 영역에도 반도체층이 남는다. 결과적으로 예를 들어, 화소 전극에 공급되는 전위에 따라서는, 화소 전극과 중첩되는 영역에서 반도체층에 채널이 형성될 수 있다. 또한, 상술한 바와 같이 본래 채널이 필요하지 않은 개소에 형성되는 채널은 기생 채널이라고 불린다.
- [0017] 예를 들어, 복수의 화소 중, 제 1 화소의 화소 전극과 중첩되는 반도체층에 기생 채널이 형성되는 경우, 제 1 화소에 포함된 배선과, 제 1 화소에 인접한 제 2 화소에 포함된 배선이 기생 채널을 통하여 서로 전기적으로 접속될 수 있다. 즉, 제 1 화소에 포함된 화소 전극이 게이트 전극으로서 기능하고, 제 1 화소에 포함된 배선이 소스 전극 및 드레인 전극 중 하나로서 기능하고, 제 2 화소에 포함된 배선이 소스 전극 및 드레인 전극 중 다른 하나로서 기능한다. 상술한 바와 같이 본래 채널이 필요하지 않은 개소에 채널이 형성됨에 의하여 얻어진 트랜지스터는 기생 트랜지스터라고 불린다.
- [0018] 인접한 배선들 사이의 거리가 짧은 경우에는, 게이트 전극으로서 기능하는 층이 없어도, 인접한 배선들 사이에 기생 채널이 형성되고 인접한 배선들이 전기적으로 접속될 수 있다.
- [0019] 기생 채널 또는 기생 트랜지스터가 형성될 때, 배선들 사이의 신호의 간섭이 생기고, 정확한 신호를 전달하는 것이 어려워진다.
- [0020] 기생 채널 또는 기생 트랜지스터의 형성의 영향을 피하기 위하여, 소스 전극에 전기적으로 접속된 제 2 배선을 따라 홈부가 형성된다. 홈부는, 게이트 전극과 전기적으로 접속된 제 1 배선의 선폭 방향에서 그 양단부를 넘어 제 1 배선의 적어도 일부와 교차하도록 형성된다. 홈부는, 용량 배선의 선폭 방향에서 그 양단부를 넘어 용량 배선의 적어도 일부와 교차하도록 형성된다. 홈부는, 제 2 배선이 연장되는 방향에 평행한 방향에서 화소 전극의 단부를 넘어 연장되도록 형성된다. 홈부 및 화소 전극은 서로 중첩되어도 좋고, 중첩되지 않아도 좋다.
- [0021] 홈부의 형성은, 콘택트 홀을 형성하기 위한 공정에서 콘택트 홀의 형성과 동시에 수행되고, 홈부에서는 반도체층이 제거된다. 즉, 반도체층은 적어도 홈부의 저면에는 존재하지 않는다.
- [0022] 본 발명의 일 형태는 게이트 전극, 소스 전극, 드레인 전극, 및 반도체층을 포함한 트랜지스터와, 게이트 전극에 전기적으로 접속된 제 1 배선과, 소스 전극에 전기적으로 접속된 제 2 배선과, 드레인 전극에 전기적으로 접속된 화소 전극과, 용량 배선과, 홈부를 포함한다. 반도체층은 제 1 배선, 제 2 배선, 화소 전극, 및 용량 배선과 중첩된다. 홈부는, 제 1 배선의 적어도 일부 위와 용량 배선의 적어도 일부 위에 형성된다. 또한, 홈부는, 제 2 배선을 따라 형성되어, 제 2 배선이 연장되는 방향에 평행한 방향에서 화소 전극의 단부를 넘어 연장된다.
- [0023] 반도체층이 제거된 홈부를 형성함으로써, 기생 트랜지스터의 형성이 방지될 수 있다.
- [0024] 제 1 배선 위에 형성되는 홈부(제 1 홈부라고도 함), 용량 배선 위에 형성되는 홈부(제 2 홈부라고도 함), 화소 전극의 단부를 넘어 연장되도록 형성되는 홈부(제 3 홈부라고도 함)는 개별적으로 형성되어도 좋고, 또는 하나의 홈부가 제 1 홈부 내지 제 3 홈부 중, 복수의 홈부로서 기능하는 구성이 채용되어도 좋다.
- [0025] 홈부의 크기는 특별히 한정되지 않지만, 기생 트랜지스터의 형성을 확실하게 방지하기 위하여, 제 2 배선이 연장되는 방향과 직교되는 방향에 있어서, 홈부에서의 반도체층이 제거된 부분의 거리가 $1\mu\text{m}$ 이상이면 바람직하고, $2\mu\text{m}$ 이상인 것이 더 바람직하다.

- [0026] 본 발명의 일 형태는, 제 1 포토리소그래피 공정에 의하여 기판 위에 게이트 전극, 게이트 전극에 전기적으로 접속되는 제 1 배선, 및 용량 배선을 형성하는 공정과; 게이트 전극, 제 1 배선, 및 용량 배선 위에 게이트 절연층을 형성하는 공정과; 게이트 절연층 위에 반도체층을 형성하는 공정과; 제 2 포토리소그래피 공정에 의하여 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 공정과; 소스 전극 및 드레인 전극 위에 절연층을 형성하는 공정과; 제 3 포토리소그래피 공정에 의하여 드레인 전극과 중첩되는 절연층의 일부를 선택적으로 제거함으로써 콘택 홀을 형성하고, 제 1 배선 위의 반도체층의 적어도 일부와 용량 배선 위의 반도체층의 적어도 일부를 제거하는 공정과; 제 4 포토리소그래피 공정에 의하여 절연층 위에 화소 전극을 형성하는 공정을 포함한다.
- [0027] 기판으로부터의 불순물의 확산을 방지하는 기능을 갖는 절연층이 기판과 게이트 전극 사이에 제공되어도 좋다.
- [0028] 본 발명의 일 형태에 따르면, 기판 위에 제 1 절연층이 형성되고, 제 1 절연층 위에 제 1 전극이 형성되고, 제 1 전극 위에 제 2 절연층이 형성되고, 제 2 절연층 위에 반도체층이 형성되고, 반도체층 위에 제 3 전극 및 제 4 전극이 형성되고, 제 3 전극 및 제 4 전극을 덮도록 제 3 절연층이 형성된다. 제 3 전극 또는 제 4 전극과 중첩되는 제 3 절연층의 일부를 제거함에 의한 콘택 홀의 형성과, 제 3 절연층의 일부, 반도체층의 일부, 및 제 2 절연층의 일부의 제거는 동일한 공정으로 수행된다.
- [0029] 제 2 절연층은 게이트 절연층으로서 기능하고, 제 3 절연층은 보호 절연층으로서 기능한다. 또한, 제 1 전극은 게이트 전극으로서 기능하고, 제 3 전극은 소스 전극 및 드레인 전극 중 하나로서 기능하고, 제 4 전극은 소스 전극 및 드레인 전극 중 다른 하나로서 기능한다.
- [0030] 콘택 홀의 형성과, 제 3 절연층의 일부, 반도체층의 일부 및 제 2 절연층의 일부의 제거는 드라이 에칭, 웨트 에칭, 또는 드라이 에칭과 웨트 에칭을 조합하여 수행될 수 있다.
- [0031] 게이트 전극, 소스 전극, 드레인 전극, 또는 이들 전극에 접속되는 배선이 구리 또는 알루미늄을 포함한 재료로 형성될 때, 배선 저항이 저감될 수 있어 신호의 지연이 방지될 수 있다.
- [0032] 반도체층에 산화물 반도체를 사용함으로써, 소비 전력이 낮고 신뢰성이 높은 액정 표시 장치를 실현할 수 있다.
- [0033] 또한, 전자 공여체(도너)로서 기능하는 수분 또는 수소 등 불순물이 저감됨에 의하여 고순도화된 산화물 반도체(purified OS)는, 산화물 반도체 중의 산소 결손을 저감하기 위하여 산화물 반도체에 산소를 공급함으로써, i형(진성)의 산화물 반도체 또는 i형의 반도체에 매우 가까운 산화물 반도체(실질적으로 i형의 산화물 반도체)가 될 수 있다. i형 또는 실질적으로 i형의 산화물 반도체를 포함한 트랜지스터는 오프 전류가 매우 작다는 특성을 갖는다. 구체적으로, 2차 이온 질량 분석법(SIMS)에 의하여 측정되는 고순도화된 산화물 반도체에서의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하이다.
- [0034] 또한, 홀 효과 측정(Hall effect measurement)에 의하여 측정되는 i형 또는 실질적으로 i형의 산화물 반도체의 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. i형 또는 실질적으로 i형의 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류가 저감될 수 있다.
- [0035] SIMS에 의한 산화물 반도체에서의 수소 농도의 분석에 대하여 여기서 기재한다. 원리상, SIMS 측정에 의하여 시료 표면 근방 또는 다른 재료로 형성된 적층된 막의 계면 근방에 있어서 정확한 데이터를 얻기 어려운 것이 알려져 있다. 따라서, SIMS에 의하여 막 두께 방향에서의 수소 농도의 분포가 측정되는 경우, 극단의 변동이 없이 거의 같은 값이 얻어지는 막의 영역에서의 수소 농도의 평균값이 수소 농도로서 채용된다. 또한, 막 두께가 작은 경우, 인접한 막의 수소 농도의 영향을 받아서, 거의 같은 값이 얻어지는 영역이 발견될 수 없는 경우가 있다. 이 경우에는, 상기 막이 제공되는 영역의 수소 농도의 최대값 또는 최소값이 상기 막의 수소 농도로서 채용된다. 또한, 상기 막이 제공되는 영역에 최대값의 피크 및 최소값의 골이 존재하지 않은 경우에는, 변곡점의 값이 수소 농도로서 채용된다.
- [0036] 본 발명의 일 형태에 따르면 액정 표시 장치의 제작 공정수가 저감될 수 있기 때문에, 비용이 낮고 생산성이 높은 액정 표시 장치가 제공될 수 있다.
- [0037] 본 발명의 일 형태에 따르면, 소비 전력이 낮고 신뢰성이 높은 액정 표시 장치가 제공될 수 있다.
- [0038] 본 발명의 일 형태는 상술한 문제 중 적어도 하나를 해결한다.

도면의 간단한 설명

[0039] 도면에 있어서,
 도 1은 본 발명의 일 형태를 설명하는 상면도이고,
 도 2a 내지 도 2d는 본 발명의 일 형태를 설명하는 단면도이고,
 도 3은 본 발명의 일 형태를 설명하는 상면도이고,
 도 4a 내지 도 4c는 본 발명의 일 형태를 설명하는 단면도이고,
 도 5a 및 도 5b는 본 발명의 일 형태를 설명하는 상면도 및 단면도이고,
 도 6a 및 도 6b는 본 발명의 일 형태의 회로도이고,
 도 7a 및 도 7c, 및 도 7b 및 도 7d는 각각 본 발명의 일 형태를 설명하는 상면도 및 단면도이고,
 도 8a 및 도 8b는 본 발명의 일 형태를 설명하는 상면도 및 단면도이고,
 도 9a 내지 도 9c는 본 발명의 일 형태를 설명하는 단면도이고,
 도 10a 내지 도 10c는 본 발명의 일 형태를 설명하는 단면도이고,
 도 11a 내지 도 11c는 본 발명의 일 형태를 설명하는 단면도이고,
 도 12a 및 도 12b는 각각 본 발명의 일 형태를 설명하는 상면도 및 단면도이고,
 도 13a 및 도 13b는 본 발명의 일 형태를 설명하는 도면이고,
 도 14a 내지 도 14f는 전자 기기의 사용 형태의 예를 설명하는 도면이고,
 도 15a 내지 도 15e는 산화물 재료의 결정 구조를 설명하는 도면이고,
 도 16의 (a) 내지 (c)는 산화물 재료의 결정 구조를 설명하는 도면이고,
 도 17의 (a) 내지 (c)는 산화물 재료의 결정 구조를 설명하는 도면이고,
 도 18a 및 도 18b는 산화물 재료의 결정 구조를 설명하는 도면이고,
 도 19a 및 도 19b는 반도체 장치의 홈부의 적층 구조를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0040] 이하에서 도면을 참조하여 본 발명의 실시형태에 대하여 기재한다. 또한, 본 발명은 이하의 기재에 한정되지 않고, 본 발명의 취지 및 범위에서 벗어남이 없이 그 형태 및 자세한 내용이 다양하게 변경될 수 있다는 것은 당업자에 의하여 용이하게 이해될 수 있다. 따라서, 본 발명은 하기에 기재된 실시형태에 한정되어 해석되지 않는다. 또한, 하기에 기재되는 본 발명의 구성에 있어서, 같은 구성 요소 또는 같은 기능을 갖는 구성 요소를 의미하는데 같은 부호가 다른 도면 간에서 공통적으로 사용되고, 이와 같은 구성 요소의 설명은 반복되지 않는다.

[0041] 또한, 본 명세서 등에서, '제 1', '제 2', 및 '제 3' 등 서수는 구성 요소 간에서의 혼동을 피하기 위하여 사용되고, 이들은 상기 구성 요소를 수적으로 한정하는 것이 아니다.

[0042] 또한, 도면 등에서 도시된 각 구성의 위치, 크기, 범위 등은, 이해를 용이하게 위하여, 정확하게 나타내어지지 않는 경우가 있다. 따라서, 개시(開示)된 발명은 도면 등에서 도시된 위치, 크기, 범위 등에 반드시 한정되는 것이 아니다.

[0043] 트랜지스터는 반도체 소자의 일종이고, 전류나 전압을 증폭할 수 있고, 예를 들어, 도통 또는 비도통을 제어하기 위한 스위칭 동작을 수행한다. 본 명세서에서의 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor) 및 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.

[0044] 트랜지스터의 '소스' 및 '드레인'의 기능은, 예를 들어 반대의 극성의 트랜지스터가 사용될 때 또는 전류의 방향이 회로 동작에서 변화될 때에 바뀌는 경우가 있다. 따라서, 본 명세서에, '소스' 및 '드레인'의 용어는 각각 드레인 및 소스를 의미하는데 사용될 수 있다.

- [0045] 또한, 본 명세서 등에서, '전극' 또는 '배선'과 같은 용어는 구성 요소의 기능을 한정하지 않는다. 예를 들어, '전극'이 '배선'의 일부로서 사용되는 경우가 있고 그 반대도 마찬가지다. 또한, '전극' 또는 '배선'의 용어는 일체로 형성되는 복수의 '전극' 및 '배선'의 조합을 가리킬 수도 있다.
- [0046] (실시형태 1)
- [0047] 본 실시형태에서는, 포토마스크수 및 포토리소그래피 공정수가 저감된 공정을 거쳐 형성되는 액정 표시 장치의 화소 구성의 일례, 및 화소 구성을 형성하는 방법의 일례에 대하여 도 1, 도 2a 내지 도 2d, 도 3, 도 4a 내지 도 4c, 도 5a 및 도 5b, 도 6a 및 도 6b, 도 7a, 도 7b, 도 7c 및 도 7d, 도 8a 및 도 8b, 도 9a 내지 도 9c, 및 도 10a 내지 도 10c를 참조하여 기재한다.
- [0048] 도 6a는 액정 표시 장치에 사용되는 반도체 장치(100)의 구성의 일례를 도시한 것이다. 반도체 장치(100)는, 기판(101) 위에 화소 영역(102), m개(m은 1 이상의 정수)의 단자(105)를 포함한 단자부(103), n개(n은 1 이상의 정수)의 단자(106)를 포함한 단자부(104)를 포함한다. 또한, 반도체 장치(100)는 단자부(103)에 전기적으로 접속된 m개의 배선(212), 단자부(104)에 전기적으로 접속된 n개의 배선(216), 및 배선(203)을 포함한다. 화소 영역(102)은 m개(행) 및 n개(열)의 매트릭스 형상으로 배치된 복수의 화소(110)를 포함한다. i행 및 j열에서의 화소(110)(i, j)(i는 1 이상 m 이하의 정수, j는 1 이상 n 이하의 정수)는, 배선(212-i) 및 배선(216-j)에 전기적으로 접속된다. 또한, 각 화소는 용량 전극 또는 용량 배선으로서 기능하는 배선(203)에 접속되고, 배선(203)은 단자(107)에 전기적으로 접속된다. 배선(212-i)은 단자(105-i)에 전기적으로 접속되고, 배선(216-j)은 단자(106-j)에 전기적으로 접속된다.
- [0049] 단자부(103) 및 단자부(104)는 외부 입력 단자이며, FPC(Flexible Printed Circuit) 등으로 외부 제어 회로에 접속된다. 외부 제어 회로로부터 제공되는 신호는 단자부(103) 및 단자부(104)를 통하여 반도체 장치(100)에 입력된다. 도 6a에서는, 단자부(103)는 화소 영역(102)의 오른쪽 및 왼쪽에 제공되기 때문에 신호가 두 가지 방향으로부터 입력된다. 또한, 단자부(104)는 화소 영역(102)의 위쪽 및 아래쪽에 제공되기 때문에 신호가 두 가지 방향으로부터 입력된다. 두 가지 방향으로부터 신호를 입력함으로써, 신호 공급 능력이 높아지고, 반도체 장치(100)의 고속 구동이 용이하게 된다. 또한, 반도체 장치(100)의 크기의 증가, 또는 고정세화에 따른 배선 저항의 증가로 인한 신호 지연의 영향이 저감될 수 있다. 또한, 반도체 장치(100)는 용장성(redundancy)을 가질 수 있어, 반도체 장치(100)의 신뢰성이 향상될 수 있다. 도 6a에서는, 2개의 단자부(103) 및 2개의 단자부(104)가 제공되어 있지만, 하나의 단자부(103) 및 하나의 단자부(104)가 제공되는 구성이 채용될 수도 있다.
- [0050] 도 6b는 화소(110)의 회로 구성을 도시한 것이다. 화소(110)는 트랜지스터(111), 액정 소자(112), 및 용량 소자(113)를 포함한다. 트랜지스터(111)의 게이트 전극은 배선(212-i)에 전기적으로 접속되고, 트랜지스터(111)의 소스 전극 및 드레인 전극 중 하나는 배선(216-j)에 전기적으로 접속된다. 트랜지스터(111)의 소스 전극 및 드레인 전극 중 다른 하나는 액정 소자(112)의 한쪽 전극 및 용량 소자(113)의 한쪽 전극에 접속된다. 액정 소자(112)의 다른 쪽 전극은 전극(114)에 전기적으로 접속된다. 전극(114)의 전위는 0V, GND, 공통 전위 등 고정 전위가 될 수 있다. 용량 소자(113)의 다른 쪽 전극은 배선(203)에 전기적으로 접속된다.
- [0051] 트랜지스터(111)는 배선(216-j)으로부터 공급되는 화상 신호가 액정 소자(112)에 입력되는지 여부를 선택하는 기능을 갖는다. 트랜지스터(111)를 온 상태로 하는 신호가 배선(212-i)에 공급된 후, 트랜지스터(111)를 통하여 배선(216-j)으로부터 액정 소자(112)에 화상 신호가 공급된다. 광의 투과율은 액정 소자(112)에 공급되는 화상 신호(전위)에 따라 제어된다. 용량 소자(113)는 액정 소자(112)에 공급된 전위를 유지하기 위한 유지 용량 소자(Cs 용량 소자라고도 함)로서의 기능을 갖는다. 용량 소자(113)는 반드시 제공될 필요는 없지만, 용량 소자(113)를 제공하는 경우에는, 트랜지스터(111)의 오프 상태에서 소스 전극 및 드레인 전극 사이에 흐르는 전류(오프 전류)로 인하여 액정 소자(112)에 인가된 전위가 변화되는 것이 억제될 수 있다.
- [0052] 트랜지스터(111)의 채널을 형성하는 반도체층에는, 단결정 반도체, 다결정 반도체, 미결정 반도체, 비정질 반도체 등이 사용될 수 있다. 반도체 재료의 예로서는, 실리콘, 게르마늄, 실리콘 게르마늄, 탄소화 실리콘, 및 갈륨 비소를 들 수 있다. 본 실시형태에 기재된 반도체 장치는, 반도체층이 화소 영역에 남는 구성이기 때문에, 투과형 표시 장치에 반도체를 포함한 표시 장치가 사용되는 경우에는, 예를 들어 반도체층을 최대한 얇게 함으로써 가시광의 투과율이 높아지는 것이 바람직하다.
- [0053] 또한, 트랜지스터(111)의 채널이 형성되는 반도체층에 산화물 반도체가 사용될 수 있다. 산화물 반도체는 3.0eV 이상의 넓은 에너지 갭을 갖기 때문에, 가시광에 대하여 높은 투과율을 갖는다. 적합한 조건으로 산화물 반도체를 가공하여 얻어진 트랜지스터에서는, 사용시의 온도(예를 들어 25℃)에서의 오프 전류가 $100\text{zA}(1 \times 10^{-17}\text{A})$ 이하인 것이 바람직하다.

¹⁹A) 이하, $10zA(1 \times 10^{-20} A)$ 이하, 및 $1zA(1 \times 10^{-21} A)$ 가 될 수 있다. 따라서, 액정 소자(112)에 인가된 전위는 용량 소자(113)가 제공되지 않아도 유지될 수 있다. 또한, 소비 전력이 낮은 액정 표시 장치를 실현하는 관점에서, 트랜지스터(111)의 채널이 형성되는 반도체층에 산화물 반도체층을 사용하는 것이 바람직하다.

[0054] 다음에, 도 6a 및 도 6b에 도시된 화소(110)의 구성예에 대하여 도 1 및 도 2a 내지 도 2d를 참조하여 기재한다. 도 1은 화소(110)의 평면 구성을 도시한 상면도이고, 도 2a 내지 도 2d는 화소(110)의 적층 구성을 도시한 단면도이다. 또한, 도 1에서의 섹션 A1-A2, 섹션 B1-B2, 섹션 C1-C2, 섹션 D1-D2는 각각 도 2a 내지 도 2d에서의 단면 A1-A2, 단면 B1-B2, 단면 C1-C2, 단면 D1-D2에 상당한다.

[0055] 본 실시형태의 트랜지스터(111)에서는, 드레인 전극(206b)은 U자형(C자형, ㄷ자형 또는 말굽형)인 소스 전극(206a)으로 둘러싸여 있다. 이와 같은 형상으로 함으로써, 트랜지스터의 면적이 작을 때도 충분한 채널 폭이 확보될 수 있어, 트랜지스터의 도통시에 흐르는 전류(온 전류라고도 함)의 양이 증가된다.

[0056] 화소 전극(210)에 전기적으로 접속된 드레인 전극(206b)과 게이트 전극(202) 사이의 기생 용량이 크면, 트랜지스터는 피드스루(feedthrough)의 영향을 쉽게 받기 때문에, 액정 소자(112)에 공급된 전위가 정확하게 유지될 수 없어 표시 품질의 저하를 초래할 수 있다. 본 실시형태에 기재된 바와 같이 소스 전극(206a)이 U자형이고 드레인 전극(206b)을 둘러싸는 구조로 함으로써, 충분한 채널 폭이 확보되고, 드레인 전극(206b)과 게이트 전극(202) 사이에 발생하는 기생 용량이 저감될 수 있다. 따라서, 액정 표시 장치의 표시 품질이 향상될 수 있다.

[0057] 배선(203)은 용량 전극 또는 용량 배선으로서 기능한다. 본 실시형태에서는, 배선(203)과 드레인 전극(206b)의 중첩을 사용하여 용량 소자(113)가 형성된다.

[0058] 본 실시형태에 기재된 반도체 장치는, 제작 공정을 간략화하기 위하여 섬 형상의 반도체 장치를 형성하기 위한 포토리소그래피 공정 및 에칭 공정이 수행되지 않기 때문에, 반도체층(205)이 모든 화소 영역에 남는 구성을 갖는다. 결과적으로, 배선(212-i)이 게이트 전극으로서 기능하고, 배선(216-j)이 소스 전극 및 드레인 전극 중 하나로서 기능하고, 배선(216-j+1)이 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 제 1 기생 트랜지스터가 형성된다.

[0059] 또한, 배선(203)이 게이트 전극으로서 기능하고, 배선(216-j)이 소스 전극 및 드레인 전극 중 하나로서 기능하고, 배선(216-j+1)이 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 제 2 기생 트랜지스터가 형성된다.

[0060] 또한, 화소 전극(210)이 게이트 전극으로서 기능하고, 절연층(207)이 게이트 절연층으로서 기능하고, 배선(216-j)이 소스 전극 및 드레인 전극 중 하나로서 기능하고, 배선(216-j+1)이 소스 전극 및 드레인 전극 중 다른 하나로서 기능하는 제 3 기생 트랜지스터가 형성된다.

[0061] 트랜지스터(111)를 온 상태로 하는 전위가 배선(212-i)에 공급될 때, 제 1 기생 트랜지스터도 온 상태가 되고, 배선(216-j)과 배선(216-j+1)이 서로 전기적으로 접속된다. 제 1 기생 트랜지스터로 인한 배선(216-j)과 배선(216-j+1) 사이의 전기적 접속은 그 사이에서의 화상 신호의 간섭을 일으키기 때문에, 액정 소자(112)에 정확한 화상 신호를 공급하는 것이 어려워진다.

[0062] 제 2 기생 트랜지스터가 n채널형 트랜지스터로서 기능하는 경우, 배선(216-j) 또는 배선(216-j+1)의 전위가 배선(203)에 공급된 전위보다 낮고 그 전위차의 절대값이 제 2 기생 트랜지스터의 임계값보다 클 때, 화소 전극(210) 아래에 위치되는 반도체층(205)에 채널이 형성되고, 제 2 기생 트랜지스터가 온 상태가 된다.

[0063] 제 2 기생 트랜지스터가 온 상태가 될 때, 배선(216-j)과 배선(216-j+1)은 서로 전기적으로 접속된다. 제 2 기생 트랜지스터로 인한 배선(216-j)과 배선(216-j+1) 사이의 전기적 접속은 그 사이에서의 화상 신호의 간섭을 일으키기 때문에, 액정 소자(112)에 정확한 화상 신호를 공급하는 것이 어려워진다.

[0064] 제 3 기생 트랜지스터가 n채널형 트랜지스터로서 기능하는 경우, 배선(216-j) 또는 배선(216-j+1)의 전위가 화소 전극(210)에 공급된 전위 또는 화소 전극(210)에서 유지된 전위보다 낮고, 그 전위차의 절대값이 제 3 기생 트랜지스터의 임계값보다 클 때, 화소 전극(210) 아래에 위치되는 반도체층(205)에 채널이 형성되고, 제 3 기생 트랜지스터가 온 상태가 된다.

[0065] 제 3 기생 트랜지스터가 온 상태가 되면, 배선(216-j)과 배선(216-j+1)은 서로 전기적으로 접속된다. 제 3 기생 트랜지스터로 인한 배선(216-j)과 배선(216-j+1) 사이의 전기적 접속은 그 사이에서의 화상 신호의 간섭을 일으키기 때문에, 액정 소자(112)에 정확한 화상 신호를 공급하는 것이 어려워진다. 화소의 개구율을 크게 하는 등의 목적으로 화소 전극(210)이 배선(216-j) 또는 배선(216-j+1)에 가깝게 형성될 때, 제 3 기생 트랜지스

터의 영향은 증가된다.

- [0066] 이 관점으로부터, 화소(110)에 반도체층(205)이 제거된 홈부(230)가 제공되어 상술한 기생 트랜지스터가 형성되지 않는 구성이 본 실시형태에서 채용된다. 배선(212-i)의 선폭 방향에서 그 양단부를 넘어 배선(212-i)과 교차하도록 홈부(230)가 제공됨으로써, 제 1 기생 트랜지스터의 형성이 방지될 수 있다. 또한, 배선(203)의 선폭 방향에서 그 양단부를 넘어 배선(203)과 교차하도록 홈부(230)가 제공됨으로써, 제 2 기생 트랜지스터의 형성이 방지될 수 있다. 또한, 복수의 홈부(230)가 배선(212-i) 위에 제공되어도 좋고, 복수의 홈부(230)가 배선(203) 위에 제공되어도 좋다.
- [0067] 또한, 홈부(230)는, 적어도 배선(216-j)과 화소 전극(210) 사이, 또는 배선(216-j+1)과 화소 전극(210) 사이에, 배선(216-j) 또는 배선(216-j+1)이 연장되는 방향에 평행한 방향을 따라 화소 전극(210)의 단부(231) 및 단부(232)를 넘어 연장되도록 형성된다. 이와 같이 함으로써, 제 3 기생 트랜지스터의 형성이 방지될 수 있다. 홈부(230)는 배선(216-j) 또는 배선(216-j+1)에 평행하게 되도록 제공될 필요는 없고, 굴곡부 또는 만곡부를 가져도 좋다.
- [0068] 도 1에서는, 홈부(230)는 배선(212-i)과 배선(203) 사이의 영역에서 끊어진다. 하지만, 배선(212-i)의 선폭 방향에서 그 양단부를 넘어 배선(212-i)과 교차하도록 제공된 홈부(230)가 연장되고 배선(203)의 선폭 방향에서 그 양단부를 넘어 배선(203)과 교차하도록 제공된 홈부(230)와 접속되어도 좋다.
- [0069] 배선(203)의 전위를 배선(216-j) 또는 배선(216-j+1)에 공급되는 전위보다 작게 설정함으로써, 배선(203) 위에 홈부(230)를 제공하지 않아도 제 2 기생 트랜지스터의 형성을 방지할 수도 있다. 하지만, 이와 같이 하면, 상술한 전위를 배선(203)에 공급하기 위한 전원이 추가로 제공될 필요가 있다.
- [0070] 반도체층(205)이 제거된 홈부(230)의 크기는 특별히 한정되지 않지만, 기생 트랜지스터의 형성을 확실히 방지하기 위하여, 배선(216-j) 또는 배선(216-j+1)이 연장되는 방향과 직교되는 방향에 있어서, 홈부(230)에서 반도체층이 제거된 부분의 거리가 $1\mu\text{m}$ 이상이면 바람직하고, $2\mu\text{m}$ 이상인 것이 더 바람직하다.
- [0071] 단면 A1-A2는 트랜지스터(111)의 적층 구조 및 용량 소자(113)의 적층 구조를 나타낸다. 트랜지스터(111)는 보텀 게이트형 트랜지스터이다. 단면 B1-B2는 화소 전극(210) 및 홈부(230)를 포함한, 배선(216-j)에서 배선(216-j+1)까지의 적층 구조를 나타낸다. 또한, 단면 C1-C2는 배선(216-j)과 배선(212-i)의 교차부의 적층 구조를 나타낸다. 단면 D1-D2는 배선(216-j+1)과 배선(212-i)의 교차부의 적층 구조, 및 홈부(230)의 적층 구조를 나타낸다.
- [0072] 도 2a에서의 단면 A1-A2에 있어서, 기판(200) 위에 하지층(201)이 형성되고, 하지층(201) 위에 게이트 전극(202) 및 배선(203)이 형성된다. 게이트 전극(202) 및 배선(203) 위에는 게이트 절연층(204) 및 반도체층(205)이 형성된다. 반도체층(205) 위에는 소스 전극(206a) 및 드레인 전극(206b)이 형성된다. 또한, 반도체층(205)의 일부와 접하도록 소스 전극(206a) 및 드레인 전극(206b) 위에 절연층(207)이 형성된다. 절연층(207) 위에는 화소 전극(210)이 형성되고, 절연층(207)에 형성된 콘택트 홀(208)을 통하여 드레인 전극(206b)에 전기적으로 접속된다.
- [0073] 게이트 절연층(204)과 반도체층(205)을 개재(介在)하여 배선(203) 및 드레인 전극(206b)이 서로 중첩되는 부분은 용량 소자(113)로서 기능한다. 게이트 절연층(204) 및 반도체층(205)은 유전체층으로서 기능한다. 배선(203)과 화소 전극(210) 사이에 다층 구조의 유도체층이 형성되는 경우, 핀홀이 하나의 유도체층에 생길 때에도, 핀홀은 다른 유도체층으로 덮이기 때문에, 용량 소자(113)는 정상적으로 기능할 수 있다. 산화물 반도체의 비유전율은 14 내지 16으로 크다. 반도체층(205)에 산화물 반도체가 사용될 때, 용량 소자(113)의 용량값은 증가될 수 있다.
- [0074] 도 2b에 도시된 단면 B1-B2에서는, 기판(200) 위에 하지층(201)이 형성되고, 하지층(201) 위에 게이트 절연층(204)이 형성되고, 게이트 절연층(204) 위에 반도체층(205)이 형성된다. 반도체층(205) 위에 배선(216-j) 및 배선(216-j+1)이 형성되고, 반도체층(205), 배선(216-j), 및 배선(216-j+1) 위에 절연층(207)이 형성된다. 절연층(207) 위에 화소 전극(210)이 형성된다.
- [0075] 게이트 절연층(204)의 일부, 반도체층(205)의 일부, 및 절연층(207)의 일부를 제거함으로써, 배선(216-j+1)과 화소 전극(210) 사이에 홈부(230)가 형성된다. 홈부(230)는 적어도 그 저면에는 반도체층을 포함하지 않는다.
- [0076] 도 2c에 도시된 단면 C1-C2에서는, 기판(200) 위에 하지층(201)이 형성되고, 하지층(201) 위에 배선(212-i)이 형성된다. 배선(212-i) 위에는 게이트 절연층(204) 및 반도체층(205)이 형성된다. 반도체층(205) 위에 배선

(216-j)이 형성되고, 배선(216-j) 위에 절연층(207)이 형성된다.

- [0077] 도 2d에 도시된 단면 D1-D2에서는, 기판(200) 위에 하지층(201)이 형성되고, 하지층(201) 위에 배선(212-i)이 형성된다. 또한, 배선(212-i) 위에 게이트 절연층(204) 및 반도체층(205)이 형성된다. 반도체층(205) 위에 배선(216-j+1)이 형성되고, 배선(216-j+1) 위에 절연층(207)이 형성된다. 또한, 게이트 절연층(204)의 일부, 반도체층(205)의 일부, 및 절연층(207)의 일부를 제거함으로써 홈부(230)가 형성된다.
- [0078] 다음에, 도 3, 및 도 4a 내지 도 4c를 참조하여, 도 1에 도시된 화소 구성과 다른 화소 구성의 예에 대하여 기재한다. 도 3은 화소(120)의 평면 구성을 도시한 상면도이다. 도 4a 내지 도 4c에서의 단면 A1-A2, 단면 E1-E2 및 단면 F1-F2는 도 3에서의 쇠선 A1-A2, 쇠선 E1-E2 및 쇠선 F1-F2로 나타내어진 부분의 단면에 상당한다. 도 3에 도시된 화소(120)는 홈부(230)의 구성에 있어서 도 1에 도시된 화소(110)와 다르다. 또한, 도 3에서의 쇠선 A1-A2로 나타내어진 부분의 구성은 도 1 및 도 2a에서의 구성과 같다.
- [0079] 화소(120)는, 홈부(230)가 배선(216-j)과 화소 전극(210) 사이 및 배선(216-j+1)과 화소 전극(210) 사이에 제공된 구성을 갖는다. 홈부(230)는, 배선(212-i) 및 배선(203)의 선폭 방향에서 그들 양단부를 넘어, 배선(212-i) 및 배선(203)과 교차하도록 제공될 뿐만 아니라, 배선(212-i)과 배선(203) 사이의 영역에도 존재하도록 제공된다. 홈부(230)의 면적을 더 크게 함으로써, 기생 트랜지스터의 형성이 더 확실하게 방지될 수 있다.
- [0080] 다음에, 도 5a 및 도 5b를 참조하여, 도 1, 도 2a 내지 도 2d, 도 3, 및 도 4a 내지 도 4c에서의 화소 구성과 다른 화소 구성의 예에 대하여 기재한다. 도 5a는 화소(130)의 평면 구성을 도시한 상면도이다. 도 5b에서의 단면 G1-G2는 도 5a에서의 쇠선 G1-G2로 나타내어진 부분의 단면에 상당한다. 도 5a 및 도 5b는, 화소(130)가, 화소 전극(211)에 광 반사율이 높은 도전층을 사용함으로써 반사형 액정 표시 장치에 적용될 수 있는 구성을 갖는, 화소 구성의 일례를 도시한 것이다.
- [0081] 화소(130)에 있어서, 반도체층(205)이 제거된 홈부(251) 및 홈부(252)는, 배선(212-i)의 선폭 방향에서 그 양단부를 넘어 배선(212-i)과 교차하도록 제공된다. 배선(212-i)의 선폭 방향에서 그 양단부를 넘어 배선(212-i)과 교차하는 복수의 홈부가 제공되는 경우, 배선(212-i)과 중첩됨으로 인하여 형성된 기생 채널의 영향이 더 확실하게 저감될 수 있다.
- [0082] 화소(130)에 있어서, 반도체층(205)이 제거된 홈부(253) 및 홈부(254)는, 배선(203)의 선폭 방향에서 그 양단부를 넘어 배선(203)과 교차하도록 제공된다. 배선(203)의 선폭 방향에서 그 양단부를 넘어 배선(203)과 교차하는 복수의 홈부가 제공되는 경우, 배선(203)과 중첩됨으로 인하여 형성된 기생 채널의 영향이 더 확실하게 저감될 수 있다.
- [0083] 또한, 화소(130)에 있어서, 반도체층(205)이 제거된 홈부(255) 및 홈부(256)는 배선(216-j) 또는 배선(216-j+1)이 연장되는 방향에 평행한 방향을 따라, 화소 전극(211)의 단부(233) 및 단부(234)를 넘어 연장되도록 제공된다. 배선(216-j) 및 배선(216-j+1)이 연장되는 방향에 평행한 방향을 따라, 화소 전극(211)의 단부(233) 및 단부(234)를 넘어 연장되도록 복수의 홈부가 제공되는 경우, 화소 전극(211)과 중첩됨에 기인하여 형성된 기생 채널의 영향이 더 확실하게 저감될 수 있다. 홈부(255) 및 홈부(256)는 배선(216-j) 또는 배선(216-j+1)에 평행으로 제공될 필요는 없고, 굴곡부 또는 만곡부를 가져도 좋다.
- [0084] 화소(130)에서의 홈부(255) 및 홈부(256)는 각각 만곡부를 갖고, 홈부(255)의 일부 및 홈부(256)의 일부는 화소 전극(211)과 중첩된다. 화소(130)는 화소 전극(211)과 중첩되도록 형성된 홈부(257) 및 홈부(258)를 포함한다. 이와 같이, 화소 전극(211)과 중첩되도록 홈부(255) 내지 홈부(258)를 제공함으로써, 화소 전극(211)의 표면이 요철로 될 수 있다. 요철로 된 화소 전극(211)의 표면에 의하여, 외부로부터의 입사광이 난반사되어 더 양호한 표시가 수행될 수 있다. 결과적으로, 표시의 시인성이 향상된다.
- [0085] 화소 전극(211)과 중첩되도록 형성된 홈부(255) 내지 홈부(258)는, 화소 전극(211)의 피복성이 향상되기 때문에, 테이퍼 형상의 측면을 갖는 것이 바람직하다.
- [0086] 다음에, 도 7a, 도 7b, 도 7c 및 도 7d를 참조하여, 단자(105) 및 단자(106)의 구성예에 대하여 기재한다. 도 7a 및 도 7b는 각각 단자(105)의 상면도 및 단면도이다. 도 7a에서의 쇠선 J1-J2는 도 7b에서의 단면 J1-J2에 상당한다. 도 7c 및 도 7d는 각각 단자(106)의 상면도 및 단면도이다. 도 7c에서의 쇠선 K1-K2는 도 7d에서의 단면 K1-K2에 상당한다. 단면 J1-J2 및 단면 K1-K2에 있어서, J2 및 K2는 기판의 단부에 상당한다.
- [0087] 단면 J1-J2에 있어서, 기판(200) 위에 하지층(201)이 형성되고, 하지층(201) 위에 배선(212)이 형성된다. 배선(212) 위에 게이트 절연층(204), 반도체층(205) 및 절연층(207)이 형성된다. 절연층(207) 위에 전극(221)이 형

성되고, 전극(221)은 게이트 절연층(204), 반도체층(205) 및 절연층(207)에 형성된 콘택트 홀(219)을 통하여 배선(212)에 전기적으로 접속된다.

[0088] 단면 K1-K2에 있어서, 기판(200) 위에 하지층(201), 게이트 절연층(204) 및 반도체층(205)이 형성된다. 반도체층(205) 위에 배선(216)이 형성되고, 배선(216) 위에 절연층(207)이 형성된다. 절연층(207) 위에 전극(222)이 형성되고, 전극(222)은 절연층(207)에 형성된 콘택트 홀(220)을 통하여 배선(216)에 전기적으로 접속된다.

[0089] 또한, 단자(107)는, 단자(105) 또는 단자(106)의 구성과 같은 구성을 가질 수 있다.

[0090] 화소 영역(102)과 단자부(104)는 n개의 배선(216)으로 접속된다. 화소 영역(102)으로부터 단자부(104)에서의 단자(106)에 연장되는 배선(216)이 서로 가까이에 위치되는 경우, 인접한 배선들(216)간의 전위차로 인하여 인접한 배선들(216) 사이의 반도체층(205)의 부분에서 기생 채널이 형성될 수 있어, 인접한 배선들(216)이 서로 전기적으로 접속될 수 있다.

[0091] 이 현상은, 도전층과 반도체층(205) 사이에 절연층을 개재하여, 화소 영역(102)에서 단자부(104)까지의 전체 영역 위 또는 인접한 배선(216) 사이에 도전층을 제공하고, 도전층의 전위를 반도체층(205)에서 기생 채널이 형성되지 않는 전위로 설정함으로써 방지될 수 있다.

[0092] 예를 들어, 산화물 반도체의 대부분은 n형 반도체가 되기 쉬워, 반도체층(205)에 산화물 반도체를 사용하는 경우, 도전층의 전위는 배선(216)에 공급된 전위보다 낮은 전위로 설정된다.

[0093] 또한, 후술하는 콘택트 홀을 형성하는 공정에 있어서, 인접한 배선(216) 사이의 반도체층(205)을 제거함으로써, 인접한 배선(216)간의 전기적 접속을 방지할 수도 있다.

[0094] 도 8a 및 도 8b는, 인접한 배선(216) 사이에 홈부(240)를 형성하여 반도체층(205)이 제거되는 구성을 도시한 것이다. 도 8a는 단자(106)에 접속된 배선(216)의 평면 구성을 도시한 상면도이다. 도 8b에 도시된 단면 L1-L2는 도 8a에서의 섹션 L1-L2로 나타내어진 부분에 상당한다. 도 8a에 있어서, 배선(216-j)은 단자(106-j)에 접속되고, 배선(216-j+1)은 단자(106-j+1)에 접속되고, 배선(216-j+2)은 단자(106-j+2)에 접속된다. 또한, 홈부(240)는, 홈부(230)와 같은 방법으로 형성될 수 있다.

[0095] 반도체층(205)이 제거된 홈부(240)는 인접한 배선(216-j) 및 배선(216-j+1) 사이에 형성된다. 반도체층(205)이 제거된 홈부(240)는 인접한 배선(216-j+1) 및 배선(216-j+2) 사이에 형성된다. 인접한 배선(216) 사이에 반도체층(205)이 제거된 홈부(240)를 제공함으로써, 인접한 배선(216)간의 전기적 접속이 방지될 수 있다.

[0096] 반도체층(205)이 제거된 홈부(240)의 크기는 특별히 한정되지 않지만, 기생 채널의 형성을 확실히 방지하기 위하여, 배선(216-j) 또는 배선(216-j+1)이 연장되는 방향과 직교되는 방향에서, 홈부(240)에서 반도체층이 제거된 부분의 거리는 1 μ m 이상인 것이 바람직하고, 2 μ m 이상인 것이 더 바람직하다.

[0097] 다음에, 도 9a 내지 도 9c, 및 도 10a 및 도 10c를 참조하여, 도 1을 참조하여 설명된 액정 표시 장치의 화소부의 제작 방법에 대하여 기재한다. 또한, 도 9a 내지 도 9c, 및 도 10a 및 도 10c에서의 단면 A1-A2, 단면 J1-J2 및 단면 K1-K2는 각각 도 1, 및 도 7a, 도 7b, 도 7c 및 도 7d에서의 섹션 A1-A2, 섹션 J1-J2 및 섹션 K1-K2를 따른 부분의 단면도이다.

[0098] 우선, 하지층(201)이 되는 절연층이 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하의 두께로 기판(200) 위에 형성된다. 기판(200)으로서는, 유리 기판 또는 세라믹 기판 외에, 본 제작 공정에 있어서 처리 온도에 견디기 위한 내열성을 갖는 플라스틱 기판 등이 사용될 수 있다. 기판이 투광성을 필요로 하지 않은 경우, 스테인리스 합금 기판 등과 같은 금속 기판의 표면에 절연층이 제공된 것이 사용되어도 좋다. 유리 기판으로서는, 예를 들어, 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 알루미늄실리케이트 유리 등 무알칼리 유리 기판이 사용되어도 좋다. 또한, 석영 기판 또는 사파이어 기판 등이 사용될 수 있다. 또한, 기판(200)으로서, 제 3 세대(550mm×650mm), 제 3.5 세대(600mm×720mm, 또는 620mm×750mm), 제 4 세대(680mm×880mm, 또는 730mm×920mm), 제 5 세대(1100mm×1300mm), 제 6 세대(1500mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2400mm), 제 9 세대(2400mm×2800mm, 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등의 유리 기판이 사용될 수 있다. 본 실시형태에서는 알루미늄보로실리케이트 유리 기판이 기판(200)으로서 사용된다.

[0099] 하지층(201)은, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 실리콘층, 산화 실리콘층, 질화 산화 실리콘층 및 산화 질화 실리콘층 중 하나 또는 복수의 절연층을 사용한 단층 구조 또는 적층 구조로 형성될 수 있다. 하지층(201)은 기판(200)으로부터의 불순물의 확산을 방지하는 기능을 갖는다. 또한, 본 명세서에서는, 질화 산

화 실리콘은 산소보다 질소를 많이 함유하고, 측정이 RBS 및 HFS를 사용하여 수행되는 경우에는, 산소를 5at.% 이상 30at.% 이하, 질소를 20at.% 이상 55at.% 이하, 실리콘을 25at.% 이상 35at.% 이하, 수소를 10at.% 이상 30at.% 이하 함유한다. 하지층(201)은, 스퍼터링법, CVD법, 코팅법, 인쇄법 등에 의하여 적절히 형성될 수 있다.

[0100] 본 실시형태에서는, 질화 실리콘과 산화 실리콘의 적층이 하지층(201)으로서 사용된다. 구체적으로는, 질화 실리콘의 층이 50nm의 두께로 기판(200) 위에 형성되고, 산화 실리콘의 층이 150nm의 두께로 상기 질화 실리콘의 층 위에 형성된다. 또한, 하지층(201)은 인(P) 또는 붕소(B)가 도핑되어도 좋다.

[0101] 염소 또는 불소 등의 할로젠 원소가 하지층(201)에 함유될 때, 기판(200)으로부터의 불순물 원소의 확산을 방지하는 기능이 더 향상될 수 있다. 하지층(201)에 함유된 할로젠 원소의 농도의 피크는, 2차 이온 질량 분석법(SIMS)에 의하여 측정될 때, $1 \times 10^{15} / \text{cm}^3$ 이상 $1 \times 10^{20} / \text{cm}^3$ 이하가 될 수 있다.

[0102] 또한, 산화 갈륨이 하지층(201)에 사용되어도 좋다. 또한, 산화 갈륨의 층과 상술한 절연층을 포함한 적층이 하지층(201)에 사용되어도 좋다. 산화 갈륨은 대전(帶電)되기 어렵기 때문에 절연층의 차지 업으로 인한 문턱 전압의 변동이 억제될 수 있다.

[0103] 다음에, 스퍼터링법, 진공 증착법, 또는 도금법에 의하여 하지층(201) 위에 100nm 이상 500nm 이하, 바람직하게는 200nm 이상 300nm 이하의 막 두께로 도전층이 형성되고, 제 1 포토리소그래피 공정에 의하여 레지스트 마스크가 형성되고, 에칭에 의하여 도전층을 선택적으로 제거하여, 게이트 전극(202), 배선(203), 및 배선(212)이 형성된다.

[0104] 게이트 전극(202), 배선(203), 및 배선(212)을 형성하기 위한 도전층은, 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd), 또는 스칸듐(Sc) 등의 금속 재료 또는 주성분으로서 이들 원소의 어느 것을 함유한 합금 재료를 사용하여 단층 구조 또는 적층 구조를 갖도록 형성된다.

[0105] 도전층은 배선이 되기 때문에, 저저항 재료인 Al 또는 Cu를 사용하는 것이 바람직하다. Al 또는 Cu가 사용될 때, 신호 지연이 저감되어 고화질화가 실현될 수 있다. Al은 낮은 내열성을 갖기 때문에, 히록, 위스커, 또는 마이그레이션으로 인한 불량이 발생되기 쉽다. Al의 마이그레이션을 방지하기 위해서는, Mo, Ti, W 등의 Al보다 높은 용점을 갖는 금속 재료와 Al를 포함한 적층 구조가 사용되는 것이 바람직하다. 도전층에 Al를 함유한 재료가 사용되는 경우에는, 후의 공정에서의 최고 처리 온도가 380℃ 이하인 것이 바람직하고, 350℃ 이하인 것이 더 바람직하다.

[0106] 도전층에 Cu가 사용되는 경우에도, 마이그레이션에 의한 불량 및 Cu원소의 확산을 방지하기 위해서는, Mo, Ti, W 등의 Cu보다 높은 용점을 갖는 금속 재료와 Cu를 포함한 적층 구조가 사용되는 것이 바람직하다. 또한, 도전층에 Cu를 함유한 재료가 사용되는 경우, 나중의 공정에서의 최고 처리 온도는 450℃ 이하인 것이 바람직하다.

[0107] 본 실시형태에서는, 도전층으로서, 하지층(201) 위에 5nm의 두께로 Ti층이 형성되고, 상기 Ti층 위에 250nm의 두께로 Cu층이 형성된다. 다음에, 제 1 포토리소그래피 공정에 의하여 에칭함으로써 도전층이 선택적으로 제거되어, 게이트 전극(202), 배선(203), 및 배선(212)이 형성된다(도 9a 참조). 형성된 게이트 전극(202), 배선(203), 및 배선(212)은, 나중에 적층되는 절연층 또는 도전층의 피복성이 향상될 수 있기 때문에, 테이퍼 형상의 단부를 갖는 것이 바람직하다.

[0108] 또한, 포토리소그래피 공정에서 사용된 레지스트 마스크는 잉크젯법에 의하여 형성된다. 잉크젯법은 포토마스크가 불필요하기 때문에 제작 비용이 더 저감될 수 있다. 레지스트 마스크는 에칭 공정 후에 제거되는 것으로 하고, 본 실시형태에서는 각 포토리소그래피 공정에서 레지스트 마스크를 제거하는 설명은 생략된다. 또한, 특별한 설명이 없는 한, 본 명세서에서의 포토리소그래피 공정은 레지스트 마스크를 형성하는 공정, 도전층 또는 절연층을 에칭하는 공정, 및 레지스트 마스크를 제거하는 공정을 포함한다.

[0109] 다음에, 게이트 전극(202), 배선(203), 및 배선(212) 위에 50nm 이상 800nm 이하, 바람직하게는 100nm 이상 600nm 이하의 두께로 게이트 절연층(204)이 형성된다. 게이트 절연층(204)은 플라즈마 CVD법, 스퍼터링법 등에 의하여, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 산화 탄탈, 산화 갈륨, 산화 이트륨, 산화 란탄, 산화 하프늄, 하프늄 실리케이트($\text{HfSi}_x\text{O}_y (x>0, y>0)$), 질소가 첨가된 하프늄 실리케이트, 질소가 첨가된 하프늄 알루미늄네이트 등을 사용하여 형성될 수 있다. 게이트 절연층(204)은 단층 구조에 한정되지 않고, 다른 층의 적층이 사용되어도 좋다. 예를 들어, 게이트 절연층 A로서 플라즈마 CVD법에 의하여 질화 실리콘($\text{SiN}_y (y>0)$)층이 형성되고, 게이트 절연

층 B로서 게이트 절연층 A 위에 산화 실리콘($\text{SiO}_x(x>0)$)층이 적층되어, 게이트 절연층(204)이 형성되어도 좋다.

[0110] 게이트 절연층(204)은, 스퍼터링법 및 플라즈마 CVD법 이외에, μ 파(예를 들면 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD법과 같은 성막 방법에 의하여 형성될 수 있다.

[0111] 본 실시형태에서는, 질화 실리콘과 산화 실리콘의 적층이 게이트 절연층(204)으로서 사용된다. 구체적으로는, 게이트 전극(202) 위에 질화 실리콘의 층이 50nm의 두께로 형성되고, 상기 질화 실리콘의 층 위에 산화 실리콘의 층이 100nm의 두께로 형성된다.

[0112] 또한, 게이트 절연층(204)은 보호층으로서도 기능한다. Cu를 함유한 게이트 전극(202)이 질화 실리콘을 함유한 절연층으로 덮인 구조에 의하여, 게이트 전극(202)으로부터의 Cu의 확산이 방지될 수 있다.

[0113] 나중에 형성되는 반도체층이 산화물 반도체를 사용하여 형성되는 경우에는, 산화물 반도체와 같은 종류의 성분을 함유한 절연 재료를 사용하여 게이트 절연층(204)이 형성되어도 좋다. 게이트 절연층(204)을 형성하기 위하여 다른 재료의 층을 적층하는 경우에는, 산화물 반도체와 접하는 층은 산화물 반도체와 같은 종류의 성분을 함유한 절연 재료를 사용하여 형성될 수 있다. 이 이유로서는, 이와 같은 재료는 산화물 반도체와의 상성(相性)이 좋기 때문에, 게이트 절연층(204)에 이와 같은 재료를 사용하는 것은 게이트 절연층(204)과 산화물 반도체 사이의 계면의 상태를 양호하게 유지할 수 있다. 여기서, "산화물 반도체와 같은 종류의 성분"이란, 산화물 반도체의 구성 원소로부터 선택된 하나 또는 복수의 원소를 가리킨다. 예를 들어, 산화물 반도체가 In-Ga-Zn계 산화물 반도체 재료를 사용하여 형성되는 경우에는, 산화물 반도체와 같은 종류의 성분을 함유한 절연 재료로서 산화 갈륨을 들 수 있다.

[0114] 게이트 절연층(204)에 적층 구조를 채용하는 경우에는, 게이트 절연층(204)이 산화물 반도체와 같은 종류의 성분을 함유한 절연 재료를 사용하여 형성된 막 및 상기 막의 재료와 다른 재료를 사용하여 형성된 막의 적층 구조를 가져도 수 있다.

[0115] 산화물 반도체층이 수소, 수산기 및 수분을 최대한 함유하지 않도록 하기 위해서는, 산화물 반도체층의 형성 전에 전(前)처리로서 스퍼터링 장치의 예비 가열실에서 기판(200)을 예비 가열하여, 기판(200) 또는 게이트 절연층(204)에 흡수된 수소 또는 수분 등의 불순물이 배설되어 제거되는 것이 바람직하다. 예비 가열실에 제공되는 배기 수단으로서의 크라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략될 수 있다. 또한, 이 예비 가열은, 게이트 절연층(204)의 형성 전에, 게이트 전극(202), 배선(203), 및 배선(212)이 형성된 기판(200)에도 마찬가지로 수행되어도 좋다.

[0116] 반도체층(205)에 사용되는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히, In 및 Zn의 양쪽이 함유되는 것이 바람직하다. 상기 산화물 반도체를 포함한 트랜지스터의 전기 특성의 편차를 저감하기 위한 스테빌라이저로서 갈륨(Ga)이 추가적으로 함유되는 것이 바람직하다. 스테빌라이저로서 주석(Sn)이 함유되는 것이 바람직하다. 스테빌라이저로서 하프늄(Hf)이 함유되는 것이 바람직하다. 스테빌라이저로서 알루미늄(Al)이 함유되는 것이 바람직하다.

[0117] 다른 스테빌라이저로서, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu)과 같은 란타노이드 중 1종 또는 복수종이 함유되어도 좋다.

[0118] 산화물 반도체로서, 예를 들어 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기됨), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물이 사용될 수 있다.

[0119] 산화물 반도체층은, In을 함유한 산화물 반도체, 더 바람직하게는 In 및 Ga를 함유한 산화물 반도체를 사용하여 형성되는 것이 바람직하다. 산화물 반도체층의 순도를 높이기 위하여, 나중의 공정에서 탈수화 또는 탈수소화를 수행하는 것이 효과적이다.

[0120] 여기서 예를 들어, In-Ga-Zn계 산화물이란 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 산화물을 가리키고,

In:Ga:Zn의 비율은 특별히 한정되지 않는다. In-Ga-Zn계 산화물은 In, Ga, 및 Zn 이외의 금속 원소를 함유하여도 좋다.

[0121] 산화물 반도체층에는, 화학식 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 로 나타내어지는 박막이 사용될 수 있다. 여기서, M은 Sn, Zn, Ga, Al, Mn, 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 산화물 반도체로서, $\text{In}_3\text{SnO}_5(\text{ZnO})_n (n>0)$ 로 나타내어지는 재료가 사용되어도 좋다.

[0122] 예를 들어, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수비의 In-Ga-Zn계 산화물, 또는 그 조성 근방의 조성의 산화물이 사용될 수 있다. 또는, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비의 In-Sn-Zn계 산화물, 또는 그 조성 근방의 조성의 산화물이 사용될 수 있다.

[0123] 하지만, 조성은 상술한 것에 한정되지 않고, 필요한 반도체 특성(이동도, 문턱 전압, 편차 등)에 따라 적절한 조성을 갖는 재료가 사용될 수 있다. 필요한 반도체 특성을 얻기 위하여, 캐리어 농도, 불순물 농도, 결함 밀도, 산소에 대한 금속 원소의 원자수비, 원자간 거리, 밀도 등이 적절히 설정되는 것이 바람직하다.

[0124] 예를 들어, In-Sn-Zn계 산화물을 사용하면 높은 이동도가 비교적 용이하게 얻어질 수 있다. 그러나, In-Ga-Zn계 산화물을 사용하는 경우에도 벌크 내 결함 밀도를 저감함으로써 이동도가 높아질 수 있다.

[0125] 또한 예를 들어, 원자수비가 In:Ga:Zn=a:b:c(a+b+c=1)인 In, Ga, Zn을 포함한 산화물의 조성인, 원자수비가 In:Ga:Zn=A:B:C(A+B+C=1)인 In, Ga, Zn을 포함한 산화물의 조성의 근방이라는 표현은, a, b, c가, $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 의 관계를 만족시키는 것을 말하고, r는 예를 들어 0.05가 될 수 있다. 다른 산화물에서도 마찬가지다.

[0126] 산화물 반도체는 단결정이나 비단결정이어도 좋다. 후자의 경우에는 산화물 반도체는 비정질이나 다결정이어도 좋다. 또한, 산화물 반도체는, 결정성을 갖는 부분을 포함한 비정질 구조 또는 비정질이 아닌 구조를 가져도 좋다.

[0127] 비정질 상태의 산화물 반도체에서는, 평탄한 표면이 비교적 용이하게 얻어질 수 있기 때문에, 산화물 반도체를 사용하여 트랜지스터가 제작되는 경우에는 계면 산란이 저감되고, 비교적 높은 이동도가 비교적 용이하게 얻어질 수 있다.

[0128] 결정성을 갖는 산화물 반도체에서는, 벌크 내 결함이 더 저감될 수 있고, 표면의 평탄성이 향상될 때 비정질 상태의 산화물 반도체의 이동도보다 높은 이동도가 얻어질 수 있다. 표면의 평탄성을 향상시키기 위해서는, 산화물 반도체가 평탄한 표면 위에 형성되는 것이 바람직하다. 구체적으로는, 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는, 0.1nm 이하의 평균 면 거칠기(R_a)를 갖는 표면 위에 산화물 반도체가 형성될 수 있다. R_a 는 원자간력 현미경(AFM)을 사용하여 측정될 수 있다.

[0129] 결정성을 갖는 산화물 반도체로서는, ab면, 표면 또는 계면의 방향으로부터 볼 때 삼각형 또는 육각형의 원자 배열을 갖는 c축 배향의 결정(C-Axis Aligned Crystal(CAAC)라고도 함)을 포함한 산화물이 사용되어도 좋다. 결정에서, c축을 따라서 금속 원자가 층 형상으로 배열되거나 또는 금속 원자 및 산소 원자가 층 형상으로 배열되고, ab면에서는 a축 또는 b축의 방향이 상이하다(결정이 c축을 중심으로 회전된다).

[0130] 광의적으로는, CAAC를 포함한 산화물이란, 그 ab면에 수직인 방향으로부터 볼 때 삼각형, 육각형, 정삼각형, 또는 정육각형의 원자 배열을 가지며, 또 c축 방향에 수직인 방향으로부터 볼 때 금속 원자가 층 형상으로 배열되거나 금속 원자 및 산소 원자가 적층 형상으로 배열되는 상을 포함한 비단결정 산화물을 가리킨다.

[0131] CAAC는 단결정이 아니지만, 이것은 CAAC가 비정질만으로 이루어진 것을 가리키는 것도 아니다. CAAC는 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계는 명확하지 않은 경우도 있다.

[0132] CAAC에 산소가 포함되는 경우에는, CAAC에 포함되는 산소의 일부에 질소가 치환되어도 좋다. CAAC에 포함되는 결정 부분 각각의 c축은 하나의 방향(예를 들어, CAAC가 형성되는 기판의 표면 또는 CAAC의 표면에 수직인 방향)으로 정렬되어도 좋다. 또는, CAAC에 포함된 결정 부분 각각의 ab면의 법선은 하나의 방향(예를 들어, CAAC가 형성되는 기판의 표면 또는 CAAC의 표면에 수직인 방향)으로 정렬되어도 좋다.

[0133] CAAC는 그 조성 등에 따라서 도체, 반도체, 또는 절연체가 된다. CAAC는 그 조성 등에 따라서 가시광을 투과시키거나 투과시키지 않는다.

- [0134] 이와 같은 CAAC의 예로서, 막상으로 형성되고, 막 표면 또는 지지하는 기판에 수직인 방향으로부터 관찰될 때 삼각형 또는 육각형의 원자 배열을 갖고, 또 상기 막의 단면이 관찰될 때 금속 원자가 층 형상으로 배열되고, 금속 원자 및 산소 원자(또는 질소 원자)가 층 형상으로 배열되는 결정을 들 수 있다.
- [0135] 도 15a 내지 도 15e, 도 16의 (a) 내지 (c), 및 도 17의 (a) 내지 (c)를 참조하여 CAAC의 결정 구조의 예에 대하여 자세히 기재한다. 도 15a 내지 도 15e, 도 16의 (a) 내지 (c), 및 도 17의 (a) 내지 (c)에서는, 특별히 한정 없이, 수직 방향이 c축 방향에 상당하고 c축 방향과 직교된 면이 ab면에 상당한다. 단순히 "상반부" 및 "하반부"라는 표현이 사용되는 경우에는, 이들 표현은 ab면 위쪽의 상반부 및 ab면 아래쪽의 하반부(ab면에 대한 상반부 및 하반부)를 가리킨다. 또한, 도 15a 내지 도 15e에서, 동그라미로 둘러싸인 0는 4배위의 0를 나타내고 이중 동그라미는 3배위의 0를 나타낸다.
- [0136] 도 15a는 하나의 6배위의 In원자와, In원자에 근접한 6개의 4배위의 산소(이하 4배위의 0라고 함) 원자를 포함한 구조를 도시한 것이다. 여기서, 하나의 금속 원자 및 상기 금속 원자에 근접한 산소 원자를 소 그룹이라고 한다. 도 15a에서의 구조는 실제로 팔면체이지만, 간략화를 위하여 평면 구조로 도시되어 있다. 또한, 3개의 4배위의 0 원자가 도 15a에서의 상반부 및 하반부 각각에 존재한다. 도 15a에 도시된 소 그룹에서 전하는 0이다.
- [0137] 도 15b는 하나의 5배위의 Ga원자, Ga원자에 근접한 3개의 3배위의 산소(이하 3배위의 0라고 함) 원자, 및 Ga원자에 근접한 2개의 4배위의 0원자를 포함한 구조를 도시한 것이다. 3배위의 0원자 모두는 ab면에 존재한다. 하나의 4배위의 0원자가 도 15b에서의 상반부 및 하반부 각각에 존재한다. In원자는 5개의 배위자를 가질 수 있기 때문에 In원자는 도 15b에 도시된 구조도 가질 수 있다. 도 15b에 도시된 소 그룹에서 전하는 0이다.
- [0138] 도 15c는 하나의 4배위의 Zn원자 및 Zn원자에 근접한 4개의 4배위의 0원자를 포함한 구조를 도시한 것이다. 도 15c에서, 하나의 4배위 0원자가 상반부에 존재하고 3개의 4배위의 0원자가 하반부에 존재한다. 또는, 도 15c에서 3개의 4배위의 0원자가 상반부에 존재하고 하나의 4배위의 0원자가 하반부에 존재하여도 좋다. 도 15c에 도시된 소 그룹에서 전하는 0이다.
- [0139] 도 15d는 하나의 6배위의 Sn원자 및 Sn원자에 근접한 6개의 4배위의 0원자를 포함한 구조를 도시한 것이다. 도 15d에서, 3개의 4배위의 0원자가 상반부 및 하반부 각각에 존재한다. 도 15d에 도시된 소 그룹에서 전하는 +1이다.
- [0140] 도 15e는 2개의 Zn원자를 포함한 소 그룹을 도시한 것이다. 도 15e에서, 하나의 4배위의 0원자가 상반부 및 하반부 각각에 존재한다. 도 15e에 도시된 소 그룹에서 전하는 -1이다.
- [0141] 여기서, 복수의 소 그룹은 중 그룹을 형성하고, 복수의 중 그룹은 대 그룹(유닛 셀이라고도 함)을 형성한다.
- [0142] 여기서, 이들 소 그룹간의 결합의 규칙에 대하여 기재한다. 도 15a에 도시된 6배위의 In원자의 상반부의 3개의 0원자는 각각 아래 방향에 3개의 근접한 In원자를 갖고, 하반부의 3개의 0원자는 각각 위 방향에 3개의 근접한 In원자를 갖는다. 도 15b에 도시된 5배위의 Ga원자의 상반부의 하나의 0원자는 아래 방향에 하나의 근접한 Ga원자를 갖고, 하반부의 하나의 0원자는 위 방향에 하나의 근접한 Ga원자를 갖는다. 도 15c에 도시된 4배위의 Zn원자의 상반부의 하나의 0원자는 아래 방향에 하나의 근접한 Zn를 갖고, 하반부의 3개의 0원자는 위 방향에 3개의 근접한 Zn원자를 갖는다. 이와 같이, 금속 원자 위의 4배위의 0원자의 개수는 그 4배위의 0원자 각각의 아래에 있는 근접한 금속 원자의 개수와 같다. 마찬가지로, 금속 원자 아래의 4배위의 0원자의 개수는 그 4배위의 0원자 각각 위에 있는 근접한 금속 원자의 개수와 같다. 4배위의 0원자의 배위수는 4이기 때문에, 0원자 아래에 있는 근접한 금속 원자의 개수와, 0원자 위에 있는 근접한 금속 원자의 개수의 합은 4이다. 따라서, 금속 원자 위에 있는 4배위의 0원자의 개수와, 다른 금속 원자 아래에 있는 4배위의 0원자의 개수의 합은 4일 때, 금속 원자를 포함한 2종의 소 그룹이 결합될 수 있다. 예를 들어, 6배위의 금속(In 또는 Sn) 원자가 하반부의 3개의 4배위의 0원자를 통하여 결합되는 경우에는, 5배위의 금속(Ga 또는 In) 원자 또는 상기 4배위의 금속(Zn) 원자와 결합된다.
- [0143] 배위수가 4, 5, 또는 6인 금속 원자는 c축 방향에서 4배위의 0원자를 통하여 다른 금속 원자에 결합된다. 상술한 것 외에도, 층 구조의 합계의 전하가 0이 되도록 복수의 소 그룹을 결합함으로써 중 그룹이 형성될 수 있다.
- [0144] 도 16의 (a)는 In-Sn-Zn계 산화물의 층 구조에 포함되는 중 그룹의 모델을 도시한 것이다. 도 16의 (b)는 3개의 중 그룹을 포함한 대 그룹을 도시한 것이다. 또한, 도 16의 (c)는, 도 16의 (b)에서의 층 구조가 c축 방향으로부터 관찰된 경우의 원자 배열을 도시한 것이다.

- [0145] 도 16의 (a)에서, 간략화를 위하여 3배위의 0원자는 생략되고, 4배위의 0원자가 동그라미로 도시되고, 동그라미 내의 숫자는 4배위의 0원자의 개수를 나타낸다. 예를 들어, Sn원자의 상반부 및 하반부 각각에 존재하는 3개의 4배위의 0원자는 동그라미 3으로 나타내어진다. 마찬가지로, 도 16의 (a)에서는 In원자의 상반부 및 하반부 각각에 존재하는 하나의 4배위의 0원자는 동글게 둘러싸인 1로 나타내어진다. 도 16의 (a)는, 하반부에서 하나의 4배위의 0원자에 근접하고 상반부에서 3개의 4배위의 0원자에 근접한 Zn원자와, 상반부에서 하나의 4배위의 0원자에 근접하고 하반부에서 3개의 4배위의 0원자에 근접한 Zn 원자를 도시한 것이다.
- [0146] 도 16의 (a)에서의 In-Sn-Zn계 산화물의 층 구조에 포함되는 중 그룹에 있어서, 위로부터 순차적으로, 상반부 및 하반부 각각에서 3개의 4배위의 0원자에 근접한 Sn원자가 상반부 및 하반부 각각에서 하나의 4배위의 0원자에 근접한 In원자와 결합되고, 그 In원자가 상반부에서 3개의 4배위의 0원자에 근접한 Zn원자와 결합되고, 그 Zn원자가, 그 Zn원자의 하반부의 하나의 4배위의 0원자를 통하여, 상반부 및 하반부 각각에서 3개의 4배위의 0원자에 근접한 In원자와 결합되고, 그 In원자가, 2개의 Zn원자를 포함하며 상반부에서 하나의 4배위의 0원자에 근접한 소 그룹과 결합되고, 그 소 그룹이, 그 소 그룹의 하반부의 하나의 4배위의 0원자를 통하여, 상반부 및 하반부 각각에서 3개의 4배위의 0원자에 근접한 Sn원자와 결합된다. 이와 같은 복수의 중 그룹이 결합되어 대 그룹이 형성된다.
- [0147] 여기서, 3배위의 0의 결합 하나의 전하 및 4배위의 결합 하나의 전하는 각각 -0.667 및 -0.5라고 추측될 수 있다. 예를 들어, In원자(6배위 또는 5배위)의 전하, Zn원자(4배위)의 전하, 및 Sn원자(5배위 또는 6배위)의 전하는 각각 +3, +2, 및 +4이다. 따라서, Sn원자를 포함한 소 그룹의 전하는 +1이다. 따라서, Sn원자를 포함한 층 구조를 형성하기 위하여 +1을 상쇄하는 -1의 전하가 필요하다. -1의 전하를 갖는 구조로서, 도 15e에 도시된 바와 같은 2개의 Zn원자를 포함한 소 그룹을 들 수 있다. 예를 들어, 2개의 Zn원자를 포함한 하나의 소 그룹으로 Sn원자를 포함한 하나의 소 그룹의 전하가 상쇄되기 때문에, 층 구조의 전하의 합계는 0이 될 수 있다.
- [0148] 도 16의 (b)에 도시된 대 그룹이 반복될 때, In-Sn-Zn계 산화물의 결정($\text{In}_2\text{SnZn}_3\text{O}_8$)이 얻어질 수 있다. 또한, 얻어진 In-Sn-Zn계 산화물의 층 구조는 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 은 0 또는 자연수임)의 조성식으로 나타내어질 수 있다.
- [0149] 상술한 규칙은, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물 등에도 적용된다.
- [0150] 예로서, 도 17의 (a)는 In-Ga-Zn계 산화물의 층 구조에 포함되는 중 그룹의 모델을 도시한 것이다.
- [0151] 도 17의 (a)에서의 In-Ga-Zn계 산화물의 층 구조에 포함되는 중 그룹에 있어서, 위로부터 순차적으로, 상반부 및 하반부 각각에서 3개의 4배위의 0원자에 근접한 In원자가 상반부에서 하나의 4배위의 0원자에 근접한 Zn원자와 결합되고, 그 Zn원자는, 그 Zn원자의 하반부의 3개의 4배위의 0원자를 통하여, 상반부 및 하반부 각각에서 하나의 4배위의 0원자에 근접한 Ga원자와 결합되고, 그 Ga원자는, 그 Ga원자의 하반부의 하나의 4배위의 0원자를 통하여, 상반부 및 하반부 각각에서 3개의 4배위의 0원자에 근접한 In원자와 결합된다. 이와 같은 복수의 중 그룹이 결합되어 대 그룹이 형성된다.
- [0152] 도 17의 (b)는 3개의 중 그룹을 포함한 대 그룹을 도시한 것이다. 또한, 도 17의 (c)는, 도 17의 (b)에서의 층 구조가 c축 방향으로부터 관찰되는 경우의 원자 배열을 도시한 것이다.
- [0153] 여기서, In원자(6배위 또는 5배위)의 전하, Zn원자(4배위)의 전하, 및 Ga(5배위)의 전하는 각각 +3, +2, 및 +3이기 때문에, In원자, Zn원자, 및 Ga원자의 어느 것을 포함한 소 그룹의 전하는 0이다. 결과적으로는, 이와 같은 소 그룹의 조합을 갖는 중 그룹의 전하의 합계는 항상 0이다.
- [0154] In-Ga-Zn계 산화물의 층 구조를 형성하기 위해서는, 대 그룹은 도 17의 (a)에 도시된 중 그룹뿐만 아니라, In원자, Ga원자, 및 Zn원자의 배열이 도 17의 (a)와 다른 중 그룹을 사용하여 형성될 수도 있다.
- [0155] 도 17의 (b)에 도시된 대 그룹이 반복될 때, In-Ga-Zn계 산화물의 결정이 얻어질 수 있다. 또한, 얻어진 In-

Ga-Zn계 산화물의 층 구조는 $\text{InGaO}_3(\text{ZnO})_n$ (n은 자연수임)의 조성식으로 나타내어질 수 있다.

- [0156] $n=1(\text{InGaZnO}_4)$ 인 경우에는, 예를 들어 도 18a에 도시된 결정 구조가 얻어질 수 있다. 또한, 도 18a에 도시된 결정 구조에서는, 도 15b에 도시된 바와 같이 Ga원자 및 In원자가 각각 5개의 배위자를 기질 수 있기 때문에, Ga가 In로 치환된 구조가 얻어질 수 있다.
- [0157] $n=2(\text{InGaZn}_2\text{O}_5)$ 인 경우에는, 예를 들어 도 18b에 도시된 결정 구조가 얻어질 수 있다. 또한, 도 18b에 도시된 결정 구조에서는, 도 15b에 도시된 바와 같이 Ga원자 및 In원자가 각각 5개의 배위자를 가질 수 있기 때문에, Ga가 In로 치환된 구조가 얻어질 수 있다.
- [0158] 다음에, 산화물 반도체층(205)이 스퍼터링법, 증착법, PCVD법, PLD법, ALD법, MBE법 등에 의하여 형성된다.
- [0159] 산화물 반도체층(205)은 산소 가스 분위기에서 바람직하게는 스퍼터링법에 의하여 형성된다. 이 때, 기판 온도는 100°C 이상 600°C 이하, 바람직하게는 150°C 이상 550°C 이하, 더 바람직하게는 200°C 이상 500°C 이하로 설정된다. 산화물 반도체층(205)의 두께는 1nm 이상 40nm 이하, 바람직하게는 3nm 이상 20nm 이하이다. 성막시의 기판 온도가 높아질수록, 얻어진 산화물 반도체층(205)에서의 불순물 농도는 낮아진다. 또한, 산화물 반도체층(205)에서의 원자 배열이 정렬되어 밀도가 높아지기 때문에, 다결정 또는 CAAC는 형성되기 쉽게 된다. 또한, 성막에는 산소 가스 분위기가 채워지고 산화물 반도체층(205)에 희가스 원자 등의 불필요한 원자가 함유되지 않기 때문에, 다결정 또는 CAAC가 형성되기 쉽게 된다. 또한, 산소 가스 및 희가스를 포함한 혼합 가스 분위기가 사용되어도 좋다. 이와 같은 경우에는 산소 가스의 비율이 30vol.% 이상, 바람직하게는 50vol.% 이상, 더 바람직하게는 80vol.% 이상이다. 또한, 산화물 반도체층(205)이 얇아질수록, 트랜지스터의 단채널 효과가 저감된다. 그러나, 산화물 반도체층(205)이 지나치게 얇을 때 계면 산란의 영향이 강해지기 때문에, 전계 효과 이동도가 저하될 수 있다(도 9b 참조).
- [0160] 스퍼터링법에 의하여 In-Ga-Zn계 산화물 재료를 사용하여 산화물 반도체층(205)을 형성하는 경우에는, In:Ga:Zn=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3 또는 3:1:4의 원자수비를 갖는 In-Ga-Zn계 산화물 타깃을 사용하는 것이 바람직하다. 상술한 원자수비를 갖는 In-Ga-Zn계 산화물 타깃을 사용하여 산화물 반도체층(205)이 형성될 때, 다결정 또는 CAAC가 형성되기 쉽게 된다. 또한, In-Ga-Zn계 산화물 반도체는 IGZO라고도 불릴 수 있다.
- [0161] In-Sn-Zn계 산화물 반도체는 ITZO라고도 불릴 수 있다. 스퍼터링법에 의하여 In-Sn-Zn계 산화물 재료를 사용하여 산화물 반도체층(205)을 형성하는 경우에는 In:Sn:Zn=1:1:1, 2:1:3, 1:2:2, 또는 20:45:35의 원자수비를 갖는 In-Sn-Zn계 산화물 타깃을 사용하는 것이 바람직하다. 상술한 원자수비를 갖는 In-Sn-Zn계 산화물 타깃을 사용하여 산화물 반도체층(205)이 형성될 때, 다결정 또는 CAAC가 형성되기 쉽게 된다.
- [0162] 본 실시형태에서는, 스퍼터링법에 의하여 In-Ga-Zn계 산화물 타깃을 사용하여 30nm의 두께로 산화물 반도체층이 형성된다. 산화물 반도체층은 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스와 산소의 혼합 분위기하에서 스퍼터링법에 의하여 형성될 수 있다(도 9b 참조).
- [0163] 스퍼터링법에 의하여 산화물 반도체층을 형성하기 위하여 사용되는 타깃으로서, 예를 들어 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol수비]의 조성비를 갖는 금속 산화물 타깃이 사용되어 In-Ga-Zn-O층이 형성된다. 이 타깃의 재료 및 조성에 제한이 없고, 예를 들어 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수비]의 금속 산화물 타깃이 사용되어도 좋다.
- [0164] 금속 산화물 타깃의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써 형성되는 산화물 반도체층이 치밀하게 될 수 있다.
- [0165] 산화물 반도체층의 형성에 있어서, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스가 스퍼터링 가스로서 사용되는 것이 바람직하다. 예를 들어, 스퍼터링 가스로서 아르곤이 사용되는 경우에는, 순도가 9N, 이슬점이 -121°C , H_2O 의 함유량이 0.1ppb 이하, H_2 의 함유량이 0.5ppb 이하인 것이 바람직하다. 스퍼터링 가스에 산소가 사용되는 경우에는, 순도가 8N, 이슬점이 -112°C , H_2O 의 함유량이 1ppb 이하, H_2 의 함유량이 1ppb 이하인 것이 바람직하다.
- [0166] 산화물 반도체층이 형성될 때, 감압 상태로 유지된 성막실 내에 기판이 유지되고, 기판 온도는 100°C 이상 600°C 이하, 바람직하게는 300°C 이상 500°C 이하로 설정된다. 또한, 제 1 포토리소그래피 공정을 거쳐 형성되는

배선층에 Al가 사용되는 경우에는, 기판 온도는 380℃ 이하, 바람직하게는 350℃ 이하로 설정된다. 또한, 제 1 포토리소그래피 공정을 거쳐 형성되는 배선층에 Cu가 사용되는 경우에는, 기판 온도가 450℃ 이하로 설정된다.

[0167] 성막시에 기판을 가열함으로써, 산화물 반도체층에서의 수소, 수분, 수소화물, 또는 수산화물 등 불순물의 농도가 저감될 수 있다. 또한, 스퍼터링으로 인한 대미지가 저감될 수 있다. 그리고, 수소 및 수분이 제거된 스퍼터링 가스가 성막실 내에 도입되고 성막실 내에서 잔류된 수분이 제거되고, 상술한 타깃을 사용하여 산화물 반도체층이 형성된다.

[0168] 성막실 내에서 잔류된 수분을 제거하기 위하여, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프 등의 흡착형 진공 펌프가 사용되는 것이 바람직하다. 배기 수단으로서는, 콜드 트랩(cold trap)이 제공된 터보 분자 펌프가 사용되어도 좋다. 크라이오 펌프로 배기된 성막실 내에서는 수소 원자, 물(H₂O)과 같은 수소 원자를 함유한 화합물(더 바람직하게는 탄소 원자를 함유한 화합물도) 등이 제거되기 때문에, 성막실 내에서 형성되는 산화물 반도체층에서의 불순물 농도가 저감될 수 있다.

[0169] 성막 조건의 일례로서는, 기판과 타깃의 거리가 100mm, 압력이 0.6Pa, 직류(DC) 전원 전력이 0.5kW, 스퍼터링 가스로서 산소(산소 유량 비율 100%)이 사용된다. 또한, 펄스 직류 전원이 바람직하게 사용됨으로써, 성막시에 발생하는 분상 물질(파티클, 먼지라고도 함)이 저감될 수 있고, 막 두께가 균일하게 될 수 있다.

[0170] 산화물 반도체층에서의 나트륨(Na), 리튬(Li), 및 칼륨(K) 등 알칼리 금속의 농도는 이하와 같다. Na의 농도는 $5 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하이다. Li의 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하이다. K의 농도는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하이다.

[0171] 산화물 반도체는 불순물에 대하여 둔감하고, 산화물 반도체 내에 상당한 양의 금속 불순물이 포함되어더라도 문제가 없기 때문에, 나트륨과 같은 알칼리 금속이 다량으로 함유되며 저렴한 소다 석회 유리도 사용될 수 있다고 지적되어 있다(카미야, 노무라, 호소노, '비정질 산화물 반도체의 캐리어 수송성 및 전자 구조: 현상', 고체 물리, 2009년 9월호, Vol.44, pp. 621-633). 그러나, 이것은 적절한 지적이 아니다. 알칼리 금속은 산화물 반도체를 형성기 위한 원소가 아니기 때문에, 불순물이다. 알칼리 토금속도 산화물 반도체를 형성하기 위한 원소가 아닌 경우에는 불순물이다. 특히, 알칼리 금속 Na는, 산화물 반도체층에 접한 절연층이 산화물이고 Na가 상기 절연층으로 확산될 때 Na⁺이 된다. 또한, 산화물 반도체층에 있어서, Na는 산화물 반도체층에 포함되는 금속과 산소간의 결합을 분단하거나, 그 결합에 들어간다. 결과적으로는, 예를 들어 문턱 전압이 마이너스 방향으로 시프트되는 것으로 인한 트랜지스터의 노멀리 온화, 이동도의 저하 등의, 트랜지스터의 특성의 열화가 생긴다. 또한, 특성의 편차도 생긴다. 불순물로 인한 트랜지스터의 특성의 열화 및 특성의 편차는 산화물 반도체층에서의 수소 농도가 매우 낮을 때 현저히 생긴다. 따라서, 산화물 반도체에서의 수소 농도가 $5 \times 10^{19} \text{ cm}^{-3}$ 이하, 특히 $5 \times 10^{18} \text{ cm}^{-3}$ 이하인 경우에는 산화물 반도체에서의 알칼리 금속의 농도가 상술한 범위에 설정되는 것이 강하게 요구된다.

[0172] 다음에, 제 1 가열 처리가 수행된다. 이 제 1 가열 처리에 의하여 산화물 반도체층에서의 과잉의 수소(물 및 수산기를 포함함)가 제거(탈수화 또는 탈수소화)되어, 산화물 반도체층에서의 불순물 농도가 저감될 수 있다.

[0173] 제 1 가열 처리는 250℃ 이상 750℃ 이하, 또는 400℃ 이상 기판의 변형점 미만의 온도로, 감압 분위기하, 질소 분위기나 회가스 분위기 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 조건조 에어 분위기(CRDS(캐비티 링다운 레이저 분광법)) 방식의 이슬점계를 사용하여 측정이 수행된 경우의 수분량이 20ppm(이슬점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기)하에서 수행되는 것이 바람직하다. 또한, 제 1 포토리소그래피 공정을 거쳐 형성된 배선층에 Al가 사용되는 경우에는, 가열 처리의 온도는 380℃ 이하, 바람직하게는 350℃ 이하로 설정된다. 또한, 제 1 포토리소그래피 공정을 거쳐 형성된 배선층에 Cu가 사용되는 경우에는, 가열 처리의 온도는 450℃ 이하로 설정된다. 본 실시형태에서는, 기판이 가열 처리 장치의 1종인 전기로에 도입되고, 산화물 반도체층에 질소 분위기에서 450℃로 1시간 동안 가열 처리가 수행된다.

[0174] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의하여 피처리물을 가열하는 장치를 포함하여도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치가 사용될 수 있다. LRTA 장치는, 할로젠 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발광되는 광(전자기파)의 복사에 의하여 피처리물을 가열하기 위한 장치이다. GRTA

장치는, 고온 가스를 사용한 가열 처리를 위한 장치이다. 고온 가스로서, 아르곤 등 회가스 또는 질소와 같은 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0175] 예를 들어, 제 1 가열 처리로서, GRTA가 이하와 같이 수행되어도 좋다. 기판이 이동되어 고온으로 가열된 불활성 가스 중에서 놓이고, 수분간 동안 가열된 후에, 이동되어 고온으로 가열된 불활성 가스 중으로부터 꺼내진다.

[0176] 질소 또는 회가스 등 불활성 가스, 산소, 또는 조건조 에어 분위기하에서 가열 처리가 수행될 때, 이 분위기가 물, 수소 등을 함유하지 않는 것이 바람직하다. 가열 처리 장치에 도입되는 질소, 산소, 또는 회가스의 순도가 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 설정되는 것이 바람직하다.

[0177] 감압 분위기 또는 불활성 분위기에서 가열 처리가 수행된 후에, 온도가 유지된 상태로 이 분위기를 산화성 분위기로 치환하고, 가열 처리가 더 수행되는 방법으로 제 1 가열 처리가 수행되는 것이 바람직하다. 감압 분위기 또는 불활성 분위기에서 가열 처리가 수행될 때 산화물 반도체층에서의 불순물 농도가 저감될 수 있지만, 동시에 산소 결손이 생긴다. 산화성 분위기에서의 가열 처리에 의하여, 이 생긴 산소 결손이 저감될 수 있다.

[0178] 수소가 충분히 낮은 농도까지 저감되어 산화물 반도체가 고순도화되고, 충분히 산소를 공급함으로써 산소 결핍으로 인한 에너지 갭 중의 결합 준위가 저감된 산화물 반도체의 캐리어 농도는, $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1.45 \times 10^{10}/\text{cm}^3$ 미만이다. 예를 들어, 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1μm)당)는 100zA(1zA(zepto 암페어)는 $1 \times 10^{-21}\text{A}$) 이하, 바람직하게는 10zA 이하이다. 85℃에서의 오프 전류는 100zA($1 \times 10^{-19}\text{A}$) 이하, 바람직하게는 10zA($1 \times 10^{-20}\text{A}$) 이하이다. 이와 같이 i형(진성) 또는 실질적으로 i형인 산화물 반도체를 사용함으로써, 매우 높은 오프 전류 특성을 갖는 트랜지스터(111)가 얻어질 수 있다.

[0179] 고순도화된 산화물 반도체를 포함한 트랜지스터의, 문턱 전압 및 온 전류 등의 전기 특성은 온도 의존성을 거의 갖지 않는다. 또한, 트랜지스터의 특성은 광 열화에 의하여도 거의 변동되지 않는다.

[0180] 상술한 바와 같이, 산소 결손을 저감하여 얻어진 전기적으로 i형(진성)이며 고순도화된 산화물 반도체를 포함한 트랜지스터의 전기 특성의 변동이 억제되어, 이 트랜지스터는 전기적으로 안정된다. 따라서, 신뢰성이 높고 전기적으로 안정된, 산화물 반도체를 포함한 액정 표시 장치가 제공될 수 있다.

[0181] 다음에, 소스 전극(206a), 드레인 전극(206b), 및 배선(216)이 되는 도전층이 반도체층(205) 위에 형성된다. 소스 전극(206a), 드레인 전극(206b), 및 배선(216)이 되는 도전층은 게이트 전극(202)과 같은 재료 및 방법을 사용하여 형성될 수 있다. 소스 전극(206a), 드레인 전극(206b), 및 배선(216)을 형성하기 위한 도전층은 도전성 금속 산화물을 사용하여 형성되어도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$; ITO라고 약기됨), 산화 인듐 산화 아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 실리콘 또는 산화 실리콘이 함유된 이들 금속 산화물 재료의 어느 것이 사용될 수 있다.

[0182] 본 실시형태에서는, 반도체층(205) 위에 5nm의 두께로 Ti층이 형성되고, 상기 Ti층 위에 250nm의 두께로 Cu층이 형성되어, 도전층이 형성된다. 그리고, 제 2 포토리소그래피 공정에 의하여 레지스트 마스크가 형성되고, 도전층이 선택적으로 에칭되어, 소스 전극(206a), 드레인 전극(206b), 및 배선(216)이 형성된다(도 9c 참조).

[0183] 다음에, 소스 전극(206a), 드레인 전극(206b), 및 배선(216) 위에 절연층(207)이 형성된다(도 10a 참조). 절연층(207)은 게이트 절연층(204) 또는 하지층(201)과 같은 재료 및 방법을 사용하여 형성될 수 있다. 수소, 물 등이 침입할 가능성이 낮은 점에서 스퍼터링법이 채용되는 것이 바람직하다. 절연층(207)에 수소가 함유되는 경우에는, 수소가 산화물 반도체층에 침입하거나 수소가 산화물 반도체층에서의 산소를 뽑아, 산화물 반도체층의 저항의 저감(산화물 반도체층이 n형이 되는 것을 가리킴)을 일으킬 수 있다. 따라서, 절연층(207)을 형성하기 위하여 수소 및 수소를 함유한 불순물이 절연층(207)에 포함되지 않는 방법을 사용하는 것이 중요하다.

[0184] 절연층(207)으로서, 산화 실리콘, 산화 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 갈륨 등의 무기 절연 재료가 대표적으로 사용될 수 있다. 산화 갈륨은 대전되기 어려운 재료이기 때문에, 절연층의 차지 업으로 인한 문턱 전압의 변동이 억제될 수 있다. 또한, 반도체층(205)에 산화물 반도체가 사용되는 경우에는, 산화물 반도체와 같은 종류의 조성을 함유한 금속 산화물층이 절연층(207)으로서 또는 절연층(207) 위에 적층되어 형성

되어도 좋다.

- [0185] 본 실시형태에서는, 스퍼터링법에 의하여 두께가 200nm인 산화 실리콘층이 절연층(207)으로서 형성된다. 성막시의 기판 온도는 실온 이상 300℃ 이하이면 좋고, 본 실시형태에서는 100℃이다. 상기 산화 실리콘층은 회가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 회가스 및 산소의 혼합 분위기에서 스퍼터링법에 의하여 형성될 수 있다. 타깃으로서는, 산화 실리콘 타깃 또는 실리콘 타깃이 사용될 수 있다. 예를 들어, 산화 실리콘층은, 타깃에 실리콘을 사용하여 산소를 함유한 분위기에서 스퍼터링법에 의하여 형성될 수 있다.
- [0186] 절연층(207)의 형성시에 성막실로부터 잔류한 수분을 제거하기 위해서는, 흡착형 진공 펌프(크라이오 펌프 등)가 사용되는 것이 바람직하다. 크라이오 펌프를 사용하여 배기된 성막실 내에서 절연층(207)이 형성될 때, 절연층(207)에서의 불순물 농도가 저감될 수 있다. 또한, 절연층(207)을 성막하기 위하여 사용되는 성막실 내에 잔류한 수분을 제거하는 배기 수단으로서, 콜드 트랩이 제공된 터보 펌프가 사용되어도 좋다.
- [0187] 절연층(207)을 형성하기 위하여 수소, 물, 수산기, 수소화물 등의 불순물이 제거된 고순도 가스가 스퍼터링 가스로서 사용되는 것이 바람직하다.
- [0188] 다음에, 감압 분위기, 불활성 가스 분위기, 산소 가스 분위기, 또는 조건조 에어 분위기에서 제 2 가열 처리가 수행되어도 좋다(바람직하게는 200℃ 이상 600℃ 이하, 예를 들어, 250℃ 이상 550℃ 이하). 또한, 제 1 포토리소그래피 공정 또는 제 2 포토리소그래피 공정에 의하여 형성된 배선층에 Al가 사용되는 경우에는, 380℃ 이하, 바람직하게는 350℃ 이하로 가열 처리 온도가 설정된다. 제 1 포토리소그래피 공정 또는 제 2 포토리소그래피 공정에 의하여 형성된 배선층에 Cu가 사용되는 경우에는, 450℃ 이하로 가열 처리 온도가 설정된다. 예를 들어, 제 2 가열 처리가 질소 분위기에서 450℃로 1시간 동안 수행되어도 좋다. 제 2 가열 처리에 의하여 절연층(207)과 접하는 상태에서 산화물 반도체층의 일부(채널 형성 영역)가 가열되어, 산소를 함유한 절연층(207)으로부터 반도체층(205)에 산소가 공급될 수 있다. 상술한 분위기가 물, 수소 등을 함유하지 않는 것이 바람직하다.
- [0189] 다음에, 제 3 포토리소그래피 공정에 의하여 레지스트 마스크가 형성되고, 드레인 전극(206b) 위의 절연층(207)의 일부가 선택적으로 제거되어, 콘택트 홀(208)이 형성된다. 또한, 단면 K1-K2에서의 배선(216) 위의 절연층(207)의 일부가 선택적으로 제거되어, 콘택트 홀(220)이 형성된다. 단면 J1-J2에서의 배선(212) 위에서는, 절연층(207)의 일부, 반도체층(205)의 일부, 게이트 절연층(204)의 일부가 선택적으로 제거되어, 콘택트 홀(219)이 형성된다(도 10b 참조). 도시되지 않았지만, 이 포토리소그래피 공정에 의하여 홈부(230)가 콘택트 홀(219)과 같은 방법으로 형성된다. 따라서, 홈부(230)의 측면에 있어서, 절연층(207), 반도체층(205), 게이트 절연층(204)이 노출된다.
- [0190] 절연층(207), 반도체층(205), 게이트 절연층(204)의 에칭에는 드라이 에칭, 웨트 에칭, 또는 양쪽 모두가 사용되어도 좋다. 예를 들어, 염소를 함유한 가스(염소(Cl_2), 삼염화 붕소(BCl_3), 사염화 실리콘(SiCl_4), 사염화 탄소(CCl_4) 등 염소계 가스)가 드라이 에칭에 사용되는 에칭 가스로서 채용될 수 있다.
- [0191] 드라이 에칭으로서는, 평행 평판형 RIE(Reactive Ion Etching)법, 또는 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 등이 사용될 수 있다. 하지층(201)은 기판(200)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖기 때문에, 상기 에칭에 있어서 하지층(201)을 최대한 에칭하지 않도록 에칭 조건이 조절되는 것이 바람직하다.
- [0192] 일반적으로는, 반도체층의 에칭 및 콘택트 홀의 형성은 각각의 포토리소그래피 공정 및 에칭 공정을 거쳐 개별적으로 수행되지만, 본 실시형태의 제작 공정에 따르면, 반도체층의 에칭 및 콘택트 홀의 형성이 하나의 포토리소그래피 공정 및 하나의 에칭 공정에 의하여 수행될 수 있다. 따라서, 포토마스크의 개수뿐만 아니라 포토리소그래피 공정의 횟수도 저감될 수 있고, 포토리소그래피 공정 후의 에칭 공정의 횟수도 저감시킬 수 있다. 즉, 적은 포토리소그래피 공정에 의하여 적은 비용 및 높은 생산성으로 액정 표시 장치가 제작될 수 있다.
- [0193] 또한, 본 실시형태의 제작 공정에 따르면, 포토레지스트는 산화물 반도체층 위에 직접적으로 형성되지 않는다. 또한, 산화물 반도체층의 채널 형성 영역은 절연층(207)에 의하여 보호되어, 나중의 포토레지스트의 박리 및 세정 공정에 있어서 산화물 반도체층의 채널 형성 영역에 수분이 부착되지 않기 때문에, 트랜지스터(111)의 특성의 변동이 저감되고, 신뢰성이 높아진다.
- [0194] 다음에, 절연층(207) 위에 스퍼터링법, 진공 증착법 등에 의하여, 화소 전극(210), 전극(221), 전극(222)이 되는 투광성 도전층(투명 도전층이라고도 함)이, 30nm 이상 200nm 이하, 바람직하게는 50nm 이상 100nm 이하의 두

께로 형성된다(도 10c 참조).

- [0195] 투광성 도전층에는 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 함), 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등 투광성 도전 재료가 사용될 수 있다. 또는, 1장 내지 10장의 그래핀 시트로 이루어진 재료가 사용되어도 좋다.
- [0196] 본 실시형태에서는, 투과형의 액정 표시 장치의 화소부의 제작 방법의 예에 대하여 기재한다. 그러나, 그것에 한정되지 않고, 본 발명의 실시형태는 반사형 또는 반투과형의 액정 표시 장치에도 적용될 수 있다. 반사형의 액정 표시 장치의 화소부를 얻는 경우에는, 높은 광 반사율을 갖는 도전층(반사 도전층이라고도 함), 예를 들어, 알루미늄, 티타늄, 은, 로듐, 또는 니켈과 같은 높은 가시광의 반사율을 갖는 금속, 이들 금속의 적어도 하나를 함유한 합금, 또는 이들 재료의 적층을 사용하여, 화소 전극이 형성될 수 있다. 반투과형의 액정 표시 장치의 화소부를 얻는 경우에는, 하나의 전극이 투명 도전층과 반사 도전층을 사용하여 형성되어, 투과 부분과 반사 부분을 갖는다.
- [0197] 본 실시형태에서는, 80nm의 두께로 ITO층이 투광성 도전층으로서 형성된다. 제 4 포토리소그래피 공정에 의하여 레지스트 마스크가 형성되고, 상기 투광성 도전층이 선택적으로 에칭되어, 화소 전극(210), 전극(221), 전극(222)이 형성된다.
- [0198] 화소 전극(210)은 콘택트 홀(208)을 통하여 드레인 전극(206b)에 전기적으로 접속된다. 전극(221)은 콘택트 홀(219)을 통하여 배선(212)에 전기적으로 접속된다. 또한, 전극(222)은 콘택트 홀(220)을 통하여 배선(216)에 전기적으로 접속된다.
- [0199] 또한, 단자부(103) 및 단자부(104)에 형성되는 콘택트 홀(219) 및 콘택트 홀(220)에 있어서, 배선(212) 및 배선(216)이 노출되는 상태로 유지되지 않고, ITO 등 산화물 도전성 재료로 덮이는 것이 중요하다. 금속층인 배선(212) 및 배선(216)이 노출된 상태로 유지될 때, 노출된 표면이 산화되고, FPC 등과의 접촉 저항이 증대된다. 접촉 저항의 증대는 외부로부터 입력되는 신호의 지연 또는 파형의 왜곡을 일으키고, 외부로부터의 신호가 정확하게 전달되지 않아, 반도체 장치의 신뢰성이 저하된다. ITO 등 산화물 도전성 재료로 배선(212) 및 배선(216)의 노출된 표면을 덮음으로써, 접촉 저항의 증대가 방지되고, 반도체 장치의 신뢰성이 향상될 수 있다.
- [0200] 본 실시형태에 따르면, 종래의 공정보다 적은 포토리소그래피 공정 횟수로 반도체 장치가 제작될 수 있다. 따라서, 적은 비용 및 높은 생산성으로 액정 표시 장치가 제작될 수 있다.
- [0201] 본 실시형태에 있어서, 보텀 게이트형 트랜지스터의 예에 대하여 기재하였지만, 본 실시형태는 톱 게이트형 트랜지스터에 적용될 수도 있다.
- [0202] 본 실시형태는 다른 실시형태와 자유롭게 조합될 수 있다.
- [0203] (실시형태 2)
- [0204] 본 실시형태에서는, 실시형태 1에 기재된 것과 부분적으로 다른 공정의 예에 대하여 도 11a 내지 도 11c를 참조하여 기재된다. 또한, 도 11a 내지 도 11c에 있어서, 실시형태 1과 동일한 부분에는 동일한 부호가 사용되고, 동일한 부호가 사용된 부분의 설명은 여기서는 생략된다.
- [0205] 우선, 실시형태 1과 마찬가지로, 절연 표면을 갖는 기판(200) 위에 도전층이 형성되고, 그 후에 제 1 포토리소그래피 공정 및 에칭 공정을 거쳐 게이트 전극(202)이 형성된다.
- [0206] 기판(200) 및 게이트 전극(202) 사이에 하지층으로서 기능하는 절연층이 제공되어도 좋다. 본 실시형태에서는 하지층(201)이 제공된다. 하지층(201)은 기판(200)으로부터의 불순물 원소(Na 등)의 확산을 방지하는 기능을 갖고, 산화 실리콘막, 산화 질화 실리콘막, 질화 실리콘막, 산화 하프늄막, 산화 알루미늄막, 산화 갈륨막, 산화 갈륨 알루미늄막으로부터 선택된 막을 사용하여 형성될 수 있다. 상기 하지층의 구조는 단층 구조에 한정되지 않고, 상술한 복수의 막의 적층 구조라도 좋다.
- [0207] 본 실시형태에서, 나중에 형성되는 반도체층의 성막 온도는 200℃ 이상 450℃ 이하이고, 반도체층 형성 후의 가열 처리의 온도는 200℃ 이상 450℃ 이하이기 때문에, 게이트 전극(202)은, 하층에 구리 및 상층에 몰리브덴이 사용된 적층, 또는 하층에 구리 및 상층에 텅스텐이 사용된 적층으로 형성된다.
- [0208] 다음에, 실시형태 1과 마찬가지로 CVD법, 스퍼터링법 등에 의하여 게이트 전극(202) 위에 게이트 절연층(204)이 형성된다. 여기까지의 공정을 거쳐 얻어진 구조가 도 11a의 단면도에 도시된 것이다.

- [0209] 다음에, 제 1 산화물 반도체층이 1nm 이상 10nm 이하의 두께로 게이트 절연층(204) 위에 형성된다. 본 실시형태에서 제 1 산화물 반도체층은, 산화물 반도체용 타깃(In_2O_3 , Ga_2O_3 , 및 ZnO 를 1:1:2[mol수비]로 함유한 In-Ga-Zn계 산화물 반도체용 타깃)이 사용되고, 기판 및 타깃의 거리는 170mm이고, 기판 온도는 250℃이고, 압력은 0.4Pa이고, 직류(DC) 전원은 0.5kW인 조건으로, 산소 분위기, 아르곤 분위기, 또는 아르곤과 산소의 혼합 분위기에서 5nm의 막 두께로 형성된다.
- [0210] 다음에, 기판이 배치되는 분위기를 질소 분위기 또는 건조 공기로 설정하여 제 1 가열 처리가 수행된다. 제 1 가열 처리의 온도는 200℃ 이상 450℃ 이하이다. 또한, 제 1 가열 처리의 가열 시간은 1시간 이상 24시간 이하이다. 제 1 가열 처리에 의하여 제 1 결정성 산화물 반도체층(148a)이 형성된다(도 11b 참조).
- [0211] 다음에, 제 1 결정성 산화물 반도체층(148a) 위에 10nm보다 두꺼운 두께로 제 2 산화물 반도체층이 형성된다. 본 실시형태에서 제 2 산화물 반도체층은, 산화물 반도체용 타깃(In_2O_3 , Ga_2O_3 , 및 ZnO 를 1:1:2[mol수비]로 함유한 In-Ga-Zn계 산화물 반도체용 타깃)이 사용되고, 기판 및 타깃의 거리는 170mm이고, 기판 온도는 400℃이고, 압력은 0.4Pa이고, 직류(DC) 전원은 0.5kW인 조건으로, 산소, 아르곤, 또는 아르곤과 산소의 혼합의 스퍼터링 가스를 사용하여 25nm의 두께로 형성된다.
- [0212] 다음에, 기판이 배치되는 분위기를 질소 분위기 또는 건조 공기로 설정하여 제 2 가열 처리가 수행된다. 제 2 가열 처리의 온도는 200℃ 이상 450℃ 이하이다. 또한, 제 2 가열 처리의 가열 시간은 1시간 이상 24시간 이하이다. 제 2 가열 처리에 의하여 제 2 결정성 산화물 반도체층(148b)이 형성된다(도 11c 참조).
- [0213] 이하의 공정은 실시형태 1과 같은 공정으로, 소스 전극(206a), 드레인 전극(206b), 절연층(207) 등이 형성되고, 절연층(207), 제 1 결정성 산화물 반도체층(148a), 제 2 결정성 산화물 반도체층(148b)이 동일한 레지스트 마스크를 사용하여 에칭됨으로써, 포토리소그래피 공정의 횟수가 저감된다.
- [0214] 이와 같이 하여 실시형태 1에 따라 트랜지스터(111)가 얻어질 수 있다. 또한, 본 실시형태를 사용하는 경우에는, 제 1 결정성 산화물 반도체층(148a)과 제 2 결정성 산화물 반도체층(148b)의 적층이 트랜지스터의 채널 형성 영역을 포함한 반도체층을 형성한다. 제 1 결정성 산화물 반도체층(148a) 및 제 2 결정성 산화물 반도체층(148b)은 c축 배향을 갖는다. 또한, 제 1 결정성 산화물 반도체층(148a) 및 제 2 결정성 산화물 반도체층(148b)은 단결정 구조도 비정질 구조도 갖지 않은 c축 배향을 갖는 결정(CAAC)을 포함한 산화물을 포함한다. 제 1 결정성 산화물 반도체층(148a) 및 제 2 결정성 산화물 반도체층(148b)은 일부에 결정립계를 포함한다.
- [0215] CAAC를 얻기 위해서는, 산화물 반도체막의 퇴적 초기에 있어서 육방정 결정을 형성하고, 상기 육방정 결정으로부터 종 결정으로서 결정이 성장되는 것이 중요하다. 기판 가열 온도는, 100℃ 이상 500℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하, 더 바람직하게는 250℃ 이상 300℃ 이하이다. 이것에 더하여, 성막시의 기판 가열 온도보다 높은 온도로 퇴적된 산화물 반도체막에 대한 가열 처리를 수행함으로써, 막 내의 마이크로 결함 및 적층의 계면에서의 결함이 수복(修復)될 수 있다.
- [0216] 제 1 결정성 산화물 반도체층과 제 2 결정성 산화물 반도체층의 적층을 포함한 트랜지스터의 경우에는, 광 조사 또는 바이어스-열(BT) 스트레스 시험 전후에 있어서도 트랜지스터의 문턱 전압의 변화량이 저감될 수 있기 때문에, 이와 같은 트랜지스터는 안정된 전기적 특성을 갖는다.
- [0217] 본 실시형태는 다른 실시형태와 자유롭게 조합될 수 있다.
- [0218] (실시형태 3)
- [0219] 실시형태 1 및 실시형태 2에 기재된 트랜지스터 중 어느 것이 사용된 표시 장치의 일 형태에 대하여 도 12a 및 도 12b에 도시하였다.
- [0220] 도 12a는, 트랜지스터(4010) 및 액정 소자(4013)가, 제 1 기판(4001)과 제 2 기판(4006) 사이에 실재(4005)로 밀봉된 패널의 평면도이다. 도 12b는 도 12a에서의 M-N를 따른 단면도이다. 홈부(4040)는 제 1 기판(4001) 위에 제공된다.
- [0221] 실재(4005)는 제 1 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 제공된다. 제 2 기판(4006)이 화소부(4002) 위에 제공된다. 따라서, 화소부(4002)는 제 1 기판(4001), 실재(4005) 및 제 2 기판(4006)에 의하여 액정층(4008)과 함께 밀봉된다.
- [0222] 또한, 입력 단자(4020)는, 제 1 기판(4001) 위의, 실재(4005)로 둘러싸인 영역의 외측에 제공되고, FPC(Flexible Printed Circuit)(4018a) 및 FPC(4018b)가 입력 단자(4020)에 접속된다. FPC(4018a)는 다른 기

관 위에 별도로 제공된 신호선 구동 회로(4003)에 전기적으로 접속되고, FPC(4018b)는 다른 기관 위에 별도로 제공된 주사선 구동 회로(4004)에 전기적으로 접속된다. 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC(4018a) 및 FPC(4018b)를 통하여 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)로부터 공급된다.

[0223] 또한, 별도로 형성된 구동 회로의 접속 방법은 특별히 한정되지 않지만, COG(Chip On Glass) 방법, 와이어 본딩(wire bonding) 방법, TCP(Tape Carrier Package) 방법, TAB(Tape Automated Bonding) 방법 등이 사용될 수 있다.

[0224] 도시되지 않지만, 신호선 구동 회로(4003) 또는 주사선 구동 회로(4004)는 본 명세서에 개시되는 트랜지스터를 사용하여 기관(4001) 위에 제공되어도 좋다.

[0225] 표시 장치에 제공되는 표시 소자로서, 액정 소자(액정 표시 소자라고도 함)가 사용될 수 있다. 또한, 전자 잉크 등 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체가 사용될 수 있다.

[0226] 도 12a 및 도 12b에 도시된 표시 장치는 전극(4015) 및 배선(4016)을 포함한다. 전극(4015) 및 배선(4016)은 이방성 도전층(4019)을 통하여 FPC(4018a)에 포함된 단자에 전기적으로 접속된다.

[0227] 전극(4015)은 제 1 전극(4030)과 동일한 도전층을 사용하여 형성되고, 배선(4016)은 트랜지스터(4010)의 소스 전극 및 드레인 전극과 동일한 도전층을 사용하여 형성된다.

[0228] 본 실시형태에서는, 실시형태 1 및 실시형태 2에 기재된 트랜지스터 중 어느 쪽이나 트랜지스터(4010)에 적용될 수 있다. 화소부(4002)에 제공된 트랜지스터(4010)는 표시 소자에 접속되어 표시 패널을 형성한다. 표시가 수행될 수 있는 한 표시 소자로서 다양한 표시 소자가 사용될 수 있다.

[0229] 도 12a 및 도 12b는 액정 소자가 표시 소자로서 사용된 표시 장치의 예를 도시한 것이다. 도 12a 및 도 12b에 있어서는, 표시 소자인 액정 소자(4013)가 제 1 전극(4030), 제 2 전극(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)이 개재되도록 배향막으로서 기능하는 절연층(4032) 및 절연막(4033)이 제공된다. 배향막으로서 기능하는 절연층(4032)은 홈부(4040) 위에도 제공된다. 제 2 전극(4031)이 제 2 기관(4006) 쪽에 형성된다. 액정층(4008)이 개재되도록 제 1 전극(4030) 및 제 2 전극(4031)이 적층된다.

[0230] 스페이서(4035)는, 절연층을 사용하여 제 2 기관(4006) 위에 형성된 기둥 형상의 스페이서이며, 액정층(4008)의 두께(셀 갭)를 제어하기 위하여 제공된다. 또한, 구 형상의 스페이서가 사용되어도 좋다.

[0231] 표시 소자로서 액정 소자가 사용되는 경우에는, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등이 사용될 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭상(cholesteric phase), 스멕틱상(smectic phase), 큐빅상(cubic phase), 키랄 네마틱상(chiral nematic phase), 등방상(isotropic phase) 등을 나타낸다.

[0232] 또한, 배향막이 필요 없는 블루상을 나타내는 액정이 사용되어도 좋다. 콜레스테릭상의 온도가 상승되는 동안에서 콜레스테릭상이 등방상으로 변화되기 직전에 발현되는 액정상의 하나이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 5 wt. % 이상의 키랄제가 혼합된 액정 조성물이 온도 범위를 향상시키기 위하여 액정층으로서 사용된다. 블루상을 나타내는 액정과 키랄제를 포함한 액정 조성물은 1msec 이하의 짧은 응답 속도, 광학적 등방성을 갖기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한, 배향막이 제공될 필요가 없고 러빙 처리가 불필요하기 때문에, 러빙 처리로 인한 정전 파괴가 방지되고, 제작 공정에 있어서의 액정 표시 장치의 불량이나 대미지가 감소될 수 있다. 따라서, 액정 표시 장치의 생산성이 향상될 수 있다.

[0233] 액정 재료의 고유 저항률은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 더 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 본 명세서에서 고유 저항률의 값은 20℃에서 측정된다.

[0234] 액정 표시 장치에 형성되는 유지 용량 소자의 크기는 화소부에 제공되는 트랜지스터의 누설 전류 등을 고려하여 소정 기간 동안 전하가 유지되도록 설정된다. 채널 영역을 포함한 반도체층에 고순도화된 산화물 반도체가 사용된 트랜지스터를 사용함으로써, 각 화소의 액정 용량의 1/3 이하, 바람직하게는 1/5 이하인 용량을 갖는 유지 용량 소자를 제공하면 충분하다.

[0235] 본 실시형태에서 사용된 트랜지스터에서는, 고순도화된 산화물 반도체층을 포함함으로써 오프 상태에서의 전류(오프 전류)가 작게 될 수 있다. 따라서, 화상 신호 등 전기 신호가 더 오래 동안 유지될 수 있고, 기록 간격이 온 상태에서 더 길게 설정될 수 있다. 따라서, 리프레시 동작의 빈도가 저감될 수 있어, 소비 전력을 억제하는 효과를 일으킬 수 있다. 또한, 고순도화된 산화물 반도체층을 포함한 트랜지스터에서는, 유지 용량 소자

가 제공되지 않아도 액정 소자에 인가된 전위가 유지될 수 있다.

- [0236] 본 실시형태에서 사용된 고순도화된 산화물 반도체층을 포함한 트랜지스터의 전계 효과 이동도는 비교적 높아, 고 속도의 동작이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 사용함으로써, 고화질의 화상이 제공될 수 있다. 또한, 트랜지스터는, 하나의 기관 위에서 구동 회로부 및 화소부에 별도로 제공될 수 있기 때문에, 액정 표시 장치의 부품 개수가 저감될 수 있다.
- [0237] 액정 표시 장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등이 사용될 수 있다.
- [0238] 또한, 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치 등의 노멀리 블랙형 액정 표시 장치가 사용되어도 좋다. 여기서, 수직 배향 모드는, 전압이 인가되지 않을 때 패널 표면에 수직으로 액정 분자가 배향되는, 액정 표시 패널에서의 액정 분자의 배향을 제어하는 방법이다. 수직 배향 모드로서 몇 가지의 예를 들 수 있다. 예를 들어, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등이 사용될 수 있다. 또한, 화소가 여러 영역(서브 픽셀)으로 나누어지고, 분자가 각 영역에서 다른 방향으로 배향되는 멀티 도메인화 또는 멀티 도메인 설계라고 불리는 방법을 사용하는 것이 가능하다.
- [0239] 액정 표시 장치에 있어서, 블랙 매트릭스(차광층)와, 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등이 적절히 제공될 수 있다. 예를 들어, 편광 기관 및 위상차 기관을 사용하여 원편광이 얻어지 어도 좋다. 또한, 백 라이트, 사이드 라이트 등이 광원으로 사용되어도 좋다.
- [0240] 또한, 백 라이트로서 복수의 발광 다이오드(LED)를 사용하여 시간 분할 표시 방식(필드 시퀀셜 구동 방식이라고 도 불림)을 채용하는 것이 가능하다. 필드 시퀀셜 구동 방식을 채용함으로써, 컬러 필터를 사용하지 않고 컬러 표시가 수행될 수 있다.
- [0241] 화소부에서의 표시 방식으로서, 프로그레시브 방식이나 인터레이스 방식 등이 채용될 수 있다. 또한, 컬러 표시시에 화소에서 제어되는 색 요소는 R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 청색을 나타냄)의 3색에 한 정되지 않는다. 예를 들어, R, G, B 및 W(W는 백색을 나타냄); R, G, B 및 옐로우, 시안, 및 마젠타 등 중 하 나 이상, 등이 사용될 수 있다. 또한, 표시 영역의 크기가 컬러 요소의 도트마다 달라도 좋다. 그러나, 본 발 명의 실시형태는 컬러 표시의 액정 표시 장치에 한정되지 않고, 모노크롬 표시의 액정 표시 장치에 적용될 수 있다.
- [0242] 도 12a 및 도 12b에서는, 유리 기관 외에도 플렉스블 기관이 제 1 기관(4001) 및 제 2 기관(4006)의 어느 쪽으 로서 사용될 수 있다. 예를 들어, 투광성 플라스틱 기관 등이 사용될 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플로라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수 지 필름이 사용될 수 있다. 또한, 알루미늄 포일이 PVF 필름이나 폴리에스테르 필름 사이에 끼워진 구조의 시 트가 사용될 수 있다.
- [0243] 액정 표시 장치는 광원 또는 표시 소자로부터의 광을 투과시켜 화상을 표시한다. 따라서, 광이 투과하는 화소 부에 제공되는 기관, 및 절연층 및 도전층 등 박막은 가시광의 파장 영역에서의 광에 대한 투광성을 갖는다.
- [0244] 표시 소자에 전압을 인가하기 위한 제 1 전극 및 제 2 전극(각각 화소 전극, 공통 전극, 또는 대향 전극 등이라 고 불림)은, 광이 추출되는 방향, 전극이 제공되는 개소, 및 전극의 패턴 구조에 따라 투광성 또는 반사성을 갖 는다.
- [0245] 제 1 전극(4030) 및 제 2 전극(4031) 중 어느 쪽은, 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산 화물(이하, ITO라고 부름), 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등 투광성 도전 재 료를 사용하여 형성될 수 있다. 또한, 1장 내지 10장의 그래핀 시트를 포함한 재료가 사용되어도 좋다.
- [0246] 제 1 전극(4030) 및 제 2 전극(4031) 중 하나는 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐 (V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리 (Cu), 은(Ag) 등의 금속, 이들 금속의 합금, 및 이들 금속의 질화물에서 선택된 하나 또는 복수 종류의 재료를 사용하여 형성될 수 있다.

- [0247] 도전성 고분자(도전성 폴리머)를 포함한 도전성 조성물이 제 1 전극(4030) 및 제 2 전극(4031)에 사용될 수 있다. 도전성 고분자로서 소위 π 전자 공액계 도전성 고분자가 사용될 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 및 아닐린, 피롤 및 티오펜의 2종 이상의 공중합체 또는 그 유도체를 들 수 있다.
- [0248] 또한, 트랜지스터는 정전기 등에 의하여 파괴되기 쉽기 때문에, 보호 회로가 제공되는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 형성되는 것이 바람직하다.
- [0249] 상술한 바와 같이, 실시형태 1 및 실시형태 2에 기재된 트랜지스터의 어느 것을 사용함으로써, 신뢰성이 높은 액정 표시 장치가 제공될 수 있다. 또한, 실시형태 1 및 실시형태 2에 기재된 트랜지스터는 상술한 표시 기능을 갖는 반도체 장치뿐만 아니라, 전원 회로에 탑재된 파워 디바이스, LSI 등 반도체 집적 회로, 및 대상물의 정보를 판독하는 이미지 센서 기능을 갖는 반도체 장치 등 다양한 기능을 갖는 반도체 장치에 적용될 수 있다.
- [0250] 본 실시형태는 다른 실시형태의 어느 것과 자유롭게 조합될 수 있다.
- [0251] (실시형태 4)
- [0252] 본 실시형태에서는, 왼쪽 눈용 영상과 오른쪽 눈용 영상을 고속으로 전환하는 표시 장치를 사용하여, 동영상 또는 정지 영상인 3D 영상이, 표시 장치의 영상과 동기되는 전용 안경으로 시인되는 예에 대하여 도 13a 및 도 13b를 참조하여 기재한다.
- [0253] 도 13a는 표시 장치(2711)와 전용 안경(2701)이 케이블(2703)로 서로 접속되는 외관도를 도시한 것이다. 본 명세서에 개시되는 액정 표시 장치가 표시 장치(2711)로서 사용될 수 있다. 전용 안경(2701)에서는, 왼쪽 눈용 패널(2702a) 및 오른쪽 눈용 패널(2702b)에 제공되는 셔터가 교대로 개폐되어, 사용자가 표시 장치(2711)의 화상을 3D 영상으로서 인식할 수 있다.
- [0254] 또한, 도 13b는 표시 장치(2711) 및 전용 안경(2701)의 주된 구성을 도시한 블록도이다.
- [0255] 도 13b에 도시된 표시 장치(2711)는 표시 제어 회로(2716), 표시부(2717), 타이밍 발생기(2713), 소스선 구동 회로(2718), 외부 조작 수단(2722), 및 게이트선 구동 회로(2719)를 포함한다. 또한, 출력 신호는 키보드 등 외부 조작 수단(2722)에 의한 조작에 따라 변화된다.
- [0256] 타이밍 발생기(2713)에서는, 스타트 펄스 신호 등이 형성되고, 왼쪽 눈용 영상과 왼쪽 눈용 패널(2702a)의 셔터를 동기시키기 위한 신호, 오른쪽 눈용 영상과 오른쪽 눈용 패널(2702b)의 셔터를 동기시키기 위한 신호 등이 형성된다.
- [0257] 왼쪽 눈용 영상의 동기 신호(2731a)가 표시 제어 회로(2716)에 입력되어, 왼쪽 눈용 영상이 표시부(2717)에 표시된다. 동시에, 왼쪽 눈용 패널(2702a)의 셔터를 열기 위한 동기 신호(2730a)가 왼쪽 눈용 패널(2702a)에 입력된다. 또한, 오른쪽 눈용 영상의 동기 신호(2731b)가 표시 제어 회로(2716)에 입력되어, 오른쪽 눈용 영상이 표시부(2717)에 표시된다. 동시에, 오른쪽 눈용 패널(2702b)의 셔터를 열기 위한 동기 신호(2730b)가 오른쪽 눈용 패널(2702b)에 입력된다.
- [0258] 왼쪽 눈용 영상과 오른쪽 눈용 영상의 전환이 고속으로 수행되기 때문에, 표시 장치(2711)는, 발광 다이오드(LED)를 사용하여, 시분할에 의하여 컬러 표시가 수행되는 계시 가법 혼색법(필드 시퀀셜법)을 채용하는 것이 바람직하다.
- [0259] 또한, 필드 시퀀셜법이 채용되기 때문에, 타이밍 발생기(2713)는 발광 다이오드의 백 라이트부에 동기 신호(2730a) 및 동기 신호(2730b)와 동기하는 신호를 입력하는 것이 바람직하다. 또한, 백 라이트부는 R, G 및 B의 LED를 포함한다.
- [0260] 본 실시형태는 본 명세서에서의 다른 실시형태의 어느 것과 자유롭게 조합될 수 있다.
- [0261] (실시형태 5)
- [0262] 본 실시형태에서는, 상술한 실시형태에 기재된 표시 장치를 포함한 전자 기기의 예에 대하여 각각 기재한다.
- [0263] 도 14a는 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등을 포함한 노트북형 퍼스널 컴퓨터를 도시한 것이다. 상술한 실시형태에 기재된 액정 표시 장치를 사용함으로써, 신뢰성이 높은 노트북형 퍼스널 컴퓨터가 얻어질 수 있다.

- [0264] 도 14b는 표시부(3023), 외부 인터페이스(3025), 조작 버튼(3024) 등이 제공된 본체(3021)를 포함한 휴대 정보 단말(PDA)이다. 조작용의 부속품으로서 스타일러스(stylus)(3022)가 포함된다. 상술한 실시형태에 기재된 액정 표시 장치를 사용함으로써, 신뢰성이 높은 휴대 정보 단말(PDA)이 얻어질 수 있다.
- [0265] 도 14c는 전자 서적의 일례를 도시한 것이다. 예를 들어, 전자 서적은 두 개의 하우징인 하우징(2706) 및 하우징(2704)을 포함한다. 하우징(2706)이 측부(2712)에 의하여 하우징(2704)과 조합되어, 측부(2712)를 측으로서 사용하여 개폐될 수 있다. 이와 같은 구성에 의하여 전자 서적이 종이 서적과 같이 동작할 수 있다.
- [0266] 표시부(2705) 및 표시부(2707)는 각각 하우징(2706) 및 하우징(2704)에 제공된다. 표시부(2705) 및 표시부(2707)는 하나의 연속된 화상을 표시하여도 좋고 다른 화상을 표시하여도 좋다. 다른 표시부에 다른 화상이 표시되는 구성에서는, 예를 들어 오른쪽 표시부(도 14c에서 표시부(2705))가 문장을 표시하고 왼쪽 표시부(도 14c에서 표시부(2707))가 화상을 표시한다. 상술한 실시형태에 기재된 액정 표시 장치를 사용함으로써, 신뢰성이 높은 전자 서적이 얻어질 수 있다.
- [0267] 도 14c는 하우징(2706)에 조작부 등이 제공된 예를 도시한 것이다. 예를 들어, 하우징(2706)에는 전원 단자(2721), 조작 키(2723), 스피커(2725) 등이 제공된다. 조작 키(2723)를 사용하여 페이지를 넘길 수 있다. 또한, 키보드, 포인팅 디바이스 등이, 표시부가 제공된 하우징 표면에 제공되어도 좋다. 또한, 외부 접속 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 하우징의 뒷면 또는 측면에 제공되어도 좋다. 또한, 전자 서적은 전자 사진의 기능을 가져도 좋다.
- [0268] 전자 서적은 무선으로 데이터를 송수신하여도 좋다. 무선 통신을 통하여 원하는 서적 데이터 등이 구입되고, 전자 서적 서버로부터 다운로드될 수 있다.
- [0269] 도 14d는 두 개의 하우징인 하우징(2800) 및 하우징(2801)을 포함한 휴대 전화를 도시한 것이다. 하우징(2801)은 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라 렌즈(2807), 외부 접속 단자(2808) 등을 포함한다. 또한, 하우징(2800)은 휴대 정보 단말의 충전의 기능을 갖는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등을 포함한다. 또한, 안테나가 하우징(2801)에 제공된다.
- [0270] 표시 패널(2802)에는 터치 패널이 제공된다. 영상으로서 표시되는 복수의 조작 키(2805)가 도 14d에서의 점선으로 도시되었다. 또한, 태양 전지 셀(2810)으로부터 출력되는 전압을 각 회로에 충분한 높이까지 상승시키는 승압 회로도 포함된다.
- [0271] 표시 패널(2802)에서, 표시 방향이 사용 형태에 따라 적절히 변화된다. 또한, 휴대 전화에는 표시 패널(2802)과 같은 표면에 카메라 렌즈(2807)가 제공되어, 영상 전화로서 사용될 수 있다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화 외에도, 영상 통화, 녹음, 재생 등에 사용될 수 있다. 또한, 도 14d에 도시된 바와 같이 전개된 상태의 하우징(2800) 및 하우징(2801)은, 슬라이드하여 서로 겹친 상태로 시프트될 수 있기 때문에, 휴대 전화의 크기가 작아져 휴대하기에 적합한 휴대 전화가 될 수 있다.
- [0272] 외부 접속 단자(2808)는 AC 어댑터, 및 USB 케이블 등 각종 케이블에 접속되고, 충전 및 퍼스널 컴퓨터와의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입함으로써 다량의 데이터가 유지되고 이동될 수 있다.
- [0273] 또한, 상술한 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공되어도 좋다. 상술한 실시형태에 기재된 액정 표시 장치를 사용함으로써, 신뢰성이 높은 휴대 전화가 제공될 수 있다.
- [0274] 도 14e는 본체(3051), 표시부 A(3057), 접안부(3053), 조작 스위치(3054), 표시부 B(3055), 배터리(3056) 등을 포함한 디지털 비디오 카메라를 도시한 것이다. 상술한 실시형태에 기재된 액정 표시 장치를 사용함으로써, 신뢰성이 높은 디지털 비디오 카메라가 제공될 수 있다.
- [0275] 도 14f는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치에서는, 하우징(9601)에 표시부(9603)가 제공된다. 표시부(9603)는 영상을 표시할 수 있다. 여기서, 하우징(9601)은 스탠드(9605)에 의하여 지지된다. 상술한 실시형태에 기재된 액정 표시 장치를 사용함으로써, 신뢰성이 높은 텔레비전 장치가 제공될 수 있다.
- [0276] 텔레비전 장치는 하우징(9601)의 조작 스위치 또는 별체의 리모트 컨트롤러에 의하여 조작될 수 있다. 또한, 리모트 컨트롤러에는 상기 리모트 컨트롤러로부터 출력된 데이터를 표시하는 표시부가 제공되어도 좋다.
- [0277] 또한, 텔레비전 장치에는 수신기, 모뎀 등이 제공된다. 수신기를 사용하여 일반적인 텔레비전 방송이 수신될 수 있다. 또한, 텔레비전 장치는 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속될 때, 일 방향(송신

자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신이 수행될 수 있다.

[0278] 본 실시형태는 다른 실시형태에 기재된 구성의 어느 것과 적절히 조합되어 실시될 수 있다.

[0279] (실시예 1)

[0280] 상술한 실시형태에 개시된 방법을 사용하여, 4개의 포토리소그래피 공정을 거쳐 액정 표시 장치가 제작되었다. 본 실시예에서는, 4개의 포토리소그래피 공정을 거쳐 제작된 액정 표시 장치에서의 홈부의 적층 구성에 대하여 도 19a 및 도 19b를 참조하여 기재한다. 도 19a는 홈부의 적층 구성을 나타내는 TEM(Transmission Electron Microscopy)상이며, 도 1에서의 채선 H1-H2로 나타내어진 부분의 단면에 상당한다. 도 19b는, 도 19a의 TEM상을 쉽게 이해하기 위한 도 19a의 모식도이다. 1논금이 0.3 μ m인 기준자가 도 19a 및 도 19b의 왼쪽 아래에 표시된다.

[0281] 도 19a 및 도 19b에서의 단면 H1-H2에 있어서, 하지층(901a)으로서의 질화 실리콘층 및 하지층(901b)으로서의 산화 질화 실리콘층이 유리 기판(900) 위에 형성되었다. 하지층(901b) 위에는 산화 질화 실리콘층이 게이트 절연층(904)으로서 형성되고, 게이트 절연층(904) 위에 In-Ga-Zn계 산화물 반도체가 반도체층(905)으로서 성막되었다. 다음에, 반도체층(905) 위의 배선(916)으로서, W층, Ti층, Al층 및 Ti층의 4층이 적층되도록 형성되었다. 반도체층(905) 및 배선(916) 위에 절연층(907)으로서 산화 실리콘층이 형성되고, 절연층(907) 위에 절연층(908)으로서 산화 질화 실리콘층이 형성되었다.

[0282] 홈부(930)는, 포토리소그래피 공정에 의하여 레지스트 마스크가 형성되고, ICP 에칭법에 의하여 절연층(908), 절연층(907), 반도체층(905), 게이트 절연층(904), 하지층(901b) 및 하지층(901a)이 선택적으로 제거되고, 그리고 레지스트 마스크가 제거되는 방법으로 형성되었다. 본 실시예에서는, 홈부(930) 형성시에 유리 기판(900)의 일부도 제거된다.

[0283] 다음에, 도 19a 및 도 19b에 도시되지 않은 화소 전극이 형성되고, 화소 전극 위에 배향막(911)이 형성되었다. 도 19a 및 도 19b로부터, 배향막(911)은 홈부(930) 내에도 잔존하고 홈부(930)의 측면을 덮는 것을 알 수 있다.

[0284] 또한, 보호층(921) 및 보호층(922)은 단면 TEM상을 얻기 위한 전처리로서 시료 위에 형성된 층이다.

[0285] 이와 같이 홈부(930)에서 반도체층(905)을 제거함으로써, 기생 트랜지스터의 형성이 방지될 수 있었고, 또한 적은 포토리소그래피 공정수로 액정 표시 장치가 제작될 수 있었다.

부호의 설명

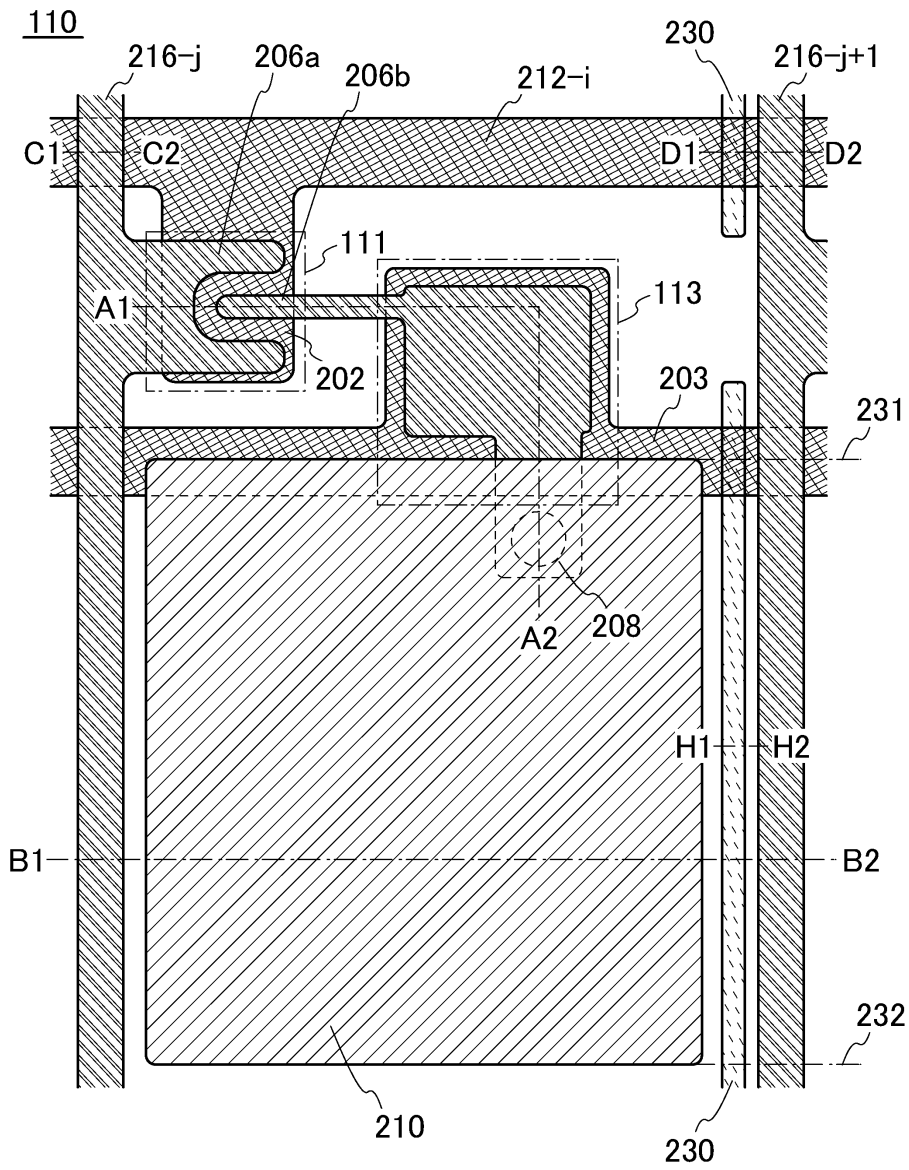
[0286] 100: 반도체 장치, 101: 기판, 102: 화소 영역, 103: 단자부, 104: 단자부, 105: 단자, 106: 단자, 107: 단자, 110: 화소, 111: 트랜지스터, 112: 액정 소자, 113: 용량 소자, 114: 전극, 120: 화소, 130: 화소, 200: 기판, 201: 하지층, 202: 게이트 전극, 203: 배선, 204: 게이트 절연층, 205: 반도체층, 207: 절연층, 208: 콘택트 홀, 210: 화소 전극, 211: 화소 전극, 212: 배선, 216: 배선, 219: 콘택트 홀, 220: 콘택트 홀, 221: 전극, 222: 전극, 230: 홈부, 231: 단부, 232: 단부, 233: 단부, 234: 단부, 240: 홈부, 251: 홈부, 252: 홈부, 253: 홈부, 254: 홈부, 255: 홈부, 256: 홈부, 257: 홈부, 258: 홈부, 900: 유리 기판, 904: 게이트 절연층, 905: 반도체층, 907: 절연층, 908: 절연층, 911: 배향막, 916: 배선, 921: 보호층, 922: 보호층, 930: 홈부, 2701: 안경, 2706: 하우징, 2703: 케이블, 2704: 하우징, 2705: 표시부, 2707: 표시부, 2711: 표시 장치, 2712: 측부, 2713: 타이밍 발생기, 2716: 표시 제어 회로, 2717: 표시부, 2718: 소스선 구동 회로, 2719: 게이트선 구동 회로, 2721: 전원 단자, 2722: 외부 조작 수단, 2723: 조작 키, 2725: 스피커, 2800: 하우징, 2801: 하우징, 2802: 표시 패널, 2803: 스피커, 2804: 마이크로폰, 2805: 조작 키, 2806: 포인팅 디바이스, 2807: 카메라 렌즈, 2808: 외부 접속 단자, 2810: 태양 전지 셀, 2811: 외부 메모리 슬롯, 3001: 본체, 3002: 하우징, 3003: 표시부, 3004: 키보드, 3021: 본체, 3022: 스타일러스, 3023: 표시부, 3024: 조작 버튼, 3025: 외부 인터페이스, 3051: 본체, 3053: 접안부, 3054: 조작 스위치, 3055: 표시부 B, 3056: 배터리, 3057: 표시부 A, 4001: 기판, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 실재, 4006: 기판, 4008: 액정층, 4010: 트랜지스터, 4013: 액정 소자, 4015: 전극, 4016: 배선, 4018: FPC, 4019: 이방성 도전층, 4020: 입력 단자, 4030: 전극, 4031: 전극, 4032: 절연층, 4035: 스페이서, 4040: 홈부, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 148a: 결정성 산화물 반도체층, 148b: 결정성 산화물 반도체층, 206a: 소스 전극, 206b: 드레인 전극, 901a: 하지층, 901b: 하지층, 2702a: 왼쪽 눈용 패널, 2702b: 오른쪽 눈용 패널, 2730a: 동기 신호, 2730b: 동기 신호, 2731a: 동기 신호, 2731b: 동기 신호, 4018a: FPC, 및 4018b: FPC.

본 출원은 2010년 9월 15일 일본 특허청에 출원된 일본 특허 출원 번호 제2010-207164호에 기초하며, 그 전체

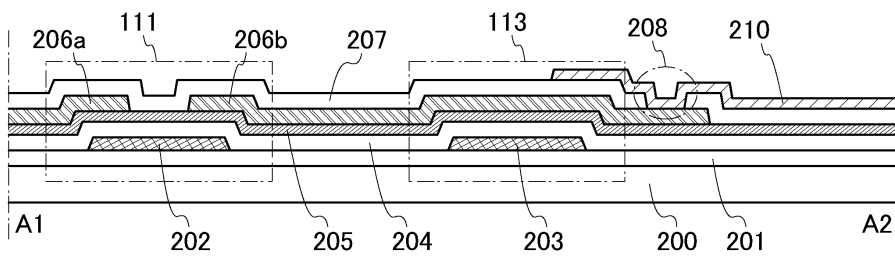
내용은 여기서 참조용으로 인용된다.

도면

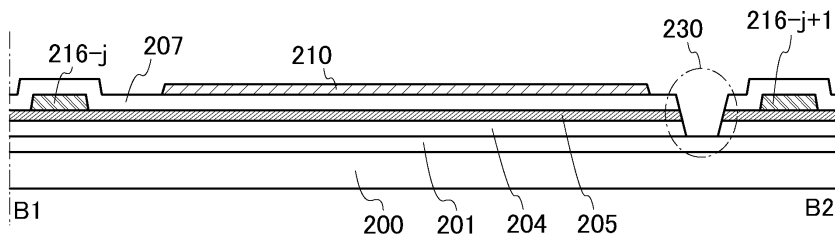
도면1



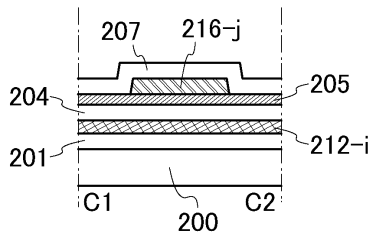
도면2a



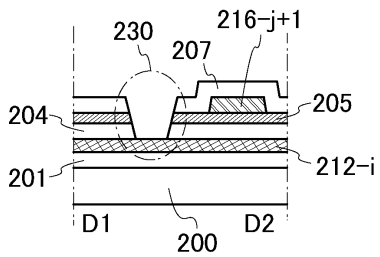
도면2b



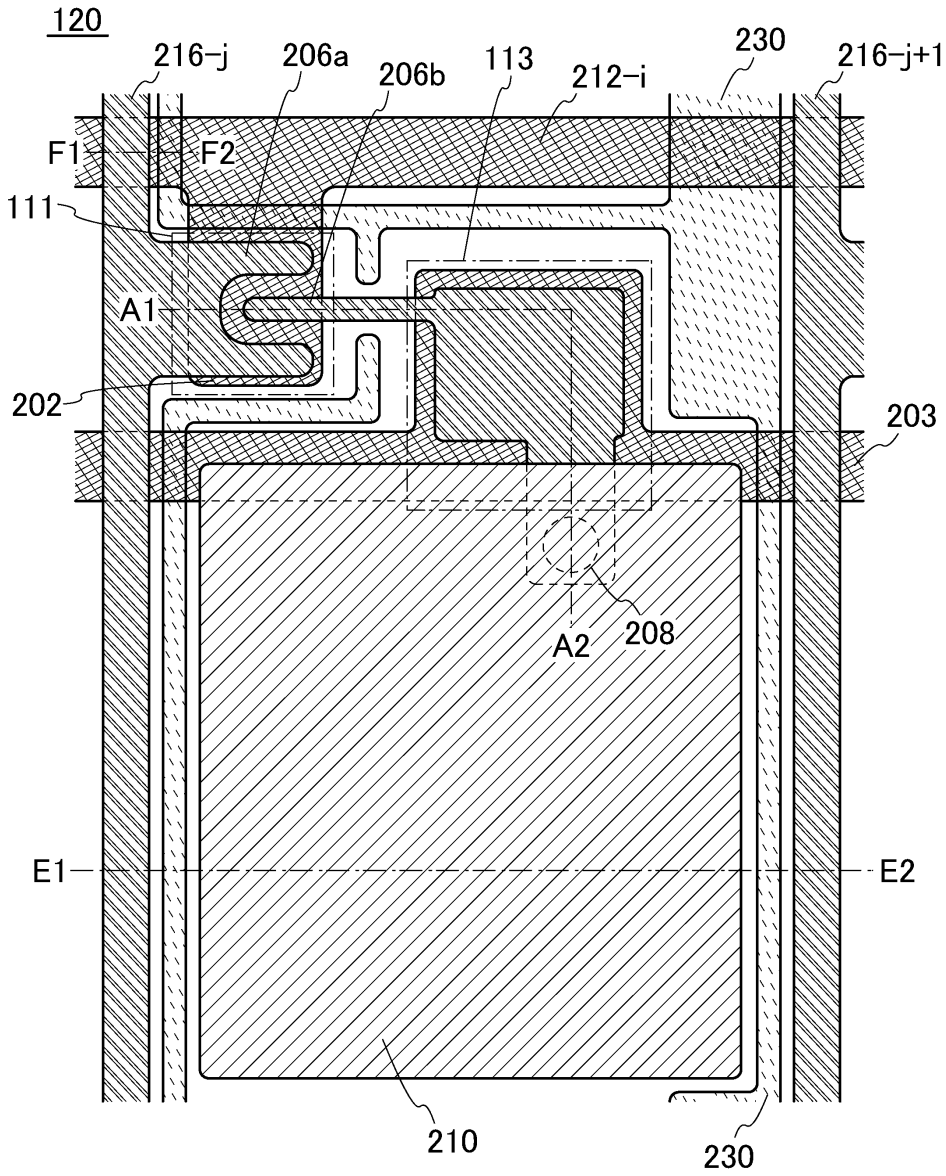
도면2c



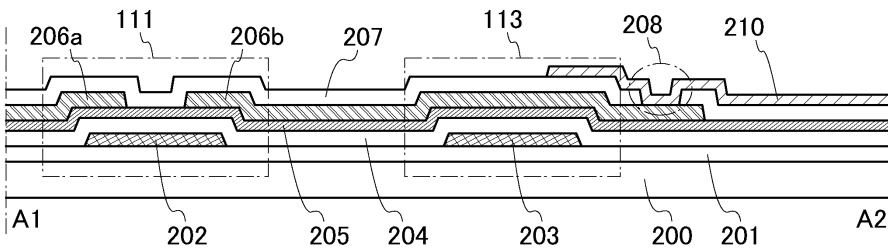
도면2d



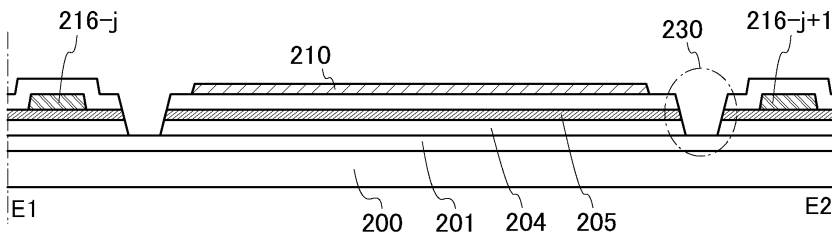
도면3



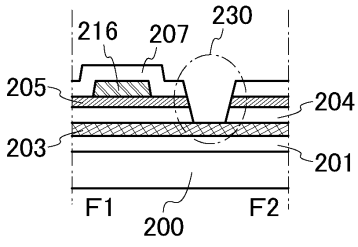
도면4a



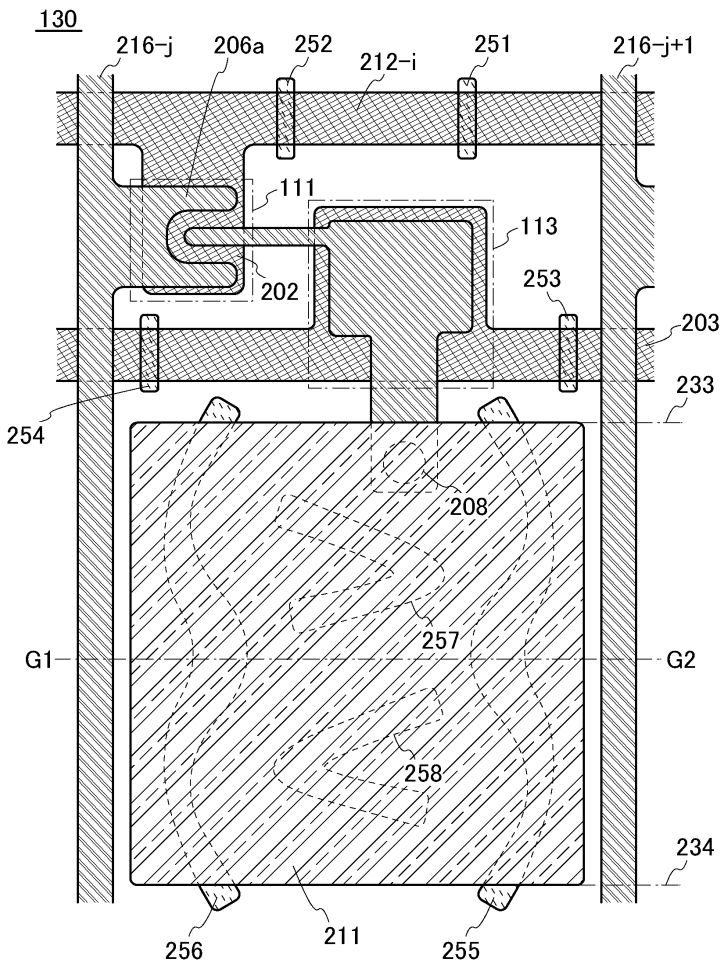
도면4b



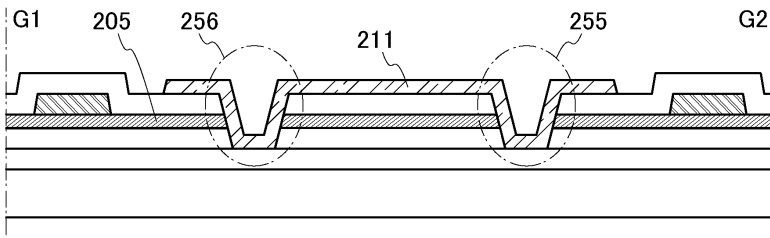
도면4c



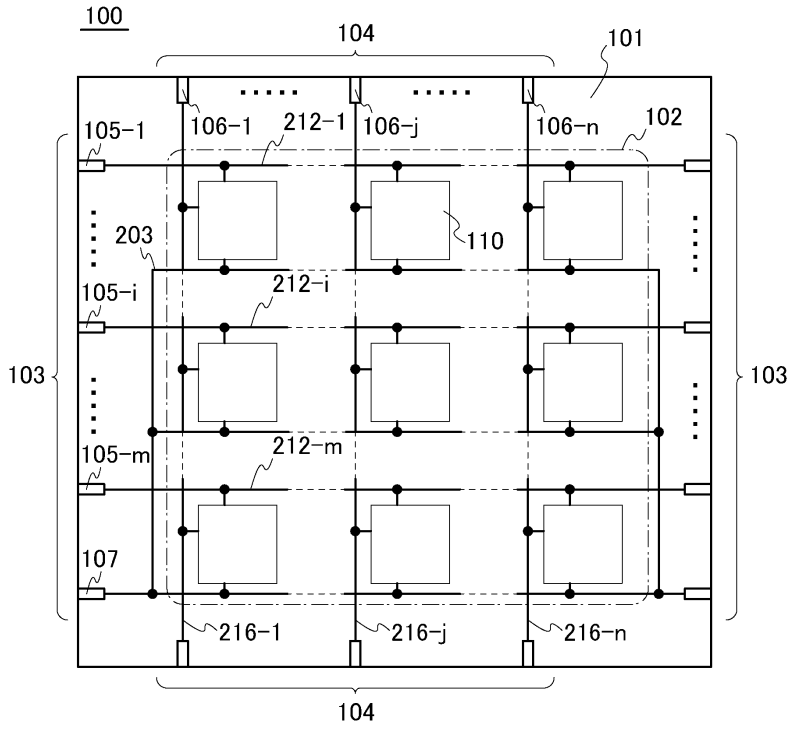
도면5a



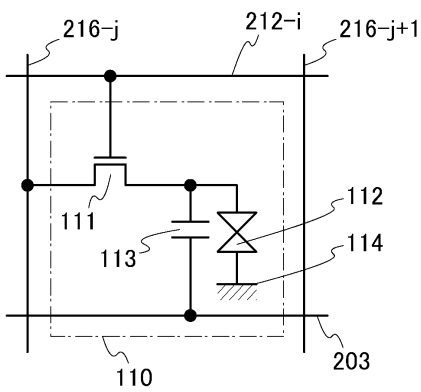
도면5b



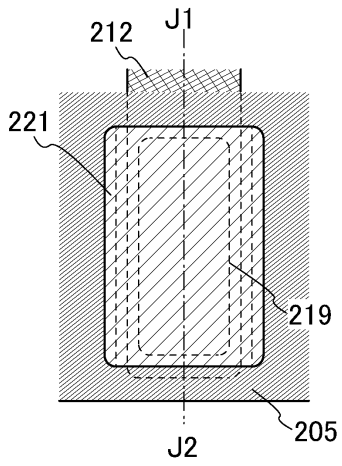
도면6a



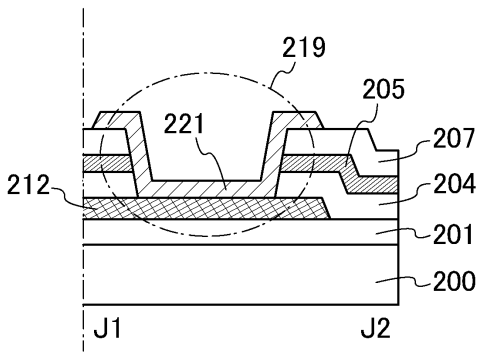
도면6b



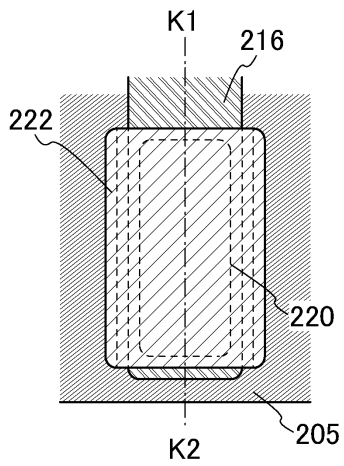
도면7a



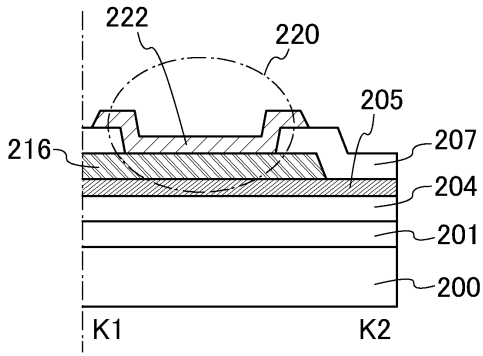
도면7b



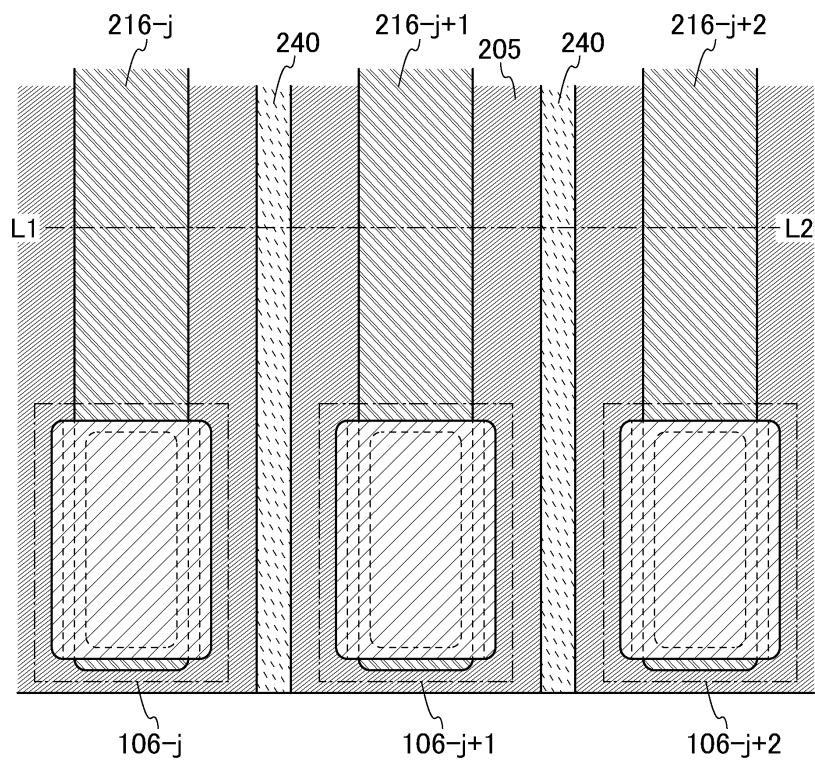
도면7c



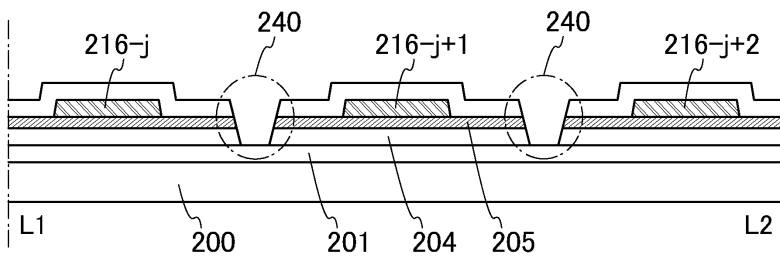
도면7d



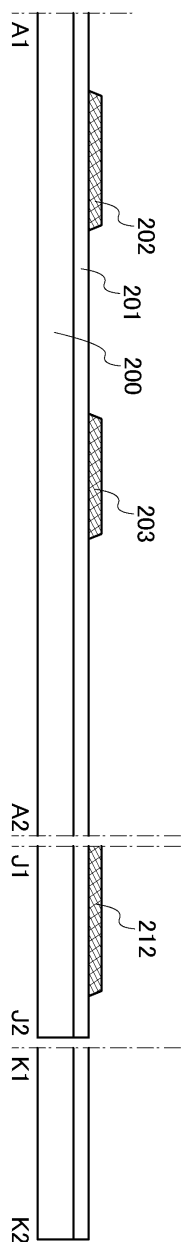
도면8a



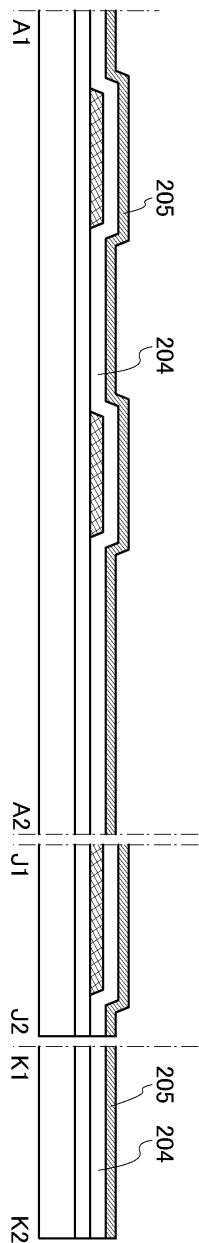
도면8b



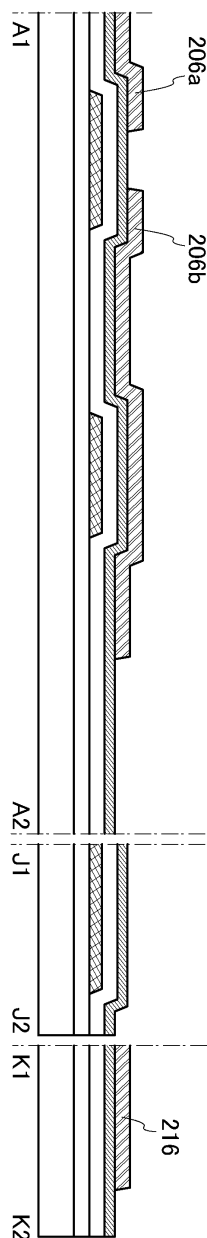
도면9a



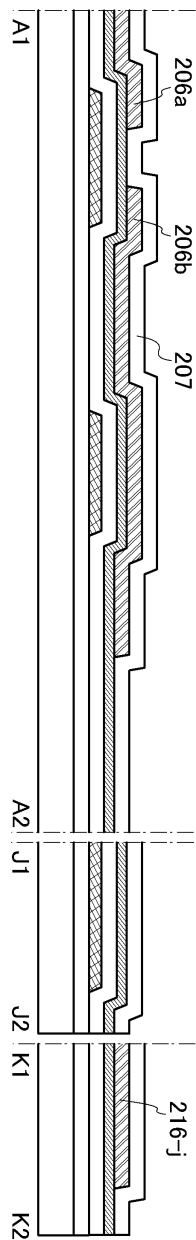
도면9b



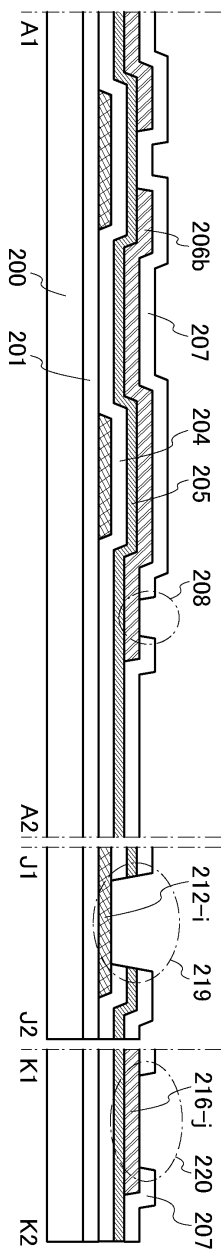
도면9c



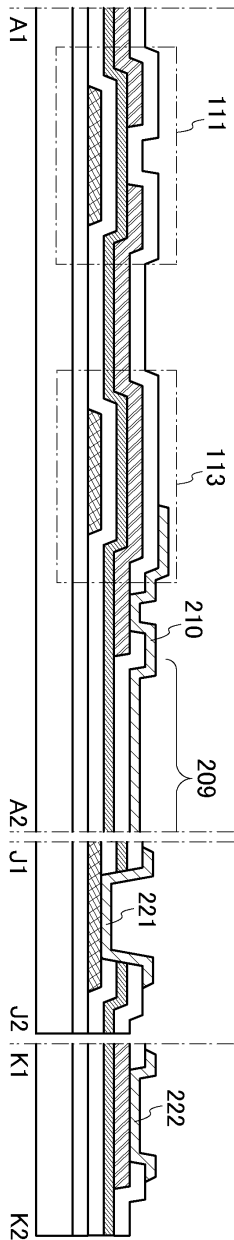
도면10a



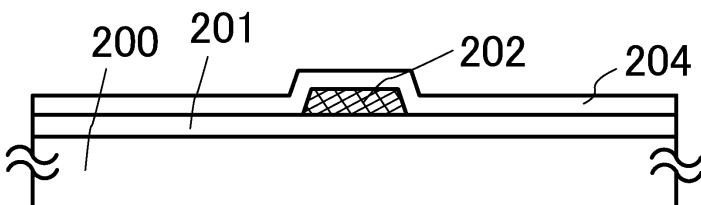
도면10b



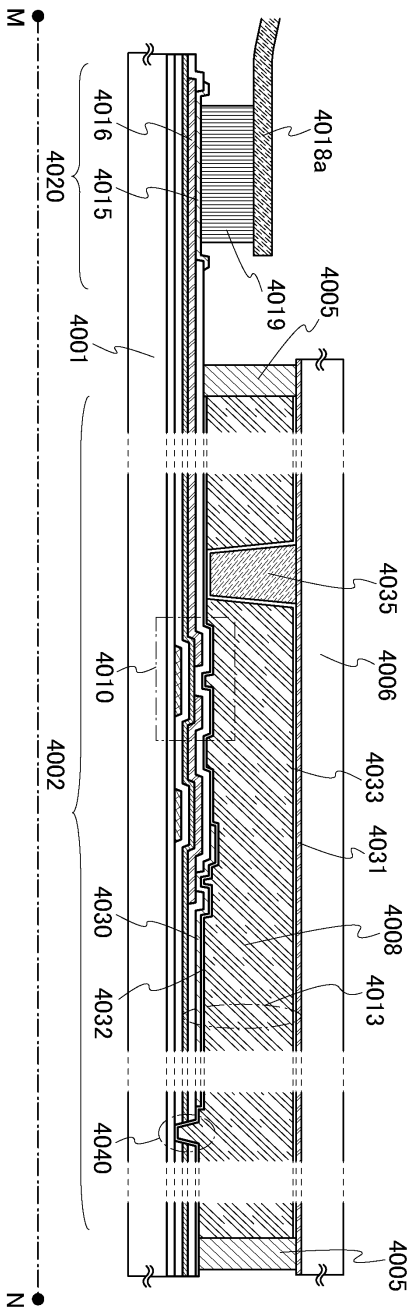
도면10c



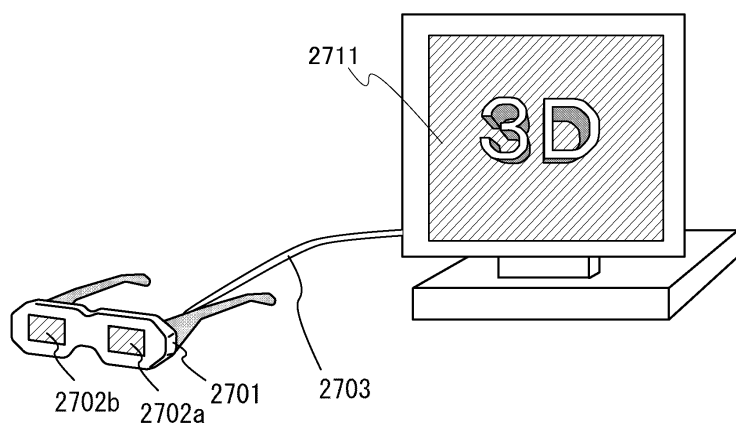
도면11a



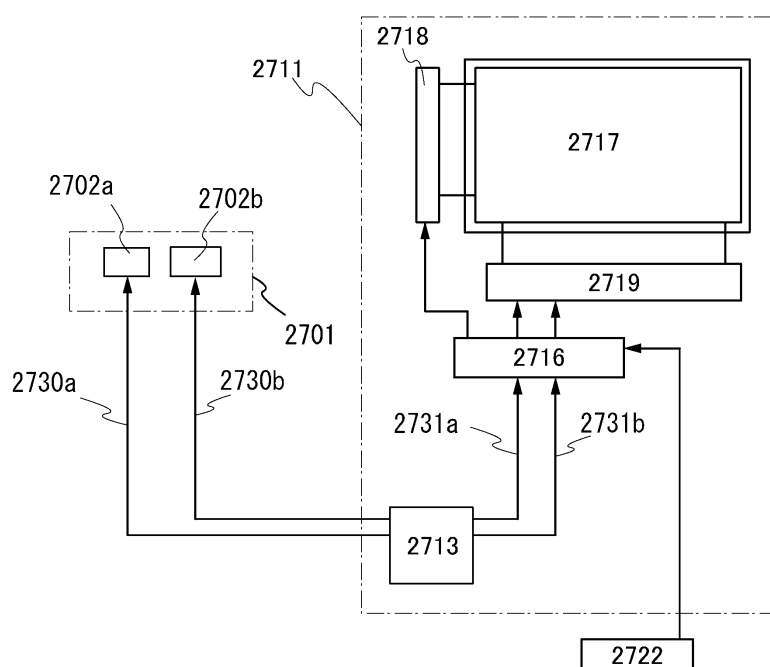
도면12b



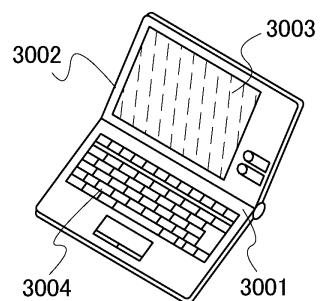
도면13a



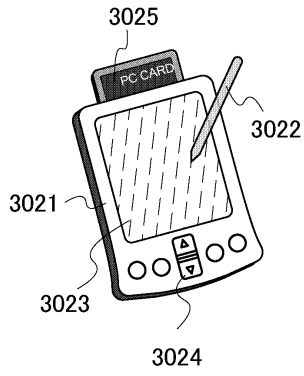
도면13b



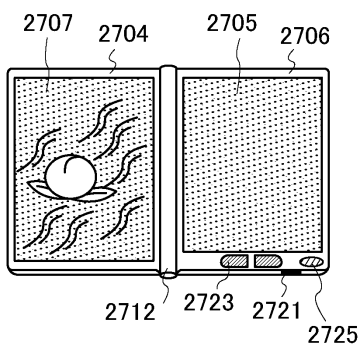
도면14a



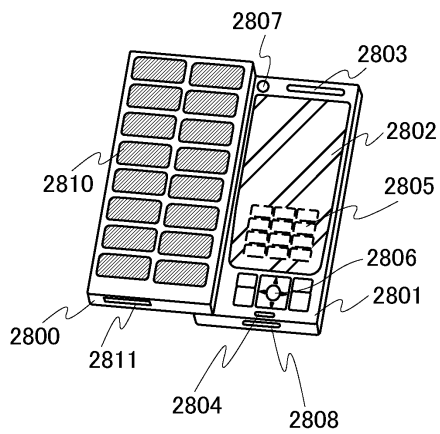
도면14b



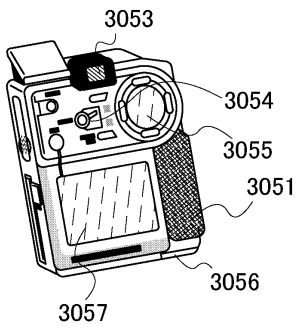
도면14c



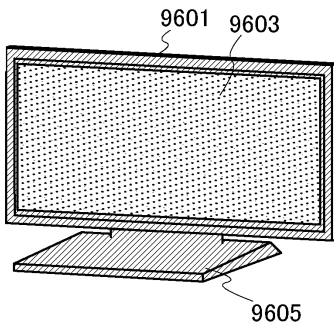
도면14d



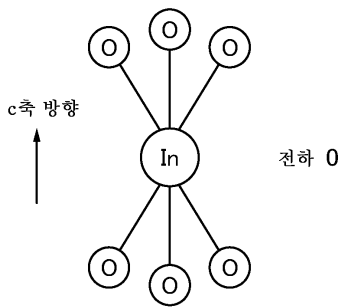
도면14e



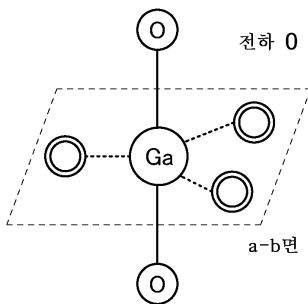
도면14f



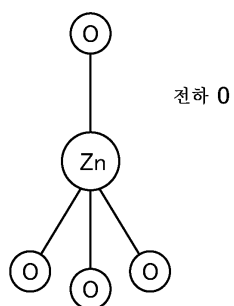
도면15a



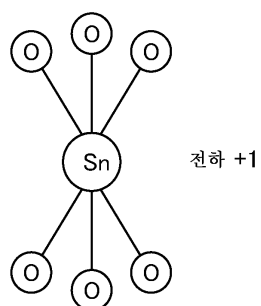
도면15b



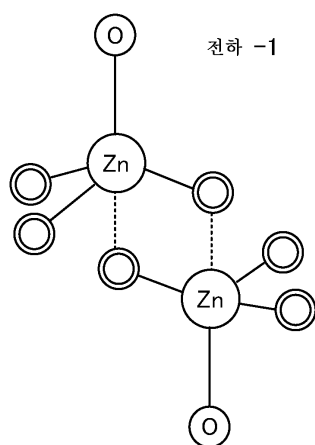
도면15c



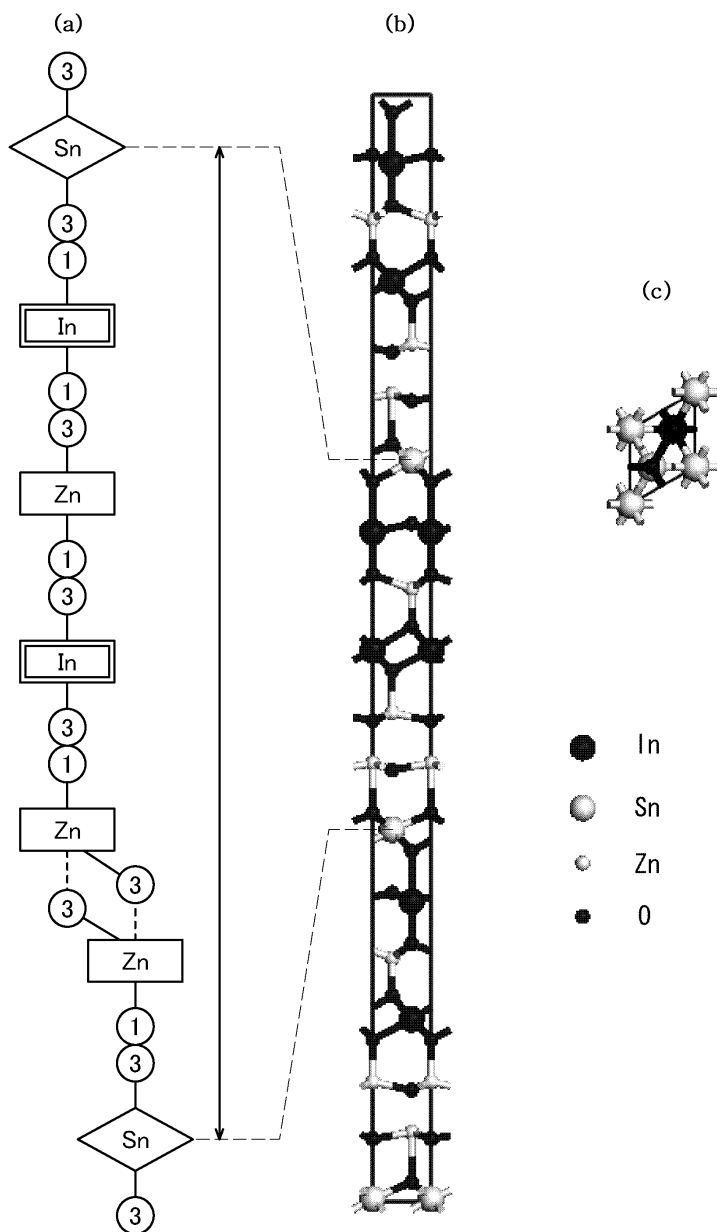
도면15d



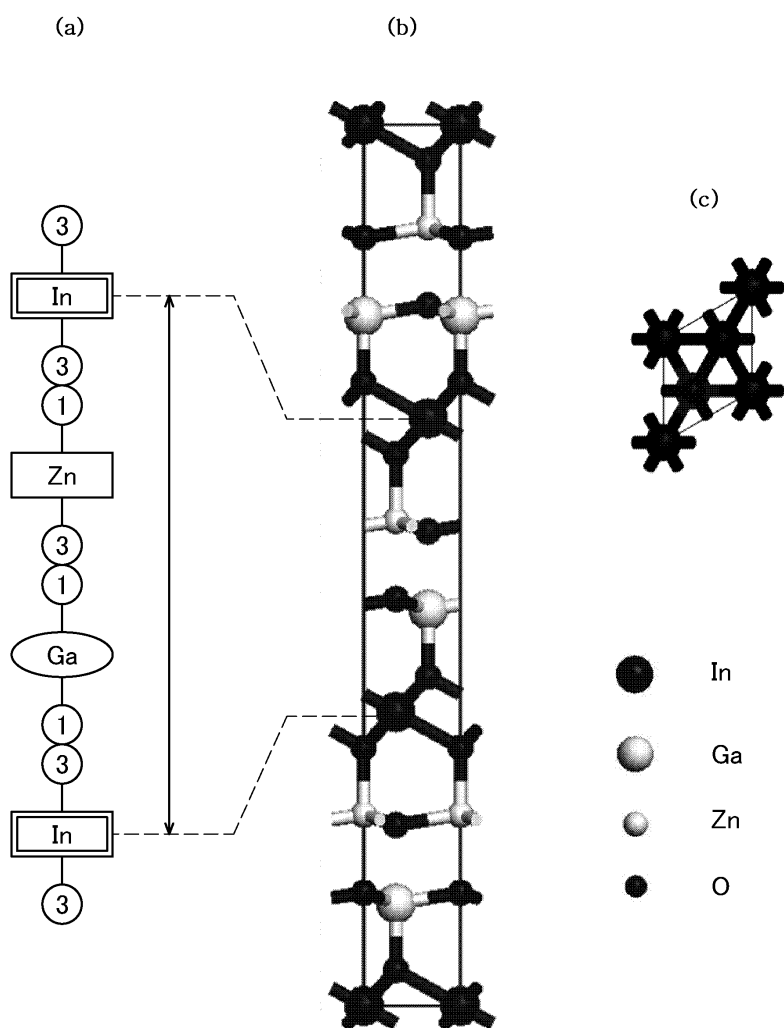
도면15e



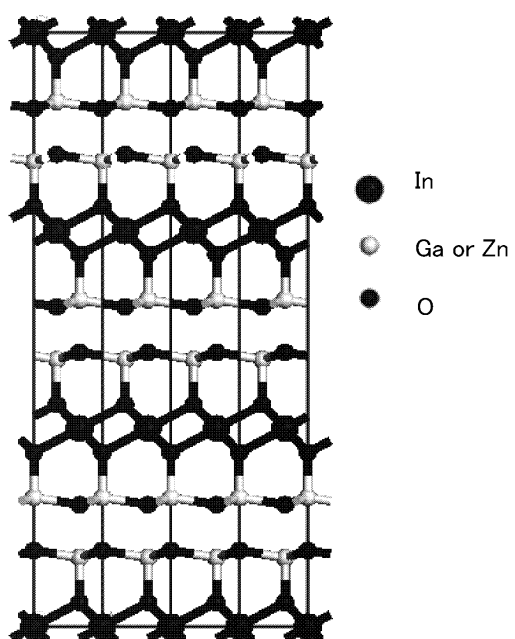
도면16



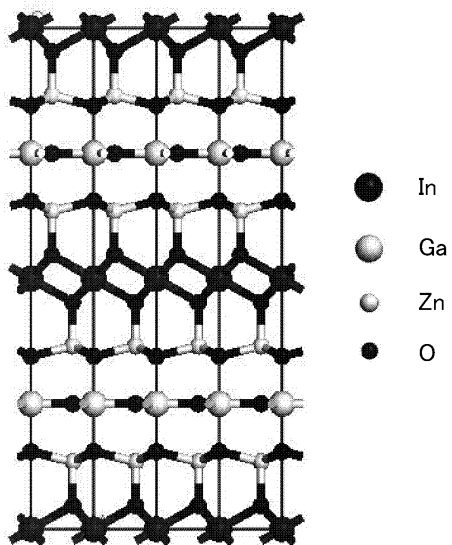
도면17



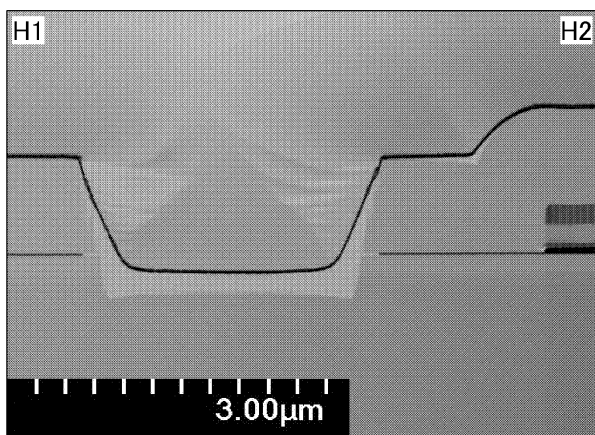
도면18a



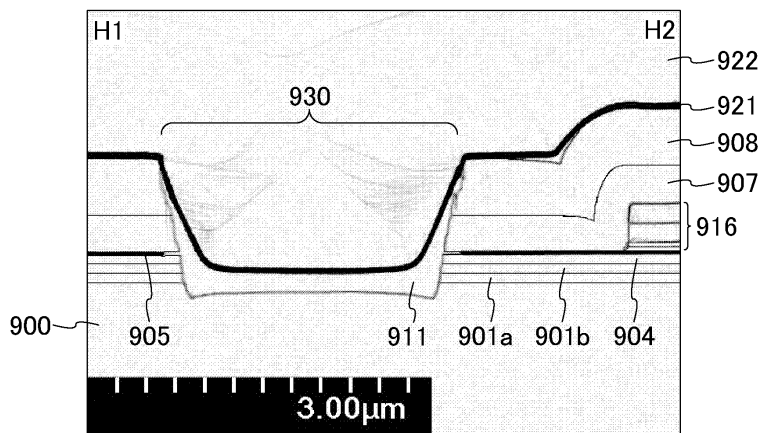
도면18b



도면19a



도면19b



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020130106398A	公开(公告)日	2013-09-27
申请号	KR1020137009190	申请日	2011-08-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	MIYAKE HIROYUKI 미야케히로유키 ARASAWA RYO 아라사와료 KUSUNOKI KOJI 구스노키고지		
发明人	미야케히로유키 아라사와료 구스노키고지		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	G02F1/136286 G02F1/136213 G02F1/13458 H01L27/1225 H01L27/1214 H01L29/41733 G02F1/13439 G02F2001/13606 G02F1/136227 H01L27/124 H01L27/1255		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2010207164 2010-09-15 JP		
外部链接	Espacenet		

摘要(译)

在形成岛状半导体层的光刻工艺之后制造液晶显示器并且形成栅电极的工艺（包括形成有相同层的布线等）省略蚀刻工艺，形成源电极和漏极的工艺电极（包括形成有相同层的布线等），以及形成该工艺的工艺的4个光刻工艺和包括形成有相同层的像素电极（布线等）接触孔的形成（暗示与可移除性包括除接触孔之外的区域的绝缘层等。关于形成接触孔的工艺，形成去除了半导体层的沟槽部分。防止了寄生通道的形成。

