

특허청구의 범위

청구항 1

액정패널과;

상기 액정패널의 비표시 영역에 배치되어 외부 정전기가 표시 영역으로 유입되는 것을 방지하기 위한 정전기 방지회로를 포함하고; 상기 정전기 방지회로는

게이트 단자와 소스 단자가 신호라인에 공통으로 접속되고 드레인 단자가 제 1 노드에 접속된 제 1 스위칭 소자와;

게이트 단자와 소스 단자가 공통라인에 공통으로 접속되고 드레인 단자가 상기 제 1 노드에 접속된 제 2 스위칭 소자와;

게이트 단자가 상기 제 1 노드에 접속되고 소스 단자가 제 2 노드에 접속되며 드레인 단자가 제 3 노드에 접속된 제 3 및 제 4 스위칭 소자와;

게이트 단자가 상기 제 3 노드에 접속되고 소스 단자가 상기 공통라인에 접속되며 드레인 단자가 상기 신호라인에 접속된 제 5 스위칭 소자와;

상기 제 1 노드와 상기 제 2 노드 사이에 접속된 커패시터를 포함하여 구성된 정전기 방지회로를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 공통라인은 공통전압이 인가되는 라인이며,

상기 신호라인은 화소를 정의하는 다수의 게이트 라인과 다수의 데이터 라인 중 어느 한 라인인 것을 특징으로 하는 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 커패시터는

게이트 단자가 상기 제 2 노드에 접속되고 소스 단자와 드레인 단자가 쇼트되어 상기 제 1 노드에 접속된 제 6 스위칭 소자로 구성된 것을 특징으로 하는 액정 표시장치.

명세서

기술분야

[0001] 본 발명은 정전기 방지회로의 누설 전류를 줄여 화질저하를 방지하고 소비전력을 줄일 수 있는 액정 표시장치에 관한 것이다.

배경기술

[0002] 일반적인 액정 표시장치는 액정패널 내부에 구성되는 화소로의 정전기(Electrostatic Discharge; ESD) 유입을 방지하기 위해 영상이 표시되지 않는 비표시 영역에 정전기 방지회로를 구비한다.

[0003] 도 1은 일반적인 정전기 방지회로를 도시한 구성도이다.

[0004] 도 1에 도시된 정전기 방지회로는 스캔신호 또는 데이터 전압이 인가되는 신호라인과 공통전압이 인가되는 공통라인 사이에 구비된 제 1 내지 제 3 스위칭 소자(T1~T3)를 포함한다. 구체적으로, 제 1 스위칭 소자(T1)는 게이트 단자와 소스 단자가 신호라인에 공통으로 접속되고 드레인 단자가 기준 노드(N)에 접속된다. 제 2 스위칭 소자(T2)는 게이트 단자와 소스 단자가 공통라인에 공통으로 접속되고 드레인 단자가 기준 노드(N)에 접속된다.

제 3 스위칭 소자(T3)는 게이트 단자가 기준 노드(N)에 접속되고 소스 단자가 공통라인에 접속되며 드레인 단자가 신호라인에 접속된다.

[0005] 이와 같은, 정전기 방지회로는 신호라인으로 유입된 정전기를 공통라인으로 방전시키거나, 공통라인으로 유입된 정전기를 신호라인으로 방전시켜 외부로부터 유입된 고전압의 정전기를 분산시킨다.

[0006] 그런데, 종래의 정전기 방지회로는 정전기 방지회로의 누설 전류에 의해 소비전력이 증가되는 문제점이 있었다. 특히, 구동전압이 낮은 소형 액정 표시장치의 경우 정전기 방지회로의 누설 전류는 스캔신호에 영향을 주어, 가로선 불량과 같은 화질저하를 발생시킨다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 정전기 방지회로의 누설 전류를 줄여 화질저하를 방지하고 소비전력을 줄일 수 있는 액정 표시장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0008] 상기와 같은 목적을 달성하기 위해 본 발명의 실시 예에 따른 액정 표시장치는 액정패널과; 상기 액정패널의 비 표시 영역에 배치되어 외부 정전기가 표시 영역으로 유입되는 것을 방지하기 위한 정전기 방지회로를 포함하고; 상기 정전기 방지회로는 게이트 단자와 소스 단자가 신호라인에 공통으로 접속되고 드레인 단자가 제 1 노드에 접속된 제 1 스위칭 소자와; 게이트 단자와 소스 단자가 공통라인에 공통으로 접속되고 드레인 단자가 상기 제 1 노드에 접속된 제 2 스위칭 소자와; 게이트 단자가 상기 제 1 노드에 접속되고 소스 단자가 제 2 노드에 접속되며 드레인 단자가 제 3 노드에 접속된 제 3 및 제 4 스위칭 소자와; 게이트 단자가 상기 제 3 노드에 접속되고 소스 단자가 상기 공통라인에 접속되며 드레인 단자가 상기 신호라인에 접속된 제 5 스위칭 소자와; 상기 제 1 노드와 상기 제 2 노드 사이에 접속된 커패시터를 포함하여 구성된 정전기 방지회로를 포함하여 구성된 것을 특징으로 한다.

[0009] 상기 공통라인은 공통전압이 인가되는 라인이며, 상기 신호라인은 화소를 정의하는 다수의 게이트 라인과 다수의 데이터 라인 중 어느 한 라인인 것을 특징으로 한다.

[0010] 상기 커패시터는 게이트 단자가 상기 제 2 노드에 접속되고 소스 단자와 드레인 단자가 쇼트되어 상기 제 1 노드에 접속된 제 6 스위칭 소자로 구성된 것을 특징으로 한다.

발명의 효과

[0011] 본 발명에 따른 정전기 방지회로는 커패시터의 커플링 현상을 이용해 신호라인과 공통라인 간의 전류패스를 형성하는 제 5 TFT를 스위칭 한다. 이러한 본 발명은 정전기가 발생하지 않는 경우에 정전기 방지회로를 통한 누설 전류를 최소화할 수 있어, 누설 전류로 인한 가로선 불량을 방지하고 소비전력을 줄일 수 있다.

도면의 간단한 설명

[0012] 도 1은 일반적인 정전기 방지회로를 도시한 구성도이다.

도 2는 본 발명의 실시 예에 따른 액정 표시장치의 구성도이다.

도 3은 도 2에 도시된 액정패널(2)의 하부 유리기판(10)의 구성도이다.

도 4는 도 3에 도시된 정전기 방지회로의 구성도이다.

도 5는 정전기 방지회로의 다른 실시 예를 나타낸 구성도이다.

도 6a 및 도 6b는 본 발명의 효과를 설명하기 위한 시뮬레이션이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 실시 예에 따른 액정 표시장치를 첨부된 도면을 참조하여 보다 상세히 설명한다.

[0014] 도 2는 본 발명의 실시 예에 따른 액정 표시장치의 구성도이다.

- [0015] 도 2에 도시된 액정 표시장치는 액정패널(2)과, 게이트 구동부(4)와, 데이터 구동부(6)와, 타이밍 제어부(8)를 포함한다.
- [0016] 액정패널(2)은 액정층을 사이에 두고 대향하는 상부 유리기판과 하부 유리기판을 포함한다. 액정패널(2)은 데이터 전압에 따라 영상을 표시하는 화소 어레이를 포함한다. 화소 어레이는 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)의 교차구조에 의해 매트릭스 형태로 배치되는 액정셀(CIC)들을 포함한다.
- [0017] 액정셀(Cic)들은 화소영역(P)에 구비된 박막 트랜지스터(Thin Film Transistor; 이하, TFT)를 통해 화소전극에 공급된 데이터 전압과 공통전극에 공급된 공통전압의 전압차에 의해 발생하는 전계에 따라 액정을 구동하고, 스토리지 커패시터(Cst)에 의해 데이터 전압을 일정기간 동안 유지하여 화상을 표시한다.
- [0018] 액정패널(2)의 상부 유리기판 상에는 블랙 매트릭스, 컬러 필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직 전계 구동방식일 경우 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식일 경우 화소전극과 함께 하부 유리기판 상에 형성된다. 본 발명의 액정패널(2)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다.
- [0019] 게이트 구동부(4)는 타이밍 제어부(8)로부터 제공된 게이트 제어신호(GCS)를 이용하여 다수의 게이트 라인(GL)에 스캔신호를 순차적으로 공급한다. 여기서, 스캔신호는 화소영역(P)에 구비된 TFT를 턴-온 시키는 게이트 온 전압(VGH)과, TFT를 턴-오프 시키는 게이트 오프 전압(VGL) 중 하나의 값을 갖는 펄스 신호이다.
- [0020] 데이터 구동부(6)는 타이밍 제어부(8)로부터 제공된 데이터 제어신호(DCS)에 따라 타이밍 제어부(8)로부터 입력되는 영상 데이터(RGB)를 기준감마전압을 이용하여 데이터 전압으로 변환하고, 변환된 데이터 전압을 다수의 데이터 라인(DL)에 순차적으로 공급한다.
- [0021] 타이밍 제어부(8)는 게이트 구동부(4), 및 데이터 구동부(6)의 구동타이밍을 제어한다. 이를 위해, 타이밍 제어부(8)는 외부로부터 입력되는 동기신호 즉, 수평 동기신호(HSync), 수직 동기신호(VSync), 도트 클럭(DCLK), 데이터 인에이블 신호(DE)를 이용하여 다수의 게이트 제어신호(GCS) 및 다수의 데이터 제어신호(DCS)를 생성하여 출력한다. 여기서, 다수의 게이트 제어신호(GCS)는 서로 다른 위상차를 갖는 다수의 클럭펄스와 게이트 구동부(4)의 구동 시작을 지시하는 게이트 스타트 펄스(GSP; Gate Start Pulse) 등을 포함한다. 그리고 다수의 데이터 제어신호(DCS)는 데이터 구동부(6)의 출력기간을 제어하는 소스 출력 인에이블(SOE; Source Output Enable), 데이터 샘플링의 시작을 지시하는 소스 스타트 펄스(SSP; Source Start Pulse), 데이터의 샘플링 타이밍을 제어하는 소스 쉬프트 클럭(SSC; Source Shift Clock), 데이터의 전압 극성을 제어하는 극성제어신호(POL) 등을 포함한다.
- [0022] 특히, 실시 예는 외부 정전기의 유입을 방지하기 위해 비표시 영역에 형성되되, 누설전류를 줄여 화질저하를 방지하고, 소비전력을 줄일 수 있는 정전기 방지회로(20)를 포함한다. 이하, 실시 예에 따른 정전기 방지회로(20)를 구체적으로 설명한다.
- [0023] 도 3은 도 2에 도시된 액정패널(2)의 하부 유리기판(10)의 구성도이다. 참고로, 도 3은 수직 전계 구동방식에 따른 액정패널(2)인데, 이는 설명의 편의를 위한 하나의 예일 뿐, 본 발명은 이에 국한되지 않는다.
- [0024] 도 3에 도시된 하부 유리기판(10)은 영상을 표시하는 표시영역(AA)과, 영상이 표시되지 않는 비표시영역(NA)으로 정의된다.
- [0025] 표시영역(AA)은 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)의 교차로 화소영역을 정의한다.
- [0026] 비표시영역(NA)은 스캔신호를 인가받기 위해 다수의 게이트 라인(GL)으로부터 연장된 다수의 게이트 패드(12)와, 데이터 전압을 인가받기 위해 다수의 데이터 라인(DL)으로부터 연장된 다수의 데이터 패드(14)가 배치된다. 또한, 비표시영역(NA)에는 표시영역(AA)의 둘레를 따라 공통라인(L2)이 배치된다. 공통라인(L2)의 적어도 한 모서리 영역에는 은(Ag) 도트(16)가 형성되는데, 은 도트(16)는 상부 유리기판에 배치된 공통전극과 하부 유리기판에 배치된 공통라인(L2)을 전기적으로 연결한다.
- [0027] 실시 예에 따른 정전기 방지회로(20)는 비표시 영역(NA)에 형성되되, 공통라인(L2)과 각 게이트 라인(GL)의 사이에 배치되며, 공통라인(L2)과 각 데이터 라인(DL)의 사이에 배치된다. 이하, 설명의 편의를 위해 게이트 라인(GL)과 데이터 라인(DL)을 신호라인(L1)으로 정의한다. 따라서, 정전기 방지회로(20)는 신호라인(L1)과 공통라인(L2) 사이에 배치된다.

- [0028] 도 4는 도 3에 도시된 정전기 방지회로(20)의 구성도이다.
- [0029] 도 4에 도시된 정전기 방지회로(20)는 신호라인(L1)과 공통라인(L2) 사이에 배치된 제 1 내지 제 5 TFT(T1~T5)와, 커패시터(C)를 포함한다.
- [0030] 제 1 TFT(T1)는 게이트 단자와 소스 단자가 신호라인(L1)에 공통으로 접속되고 드레인 단자가 제 1 노드(N1)에 접속된다.
- [0031] 제 2 TFT(T2)는 게이트 단자와 소스 단자가 공통라인(L2)에 공통으로 접속되고 드레인 단자가 제 1 노드(N1)에 접속된다.
- [0032] 제 3 TFT(T3)는 게이트 단자가 제 1 노드(N1)에 접속되고 소스 단자가 제 2 노드(N2)에 접속되며 드레인 단자가 제 3 노드(N3)에 접속된다.
- [0033] 제 4 TFT(T4)는 게이트 단자가 제 1 노드(N1)에 접속되고 소스 단자가 제 2 노드(N2)에 접속되며 드레인 단자가 제 3 노드(N3)에 접속된다.
- [0034] 제 5 TFT(T5)는 게이트 단자가 제 3 노드(N3)에 접속되고 소스 단자가 공통라인(L2)에 접속되며 드레인 단자가 신호라인(L1)에 접속된다.
- [0035] 커패시터(C)는 제 1 노드(N1)와 제 2 노드(N2) 사이에 접속된다. 한편, 커패시터(C)는 도 5에 도시된 바와 같이, 게이트 단자가 제 2 노드(N2)에 접속되고 소스 단자와 드레인 단자가 쇼트되어 제 1 노드(N1)에 접속된 제 6 TFT(T6)로 구성될 수 있다.
- [0036] 제 1 내지 제 5 TFT(T1~T5)는 정전기에 의해 턴-온 될 수 있도록 매우 높은 문턱 전압을 갖도록 설계된다.
- [0037] 상기와 같은 정전기 방지회로(20)는 제 1 및 제 2 TFT(T1, T2)의 게이트 단자가 소정의 저항값을 갖도록 하고, 그 저항값을 조절함으로써 정전기의 전압레벨에 따른 동작전압을 조절할 수 있다. 또한, 제 3 및 제 4 TFT(T3, T4)의 크기 또는 문턱전압을 조절하여 제 5 TFT(T5)의 게이트 온 시간을 조절할 수 있다. 그리고 제 1 노드(N1)에 저항(미도시)을 더 구비하고, 제 1 노드(N1)에 구비된 저항의 저항값을 조절하면 동작시점을 조절할 수 있다.
- [0038] 이와 같은 정전기 방지회로(20)는 다음과 같이 구동된다.
- [0039] 만약, 외부로부터 신호라인(L1)에 정전기가 유입되면, 정전기는 제 1 TFT(T1)를 턴-온시킴과 동시에 제 1 TFT(T1)를 통해 제 1 노드(N1)에 공급된다. 제 1 노드(N1)에 정전기가 공급되면 제 3 및 제 4 TFT(T3, T4)가 턴-온 되고, 플로팅 상태를 유지하던 제 2 노드(N2)의 전압레벨은 커패시터(C)의 커플링 현상에 의해 급상승한다. 그리고 급상승된 제 2 노드(N2)의 전압은 제 3 및 제 4 TFT(T3, T4)를 통해 제 3 노드(N3)에 공급되어 제 5 TFT(T5)를 턴-온시킨다. 그러면, 제 5 TFT(T5)는 신호라인(L1)과 공통라인(L2) 사이에 전류패스를 형성하여 신호라인(L1)에 유입된 정전기를 공통라인(L2)으로 방전시킨다.
- [0040] 이와 마찬가지로, 외부로부터 공통라인(L2)에 정전기가 유입되면, 정전기는 제 2 TFT(T2)를 턴-온시킴과 동시에 제 2 TFT(T2)를 통해 제 1 노드(N1)에 공급된다. 제 1 노드(N1)에 정전기가 공급되면 제 3 및 제 4 TFT(T3, T4)가 턴-온 되고, 플로팅 상태를 유지하던 제 2 노드(N2)의 전압레벨은 커패시터(C)의 커플링 현상에 의해 급상승한다. 그리고 급상승된 제 2 노드(N2)의 전압은 제 3 및 제 4 TFT(T3, T4)를 통해 제 3 노드(N3)에 공급되어 제 5 TFT(T5)를 턴-온시킨다. 그러면, 제 5 TFT(T5)는 신호라인(L1)과 공통라인(L2) 사이에 전류패스를 형성하여 공통라인(L2)에 유입된 정전기를 신호라인(L1)으로 방전시킨다.
- [0041] 이와 같이, 실시 예에 따른 정전기 방지회로(20)는 커패시터(C)의 커플링 현상을 이용해 신호라인(L1)과 공통라인(L2) 간의 전류패스를 형성하는 제 5 TFT(T5)를 스위칭 한다. 이러한 실시 예는 정전기가 발생하지 않는 경우에 정전기 방지회로(20)를 통한 누설 전류를 최소화할 수 있어, 누설 전류로 인한 가로선 불량을 방지하고 소비 전력을 줄일 수 있다.
- [0042] 도 6a 및 도 6b는 본 발명의 효과를 설명하기 위한 시뮬레이션이다. 구체적으로 도 6a는 정전기가 발생되지 않는 평상시에 종래와 본 발명에 따른 정전기 방지회로를 통해 흐르는 전류량을 측정한 그래프이고, 도 6b는 정전기가 발생된 경우에 종래와 본 발명에 따른 정전기 방지회로를 통해 흐르는 전류량을 측정한 그래프이다.
- [0043] 도 6a를 참조하면, 정전기가 발생되지 않는 평상시에 종래의 정전기 방지회로를 통해 흐르는 누설 전류는 31.686 nA이고, 본 발명의 정전기 방지회로를 통해 흐르는 누설 전류는 0.065 nA인 것을 알 수 있다. 즉, 실험

결과 본 발명에 따른 정전기 방지회로는 종래에 비해 누설 전류가 크게 줄어든 것을 알 수 있었다.

[0044] 도 6b를 참조하면, 정전기가 발생된 경우에 종래의 정전기 방지회로를 통해 흐르는 전류는 0.0003 A이고, 본 발명의 정전기 방지회로를 통해 흐르는 전류는 1.00 A인 것을 알 수 있다. 즉, 실험 결과 본 발명의 정전기 방지회로는 정전기가 발생된 경우 더 많은 전류를 방전시킬 수 있어 하이 패스 필터로서의 역할도 종래에 비해 더 뛰어난 것을 알 수 있었다.

[0045] 한편, 상기에서는 정전기 방지회로(20)가 신호라인(L1)과 공통라인(L2) 사이에 배치된 것으로 설명하고, 신호라인(L1)이 게이트 라인(GL) 또는 데이터 라인(DL)이 될 수 있다고 설명하였으나, 정전기 방지회로(20)는 정전기로부터 내부 회로를 보호하기 위해서라면 어디에도 구비될 수 있다. 예를 들어, 정전기 방지회로(20)는 게이트 라인(GL) 또는 데이터 라인(DL)과 플로팅 라인(미도시) 사이에 구비될 수 있다. 플로팅 라인은 정전기를 방전시키기 위해 비표시영역(NA)에서 폐회로로 구성된 라인이다. 또한, 정전기 방지회로는 게이트 라인(GL) 또는 데이터 라인(DL)과 접지단(GND)과 접속된 접지라인(미도시) 사이에 구비될 수 있다. 또한, 정전기 방지회로(20)는 게이트 패드(12)에 스캔신호를 인가하는 게이트 PCB(미도시)나, 데이터 패드(14)에 데이터 전압을 인가하는 데이터 PCB(미도시) 상에 배치될 수도 있다.

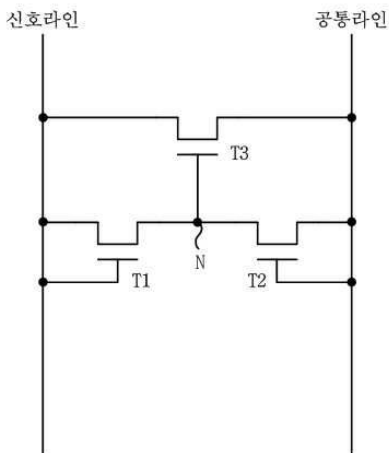
[0046] 즉, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

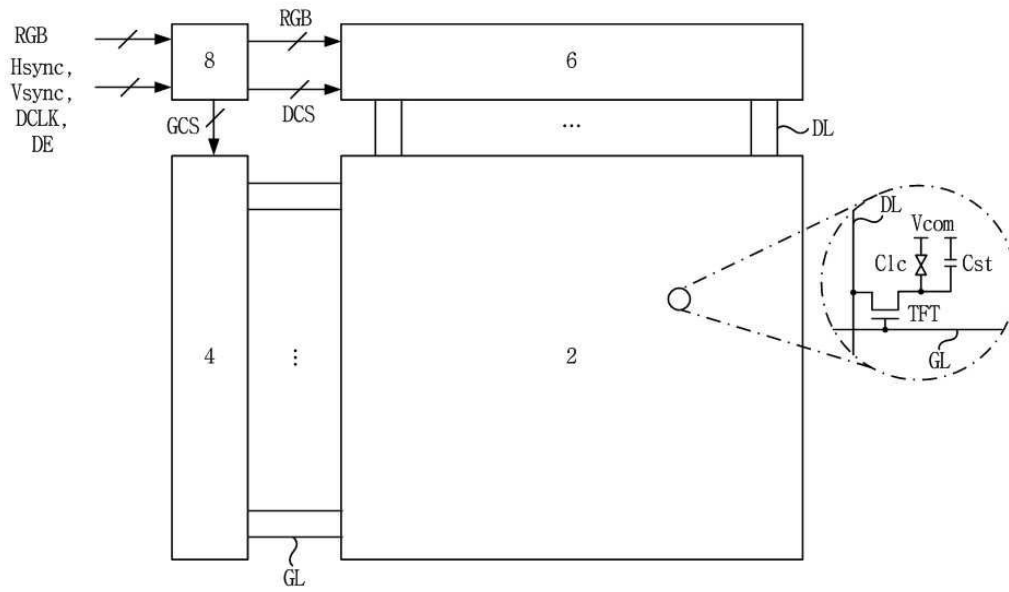
[0047] L1: 신호라인 L2: 공통라인
20: 정전기 방지회로

도면

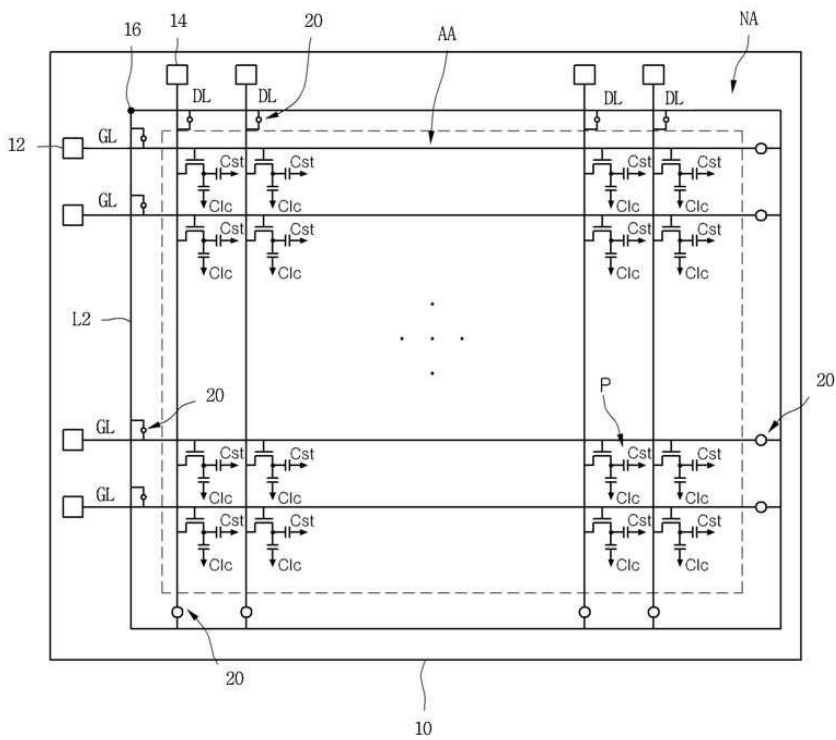
도면1



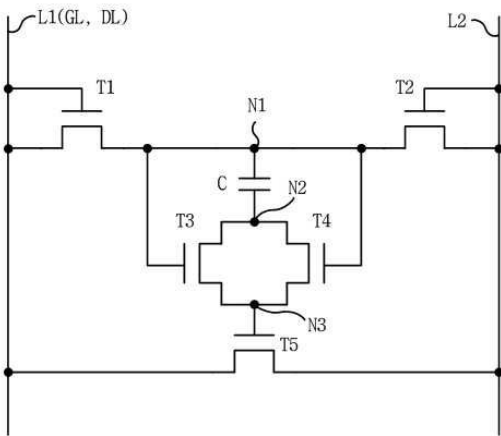
도면2



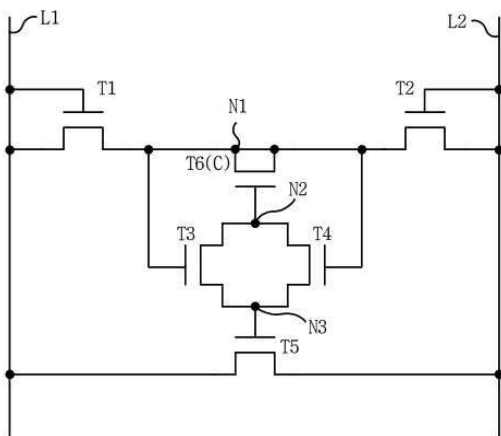
도면3



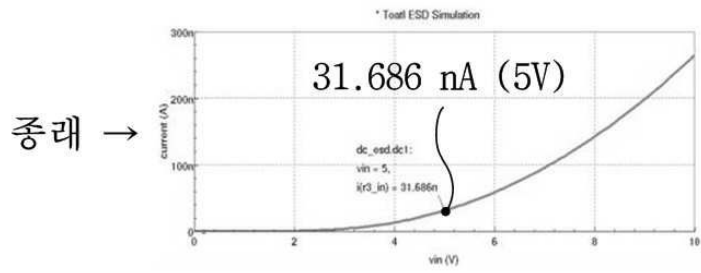
도면4



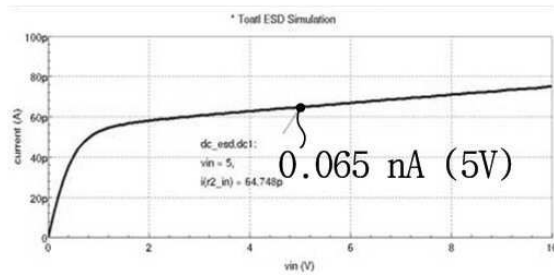
도면5



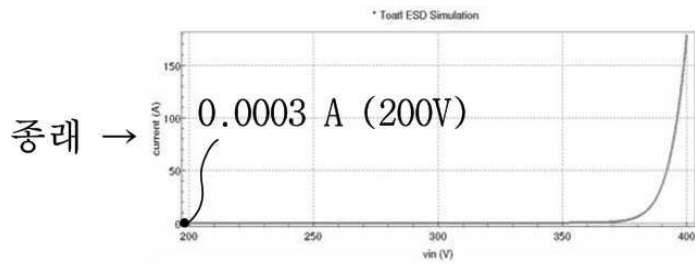
도면6a



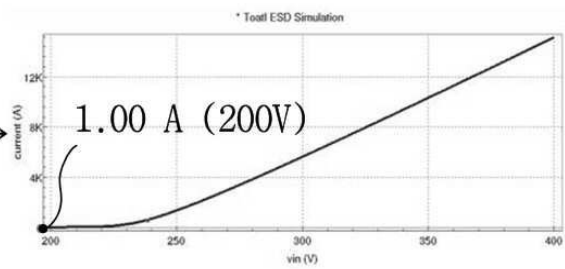
본 발명 →



도면6b



본 발명 →



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130059505A	公开(公告)日	2013-06-07
申请号	KR1020110125520	申请日	2011-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON JEAN HAN 윤진한 JUNG DAE SIK 정대식		
发明人	윤진한 정대식		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G02F1/136204 G02F1/136286 G09G3/3648 H01L27/0248 G02F2202/22 G09G2330/06		
代理人(译)	Bakyoungbok		
其他公开文献	KR101839333B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，通过使静电防止电路使用电容器的耦合效应，通过切换第五TFTThin薄膜晶体管不产生静电，从而使通过静电防护电路的漏电流最小化。组成：流入的静电通过第一TFT (T1) 提供给第一节点 (N1)。第三和第四TFT (T3 , T4) 导通。通过电容器 (C) 的耦合效应，第二节点 (N2) 的电压电平迅速上升。第二节点的快速上升电压通过第三和第四TFT提供给第三节点 (N3)，并导通第五TFT (T5)。第五TFT形成信号线 (L1) 和公共线 (L2) 之间的电流路径，并将静电释放到信号线或公共线。

