



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0105501
(43) 공개일자 2012년09월25일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/139 (2006.01)
H01L 29/786 (2006.01)</p> <p>(21) 출원번호 10-2012-7017319</p> <p>(22) 출원일자(국제) 2010년11월24일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2012년07월03일</p> <p>(86) 국제출원번호 PCT/JP2010/071418</p> <p>(87) 국제공개번호 WO 2011/068106
국제공개일자 2011년06월09일</p> <p>(30) 우선권주장
JP-P-2009-277088 2009년12월04일 일본(JP)</p> | <p>(71) 출원인
가부시카이가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자
야마자키 순페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가
부시카이가이샤 한도오따이 에네루기 켄큐쇼 내
기무라 하지메
일본 2430036 가나가와켄 아쓰기시 하세 398 가
부시카이가이샤 한도오따이 에네루기 켄큐쇼 내
니시 다케시
일본 2430036 가나가와켄 아쓰기시 하세 398 가
부시카이가이샤 한도오따이 에네루기 켄큐쇼 내</p> <p>(74) 대리인
장훈</p> |
|---|--|

전체 청구항 수 : 총 10 항

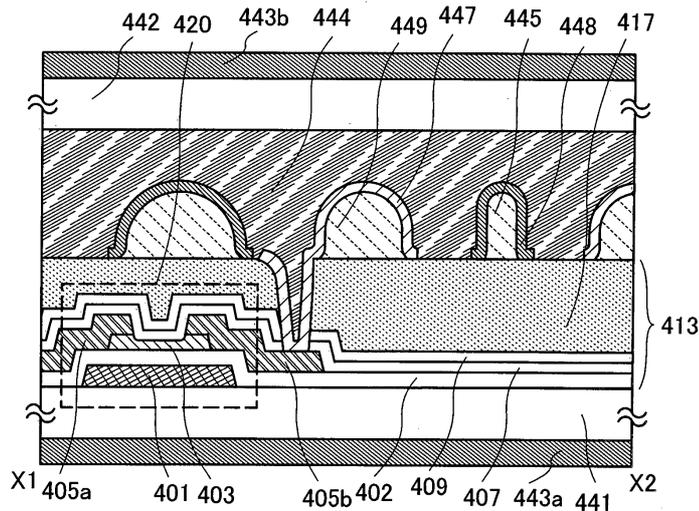
(54) 발명의 명칭 표시 장치 및 이를 포함하는 전자 기기

(57) 요약

블루상을 나타내는 액정 재료를 포함하는 저전력 소비의 표시 장치가 제공된다. 표시 장치는 트랜지스터를 포함하는 화소가 제공되는 화소부를 갖는 제 1 기관; 제 1 기관과 대향하는 제 2 기관; 그리고 제 1 기관과 제 2 기관 사이의 액정층을 포함하고; 액정층은 블루상을 나타내는 액정 재료를 포함하며; 트랜지스터의 게이트는 주사선에 전기적으로 접속되고, 트랜지스터의 소스 및 드레인 중 하나는 신호선에 전기적으로 접속되고, 트랜지스터의 소스 및 드레인 중 다른 하나는 전극에 전기적으로 접속되며; 트랜지스터는 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인 산화물 반도체층을 포함한다.

대표도

도 5b



특허청구의 범위

청구항 1

표시 장치에 있어서:

트랜지스터를 포함하는 화소가 제공되는 화소부를 갖는 제 1 기판과;

상기 제 1 기판과 대향하는 제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이의 액정층을 포함하고,

상기 액정층은 블루상(blue phase)을 나타내는 액정 재료를 포함하고,

상기 트랜지스터의 게이트는 주사선에 전기적으로 접속되고, 상기 트랜지스터의 소스 및 드레인 중 하나는 신호선에 전기적으로 접속되고, 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 전극에 전기적으로 접속되며,

상기 트랜지스터는 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인 산화물 반도체층을 포함하는, 표시 장치.

청구항 2

제 1 항에 있어서,

상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 표시 장치.

청구항 3

제 1 항에 있어서,

상기 산화물 반도체층은 2eV 이상의 밴드 갭(band gap)을 갖는, 표시 장치.

청구항 4

제 1 항에 있어서,

블루상을 나타내는 상기 액정 재료의 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상인, 표시 장치.

청구항 5

제 1 항에 따른 상기 표시 장치를 포함하는 전자 기기.

청구항 6

표시 장치에 있어서:

트랜지스터를 포함하는 화소가 제공되는 화소부를 갖는 제 1 기판과;

상기 제 1 기판과 대향하는 제 2 기판과;

상기 제 1 기판과 상기 제 2 기판 사이의 액정층으로서,

상기 액정층은 블루상을 나타내는 액정 재료를 포함하고,

상기 트랜지스터는 상기 제 1 기판 위의 게이트 전극과, 상기 게이트 전극 위의 게이트 절연막과, 상기 게이트 절연막 위의 산화물 반도체층과, 상기 산화물 반도체층에 전기적으로 접속되는 소스 전극 및 드레인 전극을 포함하는, 상기 액정층과;

상기 트랜지스터를 덮도록 형성된 절연막과;

상기 절연막 위에 형성된 제 1 구조체 및 제 2 구조체와;

상기 절연막의 개구부를 통해 상기 소스 전극 또는 상기 드레인 전극에 전기적으로 접속되고 상기 제 1 구조

체를 덮도록 형성되는 화소 전극과;

상기 제 2 구조체를 덮도록 형성된 공통 전극을 포함하고,

상기 산화물 반도체층의 캐리어 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하인, 표시 장치.

청구항 7

제 6 항에 있어서,

상기 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 표시 장치.

청구항 8

제 6 항에 있어서,

상기 산화물 반도체층은 2eV 이상의 밴드 갭을 갖는, 표시 장치.

청구항 9

제 6 항에 있어서,

블루상을 나타내는 상기 액정 재료의 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상인, 표시 장치.

청구항 10

제 6 항에 따른 상기 표시 장치를 포함하는 전자 기기.

명세서

기술분야

[0001] 본 발명은 표시 장치들에 관한 것이다. 또한, 본 발명은 표시 장치를 포함하는 전자 기기들에 관한 것이다.

배경기술

[0002] 표시 장치들로서, 액정 표시 장치들 또는 일렉트로루미네선스(electroluminescence) 소자들을 포함하는 일렉트로루미네선스 표시 장치들(이하로, EL 표시 장치들로 부름)이 알려져 있다. 액정 표시 장치들의 주류는 네마틱(nematic) 액정이라 불리는 액정을 사용하는 표시 장치이다. 또한, 최근에는 블루상(blue phase)을 나타내는 액정 재료를 사용하는 표시 장치가 관심을 끌고 있다(예를 들어, 특허 문헌 1 참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) PCT 국제 공개 No.05/090520

발명의 내용

해결하려는 과제

[0004] 블루상을 나타내는 액정 재료를 포함하는 표시 장치는 고속 응답이 가능하고, 시야각이 넓으며, 배향막(alignment film)을 필요로 하지 않는 특성들을 갖는다. 한편, 블루상을 나타내는 액정 재료를 포함하는 표시 장치는 다른 타입의 액정 표시 장치보다 구동 전압이 매우 높다는 문제점을 갖는다. 따라서, 트랜지스터들이 스위칭 소자들로 기능하는 블루상을 나타내는 액정 재료를 포함하는 액티브 매트릭스(active matrix) 액정 표시 장치에서, 트랜지스터들이 높은 드레인 파괴 전압(drain breakdown voltage)을 가질 필요가 있다. 또한, 매우 높은 구동 전압은 높은 전력 소모를 야기할 것이다.

과제의 해결 수단

- [0005] 본 발명의 한 실시형태의 목적은 블루상을 나타내는 액정 재료를 포함하는 높은 신뢰도의 표시 장치를 제공하는 것이다. 또한, 다른 목적은 블루상을 나타내는 액정 재료를 포함하는 낮은 전력 소비의 표시 장치를 제공하는 것이다. 본 발명은 위의 문제들의 하나 이상을 해결한다는 것에 주의한다.
- [0006] 앞선 문제들의 관점에서, 본 발명의 한 실시형태에서, 표시 장치의 각 화소는 적어도 고순도 산화물 반도체를 포함하는 트랜지스터를 포함한다. 여기서, "고순도 산화물 반도체(high-purity oxide semiconductor)"는 가능한 한 많이 수소가 감소되어 진성 또는 실질적으로 진성인 산화물 반도체이다. 고순도 산화물 반도체의 한 예는 대개 $5 \times 10^{19} / \text{cm}^3$ 이하의, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하의, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하의, 또는 $1 \times 10^{16} / \text{cm}^3$ 미만의 수소 농도의 산화물 반도체이다. 채널 형성 영역을 위하여, 트랜지스터는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 보다 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 보다 낮거나 $6.0 \times 10^{10} / \text{cm}^3$ 미만의 캐리어 농도의 산화물 반도체막을 이용하여 형성된다. 산화물 반도체층의 수소 농도는 SIMS(secondary ion mass spectrometry)에 의해 측정될 수 있다는 것에 주의한다.
- [0007] 본 발명의 실시형태는: 트랜지스터를 포함하는 화소가 제공되는 화소부를 갖는 제 1 기판과; 제 1 기판과 대향하는 제 2 기판과; 제 1 기판과 제 2 기판 사이의 액정층을 포함하고; 액정층은 블루상을 나타내는 액정 재료를 포함하고; 트랜지스터의 게이트는 주사선에 전기적으로 접속되고, 트랜지스터의 소스 및 드레인 중 하나는 신호선에 전기적으로 접속되고, 트랜지스터의 소스 및 드레인 중 다른 하나는 전극에 전기적으로 접속되며; 트랜지스터는 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인 산화물 반도체층을 포함하는, 표시 장치이다.
- [0008] 본 발명의 다른 실시형태는: 트랜지스터를 포함하는 화소가 제공되는 화소부를 갖는 제 1 기판과; 제 1 기판과 대향하는 제 2 기판과; 제 1 기판과 제 2 기판 사이의 액정층과; 디지털 비디오 신호를 아날로그 비디오 신호로 변환하는 커패시터 디지털-아날로그 변환기를 포함하고; 액정층은 블루상을 나타내는 액정 재료를 포함하고; 트랜지스터의 게이트는 주사선에 전기적으로 접속되고, 트랜지스터의 소스 및 드레인 중 하나는 신호선에 전기적으로 접속되고, 트랜지스터의 소스 및 드레인 중 다른 하나는 전극에 전기적으로 접속되며; 트랜지스터는 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인 산화물 반도체층을 포함하고; 아날로그 비디오 신호는 신호선과 트랜지스터를 통해 전극으로 입력되는, 표시 장치이다.
- [0009] 또한, 본 발명의 다른 실시형태는 표시 장치가 정지 이미지(still image)를 표시할 때의 기간이 화소부의 모든 주사선들로의 신호의 출력이 정지될 때의 기간을 포함하는, 표시 장치이다.
- [0010] 본 발명의 다른 실시형태는: 트랜지스터를 포함하는 화소가 제공되는 화소부를 갖는 제 1 기판과; 제 1 기판과 대향하는 제 2 기판과; 제 1 기판과 제 2 기판 사이의 액정층으로서, 블루상을 나타내는 액정 재료를 포함하는 액정층과; 화소부를 구동하는 구동 회로부와; 구동 회로부를 구동하기 위한 제어 신호와 화소로 공급된 이미지 신호를 생성하는 신호 생성 회로와; 각각의 프레임 기간들의 이미지 신호들을 저장하는 메모리 회로와; 메모리 회로에 저장된 각각의 프레임 기간들의 이미지 신호들 중 연속적인 프레임 기간들의 이미지 신호들 사이의 차이를 검출하는 비교 회로와; 비교 회로가 차이를 검출할 때 연속적인 프레임 기간들의 이미지 신호들을 선택하고 출력하는 선택 회로와; 비교 회로가 차이를 검출할 때 선택 회로로부터 구동 회로부로 출력된 제어 신호와 이미지 신호를 공급하고, 비교 회로가 차이를 검출하지 않을 때 구동 회로부로의 제어 신호의 공급을 정지하는, 표시 제어 회로를 포함하고; 트랜지스터는 수소 농도가 $5 \times 10^{19} / \text{cm}^3$ 이하인 산화물 반도체층을 포함하는, 표시 장치이다.
- [0011] 본 발명의 다른 실시형태에서, 제어 신호는 고전원 전위, 저전원 전위, 클록 신호, 시작 펄스 신호, 또는 리셋 신호이다.
- [0012] 본 발명의 다른 실시형태에서, 산화물 반도체층의 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만이다.
- [0013] 본 발명의 다른 실시형태에서, 산화물 반도체층은 2eV 이상의 밴드 갭(band gap)을 갖는다.
- [0014] 본 발명의 다른 실시형태에서, 블루상을 나타내는 액정 재료의 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이다.
- [0015] 본 발명의 다른 실시형태는 위의 표시 장치를 포함하는 전자 기기이다.
- [0016] "액정 재료"는 액정을 함유하는 화합물을 나타낸다는 것에 주의한다. 블루상을 나타내는 액정 재료는 액정과 키랄제(chiral agent)를 함유한다. 액정으로서, 열방성(thermotropic) 액정, 저분자 액정, 고분자 액정, 강유

전성(ferroelectric) 액정, 반강유전성(anti-ferroelectric) 액정, 등이 사용된다. 키랄제는 액정을 나선 구조로 배향시켜 액정이 블루상을 나타내도록 하는데 사용된다. 예를 들어, 키랄제가 5wt% 이상 혼합되는 액정 재료가 액정층을 위해 사용된다.

[0017] 그의 구조 때문에 트랜지스터의 소스와 드레인을 서로 구별하는 것은 힘들다는 것에 주의한다. 또한, 전위 준위들은 회로의 동작에 따라 교환될 수 있다. 따라서, 본 명세서에서, 소스와 드레인은 특별하게 규정되지 않으며 제 1 전극(또는 제 1 단자)과 제 2 전극(또는 제 2 단자)로 불린다. 예를 들어, 제 1 전극이 소스인 경우에, 제 2 전극은 드레인을 나타내고, 반대로 제 1 전극이 드레인인 경우에, 제 2 전극은 소스를 나타낸다.

[0018] 본 명세서에서, 개구율(aperture ratio)은 유닛 넓이에 대한 광 투과 면적의 비율을 나타내며; 개구율은 광을 투과시키지 않는 구성요소들에 의해 점유된 면적이 넓어질수록 감소하고, 반대로 개구율은 광을 투과시키는 구성요소들에 의해 점유된 면적이 넓어질수록 증가된다는 것에 주의한다. 표시 장치에서, 개구율은 화소 전극과 겹치는 배선 및 용량 배선에 의해 점유된 넓이의 감소와, 트랜지스터의 크기의 감소에 의해 증가된다.

[0019] 본 명세서에서, "A와 B는 접속된다"는 말은 A와 B가 전기적으로 접속되는(즉, A와 B가 그 사이에 개재된 다른 소자 또는 회로와 접속되는) 경우, A와 B가 기능적으로 접속되는(즉, A와 B가 그 사이에 개재된 다른 회로와 기능적으로 접속되는) 경우, 또는 A와 B가 직접적으로 접속되는(즉, A와 B가 그 사이에 개재된 다른 소자 또는 회로없이 접속되는) 경우를 말한다. A와 B의 각각은 개체(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)임에 주의한다.

[0020] 또한, 본 명세서에서, 제 1, 제 2, 제 3, 내지 제 N(N은 자연수)과 같은 서수들은 구성요소들 사이의 혼란을 피하기 위하여 사용되고, 용어들은 구성요소들을 수적으로 제한하지 않는다. 예를 들어, 본 명세서에서 "제 1 트랜지스터"로 지칭되는 트랜지스터는 그것이 다른 구성요소와 혼동되지 않는 한 "제 2 트랜지스터"로 대신 불려질 수 있다.

발명의 효과

[0021] 본 발명의 한 실시형태에 따라, 고순도 산화물 반도체를 포함하는 트랜지스터는 각 화소의 스위칭 소자로서 사용된다. 고순도 산화물 반도체를 포함하는 트랜지스터는 안정한 전기적 특성들을 갖는다. 예를 들어, 드레인 파괴 전압은 100V 이상, 바람직하게는 500V, 보다 바람직하게는 1kV 이상일 수 있다. 따라서, 이러한 트랜지스터로, 블루상을 나타내는 액정 재료를 포함하는 표시 장치의 경우와 같이 구동 전압이 높은 경우에서도 높은 신뢰도의 표시 장치가 제공될 수 있다.

[0022] 또한, 고순도 산화물 반도체를 포함하는 트랜지스터의 오프-상태 전류는 1×10^{-16} A 이하, 바람직하게는 1×10^{-17} A 이하, 보다 바람직하게는 1×10^{-18} A 이하로 감소될 수 있다. 따라서, 전압이 긴 시간 기간 동안 저장 용량 소자에서 유지될 수 있으며, 따라서 정지 이미지 등을 표시하기 위한 전력 소모가 억제될 수 있다.

[0023] 또한, 표시될 이미지가 정지 이미지인지 움직이는 이미지인지 결정되고, 정지 이미지가 표시되는 기간에서, 구동 회로부의 동작이 정지되며, 따라서 표시 장치의 전력 소비가 또한 감소될 수 있다.

도면의 간단한 설명

- [0024] 도 1은 표시 장치의 구성예를 도시한 도면.
- 도 2a 및 도 2b는 각각 화소의 구성예를 도시하는 등가 회로도.
- 도 3은 표시 장치의 블록도의 예를 도시한 도면.
- 도 4a 및 도 4b는 각각 화소의 기록 기간(writing period)와 유지 기간(holding period) 사이의 관계를 도시한 도면.
- 도 5a 및 도 5b는 화소의 구성예를 도시하는 평면도와 단면도.
- 도 6은 화소의 구성예를 도시하는 단면도.
- 도 7은 화소의 구성예를 도시하는 단면도.
- 도 8은 표시 장치의 블록도의 예.
- 도 9a 내지 도 9c는 구동 회로의 예를 도시한 도면.

도 10은 구동 회로의 타이밍도.

도 11a 내지 도 11c는 구동 회로의 예를 도시한 도면.

도 12a 내지 도 12d은 구동 회로에 공급된 신호들을 공급하고 정지하기 위한 프로세스의 예들을 도시한 도면.

도 13a 및 도 13b는 트랜지스터의 예를 도시하는 평면도와 단면도.

도 14a 내지 도 14e는 트랜지스터를 제작하기 위한 방법의 예를 도시하는 단면도들.

도 15a 내지 도 15e는 트랜지스터를 제작하기 위한 방법의 예를 도시하는 단면도들.

도 16a 내지 도 16d는 트랜지스터를 제작하기 위한 방법의 예를 도시하는 단면도들.

도 17a 내지 도 17d는 트랜지스터를 제작하기 위한 방법의 예를 도시하는 단면도들.

도 18a1, 도 18a2, 및 도 18b는 액정 표시 패널의 예를 도시하는 평면도들과 단면도.

도 19a 내지 도 19c는 각각 전자 기기를 도시한 도면.

도 20a 내지 도 20d는 각각 전자 기기를 도시한 도면.

도 21은 에너지 밴드도.

도 22는 산화물 반도체를 포함하는 트랜지스터를 도시한 도면.

도 23a 및 도 23b는 에너지 밴드도들.

도 24a 및 도 24b는 에너지 밴드도들.

도 25는 트랜지스터의 전기적 특성들을 도시하는 그래프.

도 26은 전압에 따라 블루상을 나타내는 액정 재료의 광 투과율(light transmittance) 특성을 도시하는 그래프.

도 27a 및 도 27b는 용량 소자와 디지털-아날로그 변환기의 회로의 구성예들을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0025] 본 발명의 실시형태들이 도면들을 참조하여 상세히 설명될 것이다. 본 발명은 다음 설명에 제한되지 않으며 모드들과 상세한 설명들이 본 발명의 정신과 범주로부터 벗어남이 없이 다양한 방법들로 변경될 수 있다는 것이 당업자에 의해 쉽게 명백하게 될 것임에 주의한다. 따라서, 본 발명은 실시형태들의 설명에 제한되는 것으로 해석되어서는 안 된다. 이하에 설명될 본 발명의 실시형태들에서, 동일한 참조 번호들은 다른 도면들에서 동일한 구성요소들을 나타내기 위하여 사용된다는 것에 주의한다.

[0026] 이하에 설명된 실시형태들의 각각은 다르게 규정되지 않는 한 본 명세서에 주어진 임의의 다른 실시형태들과 조합되어 실행될 수 있다는 것에 주의한다.

[0027] (실시형태 1)

[0028] 본 실시형태에서, 본 발명의 한 실시형태인 표시 장치의 예가 설명될 것이다. 특히, 표시 장치의 화소부의 화소의 구성예가 설명될 것이다.

[0029] 도 1은 본 발명의 한 실시형태인 표시 장치의 구성예를 도시한다. 도 1에 도시되는 바와 같이, 표시 장치에서, 복수의 화소들(201)이 매트릭스로 배열되는 화소부(202)가 기판(200) 위에 제공된다. 또한, 표시 장치는 복수의 화소들(201)을 구동하기 위한 회로들로서 주사선 구동 회로(203)(제 1 구동 회로)와 신호선 구동 회로(204)(제 2 구동 회로)를 포함한다. 화소들(201)이 선택된 상태에 있는지 또는 선택되지 않은 상태에 있는지 여부는 주사선 구동 회로(203)에 전기적으로 접속된 제 1 배선(101)(주사선)을 통해 공급된 스캔 신호에 따라 각 행마다 결정된다. 스캔 신호에 의해 선택된 화소(201)은 신호선 구동 회로(204)에 전기적으로 접속된 제 2 배선(102A)(신호선)을 통해 비디오 전압(또한 이미지 신호, 비디오 신호, 또는 비디오 데이터로 불림)이 공급된다.

[0030] 도 1이 주사선 구동 회로(203)와 신호선 구동 회로(204)가 기판(200) 위에 제공되는 구조를 도시하고 있지만, 본 발명은 이러한 구조에 제한되지 않는다는 것에 주의한다. 주사선 구동 회로(203)와 신호선 구동 회로(204) 중 하나만이 기판(200) 위에 제공될 수 있으며, 다른 하나는 별도로 설치될 수 있다. 대안적으로, 화소부

(202) 만이 기관(200) 위에 제공될 수 있으며 주사선 구동 회로(203)와 신호선 구동 회로(204)는 별도로 설치될 수 있다.

- [0031] 또한, 도 1은 복수의 화소들(201)이 매트릭스로 배열되는 예(줄무늬 배열)를 도시하지만, 본 발명은 이러한 구조에 제한되지 않는다. 화소들(201)의 배열로서, 줄무늬 배열에 대안적으로 델타 배열(delta arrangement) 또는 베이어 배열(Bayer arrangement)이 채용될 수 있다.
- [0032] 화소부(202)의 표시 방법으로서, 프로그레시브(progressive) 방법, 인터레이스(interlace) 방법 등이 채용될 수 있다. 컬러 표시를 할 때, 화소에서 제어된 색상 구성요소들은 R, G, 및 B의 세 가지 색상들에 제한되지 않으며(R, G, 및 B는 적색, 녹색, 그리고 청색을 각각 나타낸다); 예를 들면, R, G, B, 및 W(W는 백색을 나타낸다), 또는 R, G, B, 및, 노랑, 청록(cyan), 마젠타(magenta) 등 중 하나 이상이 채용될 수 있다. 또한, 표시 영역들의 크기들은 점(dot)들의 색상 구성요소들 사이에서 상이할 수 있다. 본 발명은 컬러 표시를 위한 표시 장치로 응용이 제한되지 않으며; 본 발명은 또한 흑백(monochrome) 표시를 위한 표시 장치로 응용될 수 있다는 것에 주의한다.
- [0033] 또한, 도 1은 화소들의 행 방향과 열 방향으로 각각 확장되는 제 1 배선들(101)의 수의 제 2 배선들(102A)의 수에 대한 비율이 1 대 1 이 되는 구조를 도시하고 있지만, 본 발명은 이러한 구조에 제한되지 않는다. 예를 들어, 근처 화소들(201)이 제 1 배선(101) 또는 제 2 배선(102A)을 공유하며 구동될 수 있다.
- [0034] 도 2a는 도 1의 화소(201)의 구성예를 도시하는 등가 회로도이다.
- [0035] 화소(6400)은 트랜지스터(이하로, 또한 스위칭 트랜지스터로 불림)(6401), 액정 소자(6402), 및 용량 소자(6403)를 포함한다. 액정 소자(6402)는 한 쌍의 전극들(화소 전극과 대향 전극) 사이에 블루상을 나타내는 액정 재료를 포함한다.
- [0036] 트랜지스터(6401)의 게이트는 주사선(6406)에 전기적으로 접속되고, 트랜지스터(6401)의 소스 및 드레인 중 하나는 신호선(6405)과 전기적으로 접속되며, 트랜지스터(6401)의 소스 및 드레인 중 다른 하나는 화소 전극에 전기적으로 접속된다. 여기서, 본 실시형태에서, 고순도(high-purity) 산화물 반도체층을 포함하는 트랜지스터가 트랜지스터(6401)로서 사용된다. 또한, 트랜지스터(6401)는 n-채널 트랜지스터이다.
- [0037] 용량 소자(6403)는 한 쌍의 전극들 사이에 유전체로서 제공된 절연층을 포함한다. 용량 소자(6403)의 용량은 화소부에 제공된 박막 트랜지스터의 누설 전류 등을 고려하여 설정되어, 전하가 미리 정해진 시간 기간 동안 유지될 수 있다. 용량 소자(6403)의 용량은 또한 트랜지스터(6401)의 오프-상태(off-state) 전류 등을 고려하여 설정될 수 있다. 본 실시형태에서, 트랜지스터(6401)는 고순도 산화물 반도체층을 포함하기 때문에, 용량 소자는 각 화소에서 액정 용량의 1/3 이하, 바람직하게는 1/5 이하의 용량을 가질 때 충분히 수용가능하다.
- [0038] 도 2a에서 트랜지스터(6401)의 소스 및 드레인 중 다른 하나가 용량 소자(6403)와 전기적으로 접속되지만, 본 발명은 이러한 구조에 제한되지 않는다. 용량 소자(6403)가 제공되지 않는 도 2b의 구조가 채용될 수 있다. 다시 말해, 본 발명에서, 트랜지스터(6401)는 고순도 산화물 반도체층을 포함하고 트랜지스터(6401)의 오프-상태 전류가 충분히 낮기 때문에, 전압은 한 쌍의 전극들과 그 사이의 액정 재료 등으로 형성되는 액정 커패시터와 함께라도 충분히 긴 시간 기간 동안 유지될 수 있다. 또한, 본 실시형태의 표시 장치가 투과형 또는 반투과형이기 때문에, 용량 소자(6403)의 생략은 개구율의 개선을 가져온다.
- [0039] 도 5a 및 도 5b는 화소(201)의 트랜지스터(6401)의 평면도와 단면도의 예이다. 도 5a 및 도 5b에 도시된 트랜지스터(420)는 트랜지스터(6401)에 대응하고 보텀-게이트(bottom-gate) 구조를 가진다. 채널 영역으로 기능하는 산화물 반도체층(403) 아래에 배선(게이트 전극)(401)이 제공되고, 배선(소스 전극 및 드레인 전극 중 하나)(405a)과 배선(소스 전극 및 드레인 전극 중 다른 하나)(405b)이 배선(401)으로부터 산화물 반도체층(403)의 반대측 상에 제공되기 때문에, 트랜지스터(420)는 또한 역-스태거드(inverted-staggered) 트랜지스터로 불린다.
- [0040] 제 1 기관(441) 위의 배선(401)은 트랜지스터(420)의 게이트 전극으로 기능한다. 또한, 배선(401)은 그 자체로 주사선일 수 있으며 또는 주사선이 아닌 주사선에 전기적으로 접속되는 배선일 수 있다.
- [0041] 게이트 절연층(402)이 배선(401)을 덮도록 제공된다. 산화물 반도체층(403)이 게이트 절연층(402) 위에 제공된다. 배선(405a)과 배선(405b)이 산화물 반도체층(403) 위에 제공된다. 배선(405a)과 배선(405b)은 산화물 반도체층(403)과 전기적으로 접속되며 그들 중 하나는 소스 전극으로 기능하고 그들 중 다른 하나는 드레인 전극으로 기능한다. 배선(405a)은 신호선 자체일 수 있으며 또는 신호선이 아닌 신호선에 전기적으로 접속되

는 전극일 수 있다는 것에 주의한다.

- [0042] 또한, 절연막(413)이 트랜지스터(420)를 덮도록 제공된다. 개구부(opening)가 절연막(413)에 형성된다. 개구부를 통하여, 제 1 전극(447)과 배선(405b)이 전기적으로 접속된다. 도 5b에서 절연막(413)이 제 1 절연막(407), 제 2 절연막(409), 및 제 3 절연막(417)의 3층 구조를 가지고 있지만, 본 발명은 이러한 구성에 제한되지 않는다는 것에 주의한다. 절연막(413)은 단층 구조, 2층 구조, 또는 3 이상의 층들의 적층 구조를 가질 수 있다.
- [0043] 다음, 산화물 반도체층(403)이 상세히 설명될 것이다.
- [0044] 본 실시형태의 산화물 반도체층(403)은 산화물 반도체를 포함하는 트랜지스터의 전기적 특성들에 악영향을 끼치는 불순물들이 매우 낮은 준위로 감소되는 산화물 반도체층인데, 즉, 산화물 반도체층(403)은 고순도 산화물 반도체이다. 전기적 특성들에 악영향을 끼치는 불순물들의 전형적인 예로서, 수소가 주어진다. 수소는 산화물 반도체의 캐리어들의 공급자(도너)일 수 있는 불순물이다. 대량의 수소를 포함하는 산화물 반도체는 n-타입 산화물 반도체가 될 수 있다. 따라서, 대량의 수소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리-온(normally-on) 트랜지스터일 것이고, 트랜지스터의 온/오프 비율은 충분히 높아질 수 없다. 본 명세서에서, "고순도 산화물 반도체"는 가능한 한 수소가 감소된 진성 또는 실질적으로 진성인 산화물 반도체를 말한다. 고순도 산화물 반도체의 한 예는 대개 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하, 또는 $1 \times 10^{16} / \text{cm}^3$ 미만의 수소 농도의 산화물 반도체이다. 채널 형성 영역을 위하여, 트랜지스터는 $1 \times 10^{14} / \text{cm}^3$ 미만인, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만인, 보다 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 보다 낮거나 $6.0 \times 10^{10} / \text{cm}^3$ 미만인 캐리어 농도의 산화물 반도체막을 이용하여 형성된다. 산화물 반도체층의 수소 농도는 SIMS(secondary ion mass spectrometry)에 의해 측정될 수 있음에 주의한다.
- [0045] 또한, 산화물 반도체층의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상인 것이 바람직하다.
- [0046] 위에서 설명된 바와 같은 산화물 반도체층에 포함된 수소를 철저히 제거하는 것에 의해 얻어지는 고순도 산화물 반도체층은 트랜지스터의 채널 형성 영역을 위해 사용되며, 따라서 극도로 작은 오프-상태 전류 값을 갖는 트랜지스터가 제공될 수 있다.
- [0047] 여기서, 오프-상태 전류(또한 누설 전류로도 불림)는 -5V 내지 -20V 사이의 게이트 전압이 인가될 때 트랜지스터의 소스와 드레인 사이에서 흐르는 전류를 말한다. 본 명세서에서 기술되는 산화물 반도체를 포함하는 트랜지스터에서, $1\mu\text{m}$ 의 채널폭(w) 당 전류값은 100aA/ μm 이하, 바람직하게는 10aA/ μm 이하, 보다 바람직하게는 1aA/ μm 이하이다.
- [0048] 다음, 산화물 반도체층을 포함하는 트랜지스터의 전기적 전도 매커니즘이 도 21, 도 22, 도 23a 및 도 23b, 그리고 도 24a 및 도 24b를 참조하여 설명될 것이다. 다음 설명은 이해의 편의를 위하여 이상적 상황에 기반하며, 실제 상황을 완전히 반영하지 않는다는 것에 주의한다. 다음 설명은 단지 고려사항이며 본 발명의 유효성과는 관련이 없음에 주의한다.
- [0049] 도 21은 금속(Metal)의 일함수(ϕ_M)와 산화물 반도체(OS)의 전자 친화력(χ) 사이의 관계를 도시한다. 금속의 페르미 준위(Fermi level)는 E_F 에 의해 표시된다. 산화물 반도체의 페르미 준위는 E_i 에 의해 표시된다. 전도대(conduction band)의 하부에서의 에너지는 E_c 에 의해 표시된다. 가전자대(valence band)의 상부에서의 에너지는 E_v 에 의해 표시된다. 진성 페르미 준위는 E_i 에 의해 표시된다. 산화물 반도체의 에너지 밴드 갭은 E_g 에 의해 표시된다. 산화물 반도체의 에너지 밴드 갭(E_g)은 3.0eV 내지 3.5eV 임에 주의한다.
- [0050] 도 21에서, n-타입의 전도성을 갖는 종래의 산화물 반도체의 경우에, 페르미 준위(E_f)는 밴드 갭(E_g)의 중간에 위치한 진성 페르미 준위(E_i)로부터 떨어져 있고, 전도대(E_c) 근처에 위치된다.
- [0051] 여기서, 캐리어 밀도를 감소시키는 것에 의해 산화물 반도체가 진성 반도체에 근접하게 만들어질 때, 산화물 반도체의 페르미 준위(E_f)는 진성 페르미 준위(E_i)에 근접하게 된다. 본 실시형태에서, 진성 또는 실질적으로 진성인 산화물 반도체는 캐리어 밀도가 감소되는 상태에 있고 페르미 준위(E_f)는 진성 페르미 준위(E_i)와 근접하거나 동일하게 만들어진다.

- [0052] 본 실시형태의 진성 또는 실질적으로 진성인 산화물 반도체는 다음의 기술적 아이디어에 기반하여 얻어진다.
- [0053] 산화물 반도체에 함유된 수소는 산화물 반도체가 n-타입 전도성을 갖게 만드는 요소들 중 하나이다. 산화물 반도체에서, 수소는 도너로 기능하고 전도대 아래에 0.1eV 내지 0.2eV 의 얇은 준위를 형성하여 캐리어 밀도를 증가시킨다.
- [0054] 또한, 산화물 반도체의 주요 구성요소인 산소의 결핍(산소 결핍)은 산화물 반도체가 n-타입 전도성을 갖게 하는 다른 요소이다. 산소 결핍은 산화물 반도체에 깊은 도너 준위를 형성하여 캐리어 밀도를 증가시킨다.
- [0055] 상태 밀도(DOS; density of states)와 같은 반도체의 물리적 특성들에 대한 많은 연구들이 수행되고 있지만, 그들은 결함 준위들 자체를 충분히 감소시키는 아이디어는 포함하지 않는다. 본 실시형태에서, 고순도화된 진성 산화물 반도체는 산화물 반도체로부터 DOS들을 증가시킬 수 있는 물 또는 수소의 제거에 의해 얻어질 수 있다. 이는 DOS들 자체를 충분히 감소시키는 아이디어에 기반한다.
- [0056] 다시 말해, 본 실시형태에서, 산화물 반도체를 n-타입 전도성을 갖도록 만드는 요소들 중 하나인, 수소와 같은 불순물이 가능한 한 많이 산화물 반도체로부터 제거되고, 산소 결핍이 또한 제거되어, 산화물 반도체는 고순도화된다. 산화물 반도체가 고순도화되면, 진성 또는 실질적으로 진성인 산화물 반도체가 얻어질 수 있다. 따라서, 도 21에서, 페르미 준위(E_f)가 진성 페르미 준위(E_i)와 실질적으로 동일해질 수 있다.
- [0057] 특히, 산화물 반도체의 수소의 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하로 감소된다. 또한, 산화물 반도체의 캐리어 농도(예를 들면, 캐리어 농도는 $1 \times 10^{12} / \text{cm}^3$ 미만, 바람직하게는 $1.45 \times 10^{10} / \text{cm}^3$ 이하)는 종래의 산화물 반도체보다 매우 낮아지는 것이 바람직하다.
- [0058] 도 22는 진성 또는 실질적으로 진성인 산화물 반도체를 이용하여 형성되는 역-스태거드 보텀-게이트 박막 트랜지스터의 예를 도시한다. 산화물 반도체층(OS)이 그 사이에 제공된 게이트 절연막(GI)을 갖는 게이트 전극(GE) 위에 제공된다. 소스 전극(S)과 드레인 전극(D)이 그 위에 제공된다.
- [0059] 쇼트키 장벽(Schottky barrier)은 산화물 반도체와 소스 및 드레인 사이에 형성되지 않는 것이 바람직하다. 본 실시형태에서, 산화물 반도체의 전자 친화력(χ)은 소스 전극과 드레인 전극을 위해 사용된 금속의 일 함수(ϕ_m)와 실질적으로 동일하다. 예를 들어, 산화물 반도체의 밴드 갭(E_g)이 3.15eV인 경우에 전자 친화력(χ)은 4.3eV라고 하며; 따라서, 소스 전극과 드레인 전극은, 약 4.3eV의 일 함수(ϕ_m)를 갖는 티타늄(Ti)이 산화물 반도체와 접촉하는 구조로 형성될 수 있다.
- [0060] 도 23a 및 도 23b는 도 22의 A-A' 단면의 에너지 밴드도들(개략도들)이다. 도 23a는 소스(S)와 드레인(D) 사이의 전위 차이가 0인 경우(소스와 드레인은 동일한 전위를 갖는다, $V_{DS} = 0V$)를 도시한다. 도 23b는 드레인과 게이트의 전위들이 소스보다 높은 경우를 도시한다($V_{DS} > 0V$, $V_{GS} > 0$).
- [0061] 도 23b에서, 검은색 동그라미(●)는 전자를 나타낸다. 양의 전위들이 게이트와 드레인(D)에 인가되면, 전자가 장벽(h) 위의 산화물 반도체(OS)로 주입되고 드레인(D)을 향하여 흐른다. 장벽의 높이(h)는 게이트 전압과 드레인 전압에 따라 변화한다. 양의 드레인 전압이 인가되는 경우에, 장벽의 높이는 전압이 인가되지 않은 도 23a의 장벽의 높이, 즉, $1/2E_g$ 미만이다. 따라서, 양의 전압이 게이트에 인가될 때, 전위 장벽은 도 23b에서와 같이 낮아지고 트랜지스터는 전류가 흐르는 것을 허용하는 온 상태에 있게 된다. 한편, 전압이 게이트로 인가되지 않을 때($V_g = 0V$), 트랜지스터는 오프 상태에 있게 되고 높은 전위 장벽($1/2E_g$) 때문에 전류는 흐르지 않는다.
- [0062] 도 24a 및 도 24b는 도 22의 B-B' 단면을 따른 에너지 밴드도들(개략도들)이다.
- [0063] 도 24a에 도시된 바와 같이, 양의 전위가 게이트로 인가되면, 전자는 게이트 절연막(GI)과 산화물 반도체(OS) 사이의 경계 근처(에너지적으로 안정한 산화물 반도체의 가장 낮은 부분)에서 움직인다.
- [0064] 한편, 도 24b에 도시된 바와 같이, 음의 전위(역 바이어스(reverse bias))가 게이트에 인가되면, 소수의 캐리어들이 있는 정공들이 실질적으로 존재하지 않기 때문에 소스와 드레인 사이의 전류값은 0에 극단적으로 접근한다.
- [0065] 이러한 방식으로 진성 또는 실질적으로 진성인 산화물 반도체를 사용하여 트랜지스터가 형성될 때, 음의 전위

가 게이트에 인가될 때 소스와 드레인 사이에서 흐르는 전류(오프-상태 전류)는 측정 한계인 10^{-13} A보다 작거나 같을 수 있다. 또한, 진성 또는 실질적으로 진성인 산화물 반도체를 사용하여 형성된 트랜지스터의 온도 특성들은 양호하다. 전형적으로, -25°C 내지 150°C 의 온도 범위에서, 온-상태 전류, 오프-상태 전류, 전계-효과 이동도, 서브스레숄드 값(subthreshold value)(S 값), 및 임계 전압과 같은 트랜지스터의 전류-전압 특성들은 온도 때문에 거의 변하거나 악화되지 않는다.

[0066] 진성 또는 실질적으로 진성인 산화물 반도체에서, 게이트 절연막과의 계면 특성들이 현재화되는 것에 주의한다. 따라서, 게이트 절연막과 산화물 반도체 사이의 계면은 양호한 것이 바람직하다. 특히, 예를 들어, VHF 대역 내지 마이크로파 대역의 범위의 전원 주파수로 생성된 고밀도 플라즈마를 이용하는 CVD 방법에 의해 형성된 절연막, 스퍼터링 방법에 의해 형성된 절연막 등을 사용하는 것이 바람직하다.

[0067] 다음, 산화물 반도체를 포함하는 트랜지스터의 핫-캐리어 열화(hot-carrier degradation)가 설명될 것이다.

[0068] 핫-캐리어 열화는 고속으로 가속되는 전자들이 드레인 근처의 채널로부터 게이트 절연막으로 주입되는 것에 의해 고정된 전하들이 되거나 또는 게이트 절연막과 산화물 반도체막 사이의 계면에서 트랩 준위를 형성하여, 임계 전압의 변화 또는 게이트 누출 전류와 같은 열화를 야기하는 현상을 말한다. 핫-캐리어 열화의 요인들은 채널-핫-일렉트론 주입(channel-hot-electron injection; CHE 주입) 및 드레인-에벌런치-핫-캐리어 주입(drain-avalanche-hot-carrier; DAHC 주입)이다.

[0069] 실리콘의 밴드 갭이 1.12eV 만큼 작기 때문에, 전자들은 에벌런치 항복(avalanche breakdown)으로 인해 눈사태와 같이 생성될 수 있고, 장벽을 넘어 게이트 절연막까지 갈 수 있도록 빠르게 가속되는 전자들이 수적으로 증가된다. 한편, 본 실시형태에서 설명된 산화물 반도체는 3.15eV 의 넓은 밴드 갭을 가지며; 따라서, 에벌런치 항복은 거의 일어나지 않고 핫-캐리어 열화에 대한 저항이 실리콘에서보다 높다.

[0070] 높은 파괴 전압을 갖는 재료 중 하나인 실리콘 탄화물의 밴드 갭이 산화물 반도체와 실질적으로 서로 동일하다고 해도, 산화물 반도체의 이동도가 실리콘 탄화물보다 약 100배 정도 작기 때문에 전자들은 산화물 반도체에서 덜 가속된다는 것에 주의한다. 또한, 산화물 반도체와 게이트 절연막인 산화막 사이의 장벽은, 실리콘 탄화물, 질화 갈륨, 또는 실리콘 중 임의의 것과 게이트 절연막인 산화막 사이의 장벽보다 크고; 따라서, 산화물 반도체에서, 산화막으로 주입된 전자들의 수는 극단적으로 작다. 따라서, 진성 또는 실질적으로 진성인 산화물 반도체를 포함하는 트랜지스터에서, 실리콘 탄화물, 질화 갈륨, 또는 실리콘을 포함하는 트랜지스터에 비하여 핫-캐리어 열화가 덜 야기되며 드레인 파괴 전압은 높다. 또한, 낮은 농도의 불순물 영역들이 채널로 기능하는 산화물 반도체와 소스 및 드레인 전극들 사이에 제공될 필요가 없으며, 따라서 트랜지스터 구조가 매우 간단해질 수 있고 제조 단계들의 수가 감소될 수 있다.

[0071] 상기로부터, 진성 또는 실질적으로 진성인 산화물 반도체를 포함하는 트랜지스터는 높은, 특히 100V 이상, 바람직하게는 500V , 보다 바람직하게는 1kV 이상의 드레인 파괴 전압을 갖는다.

[0072] 진성 또는 실질적으로 진성인 산화물 반도체를 포함하는 트랜지스터에서 오프-상태 전류가 극단적으로 작기 때문에, 일반적인 크기를 갖는 트랜지스터 소자들을 위한 측정 방법에 의해 오프-상태 전류값을 정밀하게 측정하는 것은 어렵다. 따라서, 측정을 위한 테스트 소자 그룹(또한 TEG로 불림)이 측정을 위해 형성된다. 이렇게 측정되는 오프-상태 전류가 이하에 설명될 것이다.

[0073] 각각 $L/W = 3\mu\text{m} / 50\mu\text{m}$ 을 갖는 200개의 트랜지스터들이 $L/W = 3\mu\text{m} / 10000\mu\text{m}$ 을 갖는 트랜지스터를 제공하기 위해 TEG에 병렬로 접속되었다. 도 25는 트랜지스터의 초기 특성들을 도시한다. 여기서, V_g 는 -20V 내지 $+5\text{V}$ 의 범위에 있다. 트랜지스터의 초기 특성들을 측정하기 위하여, 소스와 드레인 사이의 전류(이후로 드레인 전류 또는 I_d 로 불림)의 특성들의 변화, 즉, V_g - I_d 특성들이 기판 온도는 실온으로 설정되고, 소스와 드레인 사이의 전압(이하로 드레인 전압 또는 V_d 로 불림)은 10V 로 설정되며, 소스와 게이트 사이의 전압(이하로 게이트 전압 또는 V_g 로 불림)은 -20V 내지 $+20\text{V}$ 에서 변화되는 조건들 하에서 측정되었다.

[0074] 도 25에 도시된 바와 같이, V_d 가 1V 또는 10V 이고 게이트 전압이 -5V 내지 -20V 의 범위에 있을 때, $10000\mu\text{m}$ 의 채널 폭(W)을 갖는 트랜지스터는 1×10^{-13} [A] 이하의 드레인 전류(오프-상태 전류)를 가지며, 이는 측정 시스템(Agilent Technologies Inc.에 의해 제작된 반도체 파라미터 분석기, Agilent 4156C)의 해상도(100fA)보다 작거나 또는 같다. 이러한 오프-상태 전류 값은 $1\mu\text{m}$ 의 채널 폭 당 1×10^{-17} A/ μm ($=10\text{aA}/\mu\text{m}$)에 대응한다.

- [0075] 트랜지스터의 오프-상태 전류가 도 25에 도시된 바와 같이 1×10^{-13} [A] 이하가 될 수 있는 이유는 산화물 반도체층의 수소 농도가 실질적으로 감소되었기 때문이다. 다시 말해, 산화물 반도체층의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하 또는 1×10^{16} atoms/cm³ 미만이다. 산화물 반도체층의 수소 농도는 SIMS에 의해 측정될 수 있다는 것에 주의한다.
- [0076] 산화물 반도체층의 캐리어 농도는 1×10^{14} /cm³ 미만, 바람직하게는 1×10^{12} /cm³ 미만, 보다 바람직하게는 1×10^{11} /cm³ 미만 6.0×10^{10} /cm³ 미만이다. 다시 말해, 산화물 반도체층의 캐리어 농도는 극단적으로 0에 가깝다. 캐리어 농도를 측정하기 위하여, 예를 들면, MOS 용량 소자가 형성될 수 있으며 그의 CV 측정 결과(CV 특성들)가 평가될 수 있다는 것에 주의한다.
- [0077] 위에서 설명된 바와 같이, 1×10^4 μm의 채널 폭(W)과 3μm의 채널 길이를 갖는 트랜지스터에서도, 뛰어난 전기적 특성들, 10^{-13} A 이하의 오프-상태 전류 및 0.1 V/dec. 이하의 서브스레스홀드 스윙(S 값)(게이트 절연막의 두께는 100nm)이 얻어질 수 있다. 산화물 반도체를 고순도화시킴으로써 산화물 반도체의 불순물들의 양이 가능한 한 작아질 수 있고, 트랜지스터의 양호한 동작이 실현될 수 있다. 오프 상태 전류의 극단적으로 작은 값(오프 상태 전류값)을 갖는 트랜지스터가 도 2a 및 도 2b의 트랜지스터(6401)로 사용될 때, 이미지 신호와 같은 전기적 신호는 보다 긴 시간 기간 동안 유지될 수 있다.
- [0078] 특히, 상술한 산화물 반도체층을 포함하는 트랜지스터에서, 1μm의 채널 폭 당 오프-상태 전류는 1×10^{-17} A 이하가 될 수 있다. 한편, 오프-상태 전류의 양이 약 1×10^{-12} A로 추정되는 동안 저온 폴리실리콘을 포함하는 트랜지스터에서, 예를 들어, 설계 등이 수행된다. 따라서, 저장 용량이 실질적으로 동일할 때(약 0.1pF), 산화물 반도체를 포함하는 트랜지스터의 전압 유지 기간은 저온 폴리실리콘을 포함하는 트랜지스터보다 약 10⁵배 길어질 수 있다. 예를 들어, 저온 폴리실리콘을 포함하는 트랜지스터를 포함하는 화소에서 표시는 일반적으로 초당 60 프레임(16 msec per frame)으로 수행된다. 속도에서의 감소(기록 간격의 증가)가 화소의 전압에서의 감소와 표시의 결점을 유발할 것이므로 정지 이미지 표시의 경우에 대해서도 동일하다고 할 수 있다. 대조적으로, 상술한 산화물 반도체층을 포함하는 트랜지스터가 사용되는 경우에, 오프-상태 전류가 작기 때문에, 하나의 신호 기록의 유지 기간은 약 1600 초가 될 수 있고, 즉, 저온 폴리실리콘을 포함하는 트랜지스터보다 10⁵배 길어질 수 있다. 따라서, 적은 수의 이미지 신호들의 기록으로도 정지 이미지가 표시부 상에서 표시될 수 있다. 유지 기간이 연장될 수 있으므로, 신호 기록의 빈도는 정지 이미지가 표시될 때 특히 감소될 수 있다. 따라서, 표시 장치의 전력 소비에서의 감소가 성취될 수 있다.
- [0079] 또한, 비정질 실리콘을 포함하는 트랜지스터는 1μm의 채널폭 당 1×10^{-13} A 이상의 오프-상태 전류를 갖는다. 따라서, 저장 용량이 실질적으로 동일할 때(약 0.1 pF) 고순도 산화물 반도체를 포함하는 트랜지스터의 전압 유지 기간은 비정질 실리콘을 포함하는 트랜지스터보다 약 10⁴ 배만큼 길어질 수 있다.
- [0080] 도 4a는 기록 기간과 유지 기간(또한 한 프레임 기간로도 불림) 사이의 관계를 도시한다. 도 4a에서, 기간들(251 및 252)은 각각 유지 기간이며, 기간들(261 및 262)은 각각 기록 기간이다. 도 4a에서, 표시 소자인 액정 소자에 인가된 전압의 극성(도면에서, 극성은 +기호 또는 -기호에 의해 표시된다)은 유지 기간마다 반전된다(inverted). 따라서, 액정 소자에 인가된 전계는 편향(bias)되지 않고, 액정 소자의 열화의 정도가 감소될 수 있다. 도 4b는 도 4a의 기록 기간들(261 및 262)의 각각에서 극성이 복수회 반전되는 기록 전압의 관계를 도시한다. 도 4b에 도시된 바와 같이 기록 기간들(261 및 262)의 각각에서 극성이 복수회 반전되는 기록 전압에 의해, 액정 소자의 열화의 정도가 더욱 감소될 수 있다. 기록 기간들(261 및 262)의 각각의 단부에서 인가된 전압의 극성은 유지 기간에서 유지되는 극성이라는 것에 주의한다.
- [0081] 고순도 산화물 반도체층을 포함하는 상기 트랜지스터가 사용될 때, 유지 기간(기간(251) 또는 기간(252))은 더욱 길게 설정될 수 있다. 따라서, 특히 정지 이미지가 표시될 때 화소로의 기록 빈도가 상당히 감소될 수 있다. 따라서, 표시에 적은 빈도의 변화들을 포함하는 정지 이미지 등을 표시하는 경우에, 신호를 화소에 기록하는 회수들이 감소될 수 있고, 따라서 전력 소비가 감소될 수 있다.
- [0082] 정지 이미지를 표시할 때, 액정 소자에 인가된 전압의 유지 비율에 따라, 적절하게 유지 기간에서 리프레시(refresh) 동작이 수행될 수 있다. 예를 들어, 리프레시 동작은 액정 소자의 화소 전극으로의 신호 기록 직후

에 전압의 값(초기값)에 대하여 미리 정해진 준위로 전압이 감소되는 때에 수행될 수 있다. 미리 정해진 준위는 초기값에 대하여 깜빡임들(flickers)이 감지되지 않는 전압으로 설정되는 것이 바람직하다. 특히, 전압이 초기값보다 10%, 바람직하게는 3% 작은 값에 도달할 때마다 리프레시 동작(재기록)을 수행하는 것이 바람직하다.

[0083] 정지 이미지 표시에서 유지 기간 동안, 대향 전극(또한 공통 전극이라고도 불림)이 플로팅(floating) 상태에 놓여질 수 있다. 특히, 공통 전위를 대향 전극에 공급하기 위하여 스위치가 대향 전극과 전원 소스 사이에 제공될 수 있다. 기록 기간 동안, 스위치가 켜지고 공통 전위가 대향 전극으로 공급될 수 있으며; 그 후에, 유지 기간 동안, 스위치가 꺼지고 대향 전극이 플로팅 상태로 놓여질 수 있다.

[0084] 도 4a 및 도 4b의 액정 소자에 인가된 전압은 도트 반전 구동(dot inversion driving), 소스선 반전 구동, 게이트선 반전 구동, 프레임 반전 구동 등에 따라 입력될 수 있다는 것에 주의한다.

[0085] 다음, 블루상을 나타내는 액정 재료가 설명될 것이다.

[0086] 블루상을 나타내는 액정 재료는 액정과 키랄제를 함유한다. 액정으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전성 액정, 반강유전성 액정 등이 사용된다. 이러한 액정 재료들은 조건들에 따라 콜레스테릭 상(cholesteric phase), 콜레스테릭 블루상, 스멕틱(smectic) 상, 스멕틱 블루상, 큐빅(cubic) 상, 키랄 네마틱 상, 등방상(isotropic phase) 등을 나타낸다. 키랄제는 액정을 나선 구조로 배향시키고 액정이 블루상을 나타내도록 하기 위해 채용된다. 예를 들어, 키랄제가 5wt% 이상 혼합된 액정 재료가 액정층을 위해 사용될 수 있다. 키랄제로서, 액정과 높은 친화성을 갖고 강한 비틀림력(twisting power)을 갖는 재료가 사용된다. 또한, 재료로서, R-광학이성질체(R-enantiomer) 또는 S-광학이성질체가 유리하며, R-광학이성질체 및 S-광학이성질체가 50:50의 비율로 혼합되는 라세미체(racemic body)의 사용은 피하는 것이 바람직하다.

[0087] 블루상들인 콜레스테릭 블루상과 스멕틱 블루상은 500nm 이하의 상대적으로 짧은 나선 피치를 갖는 콜레스테릭 상 또는 스멕틱 상을 갖는 액정 재료로 보인다. 액정 재료의 배향은 이중 비틀림 구조를 갖는다.

[0088] 전계가 인가되지 않을 때, 블루상을 나타내는 액정 재료는 광학적으로 등방성(isotropic)이다. 전계가 인가되면, 액정 재료의 복굴절성(birefringence)이 유도되어, 광이 변조된다. 다시 말해, 블루상을 나타내는 액정 재료를 포함하는 표시 장치는 노멀리 블랙 모드이다. 블루상을 나타내는 액정 재료에 전계를 가할 때, 전계는 수평적으로 인가되어 실질적으로 기관의 평면과 평행하게 되는 것이 바람직하다는 것에 주의한다. 또한, 블루상을 나타내는 액정 재료를 포함하는 표시 장치는 배향막의 형성을 필요로 하지 않으므로, 비싸지 않은 표시 장치가 제공될 수 있다.

[0089] 블루상은 좁은 온도 범위의 밖에서는 거의 나타나지 않으며; 따라서, 온도 범위를 넓히기 위하여 액정 재료로 광경화성 수지(photocurable resin) 및 광중합반응 개시제(photopolymerization initiator)가 추가되고 폴리머 안정화 처리가 수행되는 것이 바람직하다는 것에 주의한다. 폴리머 안정화 처리는 액정, 키랄제, 광경화성 수지, 및 광중합반응 개시제를 함유하는 액정 재료가 광경화성 수지와 광중합반응 개시제가 반응하는 과장을 갖는 광에 조사되는 방식으로 수행된다. 이러한 폴리머 안정화 처리에서의 광 조사는 온도의 제어 하에서 등방상 또는 블루상을 나타내는 액정 재료에 수행될 수 있다. 예를 들어, 폴리머 안정화 처리는 액정층의 온도가 제어되고 블루상을 나타내는 액정층에 광이 조사되는 방식으로 수행된다. 그러나, 폴리머 안정화 처리는 이러한 방법에 제한되지 않으며, 블루상과 등방상 사이의 상 전이 온도의 +10 °C, 바람직하게는 +5 °C 내의 온도에서 등방상을 나타내는 액정층에 광이 조사되는 방식으로 수행될 수 있다. 블루상과 등방상 사이의 상 전이 온도는 온도가 상승할 때 블루상으로부터 등방상으로 상이 변화하거나, 온도가 감소할 때 등방상으로부터 블루상으로 상이 변화하는 온도를 말한다.

[0090] 폴리머 안정화 처리의 예로써, 다음 방법이 주어질 수 있다: 액정층을 등방상으로 가열한 후, 액정층의 온도가 점진적으로 감소되면 상이 블루상으로 변화하고, 이후, 블루상이 나타나는 온도가 유지되는 동안 광으로 조사가 수행된다. 대안적으로, 액정층을 점진적으로 가열하는 것에 의해 상이 등방상으로 변화한 후, 블루상과 등방상 사이의 상 전이 온도의 +10 °C, 바람직하게는 +5 °C 내의 온도 하에서(액정층이 등방상을 나타내는 상태에서) 액정층에 광이 조사될 수 있는 다른 방법이 채용될 수 있다. 또한, 자외선 경화성 수지(UV 경화성 수지)가 액정 재료에 함유된 광경화성 수지로 사용되는 경우에, 액정층은 자외선에 조사될 수 있다. 블루상이 나타나지 않는 경우이라도, 블루상과 등방상 사이의 상 전이 온도의 +10 °C, 바람직하게는 +5 °C 내의 온도에서(액정층이 등방상을 나타내는 상태에서) 광의 조사에 의해 폴리머 안정화 처리가 수행된다면, 응답 시간이 1 msec 이하로 짧아질 수 있고 고속 응답이 가능하다.

- [0091] 또한, 블루상을 나타내는 액정 재료의 저항(또는 고유 저항)은 가능한 한 높게 만들어지는 것이 바람직하다. 이는 액정 재료의 저항이 낮다면, 전하가 액정층을 통해 화소 전극으로부터 대향 전극으로 누출될 것이고, 이는 액정층에 인가된 전압값에 영향을 미칠 수 있기 때문이다. 따라서, 본 발명의 한 실시형태에서, 블루상을 나타내는 액정 재료의 저항은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 보다 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상일 것이다. 본 명세서의 저항은 20°C에서 측정되었다는 것에 주의한다.
- [0092] 본 실시형태에서, 블루상을 나타내는 액정 재료를 포함하는 액정층의 장점들, 예를 들면, 액정의 고속 응답과 시야각 독립을 이용하고, 또한 블루상을 나타내는 액정 재료의 특유한 단점을 극복하기 위하여 고순도 산화물 반도체층을 포함하는 트랜지스터가 화소의 스위칭 소자로서 사용된다. 다시 말해, 블루상을 나타내는 액정 재료의 구동 전압이 다른 액정 구동 방법보다 매우 높기 때문에, 스위칭 소자로 사용된 트랜지스터는 낮은 전력 소비뿐만 아니라 높은 드레인 파괴 전압을 가질 필요가 있고; 본 실시형태에서, 높은 드레인 파괴 전압과 매우 낮은 오프-상태 전류의 탁월한 전기적 특성들을 갖는 트랜지스터가 스위칭 소자로 사용되어, 뛰어난 이미지 품질과 낮은 전력 소비를 갖는 높은 신뢰도의 표시 장치가 제공될 수 있다.
- [0093] (실시형태 2)
- [0094] 본 실시형태에서, 블루상을 나타내는 액정 재료를 포함하는 표시 장치의 예가 설명될 것이다. 특히, 화소의 구조의 예가 설명될 것이다.
- [0095] 블루상을 나타내는 액정 재료를 포함하는 액정 표시 장치에서, 기관 표면과 평행한 평면에서 액정 분자들을 이동시키기 위하여 기관 표면과 대략 평행한(즉, 수평 방향) 전계를 생성시키는 것에 의하여 계조(gray scale)가 제어되는 방법이 채용될 수 있다(이하로, 이 방법은 횡전계 방법으로 불린다). 예를 들어, 도 5a 및 도 5b에 도시된 전극의 구조를 채용하는 것에 의해, 횡전계 표시 장치가 제공될 수 있다. 도 5b는 도 5a의 X1-X2 선을 따라 취해진 단면도이다.
- [0096] 도 5a에 도시된 바와 같이, 복수의 소스 배선들(배선(405a)을 포함)이 서로 평행하게 제공되고(도면에서 수직 방향으로 확장됨) 서로 떨어져 있다. 또한, 복수의 게이트 배선들(배선(401)을 포함)이 소스 배선들과 대략 수직인 방향으로 확장되고(도면에서 수평 방향) 서로 떨어져 제공된다. 용량 배선들(408)이 각 게이트 배선들에 근접하고 게이트 배선들에 대략 평행한 방향, 즉, 소스 배선들에 대략 수직인 방향(도면에서 수평 방향)으로 확장된다. 대략 사각형의 공간이 소스 배선들, 용량 배선들(408), 그리고 게이트 배선들에 의해 둘러싸여진다. 이 공간에서, 액정 표시 장치의 제 1 전극(447)과 제 2 전극(448) 사이에 액정층(444)이 제공된다. 스위치로 기능하는 트랜지스터(420)가 도면의 상부 좌측 모서리에 위치된다. 또한, 제 1 전극들(447)과 트랜지스터들(420)이 매트릭스로 배열된다.
- [0097] 도 5b에 도시된 바와 같이, 액정층(444)이 제 1 기관(441)과 제 2 기관(442) 사이에 제공된다. 제 1 기관(441)과 제 2 기관(442)은 투광성 기관이고 각각 그들의 외부 측면들(액정층(444)과 반대 측면들) 상에 편광판(443a)과 편광판(443b)이 제공된다. 제 1 기관(441)과 제 2 기관(442) 사이의 평균 갭(이하로 셀 갭(cell gap)으로 불림)은, 예를 들면, 1 μm 내지 10 μm 일 수 있다.
- [0098] 트랜지스터(420)가 제 1 기관(441) 위에 제공되고 배선(401), 게이트 절연층(402), 그리고 산화물 반도체층(403)을 포함한다. 본 실시형태에서, 고순도 산화물 반도체층이 산화물 반도체층(403)으로 사용된다. 산화물 반도체층(403)은 소스 전극 및 드레인 전극으로 기능하는 배선들(405a 및 405b)과 전기적으로 접촉된다. 역-스태거드 트랜지스터가 도 5b에 트랜지스터(420)로 도시되어 있으나, 본 발명은 그러한 구조에 제한되지 않는다는 것에 주의한다. 즉, 탑-게이트(top-gate) 트랜지스터가 대안적으로 사용될 수 있다.
- [0099] 또한, 제 1 절연막(407)이 트랜지스터(420)를 덮기 위해 제공되며 산화물 반도체층(403)과 접촉한다. 제 2 절연막(409)이 제 1 절연막(407) 위에 제공되며 제 3 절연막(417)이 제 2 절연막(409) 위에 제공된다. 트랜지스터를 덮는 절연막은 도 5b에 도시된 표시 장치에서 3층 구조를 가지고 있으나, 본 발명은 이러한 구조에 제한되지 않는다. 다시 말하면, 트랜지스터를 덮는 절연막은 단층 구조 또는 2층 구조를 가질 수 있다.
- [0100] 도 5b에서, 유채색(chromatic color)을 가진 투광성 수지가 제 3 절연막(417)으로 사용되며, 제 3 절연막(417)은 착색층(coloring layer)(컬러 필터)으로 기능한다. 컬러 필터가 제 2 기관(442)(카운터 기관) 측 상에 제공되면, 제 1 기관(441)(소자 기관) 위의 화소 영역의 정밀한 정렬이 힘들어질 수 있고 이미지 품질이 저하될 수 있다. 도 5b에서, 제 3 절연막(417)이 컬러 필터로서 제 1 기관(441) 측 상에 형성되기 때문에, 화소 영역과 컬러 필터가 쉽고 정밀하게 정렬될 수 있다.

- [0101] 유채색의 투광성 수지가 유채색으로 착색된 광만을 투과시키는 재료를 이용하여 형성될 수 있다. 특히, 감광성 또는 비감광성 유기 수지가 사용될 수 있다. 감광성 유기 수지층이 사용될 때, 레지스트 마스크들의 수가 감소될 수 있으며 따라서 프로세스가 간단해질 수 있다.
- [0102] 유채색들은 흑색, 회색, 및 백색과 같은 무채색 색상(achromatic color)들을 제외한 색상들이다. 특히, 유채색은 예를 들면, 적색, 녹색, 또는 청색일 수 있다. 또한, 청록, 마젠타, 노랑 등이 또한 사용될 수 있다.
- [0103] 제 3 절연막(417)의 두께는, 제 3 절연막(417)이 착색층(컬러 필터)으로 기능하도록, 함유되는 착색 재료의 농도와 광 투과율 사이의 관계를 고려하여 적절하게 제어되는 것이 바람직하다. 제 3 층간막(417)이 복수의 박막들로 형성되는 경우에, 이들 중 하나 이상이 투광성 유채색 수지층이어서 제 3 절연막(417)이 컬러 필터로 기능할 수 있어야 함에 주의한다.
- [0104] 또한, 투광성 유채색 수지층들의 두께가 그들의 유채색들에 따라 다른 경우에, 또는 차광층(light-blocking layer)이 제공되는 경우에, 또는 표면이 트랜지스터로 인하여 평평하지 않은(uneven) 경우에, 가시광선 파장 영역에서 광을 투과하는 절연막(무색 투명 절연층이라 불림)이 제 3 절연막(417)의 표면의 평탄화를 위해 제 3 절연막(417) 위에 형성되는 것이 바람직하다. 제 3 절연막(417)의 평탄성의 개선은 제 1 전극(447)과 제 2 전극(448)을 갖는 유리한 피복성 및 액정층의 균일한 갭(두께)을 허용하여, 액정 표시 장치의 가시성이 증가되고 보다 높은 이미지 품질이 성취될 수 있다.
- [0105] 또한, 보다 높은 콘트라스트와 보다 높은 해상도 표시를 구현하기 위해 차광층이 제 2 기관(442) 상에 제공되는 것이 바람직하다. 이러한 경우에, 차광층은 그 사이에 개재된 액정층(444)을 갖는 트랜지스터(420)와(적어도 트랜지스터의 반도체층과) 겹치도록 형성될 수 있다.
- [0106] 차광층은 광을 반사하거나 흡수하는 재료를 사용하여 형성된다. 예를 들어, 흑색 유기 수지가 사용될 수 있다. 특히, 안료 재료의 흑색 수지, 카본 블랙(carbon black), 티타늄 블랙(titanium black) 등을 감광성 또는 비감광성 폴리이미드와 같은 수지에 섞는 것에 의해 형성될 수 있는 흑색 유기 수지가 사용될 수 있다. 대안적으로, 차광성 금속막이 사용될 수 있다. 이러한 경우에, 크롬, 몰리브덴, 니켈, 티타늄, 코발트, 구리, 텅스텐, 알루미늄 등이 사용될 수 있다.
- [0107] 제 1 구조체(449)와 제 2 구조체(445)가 제 3 절연막(417) 위에 제공되고 이는 돌출부들(리브들(ribs))로 불릴 수 있다. 제 1 구조체(449)와 제 2 구조체(445)는 개구부 패턴들(opening patterns), 만곡부들(bends), 그리고 가지들(branches)을 갖는 빗형(comb-shaped) 부분들을 포함한다는 것에 주의한다.
- [0108] 구조체는 절연 재료(예를 들면, 유기 절연 재료 및 무기 절연 재료) 또는 도전성 재료(예를 들면, 도전성 수지와 같은 유기 도전성 재료, 및 금속과 같은 무기 도전성 재료)를 사용하여 형성될 수 있다. 예를 들어, 가시광선 경화성 수지, 자외선 경화성 수지, 또는 열경화성 수지가 사용될 수 있다. 개구율과 백색 투과율의 감소를 회피하기 위하여 가시광선을 투과하는 재료가 구조체를 위해 사용되는 것이 바람직하다는 것에 주의한다. 특히, 아크릴 수지, 에폭시 수지, 아민 수지 등이 사용될 수 있다. 또한, 구조체는 단층 구조 대신 적층 구조를 가질 수 있다.
- [0109] 제 1 기관(441)과 제 2 기관(442)의 주 표면들에 수직인 방향을 따른 제 1 구조체(449)와 제 2 구조체(445)의 단면 모양은 다각형, 삼각형, 사다리꼴, 반원형, 또는 반타원형일 수 있다. 또한, 제 1 구조체(449)와 제 2 구조체(445)는 몇몇 단차들을 갖는 부드러운 곡선형의 표면을 갖는 것이 바람직하다. 예를 들어, 도 5b에 도시된 바와 같이, 제 1 구조체(449)와 제 2 구조체(445)가 굴곡을 갖는 단부들로 된 테이퍼 형상(tapered shape)을 가질 때, 제 1 구조체(449)와 제 2 구조체(445)의 표면들(최상 표면들 및 측면 표면들)을 덮기 위해 형성되는 제 1 전극(447)과 제 2 전극(448)의 피복성이 개선될 수 있다.
- [0110] 또한, 제 1 구조체(449)와 제 2 구조체(445)의 높이는 제 1 기관(441)과 제 2 기관(442) 사이의 평균 갭(셀 갭)보다는 적어도 더 작을 수 있다. 특히, 높이는 0.1 μm 이상 10 μm 미만일 수 있다. 구조체들은 높은 것이 바람직한데, 제 1 구조체(449)와 제 2 구조체(445)가 높을수록, 보다 효율적으로 횡전계가 액정층(444)으로 인가될 수 있으며, 보다 적은 구동 전압이 필요하게 될 것이기 때문이다. 또한, 제 1 구조체(449)와 제 2 구조체(445)의 폭은 0.5 μm 내지 10 μm 일 수 있다. 제 1 구조체(449)와 제 2 구조체(445)는 그 사이에 1 μm 내지 10 μm 의 간격을 두고 배열될 수 있다.
- [0111] 제 1 구조체(449)와 제 2 구조체(445)를 형성하기 위한 방법은 특히 제한되지 않으며, 증착 방법, 스퍼터링 방법, 또는 CVD 방법과 같은 건식 방법이나 스핀 코팅, 딥(dip) 코팅, 스프레이 코팅, 액적 토출(droplet discharge) 방법(잉크젯(ink jetting) 방법), 나노임프린팅(nanoimprinting), 또는 다양한 프린팅 방법들(예

를 들면, 스크린 프린팅 또는 오프셋(offset) 프린팅과 같은 습식 방법이 재료에 따라 사용될 수 있다. 에칭 단계(건식 에칭 또는 습식 에칭)가 필요에 따라 원하는 패턴을 형성하기 위해 채용될 수 있다.

- [0112] 또한 구조체는 액정층과 대향하는 기판의 표면으로부터 액정층으로 돌출하는 한 수용될 수 있다. 따라서, 제 3 절연막(417)을 부분적으로 에칭하는 것에 의해 돌출부들이 제공될 수 있으며, 이로써 액정층과 대향하는 표면이 거칠어질 수 있다. 이러한 경우에, 제 3 절연막(417)은 제 1 돌출부와 제 2 돌출부를 포함하며, 제 2 구조체(449)와 제 2 구조체(445)를 형성하기 위한 추가적인 성막 단계가 생략될 수 있다.
- [0113] 제 1 전극(447)이 제 1 구조체(449)를 덮도록 형성되고 이는 트랜지스터(420)와 전기적으로 접속된다. 제 1 전극(447)은 화소 전극으로 기능한다. 제 2 전극(448)이 제 2 구조체(445)를 덮도록 형성되고 공통 전극으로 기능한다. 또한, 용량 소자가 제 1 전극(447), 액정층(444), 그리고 용량 배선(408)으로 형성된다.
- [0114] 이미지 신호(아날로그 비디오 신호)가 배선(405a)과 트랜지스터(420)를 통하여 제 1 전극(447)으로 입력된다. 제 2 전극(448)이 플로팅 상태(전기적으로 고립된 상태)에 있을지라도, 제 2 전극(448)이 고정된 전위, 바람직하게는 공통 전위 주위의 전위(제 1 전극(447)으로 입력되는 이미지 신호의 중간 전위)로 설정되어, 전위가 깜빡임을 발생시키지 않는 준위에 있을 수 있다.
- [0115] 도 5a 및 도 5b에서 제 1 전극(447)이 배선(405b)을 통하여 트랜지스터(420)에 전기적으로 접속되더라도, 본 발명은 이러한 구조에 제한되지 않는다는 것에 주의한다. 예를 들어, 제 1 전극(447)은 트랜지스터(420)의 산화물 반도체층(403)에 직접적으로 접속될 수 있다.
- [0116] 제 1 전극(447)과 제 2 전극(448)의 높이(두께)는 제 1 기판(441)과 제 2 기판(442) 사이의 평균 갭(셀 갭)보다 적어도 더 작을 수 있다. 특히, 높이는 0.01 μm 내지 3 μm 일 수 있다. 여기서, $X = a+b$ 를 만족시키는 것이 바람직한데, 제 1 기판(441)과 제 2 기판(442) 사이의 평균 갭(셀 갭)이 $X\mu\text{m}$, 제 1 구조체(449)와 제 2 구조체(445)의 높이가 $a\mu\text{m}$, 그리고 제 1 전극(447)과 제 2 전극(448)의 두께가 $b\mu\text{m}$ 이다. 식 $X = a+b$ 가 만족될 때, 제 1 전극(447)과 제 2 전극(448)은 제 2 기판(442)과 접촉한다. 다시 말해, 제 1 구조체(449)와 제 2 구조체(445)는 화소부의 스페이서들(spacers)로 기능한다. 따라서, 제 1 기판(441)과 제 2 기판(442) 사이의 거리를 균일하게 유지하기 위하여 화소부에 일반적으로 제공되는 원주형 스페이서 또는 구형 스페이서는 추가적으로 필요하지 않다. 따라서, 표시 장치의 프로세스 단계들의 수가 감소될 수 있다. 제 1 전극(447)과 제 2 전극(448)은 그 사이에 0.5 μm 내지 8 μm 의 간격을 가지고 배열된다는 것에 주의한다.
- [0117] 제 1 전극(447)과 제 2 전극(448)은 서로 접침이 없이 교번적으로 배열된다. 또한, 제 1 전극(447)과 제 2 전극(448)은 평평한 모양들을 갖지 않으며 다양한 개구부 패턴들, 만곡부들, 그리고 가지들을 갖는 빗형 부분들을 갖는다.
- [0118] 제 1 전극(447)과 제 2 전극(448)은 텅스텐과 인듐을 함유하는 산화물(산화 텅스텐을 함유하는 인듐 산화물), 텅스텐, 인듐, 및 아연을 함유하는 산화물(산화 텅스텐을 함유하는 인듐 아연 산화물), 티타늄과 인듐을 함유하는 산화물(산화 티타늄을 함유하는 인듐 산화물), 티타늄, 인듐, 및 주석을 함유하는 산화물(산화 티타늄을 함유하는 인듐 주석 산화물), 인듐과 주석을 함유하는 산화물(인듐 주석 산화물 또는 ITO), 인듐과 아연을 함유하는 산화물(인듐 아연 산화물), 그리고 실리콘, 인듐, 및 주석을 함유하는 산화물(산화 실리콘이 첨가되는 인듐 주석 산화물)과 같은 투광성 도전성 재료를 이용하여 형성될 수 있다. 제 2 전극(448)은 또한 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 또는 은(Ag)과 같은 금속; 그의 합금; 및 그의 질화물로부터 선택된 하나 또는 복수의 재료들을 이용하여 형성될 수 있다. 제 2 전극(448)은 또한 도전성 고분자(또한 도전성 폴리머라고도 불림)를 함유하는 도전성 화합물을 이용하여 형성될 수 있다.
- [0119] 도 5a 및 도 5b에서, 설명의 보다 나은 이해를 위해 제 1 전극(447)과 제 2 전극(448)의 해칭 패턴들(hatching patterns)은 서로 다르고 그의 재료들도 다르지만, 본 발명은 이러한 구조에 제한되지 않는다는 것에 주의한다. 즉, 제 1 전극(447)과 제 2 전극(448)은 동일한 재료를 이용하여 형성될 수 있다. 특히, 상이한 재료들을 사용하여 형성되는 경우와 비교하여 프로세스 단계들의 수가 감소될 수 있으므로 제 1 전극(447)과 제 2 전극(448)은 동일한 투광성 도전성 재료를 이용하여 형성되는 것이 바람직하다. 또한, 개구율이 증가될 것이므로 투광성 도전성 재료가 제 1 전극(447)과 제 2 전극(448)을 형성하기 위하여 사용되는 것이 바람직하다. 또한, 개구율이 더욱 증가될 수 있도록 제 1 전극(447)과 제 2 전극(448) 뿐만 아니라 배선(405a)과 배선(405b)을 형성하기 위하여 투광성 도전성 재료가 사용되는 것이 더욱 바람직하다.
- [0120] 도 5a 및 도 5b는 제 1 기판(441) 측 상에 제공된 제 2 전극(448)이 공통 전극으로 기능하는 횡전계 표시 장

치를 도시하고 있으나, 본 발명은 그러한 구조에 제한되지 않는다. 예를 들어, 다른 공통 전극으로서, 제 1 기관(441) 측 상에 제공된 제 2 전극(448)(제 1 공통 전극)에 부가하여, 제 3 전극(제 2 공통 전극)이 부가적으로 카운터 기관(제 2 기관(442)) 측 상에 제공될 수 있다. 제 3 전극이 제공되는 경우에, 제 1 기관 측 상의 제 2 전극(448)과 제 2 기관 측 상의 제 3 전극은 그 사이에 개재된 액정층(444)과 서로 대향하도록(겹치도록) 배열된다. 또한, 제 2 전극(448)과 제 3 전극은 동일한 전위로 설정되는 것이 바람직하다. 또한, 제 2 전극(448)과 제 3 전극은 동일한 재료로 형성되는 것이 바람직하다.

[0121] 제 3 전극을 제 2 기관 측 상에 제공하는 것에 의하여, 전계가 액정층(444)으로 제 1 전극(447)과 제 3 전극 사이에 비스듬한 방향(제 1 기관(441)의 주 표면에 비스듬한 방향)으로 인가될 수 있으며; 따라서, 액정 분자들이 더욱 효율적으로 제어될 수 있다. 따라서 액정층(444)의 두께 방향으로 액정 분자들을 포함하는 전체 액정층(444)의 액정 분자들이 응답하도록 만들어질 수 있으며 백색 투과율(백색 표시의 광 투과율)이 개선될 수 있다. 결과적으로, 백색 투과율의 흑색 투과율(흑색 표시의 광 투과율)에 대한 비율인 콘트라스트 비가 또한 개선될 수 있다.

[0122] 위에서 설명된 바와 같이, 본 실시형태에서, 제 1 전극(447)이 제공되어 제 1 구조체(449)를 덮고, 제 2 전극(448)이 제공되어 제 2 구조체(445)를 덮으며, 따라서 제 1 전극(447)과 제 2 전극(448)의 형성 면적이 액정층(444)의 두께 방향(3차원 방향)으로 증가될 수 있다. 따라서, 전압이 제 1 전극(447)과 제 2 전극(448) 사이에 인가될 때, 전계가 제 1 전극(447)과 제 2 전극(448) 사이에 넓게(효율적으로) 형성될 수 있다. 그러므로, 표시 장치의 구동 전압이 낮아질 수 있으며, 이는 전력 소비의 감소를 이끈다. 또한, 트랜지스터(420)가 고순도 산화물 반도체층을 포함하므로, 정지 이미지 등을 표시하기 위한 전력 소비가 실시형태 1에서 설명된 바와 같이 감소될 수 있다.

[0123] (실시형태 3)

[0124] 본 실시형태에서, 실시형태 2에서 설명된 횡전계 표시 장치와 상이한 다른 예가 설명될 것이다.

[0125] 제 1 기관(441) 측 상에 제공된 제 2 전극(448)이 공통 전극으로 기능하는 횡전계 표시 장치가 도 5a 및 도 5b에서 도시되고 실시형태 2에서 설명되었으나, 본 발명은 그 구조에 제한되지 않는다. 예를 들어, 도 6에 도시된 바와 같이, 제 1 기관(441) 측 상에 제공된 제 2 전극(448)(제 1 공통 전극)에 부가하여, 제 3 전극(446)(제 2 공통 전극)이 공통 전극으로 사용되도록 카운터 기관(제 2 기관(442)) 측 상에 부가적으로 제공될 수 있다. 제 3 전극이 제공되는 경우에, 제 1 기관 측 상의 제 2 전극(448)과 제 2 기관 측 상에 제 3 전극(446)은 그 사이에 개재된 액정층과 서로 겹치도록 배열된다. 또한, 제 2 전극(448)과 제 3 전극(446)은 동일한 전위로 설정되는 것이 바람직하다.

[0126] 제 2 기관 측 상에 제 3 전극(446)을 제공하는 것에 의하여, 전계가 제 1 전극(447)과 제 3 전극(446) 사이에 비스듬한 방향(제 1 기관(441)의 주 표면에 비스듬한 방향)으로 액정층(444)으로 인가될 수 있으며; 따라서, 액정 분자들이 더욱 효율적으로 제어될 수 있다. 따라서 액정층(444)의 두께 방향으로 액정 분자들을 포함하는 전체 액정층(444)의 액정 분자들이 응답하도록 만들어질 수 있으며 백색 투과율이 개선될 수 있다. 결과적으로, 흑색 투과율(흑색 표시의 광 투과율)에 대한 백색 투과율의 비율인 콘트라스트 비가 또한 개선될 수 있다.

[0127] 도 6에 도시된 표시 장치에서, 제 3 절연막(417)과 차광층(414)이 제 2 절연막(409) 위에 제공된다. 차광층(414)은 그 사이에 개재된 제 1 절연막(407)과 제 2 절연막(409)을 갖는 트랜지스터(420) 위에(적어도 트랜지스터의 반도체층을 덮는 영역에) 형성되며 반도체층에 대한 차광층으로 기능한다. 한편, 제 3 절연막(417)은 투광성 유체색의 수지층이며 제 1 전극(447), 제 2 전극(448), 및 제 3 전극(446)과 겹치도록 형성되고 컬러 필터로 기능한다. 도 6에 도시된 표시 장치에서, 제 2 전극(448)의 일부가 차광층(414) 위에 형성되며 액정층(444)은 그 위에 제공된다는 것에 주의한다.

[0128] 흑색 유기 수지가 차광층(414)을 위한 재료로 바람직하다. 예를 들어, 안료 재료의 흑색 수지, 카본 블랙, 티타늄 블랙 등을 감광성 또는 비감광성 폴리이미드와 같은 수지 재료와 혼합하는 것에 의해 형성될 수 있는 흑색 유기 수지가 사용될 수 있다. 차광층(414)의 형성 방법으로서, 스핀 코팅, 딥 코팅, 스프레이 코팅, 액적 토출 방법(예를 들면, 잉크젯 방법, 스크린 프린팅, 또는 오프셋 프린팅) 등과 같은 습식 방법이 재료에 따라 사용될 수 있다. 에칭 단계(건식 에칭 또는 습식 에칭)가 필요에 따라 원하는 패턴을 형성하기 위해 채용될 수 있다.

[0129] 차광층(414)은 화소의 개구율의 감소없이 트랜지스터(420)의 산화물 반도체층(403)으로 입사하는 광을 차단할

수 있고, 따라서 트랜지스터(420)의 전기적 특성들이 변화되는 것이 방지될 수 있으며 안정화될 수 있다. 또한, 차광층(414)이 근처 화소들로의 광 누출을 방지할 수 있으며, 따라서 보다 높은 콘트라스트와 보다 높은 해상도의 표시가 수행될 수 있다.

[0130] 실시형태 2에서 설명되는 도 5a 및 도 5b의 구성요소들과 동일한 참조 번호를 갖는 도 6의 구성요소들에 대하여, 도 5a 및 도 5b의 구성요소들에 대한 것과 유사한 재료들 및 형성 방법들이 사용될 수 있으며, 따라서 그의 상세한 설명은 여기서 생략된다는 것에 주의한다.

[0131] (실시형태 4)

[0132] 본 실시형태에서, 실시형태 2에서 설명된 횡전계 표시 장치와 상이한 다른 예가 설명될 것이다.

[0133] 제 3 절연막(417)이 컬러 필터로 사용되는 횡전계 표시 장치가 도 5a 및 도 5b에 도시되고 실시형태 2에서 설명되었지만, 본 발명은 그 구조에 제한되지 않는다. 예를 들어, 도 7에 도시된 바와 같이, 컬러 필터(450)가 제 2 기관(442)과 편광판(443b) 사이에 제공될 수 있다. 따라서 컬러 필터(450)가 액정층(444)이 그 사이에 개재되는 제 1 기관(441) 또는/및 제 2 기관(442)의 외측 상에 제공될 수 있다. 컬러 필터(450)는 실시형태 2에서 설명된 유체색의 투광성 수지를 이용하여 형성될 수 있다.

[0134] 제 3 절연막(417)은 도 7의 컬러 필터로 기능할 필요는 없으나, 표면을 평탄화시킬 수 있는 절연막을 사용하여 형성되는 것이 바람직하다. 평탄화막으로 기능하는 절연막은 폴리이미드(polyimide), 아크릴, 벤조사이클로부텐(benzocyclobutene), 폴리아미드(polyamide), 또는 에폭시와 같은 내열성 유기 재료를 이용하여 형성될 수 있다. 이러한 유기 재료들에 대안적으로, 낮은 유전 상수의 재료(low-k 재료), 실록산계 수지(siloxane-based resin), PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것이 가능하다. 제 3 절연막(417)이 임의의 이들 재료들을 이용하여 형성된 복수의 절연막들을 적층하는 것에 의해 형성될 수 있다.

[0135] 실시형태 3에서 설명된 도 6에서와 같이, 도 7의 표시 장치는 제 1 기관(441) 측 상에 제공된 제 2 전극(448)(제 1 공통 전극)에 추가하여, 다른 공통 전극으로서 카운터 기관(제 2 기관(442)) 측 상에 제공된 제 3 전극(446)(제 2 공통 전극)을 포함한다. 제 3 전극이 제공되는 경우에, 제 1 기관 측 상의 제 2 전극(448)과 제 2 기관 측 상의 제 3 전극(446)은 그 사이에 개재된 액정층과 서로 겹치도록 배열된다. 또한, 제 2 전극(448)과 제 3 전극(446)은 동일한 전위로 설정되는 것이 바람직하다.

[0136] 제 2 기관 측 상에 제 3 전극(446)을 제공하는 것에 의하여, 전계가 제 1 전극(447)과 제 3 전극(446) 사이에 비스듬한 방향(제 1 기관(441)의 주 표면에 비스듬한 방향)으로 액정층(444)으로 인가될 수 있으며; 따라서, 액정 분자들이 더욱 효율적으로 제어될 수 있다. 따라서 액정층(444)의 두께 방향으로 액정 분자들을 포함하는 전체 액정층(444)의 액정 분자들이 응답하도록 만들어질 수 있으며 백색 투과율이 개선될 수 있다. 결과적으로, 흑색 투과율(흑색 표시의 광 투과율)에 대한 백색 투과율의 비율인 콘트라스트 비가 또한 개선될 수 있다.

[0137] 실시형태 2에서 설명되는 도 5a 및 도 5b의 구성요소들과 동일한 참조 번호를 갖는 도 7의 구성요소들에 대하여, 도 5a 및 도 5b의 구성요소들에 대한 것과 유사한 재료들 및 형성 방법들이 사용될 수 있으며, 따라서 그의 상세한 설명은 여기서 생략된다는 것에 주의한다.

[0138] (실시형태 5)

[0139] 본 실시형태에서, 표시 장치의 전력 소비를 더욱 감소시킬 수 있도록 하는 구조가 설명될 것이다. 특히, 전력 소비가 단지 표시 장치의 화소부에서 뿐만 아니라, 표시 장치의 구동 회로부에서 감소되는 구조가 설명될 것이다.

[0140] 도 8은 표시 장치의 예를 도시하는 블록도이다. 본 발명은 도 8의 구조에 제한되지 않는다는 것에 주의한다.

[0141] 도 8의 표시 장치(1000)는 표시 패널(1001), 신호 생성 회로(1002), 메모리 회로(1003), 비교 회로(1004), 선택 회로(1005), 그리고 표시 제어 회로(1006)를 포함한다. 표시 패널(1001)은 구동 회로부(1007)와 화소부(1008)를 포함한다. 구동 회로부(1007)는 게이트선 구동 회로(1009A)와 신호선 구동 회로(1009B)를 포함한다. 게이트선 구동 회로(1009A)와 신호선 구동 회로(1009B)는 복수의 화소들을 포함하는 화소부(1008)를 구동하는 기능을 갖는다.

[0142] 화소부(1008)에 포함된 트랜지스터로서, 실시형태 1에서 설명된 트랜지스터가 사용된다. 다시 말해, 고순도 산화물 반도체층을 포함하는 n-채널 트랜지스터가 스위칭 트랜지스터로서 사용된다. 구동기 트랜지스터는 고

순도 산화물 반도체층 또는 실리콘층을 포함할 수 있다는 것에 주의한다. 본 실시형태에서, 고순도 산화물 반도체층을 포함하는 n-채널 트랜지스터가 구동기 트랜지스터로 또한 사용된다.

- [0143] 본 실시형태에서, 화소부(1008)의 트랜지스터들 중 하나인 스위칭 트랜지스터는 고순도 산화물 반도체층을 포함하는 n-채널 트랜지스터이며, 따라서 이미지 신호와 같은 데이터가 긴 시간 기간 동안 유지될 수 있다. 따라서, 정지 이미지가 표시될 때 신호 기록의 빈도가 감소될 수 있다. 따라서, 표시 장치의 전력 소비의 감소가 성취될 수 있다.
- [0144] 또한, 본 실시형태에서, 정지 이미지가 표시될 때, 구동 회로부가 화소부에 포함된 모든 신호선들 및/또는 모든 주사선들로 신호들의 출력이 공급되는 것을 정지하도록 동작되는 것에 의해, 화소부 뿐만 아니라 구동 회로부의 전력 소비가 감소될 수 있다. 다시 말해, 표시 장치는 표시 장치가 정지 이미지를 표시하는 기간에서 화소부에 포함된 모든 신호선들 및/또는 모든 주사선들로의 신호들의 공급이 정지되는 기간을 포함한다. 본 실시형태에서, 구동 회로부의 전력 소비의 감소를 성취하기 위한 하나의 구조로서, 표시 장치(1000)는 신호 생성 회로(1002), 메모리 회로(1003), 비교 회로(1004), 선택 회로(1005), 그리고 표시 제어 회로(1006)를 포함한다.
- [0145] 신호 생성 회로(1002)는 게이트선 구동 회로(1009A)와 신호선 구동 회로(1009B)를 구동시키기 위해 필요한 신호(제어 신호)를 생성시키는 기능을 갖는다. 또한, 신호 생성 회로(1002)는 배선을 통하여 제어 신호를 구동 회로부(1007)로 출력하고 배선을 통하여 이미지 신호(또한 비디오 전압, 비디오 신호, 비디오 데이터로도 불림)를 메모리 회로(1003)로 출력시키는 기능을 갖는다. 다시 말해, 신호 생성 회로(1002)는 구동 회로부(1007)를 제어하기 위한 제어 신호들과 화소부로 공급될 이미지 신호들을 생성하고 출력하기 위한 회로이다.
- [0146] 특히, 신호 생성 회로(1002)는, 제어 신호들로서, 고전원 전위(Vdd)와 저전원 전위(Vss)를 게이트선 구동 회로(1009A)와 신호선 구동 회로(1009B)로, 게이트선 구동 회로를 위한 시작 펄스(SP)와 클록 펄스(CK)를 게이트선 구동 회로(1009A)로, 그리고 신호선 구동 회로를 위한 시작 펄스(SP)와 클록 신호(CK)를 신호선 구동 회로(1009B)로 공급한다. 또한, 신호 생성 회로(1002)는 움직이는 이미지 또는 정지 이미지를 표시하기 위한 이미지 신호(Data)를 메모리 회로(1003)로 출력한다.
- [0147] 움직이는 이미지는 복수의 프레임들로 시간분할되는 복수의 이미지들을 빠르게 스위칭시킴으로써 사람의 눈들에 의해 움직이는 이미지로 인식되는 이미지를 말한다. 특히, 움직이는 이미지는 이미지들을 초당 60번(60 프레임들) 이상 스위칭시킴으로써 사람의 눈들에 의해 거의 깜빡임이 없는 움직이는 이미지로서 인식될 수 있는 일련의 이미지 신호들을 말한다. 반대로, 정지 이미지는 움직이는 이미지와 달리, 복수의 프레임들로 시간분할되는 복수의 이미지들이 고속으로 스위칭되는 이미지 신호들을 말하지만, 정지 이미지의 이미지 신호들은, 연속하는 프레임 기간들, 예를 들면 n번째 프레임과 (n+1)번째 프레임 사이가 상이하지 않다.
- [0148] 신호 생성 회로(1002)는 이미지 신호와 래치(latch) 신호와 같은 다른 신호들을 생성하는 기능을 가질 수 있다는 것에 주의한다. 신호 생성 회로(1002)는 또한 각 구동 회로의 펄스 신호의 출력을 정지시키기 위한 리셋 신호(Res)를, 게이트선 구동 회로(1009A) 및/또는 신호선 구동 회로(1009B)로 출력하는 기능을 가질 수 있다. 각 신호는 제 1 클록 신호와 제 2 클록 신호와 같은 복수의 신호들로 구성될 수 있다는 것에 주의한다.
- [0149] 고전원 전위(Vdd)는 기준 전위보다 높은 전위를 말하며, 저전원 전위는 기준 전위 이하인 전위를 말한다는 것에 주의한다. 고전원 전위와 저전원 전위는 모두 트랜지스터가 구동할 수 있는 전위들로 설정되는 것이 바람직하다는 것에 주의한다.
- [0150] 많은 경우들에서 전압은 주어진 전위와 기준 전위(예를 들면, 접지 전위) 사이의 전위 차이를 말한다는 것에 주의한다. 따라서, 전압, 전위, 그리고 전위 차이는 전위, 전압, 그리고 전압 차이로 각각 나타낼 수 있다.
- [0151] 신호 생성 회로(1002)로부터 메모리 회로(1003)로 출력된 이미지 신호가 아날로그 신호인 경우에, 신호는 A/D 변환기 등을 통하여 디지털 신호로 변환되어 메모리 회로(1003)로 출력될 수 있다.
- [0152] 메모리 회로(1003)는 복수의 프레임들의 이미지 신호들을 저장하기 위한 복수의 프레임 메모리들(1010)을 포함한다. 프레임 메모리는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 메모리 소자를 이용하여 형성될 수 있다는 것에 주의한다.
- [0153] 프레임 메모리들(1010)의 수는 이미지 신호가 각 프레임 기간 동안 저장될 수 있는 한 특별히 제한되지 않는다는 것에 주의한다. 프레임 메모리들(1010)의 이미지 신호들은 비교 회로(1004)와 선택 회로(1005)에 의해 선택적으로 판독된다.

- [0154] 비교 회로(1004)는 메모리 회로(1003)에 저장된 연속적인 프레임 기간들의 이미지 신호들을 선택적으로 관독하고, 이미지 신호들을 비교하며, 그의 차이를 검출하는 회로이다. 비교 회로(1004)에 의한 이미지 신호들의 비교에 의해 차이가 검출되는 경우에, 이미지는 차이가 검출되는 연속적인 프레임 기간들에서 움직이는 이미지로서 인식된다. 한편, 비교 회로(1004)에 의한 이미지 신호들의 비교에 의해 차이가 검출되지 않는 경우에, 이미지는 차이가 검출되지 않은 연속적인 프레임 기간들에서 정지 이미지로서 인식된다. 다시 말해, 비교 회로(1004)에 의해 검출된 차이의 존재 또는 부재에 따라, 연속적인 프레임 기간들의 이미지 신호들이 움직이는 이미지를 표시하기 위한 이미지 신호들인지 또는 정지 이미지를 표시하기 위한 이미지 신호들인지가 결정된다. 비교에 의해 얻어진 차이는 차이가 어떤 준위를 초과할 때 검출되도록 설정될 수 있다는 것에 주의한다.
- [0155] 선택 회로(1005)는 트랜지스터들과 같은 복수의 스위치들을 포함하며, 비교 회로(1004)의 차이 검출에 의해 이미지 신호들이 움직이는 이미지를 표시하기 위한 것인지 결정될 때 이미지 신호들이 저장되는 프레임 메모리들(1010)로부터 이미지 신호들을 선택하고, 이미지 신호들을 표시 제어 회로(1006)로 출력하는 회로이다. 비교 회로에 의해 비교된 프레임들 사이에 이미지 신호들의 차이가 검출되지 않은 경우에, 연속적인 프레임 기간들에서 표시된 이미지는 정지 이미지라는 것에 주의한다. 그러한 경우에, 연속적인 프레임 기간들의 후자의 이미지 신호는 표시 제어 회로(1006)로 출력되지 않는다.
- [0156] 표시 제어 회로(1006)는 이미지 신호와 고전원 전위(Vdd), 저전원 전위(Vss), 시작 펄스(SP), 클록 펄스(CK), 그리고 리셋 신호(Res)와 같은 제어 신호들의 구동 회로부(1007)로의 공급과 정지 사이에서 스위치하는 회로이다. 특히, 표시될 이미지가 비교 회로(1004)에 의해 움직이는 이미지임이 결정될 때, 즉, 연속적인 프레임 기간들의 이미지 신호들 사이의 차이가 검출될 때, 이미지 신호들이 선택 회로(1005)로부터 표시 제어 회로(1006)로 공급된다. 이후, 이미지 신호들이 표시 제어 회로(1006)를 통해 구동 회로부(1007)로 공급된다. 또한, 제어 신호들은 표시 제어 회로(1006)를 통해 구동 회로부(1007)로 공급된다. 한편, 표시될 이미지가 비교 회로(1004)에 의해 정지 이미지라고 결정될 때, 즉, 연속적인 프레임 기간들의 이미지 신호들 사이의 차이가 검출되지 않을 때, 연속적인 프레임 기간들의 후자의 이미지 신호는 선택 회로(1005)로부터 공급되지 않으며; 따라서, 연속적인 프레임 기간들의 후자의 이미지 신호는 표시 제어 회로(1006)를 통해 구동 회로부(1007)로 공급되지 않고, 표시 제어 회로(1006)는 제어 신호들을 구동 회로부(1007)로 공급하는 것을 정지한다.
- [0157] 표시될 이미지가 정지 이미지임이 결정된 경우에, 이미지가 표시되는 기간이 짧을 때, 제어 신호들 중 고전원 전위(Vdd)와 저전원 전위(Vss)의 공급은 정지될 필요는 없다는 것에 주의한다. 이러한 경우에, 고전원 전위(Vdd)와 저전원 전위(Vss)의 공급의 잦은 정지와 시작으로 인한 전력 소비의 증가가 감소될 수 있으며, 이것이 바람직하다.
- [0158] 이미지 신호가 화소부(1008)의 각 화소에서 유지될 수 있는 기간 동안 이미지 신호들과 제어 신호들의 공급이 정지되고, 표시 제어 회로(1006)는 표시 제어 회로(1006)가 앞서 공급하는 이미지 신호들과 제어 신호들을 다시 공급할 수 있는 구조를 가질 수 있어, 각 화소의 유지 기간 후에 이미지 신호들이 다시 공급되는 것이 바람직하다.
- [0159] 신호의 공급은 미리 정해진 전위를 배선으로 공급하는 것을 말한다. 신호의 공급 정지는 미리 정해진 전위를 배선으로 공급하는 것과, 미리 정해진 고정된 전위가 공급되는 배선, 예를 들면, 저전원 전위(Vss)가 공급되는 배선으로의 전기적 접속을 중단시키는 것을 말한다. 신호의 공급 정지는 또한 미리 정해진 전위가 공급되는 배선으로의 전기적 접속을 단절시키는 것과 배선을 플로팅 상태로 가져오는 것을 말한다.
- [0160] 이러한 방식으로, 이미지 신호들은 그의 이미지가 움직이는 이미지인지 또는 정지 이미지인지 결정하기 위해 비교되며, 클록 신호 또는 시작 신호와 같은 제어 신호들의 공급 또는 정지가 선택되어, 구동 회로부(1007)의 전력 소비가 감소될 수 있다.
- [0161] 다음, 구동 회로부(1007)의 게이트선 구동 회로(1009A)와 신호선 구동 회로(1009B)의 각각에 포함된 시프트 레지스터의 구조의 예가 도 9a 내지 도 9c를 참조하여 설명될 것이다.
- [0162] 도 9a에 도시된 시프트 레지스터는 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)(N은 3 이상의 자연수)를 포함한다. 도 9a에 도시된 시프트 레지스터에서, 제 1 클록 신호(CK1), 제 2 클록 신호(CK2), 제 3 클록 신호(CK3), 및 제 4 클록 신호(CK4)가 제 1 배선(11), 제 2 배선(12), 제 3 배선(13), 및 제 4 배선(14)으로부터 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)로 각각 공급된다. 시작 펄스(SP1)(제 1 시작 펄스)가 제 5 배선(15)으로부터 제 1 펄스 출력 회로(10_1)로 입력된다. 제 2 또는 다음단의 제 n 펄스 출력 회로(10_n)(n은 2 이상 N 이하의 자연수)로, 이전단의 펄스 출력 회로로부터의 신호(이러한 신호는 이전단 신호

(OUT(n-1))로 불림)가 입력된다. 제 1 펄스 출력 회로(10_1)로, 다음단의 후속단의 제 3 펄스 출력 회로(10_3)의 신호가 입력된다. 유사하게, 제 2 또는 다음단의 제 n 펄스 출력 회로(10_n)로, 다음단의 후속단의 제 (n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(이러한 신호는 다음단 신호(OUT(n+2))로 불림)가 입력된다. 따라서, 각각의 단들의 펄스 출력 회로들은 다음단의 펄스 출력 회로 및/또는 2단 전단의 펄스 출력 회로로 입력될 제 1 출력 신호들(OUT(1)(SR) 내지 OUT(N)(SR))과, 다른 배선 등으로 입력될 제 2 출력 신호들(OUT(1) 내지 OUT(N))을 출력한다. 도 9a에 도시된 바와 같이 다음단 신호(OUT(n+2))가 시프트 레지스터의 마지막 두 단들로 입력되지 않기 때문에, 예를 들면, 제 2 시작 펄스(SP2) 및 제 3 시작 펄스(SP3)가 제 7 배선(17) 및 제 8 배선(18)으로부터 마지막 두 단들의 펄스 출력 회로들로 각각 입력될 수 있다는 것에 주의한다. 대안적으로, 시프트 레지스터에서 부가적으로 생성되는 신호가 사용될 수 있다. 예를 들어, 표시부로의 펄스 출력에 기여하지 않는 제 (N+1) 펄스 출력 회로(10_(N+1))와 제 (N+2) 펄스 출력 회로(10_(N+2))(이러한 회로들은 또한 더미(dummy)단들로 불림)가 제공되어 제 2 시작 펄스(SP2)와 제 3 시작 펄스(SP3)에 대응하는 신호들이 더미단들에서 생성되는 구조가 채용될 수 있다.

[0163] 제 1 내지 제 4 클록 신호들(CK1 내지 CK4)은 도 10에 도시된 바와 같이 일정한 간격들로 H 준위와 L 준위 사이에서 교번하는 신호들임에 주의한다. 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)는 순차적으로 1/4 사이클만큼 지연된다. 본 실시형태에서, 펄스 출력 회로 등의 구동은 제 1 내지 제 4 클록 신호들(CK1 내지 CK4)로 제어된다. 클록 신호(CK)는 클록 신호가 입력되는 구동 회로에 따라 일부 경우들에서 GCK 또는 SCK로 표현될 수 있으나, 클록 신호가 여기서는 CK로 표현된다는 것에 주의한다.

[0164] 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)의 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 및 제 2 출력 단자(27)를 포함한다(도 9b 참조).

[0165] 제 1 입력 단자(21), 제 2 입력 단자(22), 및 제 3 입력 단자(23)는 임의의 제 1 내지 제 4 배선들(11 내지 14)과 전기적으로 접속된다. 예를 들어, 도 9a 및 도 9b의 제 1 펄스 출력 회로(10_1)에서, 제 1 입력 단자(21)는 제 1 배선(11)과 전기적으로 접속되고, 제 2 입력 단자(22)는 제 2 배선(12)과 전기적으로 접속되며, 제 3 입력 단자(23)는 제 3 배선(13)과 전기적으로 접속된다. 제 2 펄스 출력 회로(10_2)에서, 제 1 입력 단자(21)는 제 2 배선(12)과 전기적으로 접속되고, 제 2 입력 단자(22)는 제 3 배선(13)과 전기적으로 접속되며, 제 3 입력 단자(23)는 제 4 배선(14)과 전기적으로 접속된다.

[0166] 도 9a 및 도 9b에서, 제 1 펄스 출력 회로(10_1)에서, 시작 펄스가 제 4 입력 단자(24)로 입력되고, 다음단 신호(OUT(3))가 제 5 입력 단자(25)로 입력되고, 제 1 출력 신호(OUT(1)(SR))가 제 1 출력 단자(26)로부터 출력되고, 제 2 출력 신호(OUT(1))가 제 2 출력 단자(27)로부터 출력된다.

[0167] 다음, 펄스 출력 회로의 특정 회로 구성의 예가 도 9c를 참조하여 설명될 것이다.

[0168] 도 9c에서, 제 1 트랜지스터(31)의 제 1 단자는 전원선(51)과 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자와 전기적으로 접속되며, 제 1 트랜지스터(31)의 게이트는 제 4 입력 단자(24)와 전기적으로 접속된다. 제 2 트랜지스터(32)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 2 트랜지스터(32)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자와 전기적으로 접속되며, 제 2 트랜지스터(32)의 게이트는 제 4 트랜지스터(34)의 게이트와 전기적으로 접속된다. 제 3 트랜지스터(33)의 제 1 단자는 제 1 입력 단자(21)와 전기적으로 접속되고, 제 3 트랜지스터(33)의 제 2 단자는 제 1 출력 단자(26)와 전기적으로 접속된다. 제 4 트랜지스터(34)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 4 트랜지스터(34)의 제 2 단자는 제 1 출력 단자(26)와 전기적으로 접속된다. 제 5 트랜지스터(35)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 5 트랜지스터(35)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속되며, 제 5 트랜지스터(35)의 게이트는 제 4 입력 단자(24)와 전기적으로 접속된다. 제 6 트랜지스터(36)의 제 1 단자는 전원선(51)과 전기적으로 접속되며, 제 6 트랜지스터(36)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속되고, 제 6 트랜지스터(36)의 게이트는 제 5 입력 단자(25)와 전기적으로 접속된다. 제 7 트랜지스터(37)의 제 1 단자는 전원선(51)에 전기적으로 접속되고, 제 7 트랜지스터(37)의 제 2 단자는 제 8 트랜지스터(38)의 제 2 단자와 전기적으로 접속되며, 제 7 트랜지스터(37)의 게이트는 제 3 입력 단자(23)와 전기적으로 접속된다. 제 8 트랜지스터(38)의 제 1 단자는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속되며, 제 8 트랜지스터(38)의 게이트는 제 2 입력 단자(22)와 전기적으로 접속된다. 제 9 트랜지스터(39)의 제 1 단자는 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자와 전기적으로 접속되고, 제 9 트랜지스터(39)의 제 2 단자는 제 3 트랜지스터(33)의 게이트 및 제 10 트랜지스터(40)의 게

이트와 전기적으로 접속되며, 제 9 트랜지스터(39)의 게이트는 전원선(51)과 전기적으로 접속된다. 제 10 트랜지스터(40)의 제 1 단자는 제 1 입력 단자(21)와 전기적으로 접속되고, 제 10 트랜지스터(40)의 제 2 단자는 제 2 출력 단자(27)와 전기적으로 접속되며, 제 10 트랜지스터(40)의 게이트는 제 9 트랜지스터(39)의 제 2 단자와 전기적으로 접속된다. 제 11 트랜지스터(41)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 11 트랜지스터(41)의 제 2 단자는 제 2 출력 단자(27)와 전기적으로 접속되며, 제 11 트랜지스터(41)의 게이트는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속된다.

[0169] 도 9c에서, 제 3 트랜지스터(33)의 게이트, 제 10 트랜지스터(40)의 게이트, 그리고 제 9 트랜지스터(39)의 제 2 단자가 접속되는 접속점은 노드(NA)로 불린다. 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 그리고 제 11 트랜지스터(41)의 게이트가 접속되는 접속점은 노드(NB)로 불린다.

[0170] 도 9c의 펄스 출력 회로가 제 1 펄스 출력 회로(10_1)인 경우에, 제 1 클록 신호(CK1)가 제 1 입력 단자(21)로 입력되고, 제 2 클록 신호(CK2)가 제 2 입력 단자(22)로 입력되며, 제 3 클록 신호(CK3)가 제 3 입력 단자(23)로 입력되고, 시작 펄스(SP1)가 제 4 입력 단자(24)로 입력되며, 다음 상태 신호(OUT(3))가 제 5 입력 단자(25)로 입력되고, OUT(1)(SR)이 제 1 출력 단자(26)로부터 출력되며, OUT(1)이 제 2 출력 단자(27)로부터 출력된다.

[0171] 도 10은 도 9c에 도시된 복수의 펄스 출력 회로들을 포함하는 시프트 레지스터의 타이밍도이다. 시프트 레지스터가 주사선 구동 회로일 때, 도 10의 기간(61)은 수직 귀선(retrace) 기간에 대응하고 기간(62)은 게이트 선택 기간에 대응한다는 것에 주의한다.

[0172] 정지 이미지와 움직이는 이미지가 표시되는 경우에, 도 9a 내지 도 9c의 예와 같이 도시된 복수의 n-채널 트랜지스터들을 포함하는 구동 회로의 배선들의 전위들을 공급하고 정지하는 프로세스가 이하에 설명된다.

[0173] 먼저, 구동 회로부(1007)의 동작을 정지시키기 위하여, 시작 펄스(SP)의 공급이 표시 제어 회로(1006)에 의해 정지된다. 시작 펄스(SP)의 공급이 정지된 후, 펄스 출력은 시프트 레지스터의 마지막 단에 도달하고, 이후 각 클록 신호(CK)의 공급이 정지된다. 다음, 전원 전압의 고전원 전위(Vdd)와 저전원 전위(Vss)의 공급이 정지된다(도 12a 참조). 구동 회로부(1007)의 동작을 다시 시작하기 위하여, 먼저, 표시 제어 회로(1006)가 전원 전압의 고전원 전위(Vdd)와 저전원 전위(Vss)를 구동 회로부(1007)에 공급한다. 다음, 클록 신호들(CK)의 각각이 공급되고, 이후, 시작 펄스(SP)의 공급이 다시 시작된다(도 12b 참조).

[0174] 도 9a 내지 도 9c의 설명에서, 리셋 신호(Res)는 구동 회로로 공급되지 않는다. 리셋 신호(Res)가 공급되는 구성이 도 11a 내지 도 11c를 참조하여 설명될 것이다.

[0175] 도 11a에 도시된 시프트 레지스터는 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)(N은 3 이상의 자연수)을 포함한다. 도 11a에 도시된 시프트 레지스터에서, 제 1 클록 신호(CK1), 제 2 클록 신호(CK2), 제 3 클록 신호(CK3), 및 제 4 클록 신호(CK4)가 제 1 배선(11), 제 2 배선(12), 제 3 배선(13), 및 제 4 배선(14)으로부터 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)로 각각 공급된다. 시작 펄스(SP1)(제 1 시작 펄스)가 제 5 배선(15)으로부터 제 1 펄스 출력 회로(10_1)로 입력된다. 제 2 또는 다음단(n은 2 이상 N 이하의 자연수)의 제 n 펄스 출력 회로(10_n)로, 이전단의 펄스 출력 회로로부터의 신호(이러한 신호는 이전단 신호(OUT(n-1))로 불림)가 입력된다. 제 1 펄스 출력 회로(10_1)로, 다음단의 후속단의 제 3 펄스 출력 회로(10_3)로부터 신호가 입력된다. 유사하게, 제 2 또는 다음단의 제 n 펄스 출력 회로(10_n)로, 다음단의 후속단의 제 (n+2) 펄스 출력 회로(10_(n+2))로부터 신호(후단 신호 OUT(n+2)라고 함)가 입력된다. 따라서, 각각의 단들의 펄스 출력 회로들은 다음단의 펄스 출력 회로 및/또는 2단 전단의 펄스 출력 회로로 입력될 제 1 출력 신호들(OUT(1)(SR) 내지 OUT(N)(SR))과, 다른 배선 등으로 입력될 제 2 출력 신호들(OUT(1) 내지 OUT(N))을 출력한다. 각 단계의 펄스 출력 회로로, 리셋 신호(Res)가 제 6 배선(16)으로부터 공급된다.

[0176] 도 11a 내지 도 11c에 도시된 펄스 출력 회로는 리셋 신호(Res)를 공급하기 위한 제 6 배선(16)이 제공된다는 점에서 도 9a 내지 도 9c에 도시된 펄스 출력 회로와 상이하며; 다른 부분들은 도 9a 내지 도 9c를 참조하여 설명된 부분과 유사하다.

[0177] 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)의 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26), 제 2 출력 단자(27), 그리고 제 6 입력 단자(28)를 포함한다(도 11b 참조).

[0178] 제 1 입력 단자(21), 제 2 입력 단자(22), 그리고 제 3 입력 단자(23)는 임의의 제 1 내지 제 4 배선들(11 내

지 14)과 전기적으로 접속된다. 예를 들어, 도 11a 및 도 11b의 제 1 펄스 출력 회로(10_1)에서, 제 1 입력 단자(21)는 제 1 배선(11)과 전기적으로 접속되고, 제 2 입력 단자(22)는 제 2 배선(12)과 전기적으로 접속되며, 제 3 입력 단자(23)는 제 3 배선(13)과 전기적으로 접속된다. 제 2 펄스 출력 회로(10_2)에서, 제 1 입력 단자(21)는 제 2 배선(12)과 전기적으로 접속되고, 제 2 입력 단자(22)는 제 3 배선(13)과 전기적으로 접속되며, 제 3 입력 단자(23)는 제 4 배선(14)과 전기적으로 접속된다.

[0179] 도 11a 및 도 11b에서, 제 1 펄스 출력 회로(10_1)에서, 시작 펄스가 제 4 입력 단자(24)로 입력되고, 다음단 신호(OUT(3))가 제 5 입력 단자(25)로 입력되고, 제 1 출력 신호(OUT(1)(SR))가 제 1 출력 단자(26)로부터 출력되고, 제 2 출력 신호(OUT(1))가 제 2 출력 단자(27)로부터 출력되고, 리셋 신호(Res)가 제 6 입력 단자(28)로부터 입력된다.

[0180] 다음, 펄스 출력 회로의 특정 회로 구성의 예가 도 11c를 참조하여 설명될 것이다.

[0181] 도 11c에서, 제 1 트랜지스터(31)의 제 1 단자는 전원선(51)과 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자와 전기적으로 접속되며, 제 1 트랜지스터(31)의 게이트는 제 4 입력 단자(24)와 전기적으로 접속된다. 제 2 트랜지스터(32)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 2 트랜지스터(32)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자와 전기적으로 접속되며, 제 2 트랜지스터(32)의 게이트는 제 4 트랜지스터(34)의 게이트와 전기적으로 접속된다. 제 3 트랜지스터(33)의 제 1 단자는 제 1 입력 단자(21)와 전기적으로 접속되고, 제 3 트랜지스터(33)의 제 2 단자는 제 1 출력 단자(26)와 전기적으로 접속된다. 제 4 트랜지스터(34)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 4 트랜지스터(34)의 제 2 단자는 제 1 출력 단자(26)와 전기적으로 접속된다. 제 5 트랜지스터(35)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 5 트랜지스터(35)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속되며, 제 5 트랜지스터(35)의 게이트는 제 4 입력 단자(24)와 전기적으로 접속된다. 제 6 트랜지스터(36)의 제 1 단자는 전원선(51)과 전기적으로 접속되며, 제 6 트랜지스터(36)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속되고, 제 6 트랜지스터(36)의 게이트는 제 5 입력 단자(25)와 전기적으로 접속된다. 제 7 트랜지스터(37)의 제 1 단자는 전원선(51)에 전기적으로 접속되고, 제 7 트랜지스터(37)의 제 2 단자는 제 8 트랜지스터(38)의 제 2 단자와 전기적으로 접속되며, 제 7 트랜지스터(37)의 게이트는 제 3 입력 단자(23)와 전기적으로 접속된다. 제 8 트랜지스터(38)의 제 1 단자는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속되며, 제 8 트랜지스터(38)의 게이트는 제 2 입력 단자(22)와 전기적으로 접속된다. 제 9 트랜지스터(39)의 제 1 단자는 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자와 전기적으로 접속되고, 제 9 트랜지스터(39)의 제 2 단자는 제 3 트랜지스터(33)의 게이트 및 제 10 트랜지스터(40)의 게이트와 전기적으로 접속되며, 제 9 트랜지스터(39)의 게이트는 전원선(51)과 전기적으로 접속된다. 제 10 트랜지스터(40)의 제 1 단자는 제 1 입력 단자(21)와 전기적으로 접속되고, 제 10 트랜지스터(40)의 제 2 단자는 제 2 출력 단자(27)와 전기적으로 접속되며, 제 10 트랜지스터(40)의 게이트는 제 9 트랜지스터(39)의 제 2 단자와 전기적으로 접속된다. 제 11 트랜지스터(41)의 제 1 단자는 전원선(52)과 전기적으로 접속되고, 제 11 트랜지스터(41)의 제 2 단자는 제 2 출력 단자(27)와 전기적으로 접속되며, 제 11 트랜지스터(41)의 게이트는 제 2 트랜지스터(32)의 게이트 및 제 4 트랜지스터(34)의 게이트와 전기적으로 접속된다. 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 및 제 11 트랜지스터(41)의 게이트는 리셋 신호(Res)를 공급하기 위한 배선(53)과 전기적으로 접속된다. 리셋 신호(Res)는 고전원 전위 준위를 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 그리고 제 11 트랜지스터(41)의 게이트로 공급하는 신호이며, 따라서 펄스 출력 회로로부터의 출력을 저전원 전위 준위의 신호로 감소시킨다.

[0182] 도 11c에서, 제 3 트랜지스터(33)의 게이트, 제 10 트랜지스터(40)의 게이트, 그리고 제 9 트랜지스터(39)의 제 2 단자가 접속되는 접속점은 노드(NA)로 불린다. 제 2 트랜지스터(32)의 게이트, 제 4 트랜지스터(34)의 게이트, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자, 그리고 제 11 트랜지스터(41)의 게이트가 접속되는 접속점은 노드(NB)로 불린다.

[0183] 도 11c의 펄스 출력 회로가 제 1 펄스 출력 회로(10_1)인 경우에, 제 1 클록 신호(CK1)가 제 1 입력 단자(21)로 입력되고, 제 2 클록 신호(CK2)가 제 2 입력 단자(22)로 입력되며, 제 3 클록 신호(CK3)가 제 3 입력 단자(23)로 입력되고, 시작 펄스(SP)가 제 4 입력 단자(24)로 입력되며, 다음단 신호(OUT(3))가 제 5 입력 단자(25)로 입력되고, OUT(1)(SR)이 제 1 출력 단자(26)로부터 출력되며, OUT(1)이 제 2 출력 단자(27)로부터 출

력되고, 리셋 신호(Res)가 제 6 입력 단자(28)로 입력된다.

- [0184] 도 11c에 도시된 복수의 펄스 출력 회로들을 포함하는 시프트 레지스터의 타이밍도는 도 10에 도시된 것과 유사하다는 것에 주의한다.
- [0185] 정지 이미지와 움직이는 이미지가 표시되는 경우에, 도 11a 내지 도 11c의 예와 같이 도시된 복수의 n-채널 트랜지스터들을 포함하는 구동 회로에서 배선들의 전위들을 공급하고 정지하는 프로세스가 이하에 서술된다.
- [0186] 먼저, 구동 회로부(1007)의 동작을 정지시키기 위하여, 시작 펄스(SP)의 공급이 표시 제어 회로(1006)에 의해 정지된다. 시작 펄스(SP)의 공급이 정지된 후에, 펄스 출력이 시프트 레지스터의 최종단에 도달하고, 이후 각 클럭 신호(CK)의 공급이 정지된다. 다음, 리셋 신호(Res)가 공급된다. 다음, 전원 전압의 고전원 전위(Vdd)와 저전원 전위(Vss)의 공급이 정지된다(도 12c 참조). 구동 회로부(1007)의 동작을 다시 시작하기 위하여, 먼저, 표시 제어 회로(1006)가 전원 전압의 고전원 전위(Vdd)와 저전원 전위(Vss)를 구동 회로부(1007)에 공급한다. 다음, 리셋 신호(Rse)가 공급된다. 이후, 클럭 신호들(CK)의 각각이 공급되고, 이후, 시작 펄스(SP)의 공급이 다시 시작된다(도 12d 참조).
- [0187] 정지 이미지와 움직이는 이미지 사이에서 스위칭할 때 신호 지연 등으로 인한 오작동이 감소될 수 있기 때문에, 도 9a 내지 도 9c에 도시된 구성에 부가하여 리셋 신호가 공급되는 도 11a 내지 도 11c에 도시된 구성이 바람직하다.
- [0188] 위에서 설명된 바와 같이, 고순도 산화물 반도체를 포함하는 트랜지스터를 각 화소에 제공하는 것에 의해, 저장 용량 소자가 전압을 유지할 수 있는 기간이 종래의 경우에서보다 길어질 수 있으며, 정지 이미지 등을 표시하기 위한 전력 소비가 감소될 수 있다. 또한, 정지 이미지가 표시될 때, 구동 회로부가 화소부의 모든 신호선들 및/또는 모든 주사선들로 공급되는 신호의 출력을 정지하도록 동작시키는 것에 의해, 화소부 뿐만 아니라 구동 회로부의 전력 소비가 감소될 수 있다.
- [0189] (실시형태 6)
- [0190] 본 실시형태에서, 블루상을 나타내는 액정 재료를 포함하는 표시 장치의 예가 설명될 것이다. 특히, 화소의 구조의 예가 설명될 것이다.
- [0191] 먼저, 전압에 따라 블루상을 나타내는 액정 재료의 광 투과율 특성이 도 26을 참조하여 설명될 것이다. 도 26에서, 수평축은 인가 전압을 나타내며, 이는 화소 전극과 공통 전극 사이의 전위 차이에 대응한다. 여기서, 공통 전극은 GND선(접지선)에 접속되었고 화소 전극으로 전압이 공급되었다. 수직축은 광원으로부터 방출되어 샘플들을 통과한 광의 측정된 강도인 투과된 광의 강도를 나타낸다.
- [0192] 3개의 샘플들, 비교 샘플, 샘플 1, 샘플 2가 사용되었다. 샘플 1과 샘플 2는 블루상을 나타내는 액정 재료를 포함하며, 반면 비교 샘플은 종래의 PVA 액정을 포함한다. 샘플 1은, 제 1 기판 측 상에, 화소 전극이 제 1 구조체를 덮도록 제공되고 공통 전극이 제 2 구조체를 덮도록 제공되는 구조를 가진다(도 5a 및 도 5b 참조). 샘플 2는, 제 1 기판 측 상에, 화소 전극이 제 1 구조체를 덮도록 제공되고 제 1 공통 전극이 제 2 구조체를 덮도록 제공되며; 제 2 기판(카운터 기판) 측 상에, 제 2 공통 전극이 제 1 공통 전극과 대향하도록 제공되는 구조를 가진다(도 6 참조). 제 1 공통 전극과 제 2 공통 전극은 모두 GND선(접지선)에 접속되고 동일한 전위를 가진다는 것에 주의한다.
- [0193] 도 26에 도시된 바와 같이, 종래 PVA 액정의 비교 샘플의선은 임계 전압을 가지며 원점을 통해 지나가지 않는다. 한편, 도 26의 샘플들 1 및 2의선들에 의해 보여지는 바와 같이, 블루상을 나타내는 액정 재료의선들은 임계 전압을 갖지 않으며 원점을 통해 지나간다. 또한, 블루상을 나타내는 액정 재료의선들은선들이 오목한 영역을 가진다. 따라서, 블루상을 나타내는 액정 재료의 특성의 장점을 이용하기 위하여, 표시 장치는선들이 오목한 영역 내에서 계조 표시할 수 있도록 설정될 수 있고, 따라서 감마 보정(gamma correction)이 자동적으로 수행될 수 있다. 예를 들어, 도 26의 샘플들 1 및 2의 경우에, 표시 장치는 0 볼트 내지 X 볼트의 범위 내에서 동작하도록 설정될 수 있다. 극단적으로 높은 휘도(luminance)를 갖는 계조가 표시되는 경우에, 표시 장치는 X 볼트 이상의 전압의 인가에 의해 동작될 수 있다는 것에 주의한다. 계조가 선들이 오목한 영역 내에서 표시될 때, 감마 보정 회로가 표시 장치에 필요하지 않으며, 따라서 비싸지 않은 표시 장치가 제공될 수 있다. 표시 장치에 감마 보정 회로가 제공되지 않으면, 화소들로 입력되는 계조 신호들은 계조 준위들 사이의 동일한 전압 차를 갖거나, 또는 디지털-아날로그 변환기(이하로, DAC로 부름)로부터의 출력 신호들의 비트 수와 화소로 입력된 신호들의 비트 수가 동일하게 된다.
- [0194] 예를 들어, 도 3에 도시된 바와 같은, 비디오 신호가 신호선 구동 회로(1241)(소스 구동기)로 입력되고 이후

아날로그 신호로 변환되도록 DAC(1242)로 입력되며, 아날로그 신호가 감마 보정없이 화소부(1243)로 출력되는 구조가 채용될 수 있다. DAC(1242)가 도 3의 신호선 구동 회로(1241)의 일부로 제공되었으나, 본 발명은 이에 제한되지 않는다는 것에 주의한다. 또한, 텔레비전을 위한 비디오 신호들이 신호선 구동 회로(1241)로 입력되는 경우에, 텔레비전을 위한 비디오 신호들이 역 감마 보정(inverse gamma correction)될 수 있으며, 이후 감마 보정없이 화소부(1243)로 출력될 수 있는 아날로그 신호들로 변환되도록 DAC(1242)로 입력된다.

[0195] 또한, 감마 보정 회로가 필요하지 않기 때문에, 커패시터 디지털-아날로그 변환기(이하로, C-DAC로 불림)가 사용될 수 있으나, 감마 보정 회로를 필요로 하는 표시 장치는 DAC로서 레지스터 디지털-아날로그 변환기를 가져야 한다. 레지스터 디지털-아날로그 변환기(이하로, R-DAC로 불림)는 상이한 저항 값들을 갖는 직렬 접속된 레지스터들을 이용하여 감마 보정을 수행하며, 따라서 레지스터들에 공급된 전류가 유지되고 전력 소비가 높다. 또한, 많은 레지스터들이 다계조 표시를 위해 필요하며 DAC의 크기가 증가한다. 한편, C-DAC에 공급된 전류는 유지되지 않아 전력 소비가 억제될 수 있다. 또한, 다계조 표시의 경우에, C-DAC는 선형 전압과 다른 전압을 출력하는 것이 어렵다. 블루상을 나타내는 액정 재료는 전압에 따라 그의 액정 커패시터를 선형으로 변화시킨다. 따라서, 블루상을 나타내는 액정 재료가 액정층으로 사용될 때, C-DAC가 채용될 수 있다.

[0196] C-DAC는 다양한 회로 구조들을 가질 수 있다. 예를 들어, 도 27a에 도시된 구성을 갖는 C-DAC가 사용될 수 있다. 도 27a의 C-DAC는 3-비트 회로이며, 제 1 내지 제 4 스위치들(1211 내지 1214), 제 1 내지 제 3 용량 소자들(1201 내지 1203), 그리고 증폭기(1210)를 포함한다. 제 1 용량 소자(1201): 제 2 용량 소자(1202): 제 3 용량 소자(1203)의 용량의 비는 1:2:4이다. C-DAC의 비트 수는 3으로 제한되지 않으며 스위치들 및 용량 소자들의 수는 비트 수에 따라 적절하게 변화될 수 있다는 것에 주의한다.

[0197] C-DAC의 동작은 다음 3개의 단계들을 포함한다. 제 1 단계에서, 제 1 내지 제 4 스위치들(1211 내지 1214)이 용량 소자들을 방전시키기 위하여 모든 용량 소자들(제 1 내지 제 3 용량 소자들(1201 내지 1203))이 공통 전위(Vcom)에 전기적으로 접속되게 만든다. 제 2 단계에서, 제 4 스위치(1214)가 비-도전성 상태(오프 상태)가 된다. 제 3 단계에서, 디지털 신호(비디오 신호)가 제 1 내지 제 3 스위치들(1211 내지 1213) 중 미리 정해진 스위치를 제 1 배선에 전기적으로 접속되도록 한다. 신호들이 하나의 C-DAC를 이용하여 화소들로 출력되는 경우에, 신호가 양(positive)일 때에는 제 1 배선에 전위(V_H)가 공급되고 신호가 음(negative)일 때에는 전위(V_L)가 공급된다는 것에 주의한다. 신호들이 두 개의 C-DAC들을 이용하여 화소들로 출력되는 경우에, 하나의 C-DAC의 제 1 배선에 전위(V_H)가 공급되고, 다른 C-DAC의 제 1 배선에 전위(V_L)가 공급된다. 이러한 방식으로, C-DAC로 입력된 디지털 신호들이 아날로그 신호들로 변환되고, 그로부터 출력될 수 있다. 예를 들어, 3개의 계조 준위들을 위한 아날로그 신호가 출력될 때, 제 1 내지 제 3 스위치들(1211 내지 1213) 중 제 2 스위치(1212)만이 제 3 단계에서 제 1 배선에 전기적으로 접속되도록 만들어질 수 있다. 하나의 계조 준위를 위한 아날로그 신호가 출력될 때, 모든 제 2 내지 제 4 스위치들(1212 내지 1214)이 제 3 단계에서 공통 전위(Vcom)로 전기적으로 접속되게 된다.

[0198] 다양한 소자들이 제 1 내지 제 4 스위치들(1211 내지 1214)로 채용될 수 있다. 예를 들어, 선형 영역에서 동작하는 트랜지스터들이 사용될 수 있다. 예를 들어, 도 27b에 도시된 바와 같이, 제 1 스위치(1211)는 제 1 트랜지스터(1221)와 제 2 트랜지스터(1222)로 구성될 수 있으며, 제 2 스위치(1212)는 제 3 트랜지스터(1223)와 제 4 트랜지스터(1224)로 구성될 수 있고, 제 3 스위치(1213)는 제 5 트랜지스터(1225)와 제 6 트랜지스터(1226)로 구성될 수 있으며, 제 4 스위치(1214)는 제 7 트랜지스터(1227)로 구성될 수 있다. 또한, 도 27b에서, 연산 증폭기(1220)가 증폭기로서 사용된다.

[0199] 본 실시형태에서, 제 1 내지 제 7 트랜지스터들(1221 내지 1227)로서, 실시형태 1에서 설명된 고순도 산화물 반도체를 포함하는 트랜지스터가 사용된다. 이러한 경우에, 극단적으로 낮은 전하 누출을 갖는 용량 소자가 제공될 수 있으며, 따라서 제 1 내지 제 3 용량 소자들(1201 내지 1203)의 크기들이 작아질 수 있다. 그러므로, 종래의 표시 장치와 비교하여, 동일한 크기를 갖는 영역에 DAC가 형성될 때 계조 준위들이 증가될 수 있다.

[0200] (실시형태 7)

[0201] 본 실시형태에서, 실시형태 1에서 설명된 트랜지스터(6401)의 구성예와 그의 제작 방법의 예가 설명될 것이다. 다시 말해, 고순도 산화물 반도체를 포함하는 트랜지스터의 구성예와 그의 제작 방법의 예가 설명될 것이다.

[0202] 먼저, 도 13a 및 도 13b는 트랜지스터의 예의 평면 구조와 단면 구조를 도시한다. 도 13a는 탑-게이트 구조를

갖는 트랜지스터(410)의 평면도이고 도 13b는 도 13a의 C1-C2를 따라 취해진 단면도이다.

- [0203] 트랜지스터(410)는, 기판(400) 위에, 절연층(404), 산화물 반도체층(412), 제 1 전극(소스 전극 및 드레인 전극 중 하나)(415a), 제 2 전극(소스 전극 및 드레인 전극 중 다른 하나)(415b), 게이트 절연층(402), 및 게이트 전극(411)을 포함한다. 배선층(제 1 배선)(414a) 및 배선층(제 2 배선)(414b)이 제 1 전극(415a) 및 제 2 전극(415b)과 각각 접촉하게 제공되어 전기적으로 접속된다.
- [0204] 도 13a의 트랜지스터(410)는 단일-게이트 구조를 가지고 있으나, 본 발명은 그 구조에 제한되지 않는다는 것에 주의한다. 트랜지스터는 복수의 게이트 전극들과 복수의 채널 형성 영역들을 포함하는 멀티-게이트 구조를 가질 수 있다.
- [0205] 다음, 트랜지스터(410)의 제작 프로세스가 도 14a 내지 도 14e를 참조하여 설명될 것이다.
- [0206] 먼저, 마지막으로 기능하는 절연층(407)이 기판(400) 위에 형성된다.
- [0207] 기판(400)으로 사용될 수 있는 기판에는 특별한 제한은 없지만, 기판은 적어도 나중에 수행될 열 처리를 견디기에 충분히 높은 내열성을 가져야 할 필요가 있다. 나중에 수행될 열 처리의 온도가 높은 경우에, 730°C 이상의 변형점(strain point)을 갖는 기판이 사용되는 것이 바람직하다. 기판(400)의 특정 예들은 유리 기판, 결정성 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 및 플라스틱 기판을 포함한다. 또한, 유리 기판의 재료의 특정 예들은 알루미늄오실리케이트(aluminosilicate) 유리, 알루미늄보로실리케이트(aluminoborosilicate) 유리, 그리고 바륨보로실리케이트(bariumborosilicate) 유리를 포함한다.
- [0208] 절연층(407)으로서, 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층과 같은 산화물 절연층이 사용되는 것이 바람직하다. 절연층(407)은 플라즈마 CVD 방법, 스퍼터링 방법, 등에 의해 형성될 수 있다. 절연층(407)이 대량의 수소를 함유하는 것을 방지하기 위하여, 절연층(407)은 스퍼터링 방법에 의해 형성되는 것이 바람직하다. 본 실시형태에서, 산화 실리콘층은 스퍼터링 방법에 의해 절연층(407)으로 형성된다. 특히, 기판(400)이 처리실(process chamber)로 이동되고 수소와 습기가 제거된 고순도 산소를 포함하는 스퍼터링 가스가 도입되며, 실리콘 또는 산화 실리콘의 타겟이 사용되어, 산화 실리콘층이 기판(400) 위에 절연층(407)으로서 형성된다. 성막(deposition)동안 기판(400)은 실온으로 유지될 수 있거나 가열될 수 있다는 것에 주의한다.
- [0209] 산화 실리콘막을 위한 성막 조건의 특정 예는 다음과 같다: 석영(바람직하게는, 합성 석영)이 타겟으로 사용되고; 기판 온도는 108°C이며; 타겟과 기판(400) 사이의 거리(T-S 거리)는 60nm이고; 압력은 0.4Pa이고; 고주파수 전원은 1.5kW이고; 분위기는 산소 및 아르곤(산소 대 아르곤의 유량비가 25sccm: 25sccm = 1:1)이며; RF 스퍼터링 방법이 사용된다. 막의 두께는 100nm이다. 실리콘 타겟이 석영(바람직하게는, 합성 석영) 타겟 대신 타겟으로서 사용될 수 있다는 것에 주의한다. 또한, 산소 가스가 산소와 아르곤의 혼합 가스 대신 스퍼터링 가스로 사용될 수 있다. 여기서, 절연층(407)을 형성하기 위한 스퍼터링 가스는 수소, 물, 수산기(hydroxyl), 또는 수소화물(hydride)과 같은 불순물들의 농도가 ppm 또는 ppb에 의해 표현될 수 있는 준위로 감소되는 고순도 가스이다.
- [0210] 또한, 처리실에 남아있는 습기가 제거되는 동안 절연층(407)이 형성되어 절연층(407)이 수소, 수산기, 또는 습기를 포함하는 것이 방지되는 것이 바람직하다.
- [0211] 처리실 내에 남아있는 습기를 제거하기 위하여, 흡착형 진공 펌프가 사용될 수 있다. 예를 들어, 크라이오펌프(cryopump), 이온 펌프, 또는 티타늄 서블리메이션(sublimation) 펌프가 사용될 수 있다. 또한, 배기 수단으로서, 쿨드 트랩이 제공된 터보 펌프(turbo pump)가 바람직하다. 수소 원자들, 물(H₂O)과 같이 수소 원자를 포함하는 화합물들, 등이 챔버로부터 배기되기 때문에 크라이오펌프로 배기되는 처리실이 바람직하며, 따라서 수소 원자들은 챔버에서 형성된 절연층(407)에 거의 포함되지 않는다.
- [0212] 스퍼터링 방법의 예들은 고주파수 전원이 스퍼터링 전원을 위해 사용되는 RF 스퍼터링 방법, DC 스퍼터링 방법, 및 바이어스가 펄스된 방식으로 인가되는 펄스 DC 스퍼터링(pulsed DC sputtering) 방법을 포함한다. RF 스퍼터링 방법은 주로 절연막이 형성되는 경우에 사용되고, DC 스퍼터링 방법은 주로 금속막이 형성되는 경우에 사용된다.
- [0213] 또한, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치가 있다. 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들이 동일한 챔버에서 적층되도록 형성될 수 있으며, 또는 동일한 챔버에서 동시에 여러 종류들의 재료들의 전기적 방전에 의해 막이 형성될 수 있다.

- [0214] 또한, 챔버 내부에 자기 시스템이 제공되어 마그네트론(magnetron) 스퍼터링 방법을 위해 사용되는 스퍼터링 장치, 또는 글로 방전(glow discharge)을 사용하지 않고 마이크로파들의 사용으로 생성된 플라즈마가 사용되는 ECR 스퍼터링 방법을 위해 사용되는 스퍼터링 장치가 사용될 수 있다.
- [0215] 또한, 스퍼터링 방법을 사용하는 성막 방법으로서, 얇은 화합물막을 형성하기 위한 성막 동안 타겟 기관과 스퍼터링 가스 구성요소가 서로 화학적으로 반응하는 반응성 스퍼터링 방법과, 전압이 성막 동안 기관에 또한 인가되는 바이어스 스퍼터링 방법이 있다.
- [0216] 절연층(407)의 구조는 단층 구조에 제한되지 않으며, 적층 구조일 수 있다. 예를 들어, 절연층(407)은 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 또는 질화산화 알루미늄층과 같은 질화물 절연층과 위의 산화물 절연층이 기관(400) 위에 이러한 순서대로 적층되는 적층 구조를 가질 수 있다.
- [0217] 예를 들어, 수소와 습기가 제거되는 고순도 질소를 포함하는 스퍼터링 가스가 산화 실리콘층과 기관 사이에 도입되며 실리콘 타겟이 질화 실리콘층을 형성하기 위해 사용된다. 이러한 단계에서 또한, 산화 실리콘층의 경우에서와 같이 처리실에 남아있는 습기가 제거되는 동안 질화 실리콘층이 형성되는 것이 바람직하다. 질화 실리콘층의 형성에서, 기관은 또한 성막 동안 가열될 수 있다.
- [0218] 질화 실리콘층과 산화 실리콘층의 적층이 절연층(407)으로서 제공되는 경우에, 질화 실리콘층과 산화 실리콘층은 동일한 실리콘 타겟을 사용하여 동일한 처리실에서 형성될 수 있다. 먼저, 질소를 포함하는 에칭 가스가 도입되고 질화 실리콘층이 처리실에 제공된 실리콘 타겟을 이용하여 형성되고, 이후 에칭 가스가 동일한 실리콘 타겟을 이용하여 산화 실리콘층을 형성하기 위하여 산소를 포함하는 에칭 가스로 스위치된다. 질화 실리콘층과 산화 실리콘층이 본 방법에서 대기에 노출되지 않고 연속적으로 형성될 수 있기 때문에, 수소 또는 습기와 같은 불순물들이 질화 실리콘층의 표면 상에 흡착되는 것이 방지될 수 있다.
- [0219] 이후, 산화물 반도체층이 스퍼터링 방법에 의해 절연층(407) 위에 형성된다.
- [0220] 또한, 산화물 반도체층에 함유된 수소, 수산기, 및 습기가 가능한 한 적게 하기 위하여, 성막을 위한 전처리(pretreatment)로서 절연층(407)이 형성되는 기관(400)이 스퍼터링 장치의 예열 챔버에서 예열되어 기관(400)에 흡착된 수소와 습기와 같은 불순물들이 제거되고 배기되도록 하는 것이 바람직하다. 배기 수단으로서, 예열 챔버에 크라이오펌프가 제공되는 것이 바람직하다는 것에 주의한다. 또한, 이러한 예열은 이후에 형성될 게이트 절연층(402)의 형성 전에 기관(400) 상에서 수행될 수 있다. 또한, 이러한 예열은 층들이 제 1 전극(415a)과 제 2 전극(415b)까지 형성되는 기관(400) 상에서 유사하게 수행되는 것이 바람직하다. 이러한 예열 처리는 생략될 수 있다는 것에 주의한다.
- [0221] 산화물 반도체층이 스퍼터링 방법에 의해 형성되기 전에, 아르곤 가스가 도입되고 플라즈마가 발생하는 역 스퍼터링에 의해 절연층(407)의 표면에 부착된 먼지가 제거되는 것이 바람직하다는 것에 주의한다. 역 스퍼터링은 전압을 타겟 측에 인가하지 않고, 표면을 개질시키기 위하여 기관의 인근에 플라즈마를 생성시키기 위해 아르곤 분위기에서 전압을 기관 측으로 인가하는데 고주파수 전원 소스가 사용되는 방법을 말한다. 아르곤 분위기 대신, 질소, 헬륨, 산소 등이 사용될 수 있다는 것에 주의한다.
- [0222] 산화물 반도체층을 형성하기 위한 타겟으로서, 주요 구성요소로 아연 산화물을 포함하는 금속 산화물 타겟이 사용될 수 있다. 예를 들어, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1[\text{mol}\%]$ 즉, $\text{In}:\text{Ga}:\text{Zn} = 1:1:0.5[\text{atomic}\%]$ 의 구성 비율을 가진 타겟이 사용될 수 있다. 대안적으로, $\text{In}:\text{Ga}:\text{Zn} = 1:1:1[\text{atomic}\%]$ 의 구성 비율을 가진 타겟 또는 $\text{In}:\text{Ga}:\text{Zn} = 1:1:2[\text{atomic}\%]$ 의 구성 비율을 가진 타겟이 사용될 수 있다. 또한, 2wt% 내지 10wt%의 SiO_2 를 포함하는 타겟이 사용될 수 있다. 금속 산화물 타겟의 충전율(filling factor)은 90% 내지 100%이며, 바람직하게는 95% 내지 99.9%이다. 높은 충전율을 갖는 금속 산화물 타겟의 이용으로, 형성된 산화물 반도체층은 높은 밀도를 가질 수 있다.
- [0223] 산화물 반도체층은 희가스(전형적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스와 산소의 혼합된 분위기에서 형성될 수 있다는 것에 주의한다. 여기서, 산화물 반도체층을 형성하기 위한 스퍼터링은 수소, 물, 수산기, 또는 수소화물과 같은 불순물들의 농도가 ppm 또는 ppb에 의해 표현될 수 있는 준위로 감소되는 고순도 가스이다.
- [0224] 기관이 감소된 압력에서 유지되는 처리실에 있고, 처리실에서 남아있는 습기가 제거되는 동안 수소와 습기가 제거되는 스퍼터링 가스가 도입되고, 금속 산화물이 타겟으로 사용되는 방식으로 산화물 반도체층이 기관(400) 위에 형성된다. 처리실에 남아있는 습기를 제거하기 위하여, 흡착형 진공 펌프가 사용되는 것이 바람직

하다. 예를 들면, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용되는 것이 바람직하다. 크라이오펌프로 배기되는 처리실에서, 수소 원자들, 물(H₂O)과 같은 수소 원자들을 포함하는 화합물들(보다 바람직하게는, 탄소 원소들을 부가적으로 포함하는 화합물들), 등이 배기된다. 따라서, 처리실에서 형성된 산화물 반도체층에 포함된 불순물들의 농도가 감소될 수 있다. 또한, 산화물 반도체층의 성막 동안 기판 온도는 상온에서 유지될 수 있거나 400°C미만의 온도로 증가될 수 있다.

[0225] 산화물 반도체층의 성막 조건의 예로써, 다음 조건이 주어질 수 있다: 기판의 온도는 실온이고; 기판과 타겟 사이의 거리는 110mm이고; 압력은 0.4Pa이며; 직류(DC) 전원은 0.5kW이고; 분위기는 산소와 아르곤(산소 대 아르곤의 유량비가 15sccm:30sccm)이다. 성막시 생성된 먼지가 감소되고 막 두께가 균일하게 형성될 수 있기 때문에 펄스 직류(DC) 전원이 바람직하다는 것에 주의한다. 산화물 반도체층의 두께는 2nm 내지 200nm, 바람직하게는 5nm 내지 30nm인 것이 바람직하다. 산화물 반도체층의 적절한 두께는 재료에 따라 상이하며; 따라서, 두께는 재료에 따라 적절하게 결정될 수 있다는 것에 주의한다.

[0226] 삼원계 금속 산화물이 사용되는 In-Ga-Zn-O 계 산화물이 주어진 예에서 산화물 반도체로 사용되었지만, 다음 산화물 반도체들이 또한 사용될 수 있다: 4원계 금속 산화물인 In-Sn-Ga-Zn-O; 삼원계 금속 산화물인 In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, 또는 Sn-Al-Zn-O; 이원계 금속 산화물인 In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, 또는 In-Mg-O; In-O; Sn-O; Zn-O; 등. 산화물 반도체층은 Si를 포함한다. 산화물 반도체층은 비정질 또는 결정성일 수 있다. 또한, 산화물 반도체층은 비-단결정(non-single-crystal) 또는 단결정일 수 있다.

[0227] 산화물 반도체층으로서, InMO₃(ZnO)_m(m>0)에 의해 표현된 박막이 사용될 수 있다는 것에 주의한다. 여기서 M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소들을 나타낸다. 예를 들어, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co가 M으로 주어질 수 있다.

[0228] 이후, 산화물 반도체층이 제 1 포토리소그래피 단계에 의해 섬형상 산화물 반도체층(412)으로 가공된다(도 14a 참조). 섬형상(island-shaped) 산화물 반도체층(412)을 형성하기 위한 레지스트 마스크는 잉크젯 방법을 사용하여 형성될 수 있다는 것에 주의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 사용하지 않으며; 따라서 제작 비용이 감소될 수 있다.

[0229] 산화물 반도체층의 에칭은 건식 에칭, 습식 에칭, 또는 습식 에칭과 건식 에칭 모두일 수 있다는 것에 주의한다.

[0230] 건식 에칭의 경우에, 평행평판 반응 이온 에칭(RIE) 방법 또는 유도 결합 플라즈마(ICP) 에칭 방법이 사용될 수 있다. 막을 원하는 모양으로 에칭하기 위하여, 에칭 조건들(코일형 전극에 인가된 전력의 양, 기판 측 상의 전극에 인가된 전력의 양, 기판 측 상의 전극의 온도, 등)이 적절하게 조절된다.

[0231] 건식 에칭을 위한 에칭 가스로서, 염소를 포함하는 가스(염소(Cl₂), 염화붕소(BCl₃), 염화실리콘(SiCl₄), 또는 사염화탄소(CCl₄)와 같은 염소계 가스)가 바람직하지만, 불소를 포함하는 가스(사불화탄소(CF₄), 육불화유황(SF₆), 삼불화질소(NF₃), 또는 삼불화메탄(CHF₃)과 같은 불소계 가스), 브롬화수소(HBr), 산소(O₂), 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 부가되는 임의의 이들 가스들 등이 사용될 수 있다.

[0232] 습식 에칭을 위해 사용된 에칭액으로서, 인산, 아세트산, 및 질산의 혼합액, 또는 암모니아과수(31wt%의 과산화수소, 28wt%의 암모니아수, 그리고 물이 5:2:2의 부피비로 혼합되는 용액), 등이 사용될 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO., INC.에 의해 생산된)이 사용될 수 있다. 에칭 조건들(예를 들면, 에칭액, 에칭 시간, 및 온도)은 산화물 반도체의 재료에 따라 적절하게 조절될 수 있다.

[0233] 습식 에칭의 경우에, 에칭액은 세척에 의해 씻겨 나가는 재료와 함께 제거된다. 에칭액과 에칭되어 나가는 재료를 포함하는 폐액은 정화될 수 있으며 재료는 재사용될 수 있다. 산화물 반도체층에 포함된 재료(예를 들면, 인듐과 같은 희토류 금속)가 에칭 후의 폐액으로부터 모여져 재사용될 때, 자원들이 효율적으로 사용될 수 있다.

[0234] 본 실시형태에서, 산화물 반도체층은 인산, 아세트산, 그리고 질산의 혼합 용액을 에칭액으로 사용하여 습식 에칭 방법에 의해 섬형상 산화물 반도체층(412)으로 가공된다.

[0235] 이후, 산화물 반도체층(412) 상에서 제 1 열 처리가 수행된다. 제 1 열 처리의 온도는 400°C 내지 750°C이며, 바람직하게는 400°C 이상이고, 기판의 변형점 미만이다. 여기서, 기판이 열 처리 장치의 한 타입인 전기로

(electric furnace)에 놓여지며 열 처리는 산화물 반도체층 상에서 450℃의 질소 분위기에서 1시간 동안 수행된다. 그 이후에, 산화물 반도체층은 대기에 노출되는 것과 물과 수소를 다시 포함하는 것이 방지된다. 이러한 제 1 열 처리에 의해, 수소, 물, 수산기 등이 산화물 반도체층(412)으로부터 제거될 수 있다.

[0236] 열 처리 장치는 전기로에 제한되지 않으며, 저항 발열체와 같은 히터로부터 열 전도 또는 열 복사에 의해 대상을 가열하기 위한 장치가 장치에 제공될 수 있다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는 대상이 할로겐 램프, 금속 할로겐화물 램프, 제논 아크(xenon arc) 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자기파)의 복사에 의해 가열되는 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리를 하기 위한 장치이다. 가스로서, 불활성 가스(전형적으로, 아르곤과 같은 희가스) 또는 질소 가스가 사용될 수 있다.

[0237] 예를 들어, 제 1 열 처리는, 기판이 650℃ 내지 700℃의 고온으로 가열된 불활성 가스로 이동되고, 몇분간 거기서 가열되며, 이후 기판이 고온으로 가열된 불활성 가스의 밖으로 옮겨지는 GRTA를 채용할 수 있다. GRTA는 짧은 시간 동안 고온의 열 처리를 가능하게 한다.

[0238] 제 1 열 처리에서, 물, 수소 등이 분위기에 함유되지 않는 것이 바람직하다. 부가적으로, 열 처리 장치로 도입되는 질소나 헬륨, 네온, 또는 아르곤과 같은 희가스는 6N(99.9999%) 이상, 보다 바람직하게는 7N(99.99999%) 이상의 순도(즉, 불순물들의 농도가 1ppm 이하, 바람직하게는 0.1 ppm 이하)를 갖는 것이 바람직하다.

[0239] 제 1 열 처리의 조건들이나 산화물 반도체층의 재료에 따라, 산화물 반도체층(412)은 미결정(microcrystal) 또는 다결정(polycrystal)으로 결정화될 수 있다는 것에 주의한다. 예를 들어, 산화물 반도체층은 80% 이상의 결정화율을 갖는 미결정 산화물 반도체층이 되도록 결정화될 수 있다. 섬형상 산화물 반도체층(412)은 제 1 열 처리 후에 결정성을 갖지 않는 비정질 산화물 반도체층일 수 있다는 것에 주의한다. 또한, 섬형상 산화물 반도체층(412)은 미결정 부분(입자 지름이 1nm 내지 20nm, 전형적으로 2nm 내지 4nm)이 비정질 산화물 반도체층으로 혼합되는 산화물 반도체층이 될 수 있다.

[0240] 산화물 반도체층의 제 1 열 처리는 섬형상 산화물 반도체층으로 처리되기 전에 산화물 반도체층 상에서 수행될 수 있다. 그러한 경우에, 제 1 열 처리 후에, 기판이 열 처리 장치로부터 꺼내지고 포토리소그래피 단계로 들어간다.

[0241] 제 1 열 처리가 주로 수소, 물, 및 수산기와 같은 불순물들을 산화물 반도체층으로부터 제거하기 위한 목적으로 수행되지만, 이는 산화물 반도체층에 산소 결손(oxygen defects)을 생성할 수 있다. 따라서, 제 1 열 처리는 산소를 공급하기 위한 처리가 후속되는 것이 바람직하다. 특히, 산소 분위기 또는 질소와 산소를 포함하는 분위기(질소 대 산소가 4대 1의 부피비)에서의 열 처리는, 예를 들면, 제 1 열 처리 후에 수행될 수 있다. 또한, 산소 분위기에서의 플라즈마 처리가 채용될 수 있다.

[0242] 산화물 반도체층 상에서 탈수화(dehydration) 또는 탈수소화(dehydrogenation)의 효과를 갖는 열 처리는 임의의 다음 타이밍들에서 수행될 수 있다: 산화물 반도체층이 형성된 후; 소스 전극과 드레인 전극이 산화물 반도체층 위에 형성된 후; 그리고 게이트 절연층이 소스 전극과 드레인 전극 위에 형성된 후.

[0243] 이후, 도전막이 절연층(407)과 산화물 반도체층(412) 위에 형성된다. 도전막은 스퍼터링 방법 또는 진공 증착 방법에 의해 형성될 수 있다. 도전막의 재료로, Al, Cu, Cr, Ta, Ti, Mo, W, 또는 Y와 같은 금속 재료, 상기 금속 재료들을 임의로 포함하는 합금, 도전성 금속 산화물, 등이 주어질 수 있다. 도전성 금속 산화물로서, 산화 인듐(In₂O₃), 산화 주석(SnO₂), 산화 아연(ZnO), 산화 인듐-산화 주석 합금(In₂O₃-SnO₂, 단축하여 ITO), 산화 인듐-산화 아연 합금(In₂O₃-ZnO), 또는 실리콘이나 산화 실리콘을 포함하는 금속 산화물 재료가 사용될 수 있다. 이 경우, 내열성이 향상된다. 또한, Al 막에서 생성될 힐록들(hillocks)이나 위스커들(whiskers)의 생성을 방지하는 Si, Ti, Ta, W, Mo, Cr, Nd, Sc, 또는 Y와 같은 원소가 첨가된 Al 재료가 사용될 수 있다.

[0244] 또한, 도전막은 단층 구조 또는 둘 이상의 층들의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조; 알루미늄막과 그 위에 적층된 티타늄막의 이층 구조; Ti 막, 그 위에 적층된 알루미늄막, 그리고 그 위에 적층된 Ti 막의 3층 구조가 주어질 수 있다. 또한, Al, Cu, 등의 금속층과 Cr, Ta, Ti, Mo, W 등의 내화 금속층이 적층되는 적층 구조가 채용될 수 있다.

[0245] 이후, 제 2 포토리소그래피 단계에 의해서, 도전막 위에 레지스트 마스크가 형성되고, 선택적인 에칭이 수행

되며, 따라서 제 1 전극(415a)과 제 2 전극(415b)이 형성되고, 이후, 레지스트 마스크가 제거된다(도 14b 참조). 제 1 전극(415a)은 소스 전극 및 드레인 전극 중 하나로 기능하며, 제 2 전극(415b)은 소스 전극 및 드레인 전극의 다른 하나로 기능한다. 여기서, 그 위에 형성된 게이트 절연층의 피복성이 개선될 것이므로, 제 1 전극(415a)과 제 2 전극(415b)이 에칭되어 테이퍼된 단부들을 갖게 되는 것이 바람직하다. 제 1 전극(415a)과 제 2 전극(415b)을 형성하기 위한 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 것에 주의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 사용하지 않으며; 따라서, 제작 비용이 감소될 수 있다.

[0246] 본 실시형태에서, 제 1 전극(415a) 및 제 2 전극(415b)으로서, 150nm 두께의 티타늄막이 스퍼터링 방법에 의해 형성된다.

[0247] 산화물 반도체층(412)이 제거되는 것을 방지하고 그 밑의 절연층(407)이 도전막의 에칭시 노출되는 것을 방지하기 위하여, 그들의 재료들과 도전막의 에칭 조건들은 적절하게 조절될 필요가 있다는 것에 주의한다. 따라서, 본 실시형태에서, 산화물 반도체층(412)으로 In-Ga-Zn-O 계 산화물 반도체가 사용되고, 티타늄막이 도전막으로 사용되며, 암모니아과수(암모니아, 물, 그리고 과산화수소수의 혼합물)가 에칭액으로 사용되어 산화물 반도체층(412)의 일부가 에칭되지 않는다. 그러나, 본 발명은 이에 제한되지 않는다. 산화물 반도체층(412)의 일부가 제 2 포토리소그래피 단계에서 에칭될 수 있으며 흠(오목부)을 갖는 산화물 반도체층이 형성될 수 있다.

[0248] 자외선, KrF 레이저 광, 또는 ArF 레이저 광이 제 2 포토리소그래피 단계에서 레지스트 마스크를 형성하기 위한 노광을 위해 사용된다. 후에 형성될 트랜지스터의 채널 길이(L)는 산화물 반도체층(412) 위에서 서로 인접하는 제 1 전극의 하단부와 제 2 전극의 하단부 사이의 간격의 폭에 의존한다. 25nm 미만의 채널 길이(L)를 제공하기 위하여 노광이 수행될 때, 수 나노미터 내지 수십 나노미터의 극도로 짧은 파장들을 갖는 초 자외선(extreme ultraviolet)이 제 2 포토리소그래피 단계에서 레지스트 마스크를 형성하기 위한 노광을 위해 사용된다는 것에 주의한다. 초 자외선으로의 노광은 높은 해상도와 큰 초점 심도를 만든다. 따라서, 나중에 형성될 트랜지스터의 채널 길이(L)는 10nm 내지 1000nm로 설정될 수 있다. 이러한 경우에, 트랜지스터의 동작 속도의 증가가 성취될 수 있으며, 또한, 극도로 작은 오프-상태 전류로 인하여 트랜지스터의 전력 소비의 감소가 성취될 수 있다.

[0249] 이후, 게이트 절연층(402)이 절연층(407), 산화물 반도체층(412), 제 1 전극(415a), 그리고 제 2 전극(415b) 위에 형성된다(도 14c 참조).

[0250] 게이트 절연층(402)은 플라즈마 CVD 방법, 스퍼터링 방법, 등에 의해 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층을 임의로 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.

[0251] 게이트 절연층(402)은 수소가 게이트 절연층(402)에 포함되지 않는 방법으로 형성되는 것이 바람직하다. 따라서, 수소가 성막 동안 분위기에 매우 낮은 준위로 감소될 수 있는, 스퍼터링 방법에 의해 게이트 절연층(402)이 형성되는 것이 바람직하다. 스퍼터링 방법에 의해 산화 실리콘막을 형성하는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로 사용되고, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로 사용된다.

[0252] 게이트 절연층(402)은 산화 실리콘층과 질화 실리콘층이 제 1 전극(415a)과 제 2 전극(415b) 위에 순서대로 적층되는 구조를 가질 수 있다. 예를 들어, 5nm 내지 300nm의 두께를 갖는 산화 실리콘층(SiO_x , $x>0$)이 제 1 게이트 절연층으로 형성될 수 있으며, 50nm 내지 200nm의 두께를 갖는 질화 실리콘층(SiN_y , $y>0$)이 100nm의 두께를 갖는 게이트 절연층을 제공하기 위하여 제 1 게이트 절연층 위에 제 2 게이트 절연층으로 형성될 수 있다. 본 실시형태에서, 100nm의 두께를 갖는 산화 실리콘층은 0.4Pa의 기압, 1.5kW의 고주파수 전원, 그리고 산소와 아르곤의 분위기(산소 대 아르곤의 유량비는 25sccm:25sccm = 1:1) 하에서 RF 스퍼터링 방법에 의해 형성된다.

[0253] 다음, 제 3 포토리소그래피 단계에 의해, 레지스트 마스크가 형성되고, 선택적인 에칭이 수행되어, 게이트 절연층(402)의 일부가 부분적으로 제거되고; 따라서, 제 1 전극(415a)과 제 2 전극(415b)에 도달하는 개구들(421a 및 421b)이 형성된다(도 14d 참조). 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 사용하지 않으며; 따라서, 제작 비용이 감소될 수 있다는 것에 주의한다.

[0254] 이후, 도전막이 게이트 절연층(402) 위에 개구들(421a 및 421b) 내에 형성된 후에, 게이트 전극(411), 제 1 배선(414a) 및 제 2 배선(414b)이 제 4 포토리소그래피 단계에서 형성된다.

- [0255] 게이트 전극(411), 제 1 배선(414a), 및 제 2 배선(414b)은 주요 구성요소로서 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스퀴뮴과 같은 금속 재료, 또는 이들 재료들을 임의로 함유하는 합금 재료를 이용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 게이트 전극(411), 제 1 배선(414a), 및 제 2 배선(414b)의 2층 구조의 특정 예들은 알루미늄층과 그 위에 몰리브덴층을 포함하는 구조, 구리층과 그 위에 몰리브덴층을 포함하는 구조, 구리층과 그 위에 질화 티타늄층 또는 질화 탄탈층을 포함하는 구조, 그리고 질화 티타늄층과 그 위에 몰리브덴층을 포함하는 구조를 포함한다. 3층 구조의 특정 예들은 텅스텐층 또는 질화 텅스텐층, 알루미늄과 실리콘 또는 알루미늄과 티타늄의 합금층, 및 질화 티타늄층 또는 티타늄층이 적층되는 구조를 포함한다. 게이트 전극은 투광성 도전막을 이용하여 형성될 수 있다는 것에 주의한다. 투광성 도전막으로서, 투광성 도전성 산화물의 막이 특히 주어질 수 있다.
- [0256] 본 실시형태에서, 게이트 전극(411), 제 1 배선(414a), 및 제 2 배선(414b)으로 150nm 두께의 티타늄막이 스퍼터링 방법에 의해 형성된다.
- [0257] 이후, 제 2 열 처리(바람직하게는, 200°C 내지 400°C에서, 예를 들면, 250°C 내지 350°C에서)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 본 실시형태에서, 제 2 열 처리는 250°C의 질소 분위기에서 한 시간 동안 수행된다. 제 2 열 처리는 보호 절연층 또는 평탄화 절연층이 트랜지스터(410) 위에 형성된 후에 수행될 수 있다는 것에 주의한다.
- [0258] 열 처리는 또한 100°C 내지 200°C로 대기 중에서 1시간 내지 30시간 동안 수행될 수 있다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있으며 또는 몇번 반복적으로 온도가 실온에서 100°C 내지 200°C의 가열 온도까지 증가되고, 가열 온도로부터 실온으로 감소될 수 있다. 또한, 이러한 열 처리는 산화물 절연층의 형성 전에 감소된 압력 하에서 수행될 수 있다. 감소된 압력 하에서, 가열 시간은 짧아질 수 있고, 이것이 바람직하다.
- [0259] 위의 프로세스를 통하여, 수소, 습기, 수소화물, 및 수산화물의 농도가 감소되는 고순도 산화물 반도체층(412)을 포함하는 트랜지스터(410)가 형성될 수 있다(도 14e 참조). 트랜지스터(410)는, 예를 들면, 실시형태 1에서 설명된 트랜지스터(6401)로 사용될 수 있다.
- [0260] 보호 절연층 또는 평탄화를 위한 평탄화 절연층이 트랜지스터(410) 위에 제공될 수 있다. 보호 절연층은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층을 임의로 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성 유기 재료로 평탄화 절연층이 형성될 수 있다. 이러한 유기 재료들에 대안적으로, 낮은 유전 상수의 재료(low-k 재료), 실록산계 수지, PSG, BPSG, 등을 사용하는 것이 또한 가능하다. 평탄화 절연층은 임의의 이들 재료들로 형성된 복수의 절연막들을 적층함으로써 형성될 수 있다.
- [0261] 여기서, 실록산계 수지는 시작 재료(starting material)로서 실록산계 재료를 사용하여 형성되는 Si-O-Si 결합을 포함하는 수지에 대응한다. 실록산계 수지는 치환기로서 유기기(예를 들면, 알킬(alkyl)기 또는 아릴(aryl)기) 또는 플루오로(fluoro)기를 포함할 수 있다. 유기기는 플루오로기를 포함할 수 있다.
- [0262] 평탄화 절연층을 형성하기 위한 방법은 특히 제한되지 않는다. 재료에 따라, 평탄화 절연층은 스퍼터링 방법, SOG 방법, 스핀 코팅 방법, 디핑 방법, 스프레이 코팅 방법, 또는 액적 도출 방법(예를 들면, 잉크젯 방법, 스크린 프린팅, 또는 오프셋 프린팅)과 같은 방법에 의해, 또는 닥터 나이프(doctor knife), 롤 코터(roll coater), 커튼 코터(curtain coater), 나이프 코터(knife coater), 등과 같은 수단(장치)을 이용하는 것에 의해 형성될 수 있다.
- [0263] 위에서 설명된 것과 같이, 산화물 반도체층의 형성 시 반응 분위기에 남아있는 습기를 제거하는 것에 의해, 산화물 반도체층의 수소와 수소화물의 농도가 감소될 수 있다.
- [0264] 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터는 극도로 높은 드레인 파괴 전압을 갖는다. 따라서, 구동 전압이 블루상을 나타내는 액정 재료를 포함하는 표시 장치의 경우에서와 같이 높다고 하더라도, 표시 장치의 표시부를 형성하기 위한 화소에 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터를 사용하는 것에 의해 높은 신뢰도의 표시 장치가 제공될 수 있다. 또한, 고순도 산화물 반도체를 포함하는 트랜지스터의 오프-상태 전류는 1×10^{-13} A 이하, 바람직하게는 1×10^{-16} A 이하로 감소될 수 있다. 따라서, 전압이 오랜 기간 동안 저장 용량 소자에서 유지될 수 있으며, 따라서 정지 이미지 등을 표시하기 위한 전력 소비가 억제될 수 있다.

- [0265] (실시형태 8)
- [0266] 본 실시형태에서, 실시형태 1에서 설명된 트랜지스터(6401)의 구성예와 그의 제작 방법의 예가 설명될 것이다. 다시 말해, 고순도 산화물 반도체를 포함하는 트랜지스터의 구성예와 그의 제작 방법의 예가 도 15a 내지 도 15e를 참조하여 설명될 것이다.
- [0267] 도 15a 내지 도 15e는 트랜지스터의 단면 구조의 예를 도시한다. 도 15e에 도시된 트랜지스터(390)는 보텀 게이트 구조의 한 타입이며, 이는 또한 역-스태거드 트랜지스터로도 불린다. 트랜지스터(390)는, 예를 들면, 실시형태 1에서 설명된 트랜지스터(6401)로서 사용될 수 있다. 트랜지스터(390)는 단일 게이트 구조를 가지지만, 본 발명은 그 구조에 제한되지 않는다는 것에 주의한다. 트랜지스터는 복수의 게이트 전극들과 복수의 채널 형성 영역들을 포함하는 멀티 게이트 구조를 가질 수 있다.
- [0268] 기판(394) 위에 트랜지스터(390)를 제작하는 프로세스가 도 15a 내지 도 15e를 참조하여 이하에 설명될 것이다.
- [0269] 먼저, 기판(394) 위에 도전막이 형성되고, 이후, 게이트 전극(391)이 제 1 포토리소그래피 단계에 의해 형성된다. 그 위에 형성된 게이트 절연층의 피복성이 개선되기 때문에, 형성된 게이트 전극의 단부는 테이퍼 형상인 것이 바람직하다. 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다는 것에 주의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 사용하지 않으며; 따라서, 제작 비용이 감소될 수 있다.
- [0270] 기판(394)의 재료로, 실시형태 7에서 설명된 기판(400)과 유사한 재료가 채용될 수 있다. 게이트 전극(391)의 재료와 형성 방법으로서, 실시형태 7에서 설명된 게이트 전극(411)과 유사한 재료와 방법이 채용될 수 있다.
- [0271] 마지막으로 기능하는 절연막이 기판(394)과 게이트 전극(391) 사이에 제공될 수 있다는 것에 주의한다. 하지만 막은 기판(394)으로부터 불순물 원소들의 확산을 방지하는 기능을 가지며, 또한 하나 이상의 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 및 산화질화 실리콘막을 포함하는 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다.
- [0272] 이후, 게이트 절연층(397)이 게이트 전극(391) 위에 형성된다.
- [0273] 게이트 절연층(397)은 플라즈마 CVD 방법, 스퍼터링 방법, 등에 의해 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 및 산화 알루미늄층을 임의로 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 게이트 절연층(397)이 다량의 수소를 함유하는 것을 방지하기 위하여, 게이트 절연층(397)은 스퍼터링 방법에 의해 형성되는 것이 바람직하다는 것에 주의한다. 스퍼터링 방법에 의해 산화 실리콘막을 형성하는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로 사용되며, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로 사용된다.
- [0274] 게이트 절연층(397)은 질화 실리콘층과 산화 실리콘층이 게이트 전극(391) 위에 적층되는 구조를 가질 수 있다. 예를 들어, 100nm의 두께를 갖는 게이트 절연층을 제공하기 위하여 50nm 내지 200nm의 두께를 갖는 질화 실리콘층($\text{Si}_3\text{N}_4(y>0)$)이 스퍼터링 방법에 의해 제 1 게이트 절연층으로 형성될 수 있고 5nm 내지 300nm의 두께를 갖는 산화 실리콘층($\text{SiO}_2(x>0)$)이 제 1 게이트 절연층 위의 제 2 게이트 절연층으로서 형성될 수 있다.
- [0275] 이후, 산화물 반도체층(393)이 게이트 절연층(397) 위에 2nm 내지 200nm의 두께로 형성된다(도 15a 참조).
- [0276] 산화물 반도체층(393)의 재료 및 형성 방법으로서, 실시형태 7에서 설명된 산화물 반도체층(섬형상 산화물 반도체층(412))과 유사한 재료 및 방법이 사용될 수 있다.
- [0277] 산화물 반도체층(393)이 스퍼터링 방법에 의해 형성되는 경우에 성막 조건의 예로써, 다음 조건이 주어질 수 있다: 기판과 타겟 사이의 거리는 100mm이고, 압력은 0.6Pa이며, 직류(DC) 전원은 0.5kW이고, 분위기는 산소(산소 유량비가 100%이다). 성막시 발생된 먼지가 감소될 수 있고 막 두께가 균일하게 만들어질 수 있기 때문에 펄스 직류(DC) 전원이 바람직하다는 것에 주의한다. 산화물 반도체층(393)의 두께는 2nm 내지 200nm, 바람직하게는 5nm 내지 30nm인 것이 바람직하다. 산화물 반도체층의 적절한 두께는 재료에 따라 상이하며; 따라서, 두께는 재료에 따라 적절하게 결정될 수 있다는 것에 주의한다.
- [0278] 산화물 반도체층(393)이 형성되기 전, 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 게이트 절연층(397)의 표면에 부착된 먼지가 제거되는 것이 바람직하다는 것에 주의한다.
- [0279] 또한, 수소, 수산기, 및 습기가 가능한 한 적게 게이트 절연층(397)과 산화물 반도체층(393)에 함유될 수 있도록 하기 위하여, 게이트 전극(391)이 형성된 기판(394)이나 게이트 절연층(397)까지 층들이 형성된 기판

(394)이 성막을 위한 전처리로서 스퍼터링 장치의 예열 챔버에서 예열되어, 기관(394)에 흡착된 수소와 습기와 같은 불순물들이 제거되고 배기되는 것이 바람직하다. 예열의 온도는 100℃ 내지 400℃, 바람직하게는 150℃ 내지 300℃일 수 있다. 배기 수단으로서, 크라이오펌프가 예열 챔버에 제공되는 것이 바람직하다. 또한, 이러한 예열은 보호 절연층(396)의 형성 전에, 층들이 쌓이고 형성되는 제 1 전극(395a)과 제 2 전극(395b)을 포함하는 기관(394) 상에서 유사하게 수행될 수 있다.

[0280] 이후, 산화물 반도체층이 제 2 포토리소그래피 단계에 의해 섬형상 산화물 반도체층(399)으로 가공된다(도 15b 참조). 섬형상 산화물 반도체층(399)의 가공 방법으로, 실시형태 7에서 설명된 섬형상 산화물 반도체층(412)과 유사한 가공 방법이 채용될 수 있다는 것에 주의한다.

[0281] 산화물 반도체층(399)과 게이트 절연층(397)의 표면들 상에 부착된 레지스트 잔여물 등을 제거하기 위하여 다음 단계에서 도전막의 형성 전에 역 스퍼터링이 수행되는 것이 바람직하다는 것에 주의한다.

[0282] 이후, 도전막이 게이트 절연층(397)과 산화물 반도체층(399) 위에 형성된다. 도전막은 스퍼터링 방법 또는 진공 증착 방법에 의해 형성될 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 성분으로서 임의의 이들 원소들을 함유하는 합금; 복수의 이러한 원소들을 조합하여 함유하는 합금; 등이 사용될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 이트륨으로부터 선택된 하나 이상의 재료들이 사용될 수 있다. 또한, 투광성 도전막이 포함될 수 있다. 투광성 도전막으로서, 투광성 도전성 산화물의 막이 특히 주어질 수 있다.

[0283] 또한, 도전막은 단층 구조 또는 둘 이상 층들의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조; 알루미늄막과 그 위에 적층된 티타늄막의 이층 구조; Ti 막, 그 위에 적층된 알루미늄막, 그리고 그 위에 적층된 Ti 막의 3층 구조가 주어질 수 있다.

[0284] 이후, 제 3 포토리소그래피 단계에 의하여, 도전막 위에 레지스트 마스크가 형성되고, 선택적인 에칭이 수행되어, 제 1 전극(395a)과 제 2 전극(395b)이 형성되고, 이후, 레지스트 마스크가 제거된다(도 15c 참조). 여기서, 산화물 반도체층(399)이 제거되는 것을 방지하고 그 아래의 게이트 절연층(397)이 도전막의 에칭시 노출되는 것을 방지하기 위하여, 그들의 재료들과 도전막의 에칭 조건들이 적절하게 조절될 필요가 있다. 따라서, 본 실시형태에서, In-Ga-Zn-O 계 산화물 반도체가 산화물 반도체층(399)으로 사용되고, 티타늄막이 도전막으로 사용되며, 암모니아과수(암모니아, 물, 그리고 과산화수소수의 혼합물)가 에칭액으로 사용되어 산화물 반도체층(399)의 일부가 에칭되지 않는다. 그러나, 본 발명은 이에 제한되지 않는다. 산화물 반도체층(399)의 일부는 제 3 포토리소그래피 단계에 의해 에칭될 수 있으며 홈(오목부)을 갖는 산화물 반도체층이 형성될 수 있다.

[0285] 자외선, KrF 레이저 광, 또는 ArF 레이저 광이 제 3 포토리소그래피 단계에서 레지스트 마스크를 형성하기 위한 노광을 위해 사용된다. 후에 형성될 트랜지스터의 채널 길이(L)는 산화물 반도체층(399) 위에서 서로 인접하는 소스 전극의 하단부와 드레인 전극의 하단부 사이의 간격의 폭에 의존한다. 25nm보다 작은 채널 길이(L)를 제공하기 위하여 노광이 수행될 때, 수 나노미터 내지 수십 나노미터의 극도로 짧은 파장들을 갖는 초자외선이 제 3 포토리소그래피 단계에서 레지스트 마스크를 형성하기 위한 노광을 위해 사용된다. 초자외선으로의 노광은 높은 해상도와 큰 초점 심도를 만든다. 따라서, 나중에 형성될 트랜지스터의 채널 길이(L)는 10nm 내지 1000nm로 설정될 수 있으며, 이는 회로의 동작 속도의 증가를 야기할 것이며, 또한, 극도로 작은 오프-상태 전류로 인하여 트랜지스터의 전력 소비의 감소를 가져올 것이다.

[0286] 또한, 포토리소그래피 단계들에서 사용된 포토마스크들의 수를 감소시키고 포토리소그래피 단계들의 수를 감소시키기 위하여, 복수의 강도들을 갖도록 광이 투과되는 노광 마스크인 다계조(multi-tone) 마스크를 사용하는 에칭 단계가 수행될 수 있다. 다계조 마스크를 사용하여 형성된 레지스트 마스크는 복수의 두께들을 가지며 또한 에칭됨에 따라 모양이 변화될 수 있고, 따라서, 상이한 패턴들을 제공하기 위해 복수의 에칭 단계들에서 사용될 수 있다. 그러므로, 두 가지 이상의 상이한 패턴들의 종류들에 대응하는 레지스트 마스크가 하나의 다계조 마스크를 사용하여 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있으며 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있어, 프로세스의 단순화가 실현될 수 있다.

[0287] 또한, N₂O, N₂, 또는 Ar과 같은 가스를 이용한 플라즈마 처리가 산화물 반도체층(399)의 노출된 표면 상에 흡착된 물 등을 제거하기 위해 수행될 수 있다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 사용하여 수행될 수 있다. 본 실시형태에서, 임의의 플라즈마 처리가 수행된다.

[0288] 이후, 플라즈마 처리 후에, 노출된 산화물 반도체층(399), 제 1 전극(395a), 그리고 제 2 전극(395b)과 접촉

하는 보호 절연층(396)이 대기에 노출되지 않고 형성된다(도 15d 참조). 이때, 처리실에 남아있는 습기가 제거되는 동안 보호 절연층(396)이 형성되어 산화물 반도체층(399)과 보호 절연층(396)이 수소, 수산기, 또는 습기를 포함하는 것이 방지될 수 있도록 하는 것이 바람직하다. 처리실에 남아있는 습기를 제거하기 위하여, 흡착형 진공 펌프가 사용되는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 사용되는 것이 바람직하다. 크라이오펌프로 배기되는 챔버에서, 수소 원자들, 물(H₂O)과 같이 수소 원자들을 포함하는 화합물들, 등이 배기된다. 따라서, 처리실에서 형성된 보호 절연층(396)에 포함된 불순물들의 농도가 감소될 수 있다.

[0289] 본 실시형태에서, 산화물 절연층이 보호 절연층(396)으로 형성된다. 보호 절연층(396)의 형성을 위하여, 삼형상 산화물 반도체층(399), 제 1 전극(395a), 그리고 제 2 전극(395b)까지 층들이 형성되는 기판(394)이 실온에서 유지되거나 또는 100℃미만의 온도까지 가열되고, 수소와 습기가 제거되는 고순도 산소를 포함하는 스퍼터링 가스가 도입되고, 산화 실리콘 타겟이 이용되어, 산화 실리콘층이 형성된다. 산화 실리콘층 대신, 산화 질화 실리콘층, 산화 알루미늄층, 산화질화 알루미늄층, 등이 산화물 절연층으로 사용될 수 있다는 것에 주의한다.

[0290] 예를 들어, 산화 실리콘층은 다음 조건 하에서 펄스 DC 스퍼터링 방법에 의해 형성된다: 6N의 순도를 갖는 붕소 도핑된 실리콘 타겟(저항은 0.01 Ωcm)이 사용되고; 기판과 타겟 사이의 거리(T-S 거리)는 89mm이며; 압력은 0.4Pa, 직류(DC) 전원은 6kW, 그리고 분위기는 산소(산소 유량비 100%)이다. 산화 실리콘층의 두께는 300nm이다. 실리콘 타겟 대신 석영(바람직하게는, 합성 석영)이 사용될 수 있다는 것에 주의한다. 스퍼터링 가스로서, 산소 가스 또는 산소와 아르곤의 혼합 가스가 사용될 수 있다.

[0291] 또한, 보호 절연층(396)과 산화물 반도체층(399)이 서로 접촉하는 동안 열 처리가 100℃ 내지 400℃에서 수행되는 것이 바람직하다. 보호 절연층(396)은 많은 단점들을 갖기 때문에, 열 처리에 의해서, 산화물 반도체층(399)에 함유된 수소, 습기, 수산기, 또는 수소화물과 같은 불순물들이 보호 절연층(396)으로 확산되어 산화물 반도체층(399)에 함유된 불순물들이 더욱 감소될 수 있다.

[0292] 상기 프로세스를 통하여, 수소, 습기, 수산기, 및 수소화물의 농도가 감소되는 산화물 반도체층(392)을 포함하는 트랜지스터(390)가 형성될 수 있다(도 15e 참조). 본 실시형태에서 설명된 바와 같이, 산화물 반도체층의 형성 시 반응 분위기에 남아있는 습기를 제거하는 것에 의해, 산화물 반도체층의 수소와 수소화물의 농도가 감소될 수 있다. 결과적으로, 진성 또는 실질적으로 진성인 반도체가 얻어질 수 있다.

[0293] 절연층이 보호 절연층(396) 위에 부가적으로 제공될 수 있다는 것에 주의한다. 본 실시형태에서, 보호 절연층(398)이 보호 절연층(396) 위에 형성된다. 절연층(398)으로서, 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막, 등이 사용될 수 있다.

[0294] 절연층(398)의 형성을 위하여, 보호 절연층(396)까지 층들이 형성되는 기판(394)이 100℃ 내지 400℃의 온도로 가열되고, 수소와 습기가 제거되는 고순도 질소를 포함하는 스퍼터링 가스가 도입되며, 실리콘 반도체 타겟이 사용되어, 질화 실리콘막이 형성된다. 이러한 단계에서 또한, 보호 절연층(396)의 경우에서와 같이 처리실에 남아있는 습기가 제거되는 동안 절연층(398)이 형성되는 것이 바람직하다. 절연층(398)의 성막 시 기판(394)을 100℃ 내지 400℃로 가열하는 것에 의해, 산화물 반도체층(399)의 수소 또는 습기가 절연층(398)으로 확산될 수 있다. 그 경우에, 보호 절연층(396)의 형성 후에 열 처리가 직접적으로 수행될 필요가 없다.

[0295] 산화 실리콘층이 보호 절연층(396)으로 형성되고 질화 실리콘층이 절연층(398)으로 형성되는 경우에, 산화 실리콘층 및 질화 실리콘층은 동일한 실리콘 타겟을 사용하여 동일한 처리실에서 형성될 수 있다. 먼저, 산소를 포함하는 에칭 가스가 도입되고 처리실에 제공된 실리콘 타겟을 이용하여 산화 실리콘층이 형성되고, 이후 에칭 가스가 질소를 포함하는 에칭 가스로 전환되어 질화 실리콘층이 동일한 실리콘 타겟을 이용하여 형성된다. 산화 실리콘층과 질화 실리콘층이 대기에 노출되지 않고 연속하여 형성될 수 있기 때문에, 수소나 습기와 같은 불순물들이 산화 실리콘층의 표면 상에 흡수되는 것이 방지될 수 있다. 산화 실리콘층이 보호 절연층(396)으로서 형성되고 질화 실리콘층이 절연층(398)으로 그 위에 형성된 후에, 산화물 반도체층의 수소 또는 습기의 산화물 절연층으로의 확산을 위한 열 처리(100℃ 내지 400℃의 온도에서)가 수행되는 것이 바람직하다.

[0296] 보호 절연층(396)의 형성 후에, 대기에서 100℃ 내지 200℃로 열 처리가 1시간 내지 30시간 동안 또한 수행될 수 있다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있으며 또는 몇번 반복적으로 온도가 실온에서 100℃ 내지 200℃의 가열 온도까지 증가되고, 가열 온도로부터 실온으로 감소될 수 있다. 또한, 이러한 열 처리는 산화물 절연층의 형성 전에 감소된 압력 하에서 수행될 수 있다. 감소된 압력하에서, 가열 시간은 짧아

질 수 있다.

- [0297] 위의 프로세스는 400℃ 이하의 온도에서 수행될 수 있기 때문에, 프로세스는 1m보다 긴 측면과 1mm 이하의 두께를 갖는 유리 기판을 이용하는 제조 공정에 적용될 수 있는 것이 바람직하다. 또한, 전체 프로세스가 400℃ 이하의 처리 온도에서 수행될 수 있기 때문에, 표시 패널은 보다 적은 에너지 소비로 제작될 수 있다.
- [0298] 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터는 극도로 높은 드레인 파괴 전압을 갖는다. 따라서, 구동 전압이 블루상을 나타내는 액정 재료를 포함하는 표시 장치의 경우에서처럼 높다고 하더라도, 표시 장치의 표시부를 형성하기 위한 화소에 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터를 사용하는 것에 의해 높은 신뢰도의 표시 장치가 제공될 수 있다. 또한, 고순도 산화물 반도체를 포함하는 트랜지스터의 오프-상태 전류는 1×10^{-13} A 이하, 바람직하게는 1×10^{-16} A 이하로 감소될 수 있다. 따라서, 전압이 오랜 시간 기간 동안 저장 용량 소자에 유지될 수 있으며, 따라서 정지 이미지 등을 표시하기 위한 전력 소비가 억제될 수 있다.
- [0299] (실시형태 9)
- [0300] 본 실시형태에서, 실시형태 1에서 설명된 트랜지스터(6401)의 구성예와 그의 제작 방법의 예가 설명될 것이다. 다시 말해, 고순도 산화물 반도체를 포함하는 트랜지스터의 구성예와 그의 제작 방법의 예가 도 16a 내지 도 16d를 참조하여 설명될 것이다.
- [0301] 도 16a 내지 도 16d는 트랜지스터의 단면 구조의 예를 도시한다. 도 16a 내지 도 16d에 도시된 트랜지스터(360)는 채널 보호 타입(채널 스톱 타입)이라고 불리는 보텀 게이트 구조의 한 타입이며, 역-스태거드 트랜지스터로도 또한 불린다. 트랜지스터(360)는 실시형태 1에서 설명된 트랜지스터(6401)로 사용될 수 있다. 트랜지스터(360)는 단일 게이트 구조를 갖지만, 본 발명은 그 구조에 제한되지 않는다는 것에 주의한다. 트랜지스터는 복수의 게이트 전극들 및 복수의 채널 형성 영역들을 포함하는 멀티 게이트 구조를 가질 수 있다.
- [0302] 기판(320) 위에 트랜지스터(360)를 제작하는 프로세스가 도 16a 내지 도 16d를 참조하여 이하에 설명될 것이다.
- [0303] 먼저, 도전막이 기판(320) 위에 형성되고, 이후, 게이트 전극(361)이 제 1 포토리소그래피 단계에 의해 형성된다. 기판(320)의 재료로, 실시형태 8에서 설명된 기판(394)과 유사한 재료가 채용될 수 있다. 게이트 전극(361)의 재료 및 형성 방법으로, 실시형태 8에서 설명된 게이트 전극(391)과 유사한 재료와 방법이 채용될 수 있다.
- [0304] 이후, 게이트 절연층(322)이 게이트 전극(361) 위에 형성된다. 게이트 절연층(322)의 재료로서, 실시형태 8에서 설명된 게이트 절연층(397)과 유사한 재료가 채용될 수 있다. 본 실시형태에서, 100nm 이하의 두께를 갖는 산화질화 실리콘층이 게이트 절연층(322)과 같이 플라즈마 CVD 방법에 의해 형성된다.
- [0305] 이후, 2nm 내지 200nm의 두께를 갖는 산화물 반도체층이 게이트 절연층(322) 위에 형성되고 제 2 포토리소그래피 단계에 의해 섬형상 산화물 반도체층으로 가공된다. 섬형상 산화물 반도체층의 재료와 형성 방법으로, 실시형태 8에서 설명된 섬형상 산화물 반도체층(399)과 유사한 재료와 방법이 채용될 수 있다. 본 실시형태에서, 산화물 반도체층은 In-Ga-Zn-O 계 산화물 반도체 타겟을 사용한 스퍼터링 방법에 의해 형성된다.
- [0306] 이후, 산화물 반도체층의 탈수화 또는 탈수소화가 수행된다. 탈수화 또는 탈수소화를 위한 제 1 열 처리의 온도는 400℃ 내지 750℃이며, 바람직하게는 400℃ 이상 기판의 변형점 미만이다. 여기서, 기판이 열 처리 장치의 한 타입인 전기로로 들어가고 열 처리가 450℃의 질소 분위기에서 1시간 동안 산화물 반도체층 상에서 수행된다. 그 후에, 산화물 반도체층이 대기로 노출되는 것과 다시 물 또는 수소를 포함하는 것이 방지되고; 따라서 산화물 반도체층(332)이 얻어진다(도 16a 참조).
- [0307] 이후, N₂O, N₂, 또는 Ar과 같은 가스를 이용한 플라즈마 처리가 수행된다. 이러한 플라즈마 처리에 의해, 산화물 반도체층의 노출된 표면의 흡착된 물 등이 제거된다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 사용하여 수행될 수 있다.
- [0308] 이후, 산화물 절연층이 게이트 절연층(322)과 산화물 반도체층(332) 위에 형성된다. 이후, 제 3 포토리소그래피 단계에 의해, 레지스트 마스크가 형성되고, 선택적인 에칭이 수행되어, 산화물 절연층(366)이 형성되고, 이후, 레지스트 마스크가 제거된다.
- [0309] 본 실시형태에서, 200nm 두께의 산화물 실리콘막이 스퍼터링 방법에 의해 산화물 절연층(366)으로 형성된다. 성

막 시 기관 온도는 실온 내지 300℃가 될 수 있으며, 본 실시형태에서는, 기관 온도는 100℃이다. 산화 실리콘막은 회가스(전형적으로, 아르곤) 분위기, 산소 분위기, 또는 회가스(전형적으로, 아르곤)와 산소를 포함하는 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들어, 실리콘 타겟의 사용으로, 산화 실리콘막이 산소와 질소의 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 감소된 저항을 갖는 산화물 반도체층과 접촉하여 형성되는 산화물 절연층(366)은 습기, 수소 이온, 산소 이온, 및 OH⁻와 같은 불순물들을 포함하지 않고 외부로부터 혼입을 방지하는 무기 절연막을 사용하여 형성되는데; 예를 들면, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 등이 전형적으로 사용될 수 있다.

- [0310] 이 때, 처리실에 남아있는 습기가 제거되는 동안 산화물 절연층(366)이 형성되어 산화물 반도체층(332)과 산화물 절연층(366)이 수소, 수산기, 또는 습기를 포함하는 것이 방지될 수 있도록 하는 것이 바람직하다. 처리실에 남아있는 습기를 제거하기 위한 방법으로서, 다른 실시형태들에서 설명된 방법이 채용될 수 있다.
- [0311] 이후, 제 2 열 처리(바람직하게는, 200℃ 내지 400℃에서, 예를 들면, 250℃ 내지 350℃에서)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행되는 것이 바람직하다. 예를 들어, 제 2 열 처리가 250℃의 질소 분위기에서 1시간 동안 수행된다. 제 2 열 처리에서, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(366)과 접하여 가열된다.
- [0312] 본 실시형태에서, 산화물 절연층(366)이 제공되고 부분적으로 노출되는 산화물 반도체층(332)이 또한 질소 분위기나 불활성 가스 분위기 또는 감소된 압력 하에서 열 처리된다. 질소 분위기나 불활성 가스 분위기 또는 감소된 압력 하의 열 처리에 의해, 산화물 절연층(366)으로 덮이지 않은 산화물 반도체층(332)의 영역의 저항이 감소된다. 예를 들어, 열 처리가 250℃의 질소 분위기에서 한시간 동안 수행될 수 있다.
- [0313] 질소 분위기에서 산화물 절연층(366)이 형성되는 산화물 반도체층(332) 상의 열 처리에 의해, 산화물 반도체층(332)의 노출된 영역의 저항이 감소되고; 따라서, 상이한 저항들을 갖는 영역들(도 16b에 음영을 넣은 영역과 밝은 영역에 의해 표시됨)을 포함하는 산화물 반도체층(362)이 형성된다.
- [0314] 이후, 도전막이 게이트 절연층(322), 산화물 반도체층(362), 그리고 산화물 절연층(366) 위에 형성된다. 그 후에, 제 4 포토리소그래피 단계에 의해, 레지스트 마스크가 형성되고, 제 1 전극(365a)과 제 2 전극(365b)을 형성하기 위하여 선택적인 에칭이 수행된다. 이후, 레지스트 마스크가 제거된다(도 16c 참조).
- [0315] 제 1 전극(365a)과 제 2 전극(365b)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 그리고 W로부터 선택된 원소, 성분으로서 임의의 이들 원소들을 함유하는 합금, 임의의 이들 원소들을 조합하여 함유하는 합금막, 등이 주어질 수 있다. 또한, 금속 도전막은 단층 구조 또는 둘 이상의 층들의 적층 구조를 가질 수 있다.
- [0316] 위의 단계들을 통하여, 탈수화 또는 탈수소화를 위한 열 처리가 저항을 감소시키기 위해 성막 후의 산화물 반도체층들 상에서 수행되며, 이후, 산화물 반도체층들의 일부가 선택적으로 산소 과잉 상태로 들어간다. 결과적으로, 게이트 전극(361)과 겹치는 채널 형성 영역(363)이 i-타입 영역이 된다. 또한, 제 1 전극(365a)과 겹치는 고저항 소스 영역(364a), 제 2 전극(365b)과 겹치는 고저항 드레인 영역(364b)이 자기정합적으로 형성된다. 위의 단계들을 통하여, 트랜지스터(360)가 형성된다.
- [0317] 열 처리가 100℃ 내지 200℃의 대기에서 1시간 내지 30시간 동안 또한 수행될 수 있다. 본 실시형태에서, 열 처리는 150℃에서 10시간 동안 수행된다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있으며, 또는 몇 번 반복적으로 온도가 실온에서 100℃ 내지 200℃의 가열 온도로 증가되고 가열온도로부터 실온으로 감소될 수 있다. 또한, 이러한 열 처리는 산화물 절연막의 형성 전에 감소된 압력하에서 수행될 수 있다. 감소된 압력 하에서, 가열 시간이 짧아질 수 있다.
- [0318] 고저항 드레인 영역(364b)(또는 고저항 소스 영역(364a))을 제 2 전극(365b)(또는 제 1 전극(365a))과 겹치는 산화물 반도체층의 일부에 형성하는 것에 의해, 트랜지스터의 신뢰도가 개선될 수 있다. 특히, 고저항 드레인 영역(364b)을 형성하는 것에 의해, 도전성이 드레인 전극으로부터 고저항 드레인 영역(364b) 및 채널 형성 영역(363)으로 계단식으로(stepwise) 변화할 수 있다. 따라서, 트랜지스터가 고전원 전위(VDD)를 공급하기 위해 배선에 접속된 제 2 전극(365b)으로 동작하는 경우에, 높은 저항의 드레인 영역은 버퍼로 기능하고 높은 전계가 게이트 전극(361)과 제 2 전극(365b) 사이에 인가되는 때에도 높은 전계가 국부적으로 인가되지 않아서; 트랜지스터의 파괴 전압이 개선될 수 있다.
- [0319] 이후, 보호 절연층(323)이 제 1 전극(365a), 제 2 전극(365b), 그리고 산화물 절연층(366) 위에 형성된다. 본

실시형태에서, 보호 절연층(323)은 질화 실리콘막을 사용하여 형성된다(도 16d 참조).

- [0320] 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터는 극단적으로 높은 드레인 파괴 전압을 갖는다. 따라서, 블루상을 나타내는 액정 재료를 포함하는 표시 장치의 경우에서와 같이 구동 전압이 높다고 하더라도, 표시 장치의 표시부를 형성하기 위한 화소에 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터를 사용하는 것에 의해 높은 신뢰도의 표시 장치가 제공될 수 있다. 또한, 고순도 산화물 반도체를 포함하는 트랜지스터의 오프-상태 전류가 1×10^{-13} A 이하, 바람직하게는 1×10^{-16} A 이하로 감소될 수 있다. 따라서, 전압이 저장 용량 소자에서 긴 시간 기간 동안 유지될 수 있고 따라서 정지 이미지 등을 표시하기 위한 전력 소비가 억제될 수 있다.
- [0321] (실시형태 10)
- [0322] 본 실시형태에서, 본 명세서에서 설명된 표시 장치에 적용될 수 있는 트랜지스터의 다른 예가 설명될 것이다. 본 실시형태의 트랜지스터(350)는 예를 들면 실시형태 1에서 설명된 화소부의 각 화소의 트랜지스터(6401)로서 사용될 수 있다.
- [0323] 도 17d의 트랜지스터(350)는 단일 게이트 구조를 갖지만, 본 발명은 그 구조에 제한되지 않는다. 트랜지스터는 복수의 게이트 전극들과 복수의 채널 형성 영역들을 포함하는 멀티 게이트 구조를 가질 수 있다.
- [0324] 기관(340) 위의 트랜지스터(350)의 제작 프로세스가 도 17a 내지 도 17d를 참조하여 이하에 설명될 것이다.
- [0325] 먼저, 도전막이 기관(340) 위에 형성되고, 이후, 게이트 전극(351)이 제 1 포토리소그래피 단계에 의해 형성된다. 본 실시형태에서, 150nm 두께의 텅스텐막이 스퍼터링 방법에 의해 게이트 전극(351)으로 형성된다.
- [0326] 이후, 게이트 절연층(342)이 게이트 전극(351) 위에 형성된다. 본 실시형태에서, 100nm 이하의 두께를 갖는 산화질화 실리콘막이 게이트 절연층(342)으로서 플라즈마 CVD 방법에 의해 형성된다.
- [0327] 이후, 도전막이 게이트 절연층(342) 위에 형성된다. 제 2 포토리소그래피 단계에 의해, 레지스트 마스크가 도전막 위에 형성되고, 선택적인 에칭이 수행되어, 소스 전극(355a)과 드레인 전극(355b)이 형성되고, 이후, 레지스트 마스크가 제거된다(도 17a 참조).
- [0328] 이후, 산화물 반도체층(345)이 형성된다(도 17b 참조). 본 실시형태에서, 산화물 반도체층(345)이 In-Ga-Zn-O 계 산화물 반도체 타겟을 이용하여 스퍼터링 방법에 의해서 형성된다. 이후, 산화물 반도체층(345)이 제 3 포토리소그래피 단계에 의해 섹형상 산화물 반도체층으로 가공된다.
- [0329] 산화물 반도체층(345)을 형성하는 단계에서, 처리실에 남아있는 습기가 제거되는 동안 산화물 반도체층(345)이 형성되어 산화물 반도체층(345)이 수소, 수산기, 또는 습기를 포함하는 것이 방지되는 것이 바람직하다. 처리실에 남아있는 습기를 제거하기 위한 방법으로서, 다른 실시형태들에서 설명된 방법이 채용될 수 있다.
- [0330] 이후, 탈수화 또는 탈수소화를 위한 제 1 처리가 산화물 반도체층 상에서 수행된다. 제 1 열 처리의 온도는 400°C 내지 750°C이며, 바람직하게는 400°C 이상 기관의 변형점 미만이다. 여기서, 기관이 열 처리 장치의 한 타입인 전기로로 들어가고 열 처리가 450°C의 질소 분위기에서 1시간 동안 산화물 반도체층 상에서 수행된다. 그 후, 산화물 반도체층이 대기로 노출되는 것이 방지되고 물이나 수소를 다시 포함하는 것이 방지되어; 산화물 반도체층(346)이 얻어진다(도 17c 참조).
- [0331] 제 1 열 처리는 GRTA를 채용할 수 있는데, 기관이 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 이동되고, 몇분 동안 거기서 가열되며, 이후 기관은 고온으로 가열된 불활성 가스의 밖으로 이동된다.
- [0332] 이후, 보호 절연층(356)이 산화물 반도체층(346)과 접촉하여 형성된다. 보호 절연층(356)이 물이나 수소와 같은 불순물들이 보호 절연층(356)으로 혼합되지 않도록 하는 방법(예를 들면, 스퍼터링 방법)에 의해 1nm 이상의 두께로 적절하게 형성될 수 있다. 수소가 보호 절연층(356)에 포함될 때, 산화물 반도체층으로의 수소의 유입 또는 수소에 의한 산화물 반도체층에서의 산소의 추출이 일어나며, 따라서 산화물 반도체층의 백채널(backchannel)이 낮은 저항을 갖게 되고(n-타입을 갖게 되고), 따라서 기생(parasitic) 채널이 형성될 수 있다. 따라서, 보호 절연층(356)에 포함된 수소가 가능한 한 많이 감소되도록 하는 방법에 의해 보호 절연층(356)을 형성하는 것이 중요하다.
- [0333] 보호 절연층(356)의 재료 및 형성 방법으로서, 실시형태 8에서 설명된 산화물 절연층(396)과 유사한 재료 및 방법이 채용될 수 있다는 것에 주의한다.
- [0334] 이후, 제 2 열 처리(바람직하게는, 200°C 내지 400°C에서, 예를 들어, 250°C 내지 350°C에서)가 불활성 가스

분위기 또는 산소 가스 분위기에서 수행된다. 예를 들어, 제 2 열 처리는 250℃의 질소 분위기에서 1시간 동안 수행된다. 제 2 열 처리에서, 산화물 반도체층이 가열되어 그의 일부(채널 형성 영역)가 보호 절연층(356)과 접촉한다.

- [0335] 상기 단계들을 통하여, 탈수화 또는 탈수소화를 위한 열 처리가 저항을 줄이기 위해 성막 후의 산화물 반도체층들 상에서 수행되며, 이후, 산화물 반도체층은 산소 파잉 상태가 된다. 결과적으로, i-타입 산화물 반도체층(352)이 형성된다. 위의 단계들을 통하여, 트랜지스터(350)가 형성된다.
- [0336] 열 처리가 대기에서 100℃ 내지 200℃에서 1시간 내지 30시간 동안 또한 수행될 수 있다. 본 실시형태에서, 열 처리는 150℃에서 10시간 동안 수행된다. 이러한 열 처리는 일정한 가열 온도에서 수행될 수 있으며, 또는 몇번 반복적으로 온도가 실온으로부터 100℃ 내지 200℃의 가열 온도로 증가되고 가열 온도로부터 실온으로 감소될 수 있다. 또한, 이러한 열 처리는 산화물 절연막의 형성 전에 감소된 압력하에서 수행될 수 있다. 감소된 압력 하에서, 가열 시간이 짧아질 수 있다. 이러한 열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되며; 따라서, 노멀리-오프(normally-off) 트랜지스터가 얻어질 수 있다. 따라서, 표시 장치의 신뢰도가 증가될 수 있다.
- [0337] 절연층이 보호 절연층(356) 위에 부가적으로 제공될 수 있다는 것에 주의한다. 본 실시형태에서, 절연층(343)이 보호 절연층(356) 위에 형성된다(도 17d 참조). 절연층(343)의 재료 및 형성 방법으로, 실시형태 8에서 설명된 보호 절연층(398)과 유사한 재료 및 방법이 채용될 수 있다.
- [0338] 또한, 평탄화 절연층이 절연층(343) 위의 표면을 평탄화하기 위한 목적으로 제공될 수 있다.
- [0339] 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터는 극단적으로 높은 드레인 파괴 전압을 갖는다. 따라서, 블루상을 나타내는 액정 재료를 포함하는 표시 장치의 경우에서와 같이 구동 전압이 높다고 하더라도, 표시 장치의 표시부를 형성하기 위한 화소에 본 실시형태에서 설명되는 산화물 반도체층을 포함하는 트랜지스터를 사용하는 것에 의해 높은 신뢰도의 표시 장치가 제공될 수 있다. 또한, 고순도 산화물 반도체를 포함하는 트랜지스터의 오프-상태의 전류가 1×10^{-13} A 이하, 바람직하게는 1×10^{-16} A 이하로 감소될 수 있다. 따라서, 전압이 저장 용량 소자에서 오랜 시간 기간 동안 유지될 수 있고 따라서 정지 이미지 등을 표시하기 위한 전력 소비가 억제될 수 있다.
- [0340] (실시형태 11)
- [0341] 본 실시형태에서, 표시 장치의 액정 표시 패널의 외부 도면들과 단면 구조의 예들이 도 18a 내지 도 18b를 참조하여 설명될 것이다. 본 명세서의 표시 장치는 이미지 표시 장치 또는 표시 장치를 말한다. 표시 장치는 FPC(flexible printed circuit), TAB(tape automated bonding) 테이프, 또는 TCP(tape carrier package)가 부착되는 모듈; 인쇄 배선 기판이 제공되는 단부에 TAB 테이프 또는 TCP를 갖는 모듈; 그리고 COG(chip on glass) 방법에 의해 표시 소자 상에 직접 탑재되는 집적 회로(IC)를 갖는 모듈을 포함한다.
- [0342] 도 18a1 및 도 18a2는 트랜지스터들(4010과 4011)과 액정 소자(4013)가 제 1 기판(4001)과 제 2 기판(4006) 사이에 절재(sealant)(4005)로 밀봉되는(sealed) 패널들의 평면도들이다. 도 18b는 도 18a1 및 도 18a2의 M-N 선을 따라 취해진 단면도이다.
- [0343] 절재(4005)가 제공되어 제 1 기판(4001) 위에 제공되는 화소부(4002)와 주사선 구동 회로(4004)를 둘러싼다. 제 2 기판(4006)이 화소부(4002)와 주사선 구동 회로(4004) 위에 제공된다. 화소부(4002)와 주사선 구동 회로(4004)가 따라서 제 1 기판(4001), 절재(4005), 및 제 2 기판(4006)에 의해 액정층(4008)과 함께 밀봉된다. 본 실시형태의 액정층(4008)은 블루상을 나타내는 액정 재료를 포함한다는 것에 주의한다.
- [0344] 도 18a1에서, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성되는 신호선 구동 회로(4003)가 제 1 기판(4001) 위에 절재(4005)에 의해 둘러지지 않는 영역에 탑재된다. 반대로, 도 18a2는 신호선 구동 회로의 일부가 제 1 기판(4001) 위에 형성되는 예를 도시한다. 도 18a2에서, 신호선 구동 회로(4003b)가 제 1 기판(4001) 위에 형성되고, 별도로 준비된 기판 위의 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성되는 신호선 구동 회로(4003a)가 제 1 기판(4001) 상에 탑재된다.
- [0345] 별도로 형성되는 구동 회로의 접속 방법에는 특별한 제한이 없으며, COG 방법, 배선 접합 방법, TAB 방법, 등이 적절하게 사용될 수 있다는 것에 주의한다. 도 18a1은 신호선 구동 회로(4003)가 COG 방법에 의해 탑재되는 예를 도시하고, 도 18a2는 신호선 구동 회로(4003)가 TAB 방법에 의해 탑재되는 예를 도시한다.
- [0346] 제 1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)는 각각 복수의 트랜지스터들을 포함한다

다. 도 18b는, 예로써, 화소부(4002)에 포함된 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)를 도시한다. 절연층(4020)과 층간막(4021)이 트랜지스터들(4010과 4011) 위에 제공된다. 트랜지스터들(4010 및 4011)로서, 실시형태들 7 내지 10 중 임의의 하나에서 설명되는 트랜지스터가 채용될 수 있다는 것에 주의한다.

[0347] 부가적으로, 층간막(4021)과 절연층(4020) 위에, 주사선 구동 회로(4004)의 트랜지스터(4011)의 반도체층의 채널 형성 영역과 겹치는 위치에 도전층이 제공될 수 있다. 도전층의 전위는 트랜지스터(4011)의 게이트 전극과 동일하거나 상이할 수 있다. 도전층은 제 2 게이트 전극으로 기능할 수 있다. 대안적으로, 도전층의 전위는 GND 또는 0V일 수 있으며, 또는 도전층이 플로팅 상태에 있을 수 있다.

[0348] 부가적으로, 화소 전극층(4030)이 제 1 기판(4001)과 층간막(4021) 위에 제공되는 제 1 구조체(4037) 위에 형성되어 액정층(4008)으로 돌출된다. 화소 전극층(4030)은 트랜지스터(4010)와 전기적으로 접속된다. 층간막(4021) 위에, 제 1 공통 전극층(4036)이 액정층(4008)으로 돌출되도록 제공되는 제 2 구조체(4038) 위에 제공된다. 액정 소자(4013)는 화소 전극층(4030), 제 2 공통 전극층(4031), 제 1 공통 전극층(4036), 그리고 액정층(4008)을 포함한다. 또한, 편광판(4032)과 편광판(4033)이 제 1 기판(4001)과 제 2 기판(4006)의 외부 측들 상에 각각 제공된다. 본 실시형태에서 제 2 공통 전극층(4031)이 제 2 기판(4006) 측 상에 제공되지만, 본 발명은 그 구조에 제한되지 않는다는 것에 주의한다. 다시 말해, 제 2 공통 전극층(4031)이 생략될 수 있다.

[0349] 제 1 구조체(4037)의 최상 표면과 측 표면을 덮도록 제공되는 화소 전극층(4030)과, 제 2 구조체(4038)의 최상 표면과 측 표면을 덮도록 제공되는 제 1 공통 전극층(4036)으로, 화소 전극층(4030)과 제 1 공통 전극층(4036) 사이의 액정층(4008)에 전계가 폭넓게 형성될 수 있다.

[0350] 또한, 제 2 공통 전극층(4031)이 제 2 기판(4006) 측 상에 제공될 때, 화소 전극층(4030)과 제 2 공통 전극층(4031) 사이에 비스듬한 방향(기판에 비스듬한 방향)으로 전계가 액정에 인가될 수 있으며; 따라서, 액정 분자들이 보다 효율적으로 제어될 수 있다. 따라서 두께 방향으로 액정 분자들을 포함하는 전체 액정층의 액정 분자들이 응답하도록 만들어질 수 있으며, 백색 투과율이 개선될 수 있다. 결과적으로, 백색 투과율의 흑색 투과율에 대한 비율인 콘트라스트 비가 또한 개선될 수 있다.

[0351] 제 1 기판(4001)과 제 2 기판(4006)으로서, 투광성을 갖는 유리, 플라스틱, 등이 사용될 수 있다. 플라스틱은 FRP(fiberglass-reinforced plastics) 평판, PVF(polyvinyl fluoride)막, 폴리에스터막, 또는 아크릴 수지막 일 수 있다. 대안적으로, 알루미늄 포일이 PVF 막들 또는 폴리에스터 막들에 의해 샌드위치되는 시트가 사용될 수 있다.

[0352] 절연막을 선택적으로 에칭하는 것에 의해 형성되는 원주형 스페이서(4035)가 셀 갭을 제어하기 위하여 제공된다. 본 발명은 이러한 구조에 제한되지 않으며 나선형 스페이서가 사용될 수 있다는 것에 주의한다. 셀 갭은 1 μ m 내지 20 μ m인 것이 바람직하다. 셀 갭은 제 1 기판(4001)과 제 2 기판(4006) 사이의 평균 갭을 나타낸다는 것에 주의한다.

[0353] 도 18a1, 도 18a2, 및 도 18b는 투과형 액정 표시 장치를 도시하지만, 본 발명은 반투과형 액정 표시 장치와 반사형 액정 표시 장치에 적용될 수 있다.

[0354] 도 18a1, 도 18a2, 및 도 18b는 편광판이 기판의 외부 측(보이는 측) 상에 제공되는 액정 표시 장치들을 도시하지만; 편광판은 기판의 내부 측 상에 제공될 수 있다. 다시 말해, 편광판의 위치는 편광판의 재료와 제작 프로세스의 조건들에 따라 적절하게 결정될 수 있다. 또한, 블랙 매트릭스로 기능하는 차광층이 제공될 수 있다.

[0355] 층간막(4021)은 투광성 유체색 수지층이며 컬러 필터층으로 기능한다. 층간막(4021)의 일부는 차광층일 수 있다. 도 18a1, 도 18a2, 및 도 18b에서, 차광층(4034)이 트랜지스터들(4010 및 4011)과 겹치도록 제 2 기판(4006) 상에 제공된다. 차광층(4034)을 제공하는 것에 의해, 트랜지스터들의 콘트라스트와 안정화의 개선이 더욱 성취될 수 있다.

[0356] 절연층(4020)은 트랜지스터들의 보호막으로 기능할 수 있다. 절연층(4020)을 보호막으로 사용하기 위하여, 절연층(4020)이 유기 물질, 금속 물질, 또는 습기와 같이, 대기에 떠도는 불순물들의 유입을 방지할 수 있는 재료로 형성될 수 있으며, 절연층(4020)은 조밀한 막인 것이 바람직하다. 특히, 보호막이 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 또는 질화산화 알루미늄막으로부터 선택된 단층 또는 층들의 적층을 이용하여 스퍼터링 방법에 의해 형성될 수 있다.

- [0357] 또한, 평탄화 절연막으로서 다른 투광성 절연층을 형성하는 경우에, 투광성 절연층이 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성을 갖는 유기 재료로부터 형성될 수 있다. 이러한 유기 재료들에 대한적으로, 낮은 유전 상수의 재료(low-k 재료), 실록산계 수지, PSG, BPSG, 등이 또한 사용될 수 있다. 절연층은 임의의 이들 재료들로 형성된 복수의 절연막들을 적층하는 것에 의해 형성될 수 있다.
- [0358] 적층되는 절연층들을 형성하기 위한 방법은 특별히 제한되지 않는다. 재료에 따라, 스퍼터링 방법, SOG 방법, 스핀 코팅 방법, 디핑 방법, 스프레이 코팅 방법, 또는 액적 토출 방법(예를 들면, 잉크젯 방법, 스크링 프린팅, 또는 오프셋 프린팅)과 같은 방법에 의해서, 또는 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터, 등과 같은 도구(장치)를 사용하는 것에 의해 평탄화 절연층이 형성될 수 있다.
- [0359] 화소 전극층(4030), 제 2 공통 전극층(4031), 및 제 1 공통 전극층(4036)이 텅스텐 및 인듐을 함유하는 산화물(산화 텅스텐을 함유하는 인듐 산화물), 텅스텐, 인듐, 및 아연을 함유하는 산화물(산화 텅스텐을 함유하는 인듐 아연 산화물), 티타늄과 인듐을 함유하는 산화물(산화 티타늄을 함유하는 인듐 산화물), 티타늄, 인듐, 및 주석을 함유하는 산화물(산화 티타늄을 함유하는 인듐 주석 산화물), 인듐과 주석을 함유하는 산화물(인듐 주석 산화물 또는 ITO), 인듐과 아연을 함유하는 산화물(인듐 아연 산화물), 그리고 실리콘, 인듐, 및 주석을 함유하는 산화물(산화 실리콘이 첨가되는 인듐 주석 산화물)과 같은 투광성 도전성 재료를 이용하여 형성될 수 있다. 화소 전극층(4030), 제 2 공통 전극층(4031), 및 제 1 공통 전극층(4036)은 또한 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), hafnium(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 또는 은(Ag)과 같은 금속; 그의 합금; 및 그의 질화물로부터 선택된 하나 또는 복수의 재료들을 이용하여 형성될 수 있다. 또한, 화소 전극층(4030), 제 2 공통 전극층(4031), 및 제 1 공통 전극층(4036)은 도전성 고분자(또한 도전성 폴리머라고도 불림)를 이용하여 또한 형성될 수 있다.
- [0360] 또한, 다양한 신호들과 전위들이 FPC(4018)로부터 개별적으로 형성되는 신호선 구동 회로(4003), 주사선 구동 회로(4004), 또는 화소부(4002)로 공급된다.
- [0361] 또한, 트랜지스터들이 정전기 등에 의해 쉽게 파괴될 수 있으므로, 구동 회로들을 보호하기 위한 보호 회로가 게이트선 또는 소스선으로 동일 기판 위에 제공되는 것이 바람직하다. 보호 회로는 비선형 소자를 이용하여 형성되는 것이 바람직하다.
- [0362] 도 18a1, 도 18a2, 및 도 18b에서, 접속 단자 전극(4015)은 제 1 공통 전극층(4036)과 동일한 도전막을 사용하여 형성되고, 단자 전극(4016)은 트랜지스터들(4010 및 4011)의 소스 및 드레인 전극층들과 동일한 도전막을 이용하여 형성된다. 접속 단자 전극(4015)은 이방성 도전막(4019)을 통하여 FPC(4018)에 포함된 단자와 전기적으로 접속된다.
- [0363] 도 18a1, 도 18a2, 및 도 18b는 신호선 구동 회로(4003)가 별도로 형성되어 기판(4001) 상에 탑재된 예를 제한없이 도시한다. 주사선 구동 회로가 별도로 형성된 후 탑재될 수 있으며, 또는 신호선 구동 회로의 일부나 주사선 구동 회로의 일부만이 별도로 형성된 후 탑재될 수 있다.
- [0364] (실시형태 12)
- [0365] 본 실시형태에서, 위의 실시형태들에서 설명된 표시 장치를 포함하는 전자 기기의 특정 예들이 설명될 것이다. 본 발명이 적용될 수 있는 전자 기기들은 다음 특정 예들에 제한되지 않는다는 것에 주의한다.
- [0366] 도 19a에 도시된 전자 기기는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키들(9635), 접속 단자(9636), 저장 매체 판독부(9672), 등을 포함하는 휴대용 게임 콘솔이다. 휴대용 게임 콘솔은 저장 매체에 저장된 프로그램이나 데이터를 표시부 상에 표시하기 위하여 판독하는 기능과, 무선 통신에 통해 다른 휴대용 게임 콘솔과 데이터를 공유하는 기능을 가질 수 있다. 휴대용 게임 콘솔은 위에 주어진 것들 외의 다양한 기능들을 가질 수 있다는 것에 주의한다.
- [0367] 도 19b에 도시된 전자 기기는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키들(9635), 접속 단자(9636), 셔터 버튼(9676), 이미지 수신부(9677), 등을 포함하는 디지털 카메라이다. 디지털 카메라는 정지 이미지 및/또는 움직이는 이미지를 촬영하는 기능과, 촬영된 이미지를 자동으로 또는 수동으로 교정하는 기능과, 촬영된 이미지 데이터를 메모리 소자에 저장하는 기능과, 촬영된 이미지 데이터를 표시부 상에 표시하는 기능과, 텔레비전 수신 기능, 등을 가질 수 있다. 디지털 카메라는 위에서 주어진 것들 외의 다양한 기능들을 가질 수 있다는 것에 주의한다.

- [0368] 도 19c에 도시된 전자 기기는 하우징(9630), 표시부(9631), 스피커들(9633), 조작 키들(9635), 접속 단자(9636), 등을 포함하는 텔레비전 수신기이다. 텔레비전은 텔레비전 전파를 이미지 신호로 변환하는 기능, 이미지 신호를 표시를 위한 신호로 변환하는 기능, 이미지 신호의 프레임 주파수를 변환하는 기능, 등을 가질 수 있다. 텔레비전 수신기는 위에서 주어진 것들 외에 다양한 기능들을 가질 수 있다는 것에 주의한다.
- [0369] 도 20a에 도시된 전자 기기는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키들(9635), 접속 단자(9636), 포인팅 장치(9681), 외부 접속 포트(9680), 등을 포함하는 컴퓨터이다. 컴퓨터는 다양한 종류들의 정보(예를 들면, 정지 이미지, 움직이는 이미지, 및 텍스트)를 표시부 상에 표시하는 기능, 다양한 소프트웨어(프로그램들)로 프로세싱을 제어하는 기능, 무선 통신 또는 유선 통신과 같은 통신 기능, 통신 기능으로 다양한 컴퓨터 네트워크들에 접속되는 기능, 다양한 종류들의 데이터를 통신 기능으로 송신하고 수신하는 기능, 등을 가질 수 있다. 컴퓨터는 위에서 주어진 것들 외에 다양한 기능들을 가질 수 있다는 것에 주의한다.
- [0370] 도 20b에 도시된 전자 기기는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키들(9635), 마이크로폰(9638), 등을 포함하는 이동 전화이다. 이동 전화는 표시부 상에 다양한 종류들의 데이터(예를 들면, 정지 이미지, 움직이는 이미지, 및 텍스트)를 표시하는 기능, 달력, 날짜, 시간 등을 표시부 상에 표시하는 기능, 표시부 상에서 표시하는 데이터를 관리하거나 편집하는 기능, 다양한 종류들의 소프트웨어(프로그램들)로 프로세싱을 제어하는 기능, 등을 가질 수 있다. 이동 전화는 위에서 주어진 것들 외에 다양한 기능들을 가질 수 있다는 것에 주의한다.
- [0371] 도 20c에 도시된 전자 기기는 하우징(9630), 표시부들(9631), 조작 키들(9635), 등을 포함하는 전자 종이(electronic paper)이다. 전자 종이는 표시부 상에 다양한 종류들의 데이터(예를 들면, 정지 이미지, 움직이는 이미지, 및 텍스트)를 표시하는 기능, 달력, 날짜, 시간 등을 표시부 상에 표시하는 기능, 표시부 상에서 표시하는 데이터를 관리하거나 편집하는 기능, 다양한 종류들의 소프트웨어(프로그램들)로 프로세싱을 제어하는 기능, 등을 가질 수 있다. 전자 종이는 위에서 주어진 것들 외에 다양한 기능들을 가질 수 있다는 것에 주의한다. 전자 종이는 예를 들면, 특히 전자 서적(또한 e-북으로도 불림), 포스터, 및 기차와 같은 운송수단의 광고에 적용될 수 있다.
- [0372] 도 20d에 도시된 전자 기기는 하우징(9701)에 내장된 표시부(9703)를 포함하는 디지털 사진 액자이다. 표시부(9703)는 다양한 이미지들을 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털 카메라 등으로 촬영된 이미지 데이터를 표시할 수 있으며 일반적인 사진 액자와 같이 동작한다.
- [0373] 디지털 사진 액자에 조작부, 외부 접속 단자(예를 들면, USB 단자 및 USB 케이블과 같은 다양한 케이블들로 접속될 수 있는 단자), 저장 매체 삽입부, 등이 제공된다는 것에 주의한다. 이러한 구성요소들이 표시부와 동일한 표면 상에 제공될 수 있으나, 미적 디자인을 위하여 측면 표면 또는 후면 표면 상에 이들을 제공하는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영된 이미지 데이터를 저장하는 저장 매체가 디지털 사진 액자의 저장 매체 삽입부로 삽입되어 데이터가 로딩되고, 이미지가 표시부(9703) 상에 표시될 수 있다.
- [0374] 디지털 사진 액자는 무선 통신을 통해 데이터를 수신하고 송신하는 것을 허용하는 기능을 가질 수 있다. 이러한 경우에, 무선 통신을 통하여, 원하는 이미지 데이터가 디지털 사진 액자로 표시되도록 로딩될 수 있다. 디지털 사진 액자는 위에서 주어진 것들 외에 다양한 기능들을 가질 수 있다는 것에 주의한다.
- [0375] 이러한 전자 기기들에 본 발명의 한 실시형태인 표시 장치를 사용하는 것에 의해, 신뢰도가 향상될 수 있고 정지 이미지 등을 표시하기 위한 전력 소비가 감소될 수 있다. 따라서, 본 발명의 한 실시형태인 표시 장치가 디지털 카메라, 전자 종이, 및 디지털 사진 액자와 같은, 움직이는 이미지들보다는 정지 이미지들을 더욱 자주 표시하는 전자 기기에 적용될 때, 전력 소비의 감소의 효과가 상당하며, 특히 바람직하다.
- [0376] 본 출원은 2009년 12월 4일에 일본 특허청에 제출된 일본 특허 출원 일련 번호 2009-277088에 기초하며, 모든 내용물들이 본 문서에 참조로 포함된다.

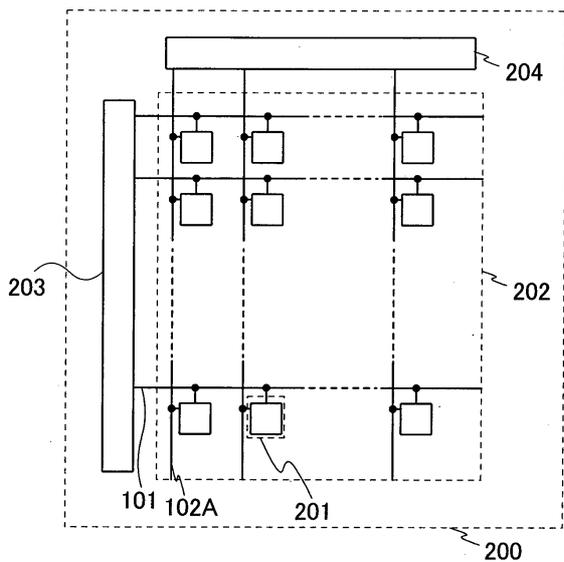
부호의 설명

- [0377] 10: 펄스 출력 회로, 11: 제 1 배선, 12: 제 2 배선, 13: 제 3 배선, 14: 제 4 배선, 15: 제 5 배선, 16: 제 6 배선, 17: 제 7 배선, 18: 제 8 배선, 21: 제 1 입력 단자, 22: 제 2 입력 단자, 23: 제 3 입력 단자, 24: 제 4 입력 단자, 25: 제 5 입력 단자, 26: 제 1 출력 단자, 27: 제 2 출력 단자, 28: 제 6 입력 단자, 31: 제 1 트랜지스터, 32: 제 2 트랜지스터, 33: 제 3 트랜지스터, 34: 제 4 트랜지스터, 35: 제 5 트랜지스터, 36: 제 6 트랜지스터, 37: 제 7 트랜지스터, 38: 제 8 트랜지스터, 39: 제 9 트랜지스터, 40: 제 10 트랜지스터, 41: 제 11 트랜지스터, 51: 전원선, 52: 전원선, 53: 배선, 61: 기간, 62: 기간, 101: 제 1 배선, 102A: 제 2 배선, 200: 기관, 201: 화소,

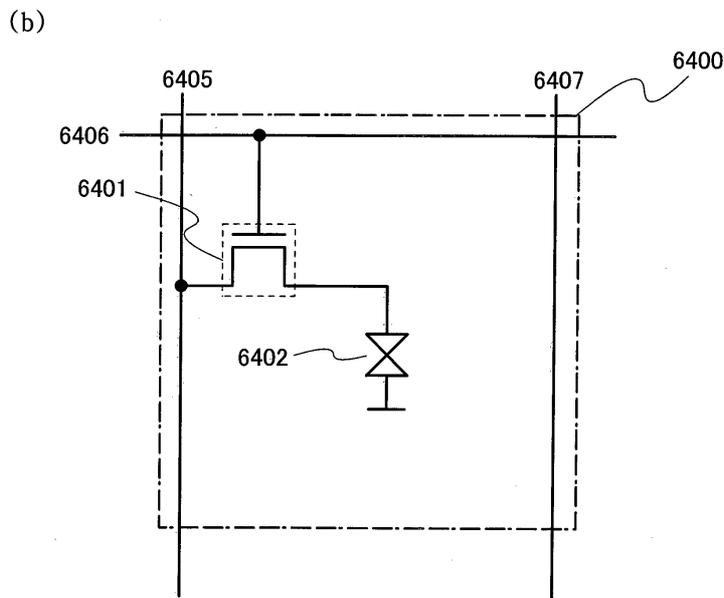
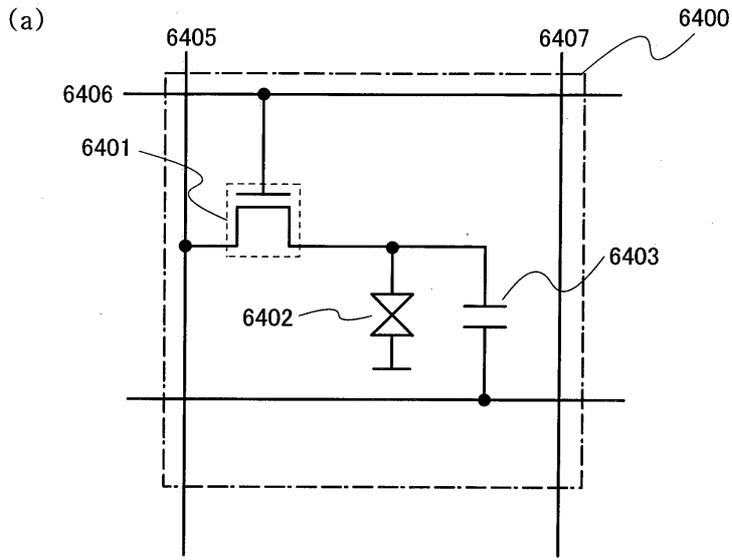
202:화소부, 203:주사선 구동 회로, 204:신호선 구동 회로, 251:기간, 252:기간, 261:기간, 262:기간, 320:기판, 322:게이트 절연층, 323:보호 절연층, 332:산화물 반도체층, 340:기판, 342:게이트 절연층, 343:절연층, 345:산화물 반도체층, 346:산화물 반도체층, 350:트랜지스터, 351:게이트 전극, 352:산화물 반도체층, 356:보호 절연막, 360:트랜지스터, 361:게이트 전극, 362:산화물 반도체층, 363:채널 형성 영역, 366:산화물 절연층, 390:트랜지스터, 391:게이트 전극, 392:산화물 반도체층, 393:산화물 반도체층, 394:기판, 396:보호 절연층, 397:게이트 절연층, 398:절연층, 399:산화물 반도체층, 400:기판, 401:배선(게이트 전극), 402:게이트 절연층, 403:산화물 반도체층, 404:절연층, 407:제 1 절연막, 408:용량 배선, 409:제 2 절연막, 410:트랜지스터, 411:게이트 전극, 412:산화물 반도체층, 413:절연막, 414:차광층, 417:제 3 절연막, 420:트랜지스터, 441:제 1 기판, 441:제 2 기판, 444:액정층, 445:제 2 구조체, 446:제 3 전극, 447:제 1 전극, 448:제 2 전극, 449:제 1 구조체, 450:컬러 필터, 1000:표시 장치, 1001:표시 패널, 1002:신호 생성 회로, 1003:메모리 회로, 1004:비교 회로, 1005:선택 회로, 1006:표시 제어 회로, 1007:구동 회로부, 1008:화소부, 1009A:게이트선 구동 회로, 1009B:신호선 구동 회로, 1010:프레임 메모리, 1201:제 1 용량 소자, 1202:제 2 용량 소자, 1203:제 3 용량 소자, 1210:증폭기, 1211:제 1 스위치, 1212:제 2 스위치, 1213:제 3 스위치, 1214:제 4 스위치, 1220:연산 증폭기, 1221:제 1 트랜지스터, 1222:제 2 트랜지스터, 1223:제 3 트랜지스터, 1224:제 4 트랜지스터, 1225:제 5 트랜지스터, 1226:제 6 트랜지스터, 1227:제 7 트랜지스터, 1241:신호선 구동 회로, 1242:DAC, 1243:화소부, 355a:소스 전극, 355b:드레인 전극, 364a:고저항 소스 영역, 364b:고저항 드레인 영역, 365a:제 1 전극, 365b:제 2 전극, 395a:제 1 전극, 395b:제 2 전극, 405a:배선, 405b:배선, 414a:배선층, 414b:배선층, 415a:제 1 전극, 415b:제 2 전극, 421a:개구부, 421b:개구부, 443a:편광판, 443b:편광판, 4001:제 1 기판, 4002:화소부, 4003:신호선 구동 회로, 4003a:신호선 구동 회로, 4003b:신호선 구동 회로, 4004:주사선 구동 회로, 4005:셀재, 4006:제 2 기판, 4008:액정층, 4010:트랜지스터, 4011:트랜지스터, 4013:액정 소자, 4015:접속 단자 전극, 4016:단자 전극, 4018:FPC, 4019:이방성 도전막, 4020:절연층, 4021:층간막, 4030:화소 전극층, 4031:제 2 공통 전극층, 4032:편광판, 4034:차광층, 4035:스페이서, 4036:제 1 공통 전극층, 4037:제 1 구조체, 4038:제 2 구조체, 6401:트랜지스터, 6402:액정 소자, 6403:용량 소자, 6405:신호선, 6406:주사선, 9630:하우징, 9631:표시부, 9633:스피커, 9635:조작 키, 9636:접속 단자, 9638:마이크로폰, 9672:저장 매체 판독부, 9676:셔터 버튼, 9677:이미지 수신부, 9680:외부 접속 포트, 9681:포인팅 장치, 9701:하우징, 9703:표시부.

도면

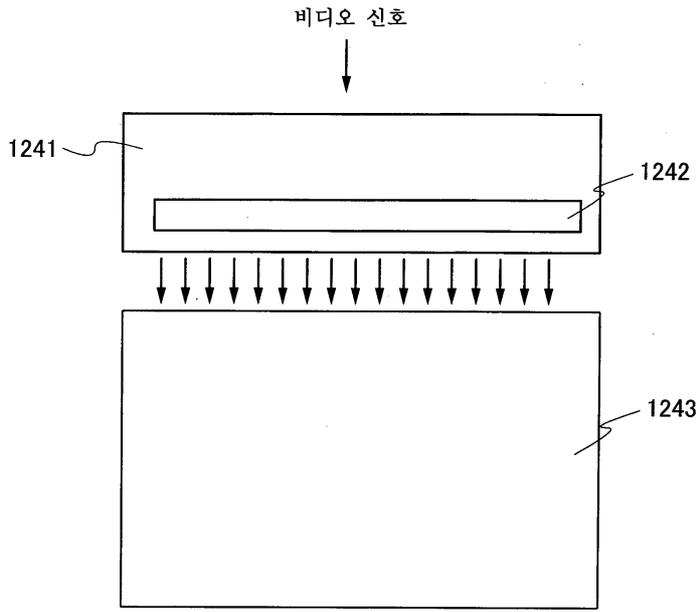
도면1



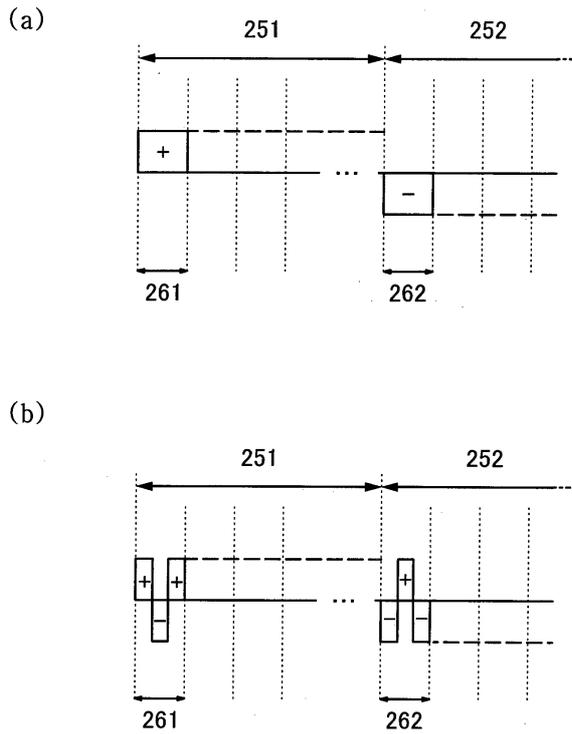
도면2



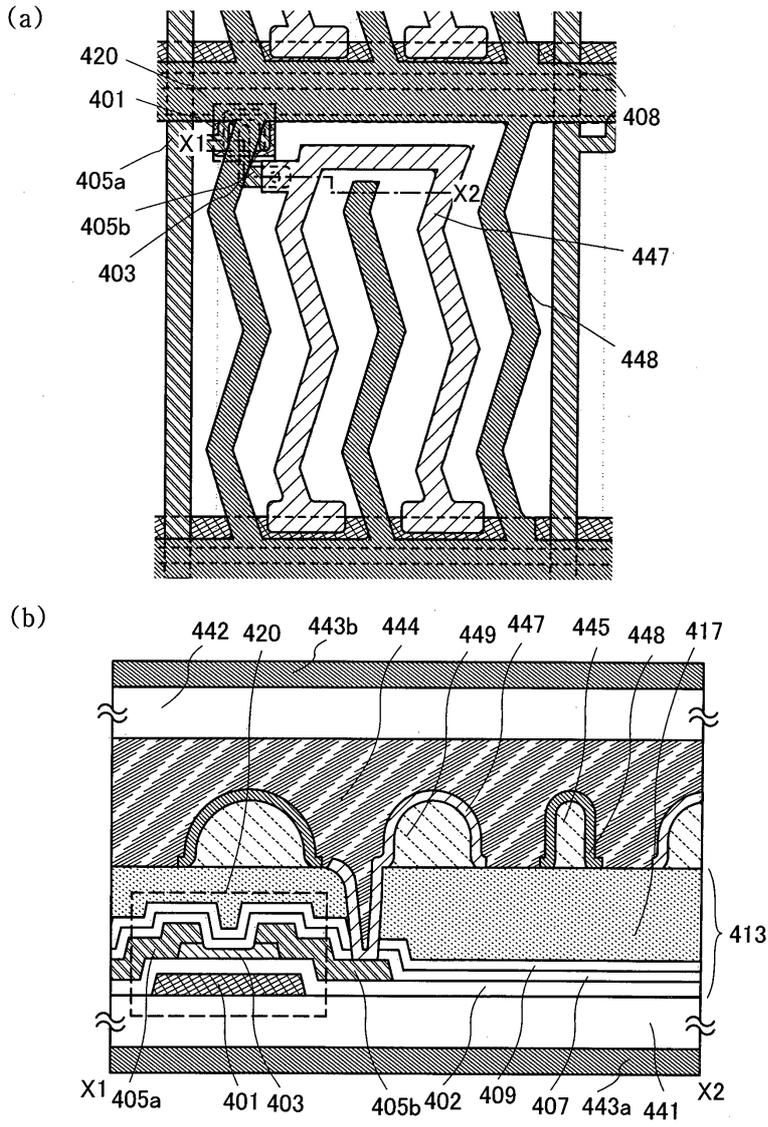
도면3



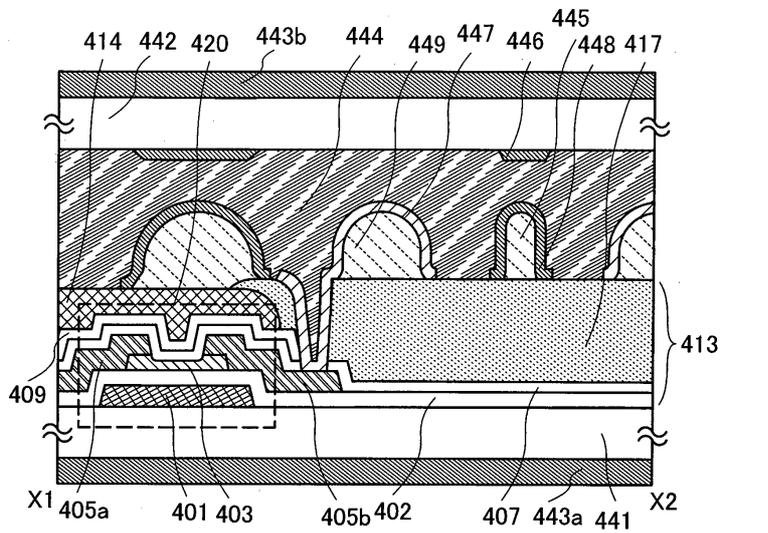
도면4



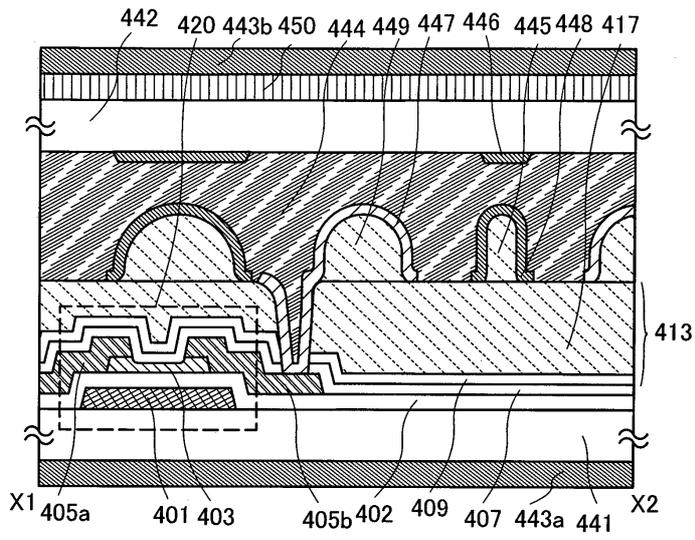
도면5



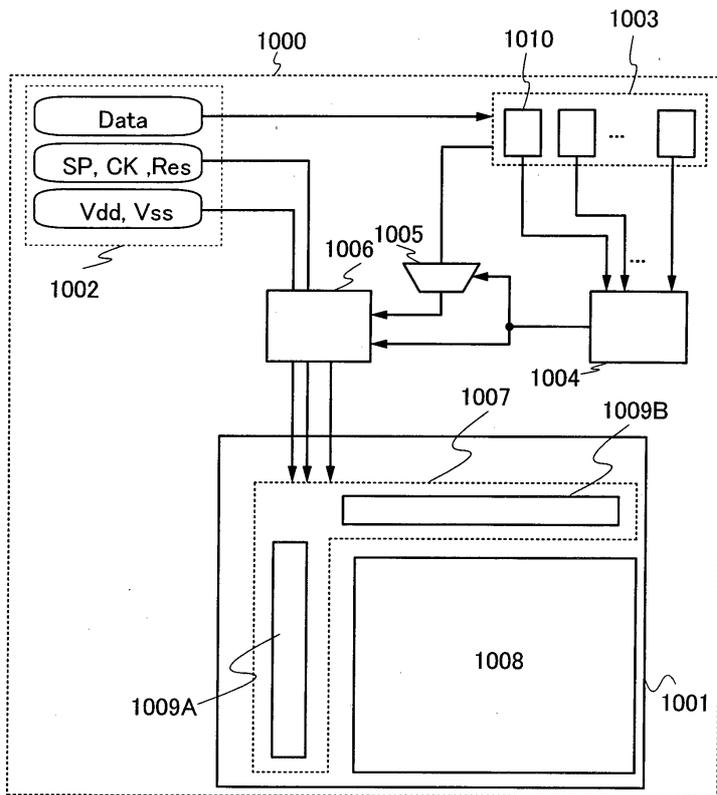
도면6



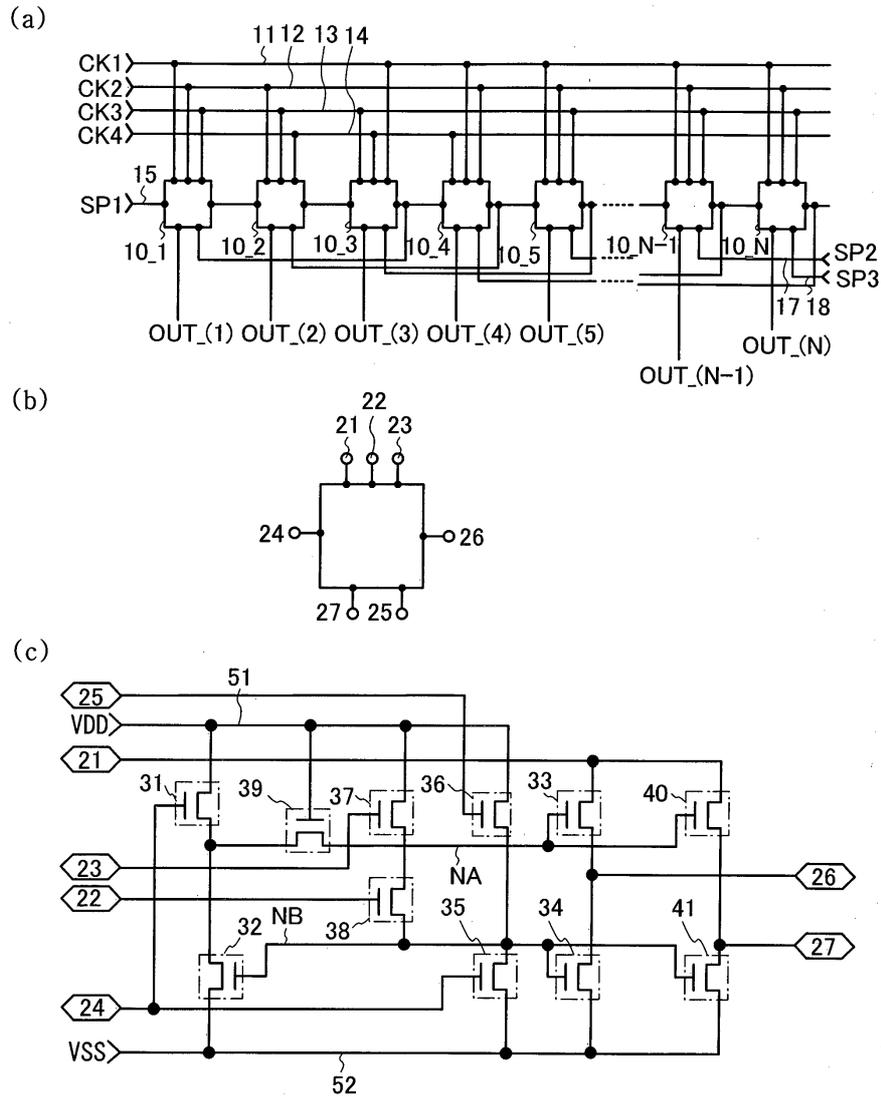
도면7



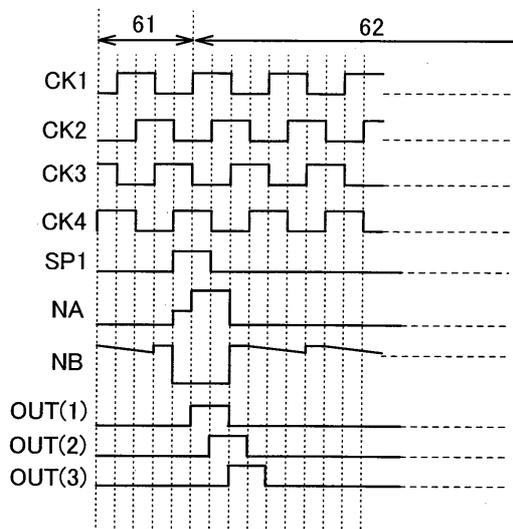
도면8



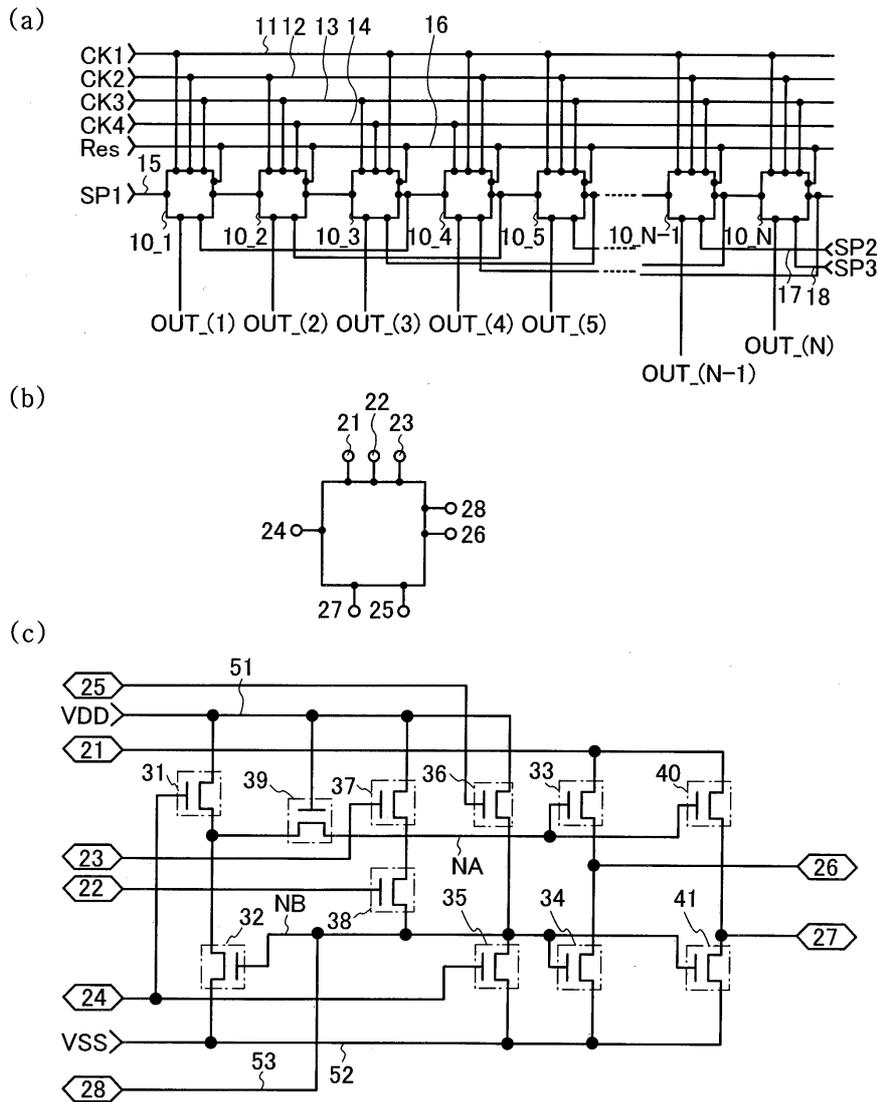
도면9



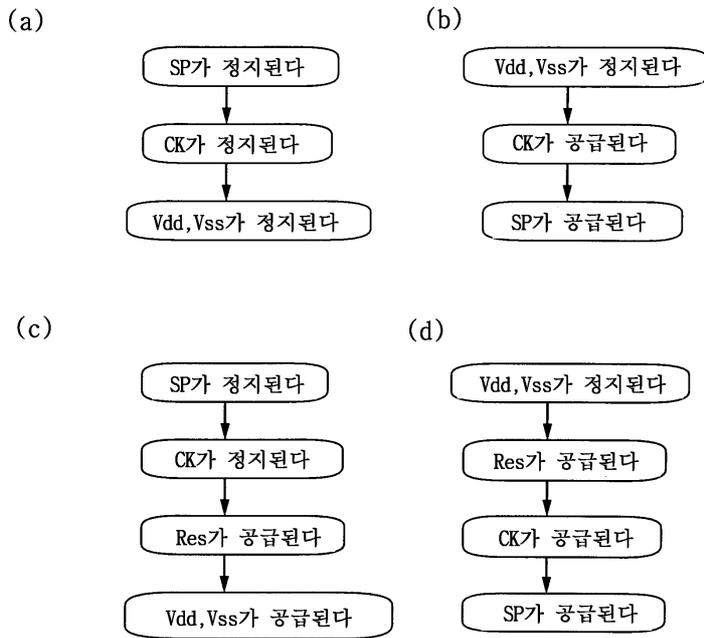
도면10



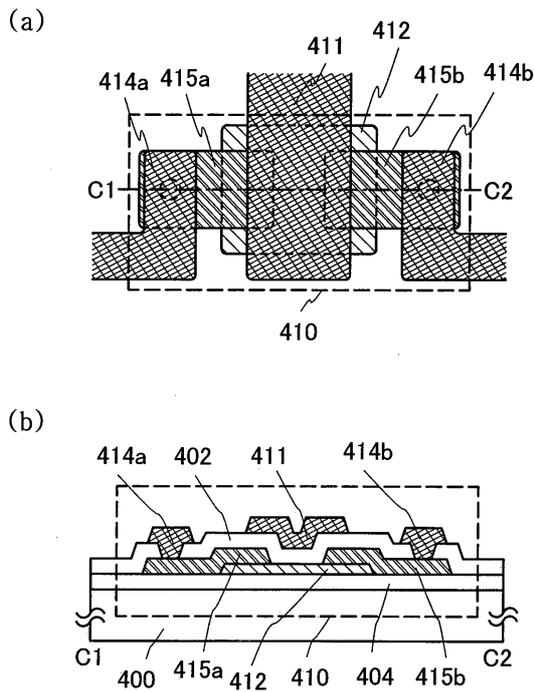
도면11



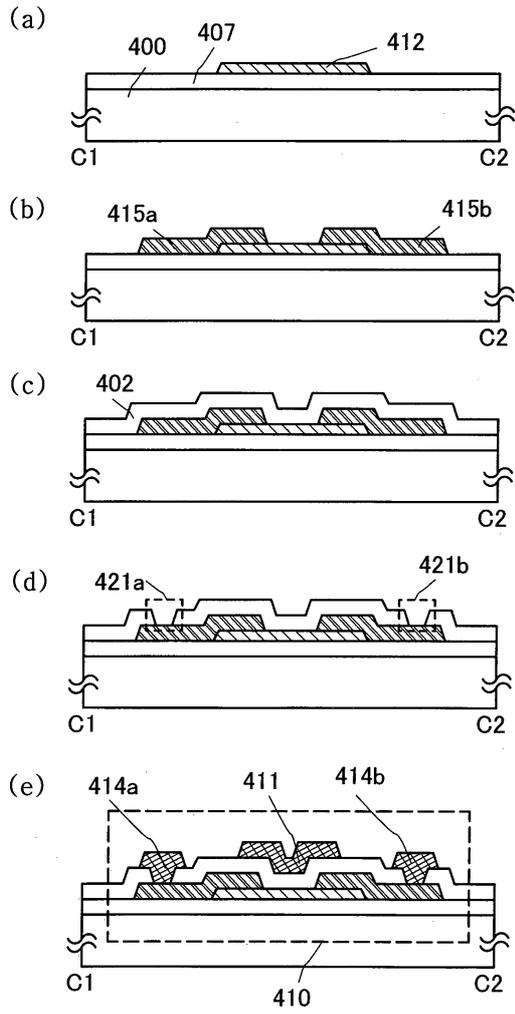
도면12



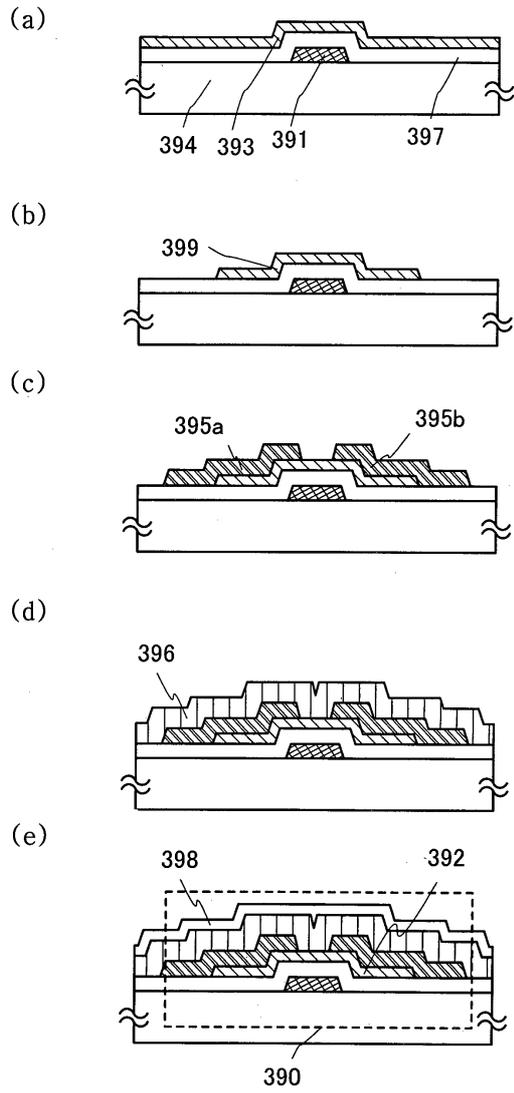
도면13



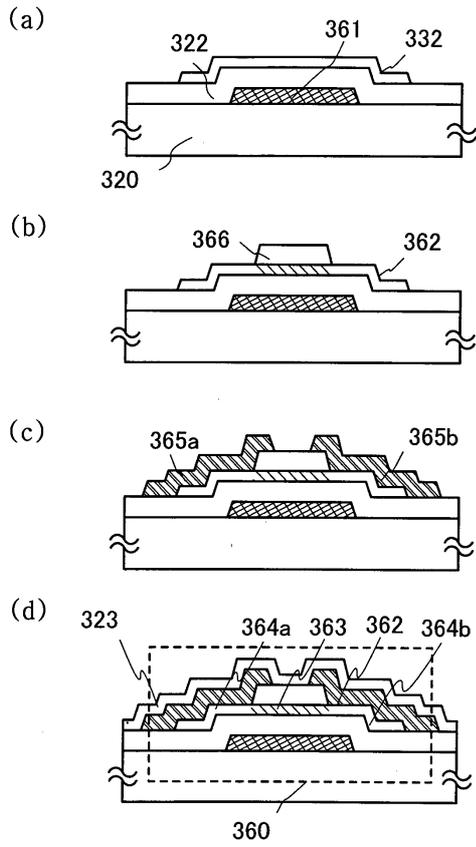
도면14



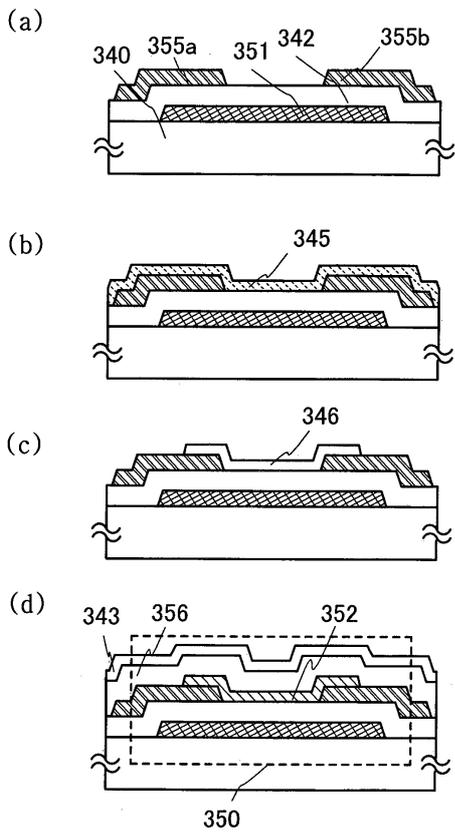
도면15



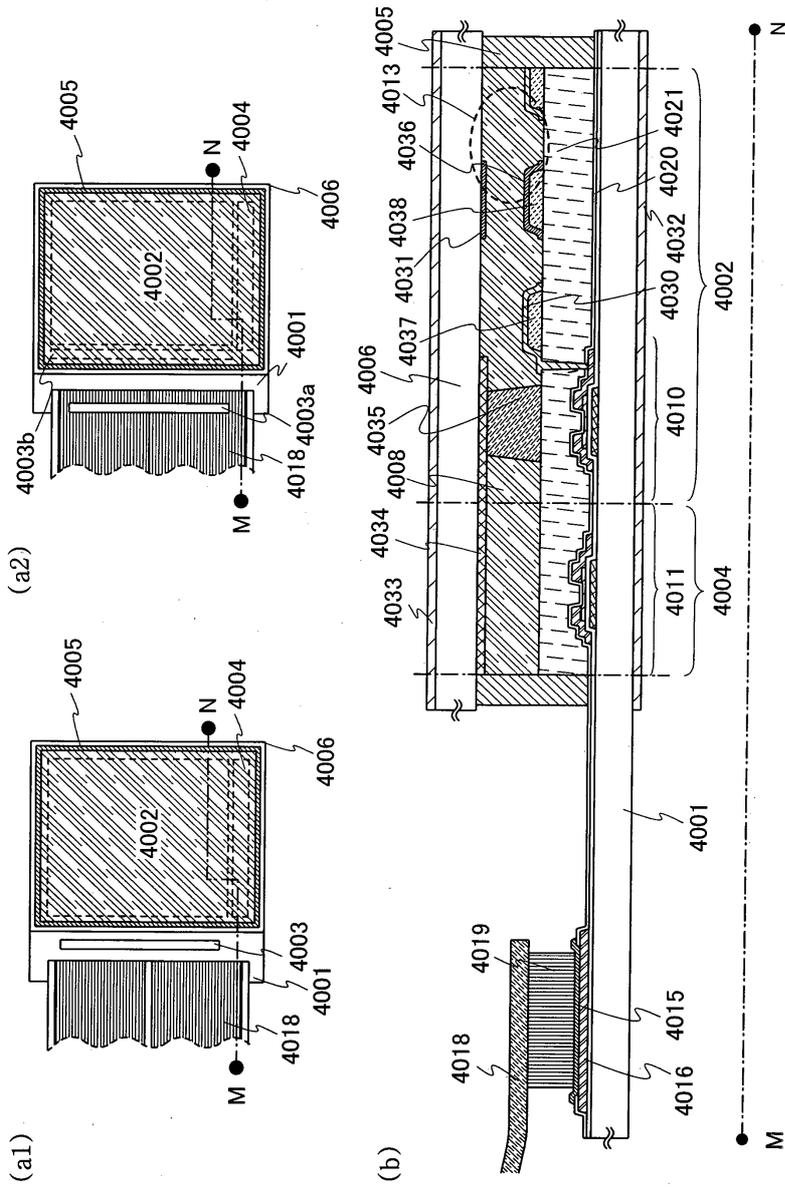
도면16



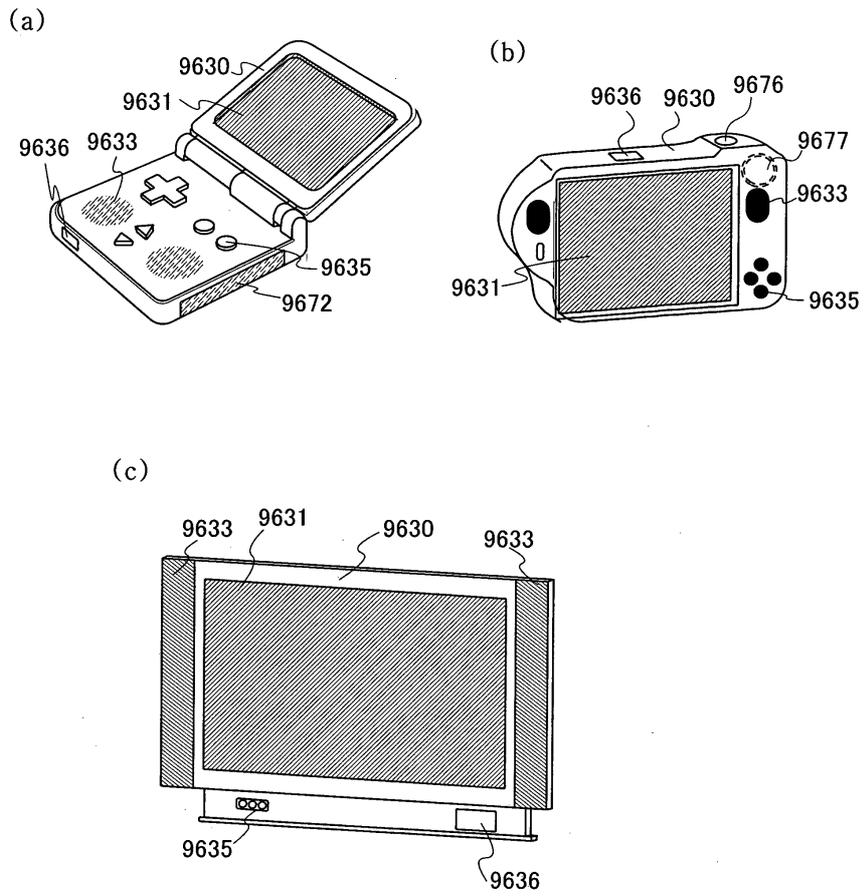
도면17



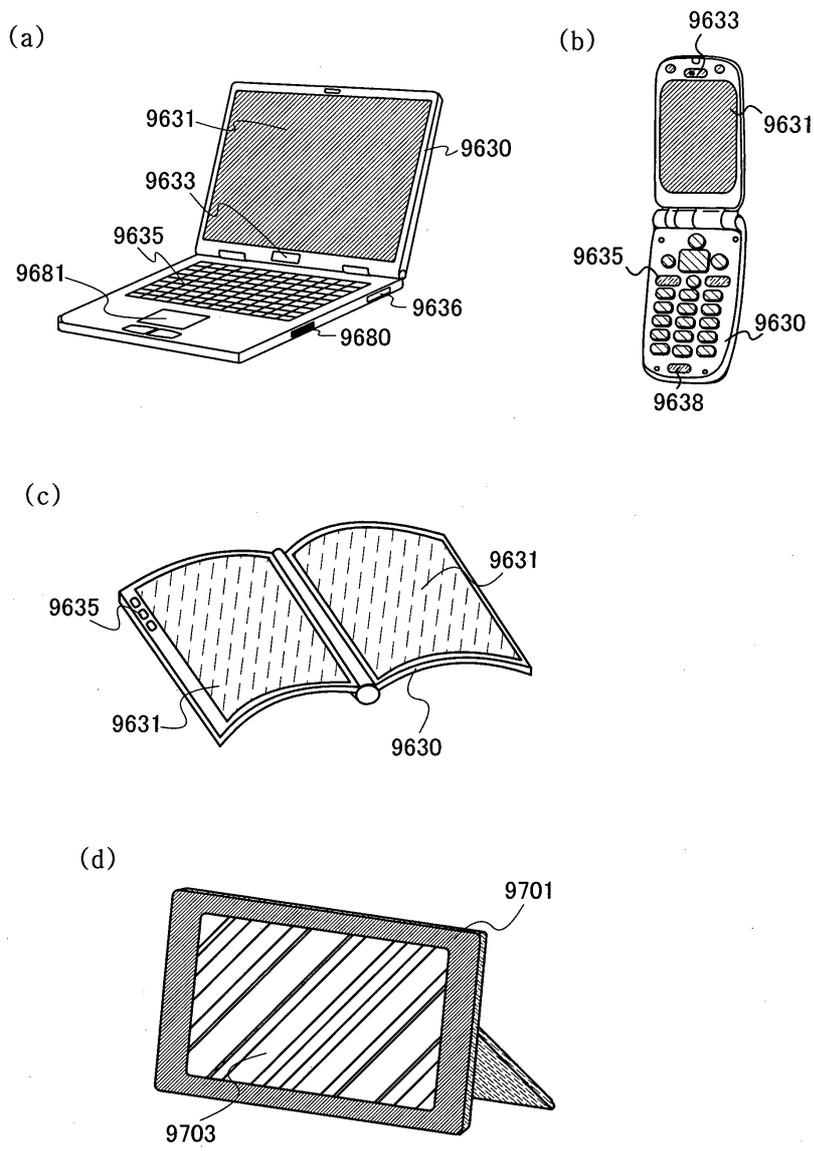
도면18



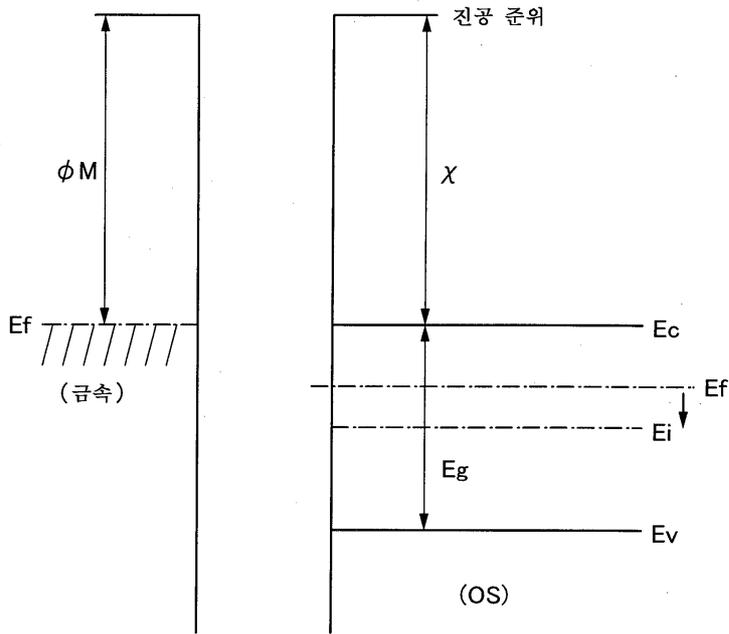
도면19



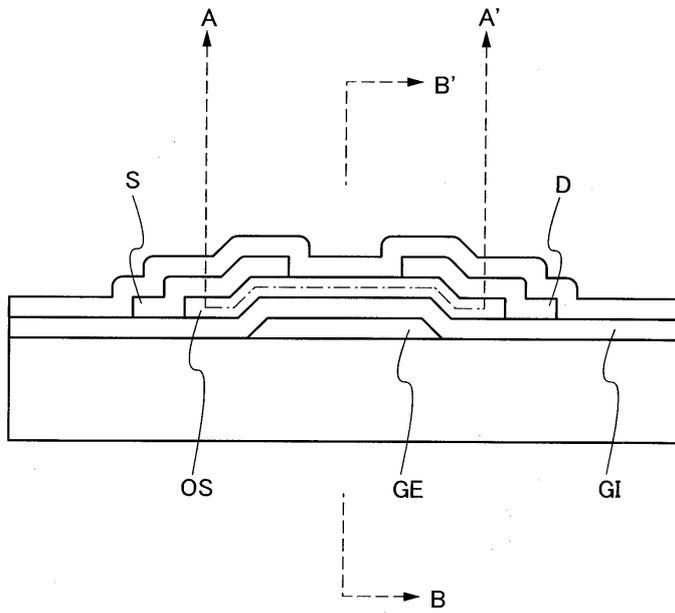
도면20



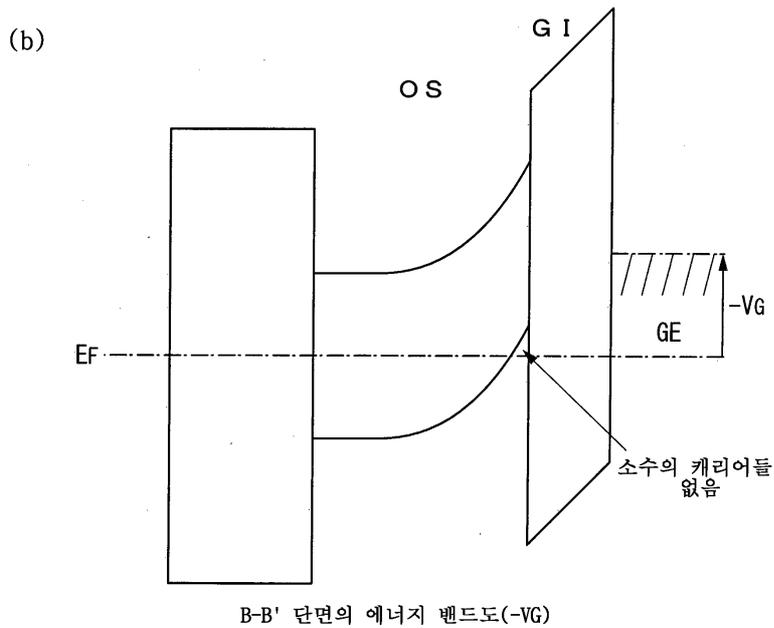
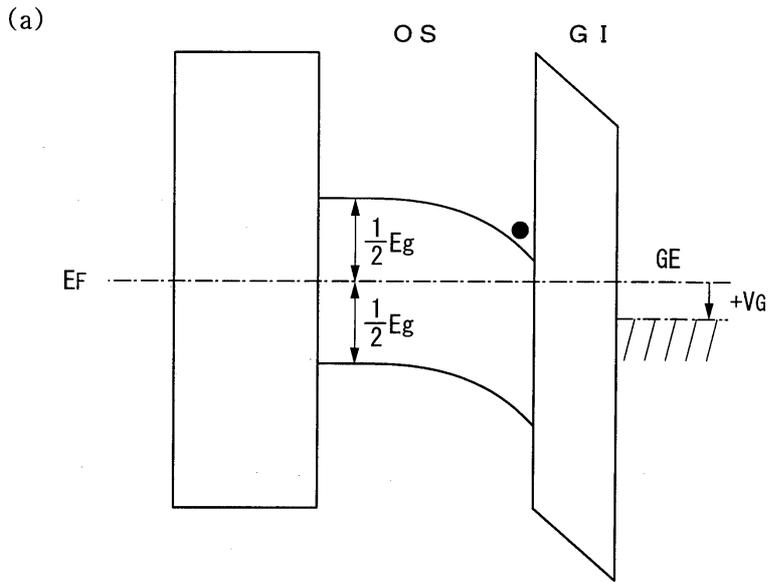
도면21



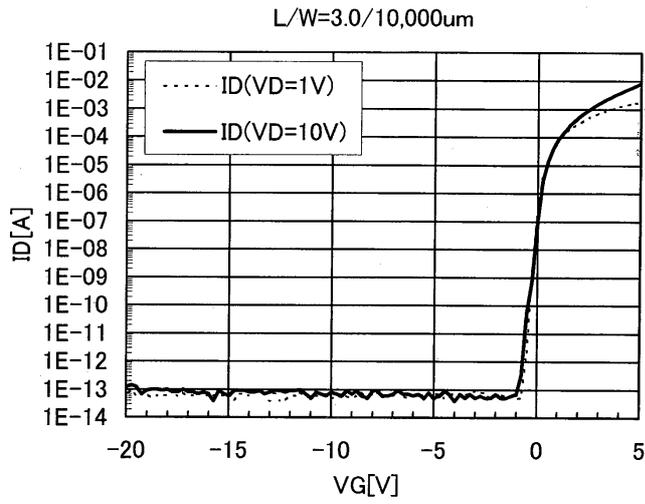
도면22



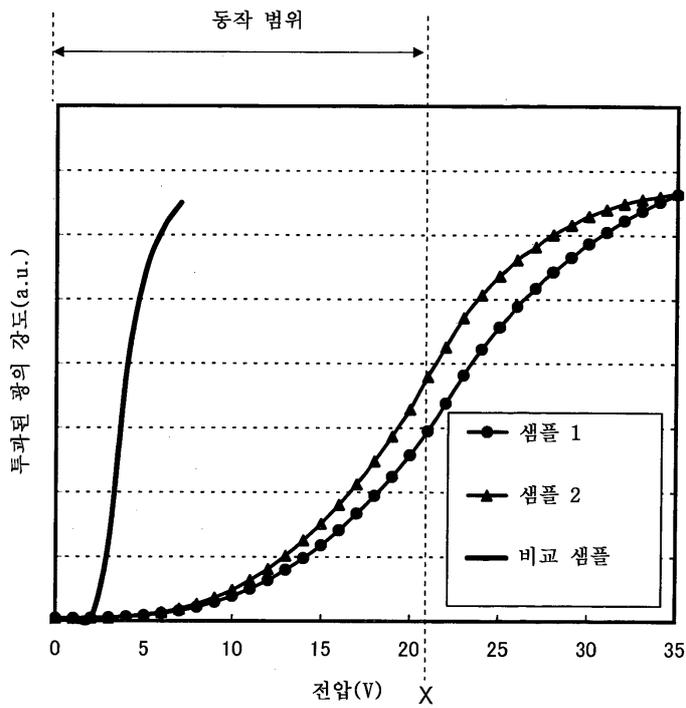
도면24



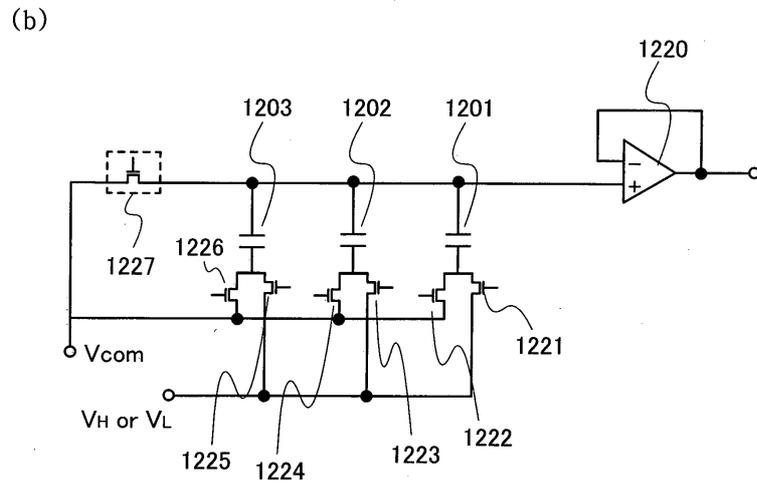
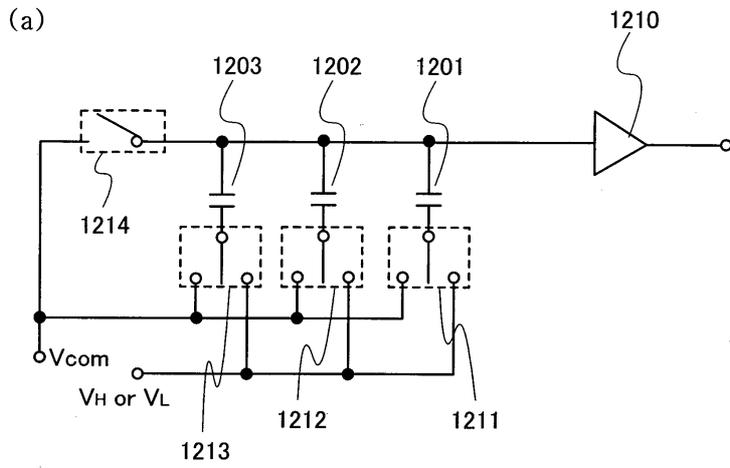
도면25



도면26



도면27



专利名称(译)	显示装置和包括其的电子设备		
公开(公告)号	KR1020120105501A	公开(公告)日	2012-09-25
申请号	KR1020127017319	申请日	2010-11-24
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KIMURA HAJIME 기무라하지메 NISHI TAKESHI 니시다케시		
发明人	야마자키순페이 기무라하지메 니시다케시		
IPC分类号	G02F1/1368 G02F1/139 H01L29/786		
CPC分类号	H01L29/786 G02F1/137 G02F1/1368 H01L29/7869 G02F2001/13793		
代理人(译)	张本勋		
优先权	2009277088 2009-12-04 JP		
其他公开文献	KR101840623B1		
外部链接	Espacenet		

摘要(译)

提供包括显示蓝相的液晶材料的低功耗显示装置。该显示装置包括：第一基板：具有像素的第一基板，其中包括晶体管的像素，面对的第二基板，以及氧化物半导体层，其中晶体管的栅极电连接到扫描线，同时包括第二基板和第一基板之间的液晶层和液晶层包括显示蓝相的液晶材料，并且一个连接到晶体管的源极和漏极中的信号线以及关于晶体管的氢浓度当晶体管的源极和漏极之间的电极与电极电连接时，其为 $5 \times 10^{19} / \text{cm}^3$ 或更小。

도 5b

