

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2012-0048501 (43) 공개일자 2012년05월15일
(51) 국제특허분류(Int. Cl.) G02F 1/1368 (2006.01) G02F 1/136 (2006.01) G09G 3/36 (2006.01) H01L 29/786 (2006.01)		(71) 출원인 가부시키가이샤 한도오파이 에네루기 켄큐쇼 일본국 가나가와켄 아쓰기시 하세 398
(21) 출원번호 10-2011-0113803		(72) 발명자 우오치 히데키 일본 243-0036 가나가와켄 아쓰기시 하세 398 가 부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(22) 출원일자 2011년11월03일 심사청구일자 없음		
(30) 우선권주장 JP-P-2010-249074 2010년11월05일 일본(JP)		(74) 대리인 장훈

전체 청구항 수 : 총 20 항

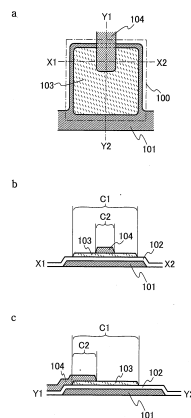
(54) 발명의 명칭 가변 용량 소자 및 액정 표시 장치

(57) 요약

본 발명은 제어성이 좋고 안정적으로 동작하는 가변 용량 소자를 제공하는 것을 과제로 한다. 또한, 소비 전력 이 적고 표시 품질이 우수한 액정 표시 장치를 제공한다.

인가되는 전계에 따라 n형 또는 i형이 되는 반도체, 또는 p형 또는 i형이 되는 반도체를 사용하여 가변 용량 소자를 구성한다. 용량 소자를 구성하는 제 1 전극과 제 2 전극 사이에 유전체층으로서 기능하는 절연층과 상기 반도체층의 적층을 형성한다. 제 1 전극을 유전체층 측에 형성하고, 제 2 전극을 반도체층 측에 형성한 경우에, 제 1 전극과 반도체층이 중첩되는 면적 C1보다 제 1 전극과 반도체층과 제 2 전극이 중첩되는 면적 C2가 더 작게 되도록 형성한다. 동영상 표시와 정지 영상 표시에서 구동 방법을 전환하는 액정 표시 장치에 가변 용량 소자를 적용함으로써, 소비 전력이 적고 표시 품질이 우수한 액정 표시 장치를 실현할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제 1 전극과;

제 2 전극과;

상기 제 1 전극과 상기 제 2 전극 사이에 끼워진 절연층 및 산화물 반도체층을 포함하고, 상기 산화물 반도체층은 상기 제 1 전극과 상기 제 2 전극 중 하나와 전기적으로 접속되는, 가변 용량 소자.

청구항 2

제 1 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극 중 하나의 일함수는 상기 산화물 반도체층의 전자 친화력 이하인, 가변 용량 소자.

청구항 3

제 1 항에 있어서,

상기 산화물 반도체층은 상기 제 1 전극 및 상기 제 2 전극 중 하나와 직접 접촉하는, 가변 용량 소자.

청구항 4

제 1 항에 있어서,

상기 산화물 반도체층은 C축 배향을 갖는 결정(C-Axis Aligned Crystal)을 포함하는, 가변 용량 소자.

청구항 5

제 1 항에 따른 가변 용량 소자를 포함하는, 전자 기기.

청구항 6

제 1 전극과;

제 2 전극과;

상기 제 1 전극과 상기 제 2 전극 사이에 끼워진 절연층 및 산화물 반도체층을 포함하고, 상기 산화물 반도체층은 상기 제 2 전극과 전기적으로 접속되고,

상기 제 1 전극 및 상기 산화물 반도체층이 서로 중첩되는 면적은 상기 제 1 전극, 상기 산화물 반도체층 및 상기 제 2 전극이 서로 중첩되는 면적보다 큰, 가변 용량 소자.

청구항 7

제 6 항에 있어서,

상기 제 2 전극의 일함수는 상기 산화물 반도체층의 전자 친화력 이하인, 가변 용량 소자.

청구항 8

제 6 항에 있어서,
상기 산화물 반도체층은 상기 제 2 전극과 직접 접촉하는, 가변 용량 소자.

청구항 9

제 6 항에 있어서,
상기 산화물 반도체층은 C축 배향을 갖는 결정(C-Axis Aligned Crystal)을 포함하는, 가변 용량 소자.

청구항 10

제 6 항에 따른 가변 용량 소자를 포함하는, 전자 기기.

청구항 11

게이트, 소스 및 드레인을 포함하는 트랜지스터와,

제 1 전극 및 제 2 전극과, 상기 제 1 전극과 상기 제 2 전극 사이에 끼워진 절연층 및 산화물 반도체층을 포함하는, 가변 용량 소자로서, 상기 제 1 전극은 상기 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고, 상기 산화물 반도체층은 상기 제 1 전극 및 상기 제 2 전극 중 하나와 전기적으로 접속되는, 상기 가변 용량 소자와,

상기 가변 용량 소자의 상기 제 2 전극에 전기적으로 접속된 전극을 포함하는 액정 소자를 포함하는, 화소와;

제 1 구동 회로와;

상기 제 1 구동 회로와 상기 트랜지스터의 게이트에 전기적으로 접속된 제 1 배선과;

제 2 구동 회로와;

상기 제 2 구동 회로와 상기 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제 2 배선과;

제 3 구동 회로와;

상기 제 3 구동 회로와 상기 가변 용량 소자의 상기 제 1 전극에 전기적으로 접속된 제 3 배선을 포함하는, 액정 표시 장치.

청구항 12

제 11 항에 있어서,

상기 가변 용량 소자의 상기 산화물 반도체층은 상기 제 2 전극과 전기적으로 접속되고,

상기 트랜지스터의 상기 게이트와 상기 가변 용량 소자의 상기 제 1 전극은 동일한 도전층으로 형성되는, 액정 표시 장치.

청구항 13

제 11 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극 중 하나의 일함수는 상기 산화물 반도체층의 전자 친화력 이하인, 액정 표시 장치.

청구항 14

제 11 항에 있어서,

상기 산화물 반도체층은 C축 배향을 갖는 결정(C-Axis Aligned Crystal)을 포함하는, 액정 표시 장치.

청구항 15

제 11 항에 따른 액정 표시 장치를 포함하는, 전자 기기.

청구항 16

게이트, 소스 및 드레인을 포함하는 트랜지스터와,

제 1 전극 및 제 2 전극과, 상기 제 1 전극과 상기 제 2 전극 사이에 끼워진 절연층 및 산화물 반도체층을 포함하는, 가변 용량 소자로서, 상기 제 1 전극은 상기 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되고, 상기 산화물 반도체층은 상기 제 1 전극 및 상기 제 2 전극 중 하나와 전기적으로 접속되는, 상기 가변 용량 소자와,

상기 가변 용량 소자의 상기 제 2 전극에 전기적으로 접속된 전극을 포함하는 액정 소자를 포함하는, 화소와;

연속된 프레임 기간들에 대응하는 화상 신호들을 저장하는 기억 회로와;

상기 연속된 프레임 기간들에 대응하는 상기 화상 신호들을 비교하는 비교 회로를 포함하고,

상기 연속된 프레임 기간들에 대응하는 상기 화상 신호들을 비교한 결과에 따라, 상기 가변 용량 소자의 상기 제 1 전극에 전압을 인가하는, 액정 표시 장치.

청구항 17

제 16 항에 있어서,

상기 가변 용량 소자의 상기 산화물 반도체층은 상기 제 2 전극과 전기적으로 접속되고,

상기 트랜지스터의 상기 게이트와 상기 가변 용량 소자의 상기 제 1 전극은 동일한 도전층으로 형성되는, 액정 표시 장치.

청구항 18

제 16 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극 중 하나의 일함수는 상기 산화물 반도체층의 전자 친화력 이하인, 액정 표시 장치.

청구항 19

제 16 항에 있어서,

상기 산화물 반도체층은 C축 배향을 갖는 결정(C-Axis Aligned Crystal)을 포함하는, 액정 표시 장치.

청구항 20

제 16 항에 따른 액정 표시 장치를 포함하는, 전자 기기.

명세서

기술분야

[0001] 본 발명은 전압에 의해 용량값을 제어할 수 있는 가변 용량 소자, 및 가변 용량 소자를 갖는 액정 표시 장치에 관한 것이다.

[0002] 또한, 본 명세서에 있어서, 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 반도체 회로, 기억 장치, 촬상 장치, 표시 장치, 전기 광학 장치 및 전자 기기 등은 모두 반도체 장치이다.

배경기술

[0003] 전압에 의해 용량값을 제어할 수 있는 소자로서, 가변 용량 다이오드, 가변 리액터(variable reactor), 배리캡(varicap) 등으로 불리는 가변 용량 소자가 알려져 있다. 또한, 가변 용량 소자는 pn접합형과 MIS(Metal-Insulator-Semiconductor)형(또는 MOS형이라고도 함)이 알려져 있다.

[0004] pn접합형 가변 용량 소자는 역방향 전압이 인가되었을 때 인가된 전압의 크기에 따라, pn접합 계면에 생기는 공핍층의 두께가 변화하는 성질을 이용한 가변 용량 소자이며, p형 및 n형 반도체층의 불순물 농도를 조절함으로써 용량값의 변화를 조절할 수 있다.

[0005] MIS형 가변 용량 소자는 반도체 기판 위에 절연층과 전극이 형성되고, 전극에 인가되는 전압의 크기를 변화시켜 반도체 기판 표면에 생기는 공핍층의 두께를 제어함으로써 용량값을 변화시킨다. MIS형 가변 용량 소자는 pn접합형 가변 용량 소자만큼 용량비를 증대시킬 수 없지만, MIS형 트랜지스터와 동시에 제작할 수 있기 때문에 고집적화하기 쉽다는 이점이 있다.

[0006] 그러나, MIS형 가변 용량 소자에 있어서도 반도체 기판을 공핍화시키기 위해서는 p형 또는 n형 반도체 기판 내의 불순물 농도를 적절히 제어할 필요가 있었다. 또한, MIS(MOS)형 가변 용량 소자는 전극에 공급되는 신호의 주파수가 1kHz 이상인 고주파수 신호인 경우에는, 전극에 인가되는 전압이 양(positive)의 바이어스 전압인지 음(negative)의 바이어스 전압인지에 따라 용량값을 명확히 변화시킬 수 있지만, 신호의 주파수가 저하되면 용량값을 명확히 변화시키기 어려워지고, 특히 주파수가 100Hz 이하인 저주파수 신호나 직류 신호의 경우에는 양의 바이어스 전압이든 음의 바이어스 전압이든 용량값이 거의 변화하지 않는다는 문제가 있었다.

[0007] 또한, MIS형 가변 용량 소자의 일례로서 특허 문헌 1에 기재된 가변 용량 소자를 들 수 있다. 특허 문헌 1에 기재된 가변 용량 소자는 서로 상이한 면적을 갖는 전극 2개 사이에 p형 실리콘층 또는 n형 실리콘층과 절연층을 형성하고, 전극 사이에 인가되는 전압에 의해 p형 실리콘층 또는 n형 실리콘층을 공핍화시킴으로써, 2개의 상이한 용량값을 실현할 수 있는 구성이 제시되어 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본국 특개평5-27264호 공보

발명의 내용

해결하려는 과제

[0009] p형 실리콘층 위에 절연층을 개재하여 전극을 형성하는 구성에 있어서, 전극에 양의 직류 전압 또는 양의 저주파수 전압이 인가되면 p형 실리콘층이 공핍화되고, 그 후에 반전층이 형성되어서 p형 실리콘층이 n형화되는 것이 알려져 있다. 또한, n형 실리콘층 위에 절연층을 개재하여 전극을 형성하는 구성에 있어서, 전극에 음의 직류 전압 또는 음의 저주파수 전압이 인가되면 n형 실리콘층이 공핍화되고, 그 후에 반전층이 형성되어서 n형 실리콘층이 p형화되는 것이 알려져 있다. 또한, 일반적으로 말하면, 액정 표시 장치의 화소에 사용되는 유지 용량에는 주사선의 주사 주파수(약 60Hz)와 같은 정도의 주파수를 갖는 저주파수 전압, 또는 고정 전압(직류 전압)이 인가된다.

[0010] 그러므로 특허 문헌 1에 기재된 가변 용량 소자의 용량값은 전극 사이에 인가되는 전압에 따라 도 3에 도시하는

CV(Capacitance Voltage) 특성(401)과 같이 변화한다. 도 3의 가로축은 반도체층의 전위를 기준 전위(0V)로 한 경우에 절연층을 사이에 두고 반도체층에 인접하여 형성되는 전극에 인가되는 전위를 나타내고, 세로축은 용량값을 나타낸다.

[0011] 도 3에 도시하는 CV 특성(401)은 반도체층에 p형 실리콘층을 사용한 경우의 CV 특성이다. 반도체층의 전위를 기준 전위(0V)로 하고 전극의 전위가 음에서 양으로 변화하면, p형 실리콘층이 서서히 공핍화되어 용량값이 A에서 B로 감소한다. B는 p형 실리콘층이 공핍화되었을 때의 최소 용량값이다. 그 후, p형 실리콘층에 반전층이 형성되어 p형 실리콘층이 n형화되면, 용량값은 B에서 A'로 증가한다. 이와 같은 CV 특성은 MIS(MOS)형 가변 용량 소자의 CV 특성으로서 널리 알려져 있다.

[0012] 또한, 반도체층에 n형 실리콘층을 사용한 경우의 CV 특성은 상술한 설명에서의 'p형'과 'n형'을 서로 바꾸고 또 '양'과 '음'을 바꿔서 설명할 수 있다.

[0013] 또한, 상술한 p형 실리콘층 또는 n형 실리콘층 내의 불순물 농도가 높으면, p형 실리콘층 또는 n형 실리콘층이 공핍화되기 어려워져서 가변 용량 소자로서 기능할 수 없게 되기 때문에, 실리콘층 내의 불순물 농도를 적절히 제어할 필요가 있다. 또한, 소자들의 불순물 농도에 편차가 있으면, 각 소자의 B의 용량값이나 용량값이 B인 전압에 편차가 생기기 쉬워진다.

[0014] 이와 같이 상기 가변 용량 소자의 반도체층으로서, 인가된 전계에 따라 n형 또는 p형으로 변화하는 반도체층을 사용하면, B의 용량값을 실현하기 위한 전압 범위가 좁아서 B의 용량값을 유지하기 어려워진다. 즉, 이와 같은 가변 용량 소자를 액정 표시 장치의 유지 용량으로서 사용하면, 화소 전극에 인가되는 화상 신호의 변동에 의해 유지 용량에 인가되는 전압이 변동하기 때문에, B의 용량값을 유지하기 어려워진다.

[0015] 본 발명의 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0016] 본 발명의 일 형태는 고속 동작이 가능한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0017] 본 발명의 일 형태는 소비 전력이 저감된 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0018] 본 발명의 일 형태는 표시 품질이 우수한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0019] 본 발명의 일 형태는 생산성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0020] 인가되는 전계에 따라 n형 또는 i형이 되는 반도체, 또는 p형 또는 i형이 되는 반도체를 사용함으로써, 안정적인 동작을 하는 가변 용량 소자를 실현한다. 가변 용량 소자를 구성하는 제 1 전극과 제 2 전극 사이에 유전체층으로서 기능하는 절연층과 상기 반도체층의 적층을 형성한다. 제 1 전극을 유전체층 측에 형성하고 제 2 전극을 반도체층 측에 형성한 경우에, 제 1 전극과 반도체층이 중첩되는 면적 C1보다 제 1 전극과 반도체층과 제 2 전극이 중첩되는 면적 C2가 더 작게 되도록 형성한다.

[0021] 이와 같은 반도체 재료로서 산화물 반도체를 들 수 있다. 예를 들어 In-Ga-Zn계 산화물 반도체는 인가되는 전계에 따라 n형 또는 i형, 또는 실질적으로 i형으로 간주되는 상태가 된다.

[0022] 상술한 구성을 갖는 가변 용량 소자의 반도체층에 n형 또는 i형이 되는 반도체를 사용하면, 제 1 전극에 양의 전위가 인가된 경우에는 면적 C1에 의해 결정되는 용량값 F1이 되고, 제 1 전극에 음의 전위가 인가된 경우에는 면적 C2에 의해 결정되는 용량값 F2가 된다.

[0023] 또한, 제 1 전극의 전위가 양 또는 음이라면 제 1 전극의 전위가 변동하더라도 용량값 F1 또는 용량값 F2는 거의 변동하지 않기 때문에, 용량값 F1 및 용량값 F2를 제어성 좋게 안정적으로 실현할 수 있다.

[0024] 예를 들어 본 명세서에서 개시하는 가변 용량 소자를 액정 표시 장치의 유지 용량에 적용함으로써, 화상 재기록 빈도가 많은 동영상 표시에서는 용량값을 작게 하고, 화상 재기록 빈도가 적은 정지 영상 표시에서는 용량값을 크게 할 수 있다. 즉, 동영상 표시와 정지 영상 표시에서의 유지 용량을 최적인 용량값으로 할 수 있기 때문에, 표시 품질이 우수하고 소비 전력이 적은, 신뢰성이 높은 액정 표시 장치를 실현할 수 있다.

[0025] 또한, 산화물 반도체는 트랜지스터의 채널이 형성되는 반도체층(활성층)에 적용할 수도 있다. 또한, 활성층에 산화물 반도체를 사용함으로써, 소비 전력이 적고 신뢰성이 높은 반도체 장치를 실현할 수 있다.

[0026] 또한, 전자 공여체(donor)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified

OS)는 나중에 산화물 반도체에 산소를 공급하여 산화물 반도체 내의 산소 결손을 저감함으로써 i형(진성 반도체) 또는 i형에 가능한 한 가까운(실질적으로 i형화된) 산화물 반도체로 할 수 있다. i형 또는 실질적으로 i형화된 산화물 반도체를 사용한 트랜지스터는 오프 전류가 현저히 낮다는 특성을 갖는다. 구체적으로는, 고순도화된 산화물 반도체는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 측정된 수소 농도 값이 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하이다. 또한, 홀 효과 측정에 의해 측정할 수 있는 산화물 반도체층의 캐리어 밀도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다. 또한, 산화물 반도체의 밴드갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되어 고순도화되고 산소 결손이 저감된 산화물 반도체를 반도체층에 사용함으로써, 트랜지스터의 오프 전류를 낮출 수 있다.

[0027] 여기서, 산화물 반도체 내의 수소 농도의 SIMS 분석에 대해서 설명하기로 한다. SIMS 분석으로는 그 원리상 시료 표면 근방이나 제질이 서로 상이한 막들의 적층의 계면 근방의 데이터를 정확하게 얻기가 어렵다는 것이 알려져 있다. 그러므로 막 내의 수소 농도의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에 있어서 값이 극단적으로 변동하지 않고 거의 일정한 값이 얻어지는 영역에서의 평균값을 수소 농도로서 채택한다. 또한, 측정 대상이 되는 막이 얇은 경우, 인접한 막 내의 수소 농도의 영향을 받아서 거의 일정한 값이 얻어지는 영역을 알 수 없는 경우가 있다. 이 경우에는, 상기 막이 존재하는 영역에서의 수소 농도의 최대값 또는 최소값을 상기 막 내의 수소 농도로서 채택한다. 또한, 상기 막이 존재하는 영역에 있어서, 최대값을 갖는 산 모양의 피크, 최소값을 갖는 골짜기 모양의 피크가 존재하지 않는 경우에는 변곡점의 값을 수소 농도로서 채택한다.

[0028] 본 발명의 일 형태는 제 1 전극과 제 2 전극을 갖고, 제 1 전극과 제 2 전극 사이에 절연층과 산화물 반도체층을 가지며, 제 1 전극은 절연층과 접촉하여 형성되고, 제 2 전극은 산화물 반도체층과 접촉하여 형성되고, 제 1 전극과 산화물 반도체층이 중첩되는 면적은 제 1 전극과 산화물 반도체층과 제 2 전극이 중첩되는 면적보다 큰 것을 특징으로 하는 가변 용량 소자이다.

[0029] 본 발명의 일 형태는 구동 회로부와, 용량선 구동 회로와, 화소부에 가변 용량 소자를 갖는 표시 패널과, 구동 회로부를 구동하는 제어 신호 및 화소부에 공급하는 화상 신호를 생성하기 위한 신호 생성 회로와, 화상 신호를 프레임 기간마다 기억하는 기억 회로와, 기억 회로에서 프레임 기간마다 기억된 화상 신호 중 연속된 프레임 기간의 화상 신호의 차분을 검출하는 비교 회로와, 비교 회로에서 차분을 검출하였을 때 연속된 프레임 기간의 화상 신호를 선택하여 출력하는 선택 회로와, 비교 회로에서 차분을 검출하였을 때 용량선 구동 회로로부터 가변 용량 소자의 용량값을 제 1 용량값으로 하는 신호를 공급하고, 비교 회로에서 차분을 검출하지 않았을 때 용량선 구동 회로로부터 가변 용량 소자의 용량값을 제 2 용량값으로 하는 신호를 공급하고, 구동 회로부에 대한 제어 신호의 공급을 정지하는 표시 제어 회로를 갖는 액정 표시 장치이다.

[0030] 제 1 용량값을 제 2 용량값보다 작게 함으로써, 표시 품질이 우수하고 소비 전력이 적은, 신뢰성이 높은 액정 표시 장치를 실현할 수 있다.

발명의 효과

[0031] 본 발명의 일 형태에 따르면 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0032] 본 발명의 일 형태에 따르면 고속 동작이 가능한 반도체 장치를 제공할 수 있다.

[0033] 본 발명의 일 형태에 따르면 소비 전력이 저감된 반도체 장치를 제공할 수 있다.

[0034] 본 발명의 일 형태에 따르면 표시 품질이 우수한 반도체 장치를 제공할 수 있다.

[0035] 본 발명의 일 형태에 따르면 생산성이 높은 반도체 장치를 제공할 수 있다.

[0036] 본 발명의 일 형태는 상술한 과제 중 적어도 하나를 해결한다.

도면의 간단한 설명

[0037] 도 1a 내지 도 1c는 가변 용량 소자의 일 형태를 설명하는 상면도 및 단면도.

도 2a 내지 도 2c는 가변 용량 소자의 동작을 설명하는 도면.

도 3은 반도체층에 p형 실리콘층을 사용한 MIS형 가변 용량 소자의 CV 특성을 나타내는 도면.

도 4는 액정 표시 장치의 블록도의 일례를 도시하는 도면.

도 5a 및 도 5b는 본 발명의 일 형태를 설명하는 회로도.

도 6a 및 도 6b는 본 발명의 일 형태를 설명하는 상면도 및 단면도.

도 7은 본 발명의 일 형태를 설명하는 상면도.

도 8a 및 도 8b는 본 발명의 일 형태를 설명하는 상면도 및 단면도.

도 9a 내지 도 9d는 본 발명의 일 형태를 설명하는 단면도.

도 10a 및 도 10b는 본 발명의 일 형태를 설명하는 단면도.

도 11a 내지 도 11c는 본 발명의 일 형태를 설명하는 단면도.

도 12a 내지 도 12d는 본 발명의 일 형태를 설명하는 단면도.

도 13a 내지 도 13c는 본 발명의 일 형태를 설명하는 단면도.

도 14a 및 도 14b는 본 발명의 일 형태를 설명하는 상면도 및 단면도.

도 15는 본 발명의 일 형태를 설명하는 도면.

도 16a 내지 도 16f는 전자 기기의 사용 형태의 예를 설명하는 도면.

도 17a 및 도 17b는 가변 용량 소자의 계산 결과를 나타내는 도면.

도 18a 내지 도 18e는 산화물 재료의 결정 구조를 설명하는 도면.

도 19a 내지 도 19c는 산화물 재료의 결정 구조를 설명하는 도면.

도 20a 내지 도 20c는 산화물 재료의 결정 구조를 설명하는 도면.

도 21a 및 도 21b는 산화물 재료의 결정 구조를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0038] 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하에 기재하는 설명에 한정되지 않고 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면들에서 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0039] 또한, 본 명세서 등에 있어서의 ‘제 1’, ‘제 2’, ‘제 3’ 등의 서수사(序數詞)는 구성 요소의 혼동을 피하기 위해서 붙이는 것이며 수(數)적으로 한정하는 것이 아니다.

[0040] 또한, 도면 등에서 나타내는 각 구성의 위치, 크기, 범위 등은 이해를 쉽게 하기 위해서 도시한 것이며, 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서, 개시하는 발명은 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

[0041] 트랜지스터는 반도체 소자의 하나이며, 전류나 전압의 증폭이나 도통 또는 비도통을 제어하는 스위칭 동작 등을 실현할 수 있다. 본 명세서에서의 트랜지스터는 IGFET(Insulated Gate Field Effect Transistor)나 박막 트랜지스터(TFT: Thin Film Transistor)를 포함한다.

[0042] 또한, 트랜지스터의 소스나 드레인의 기능은 상이한 극성의 트랜지스터를 채택하는 경우나 회로 동작에서 전류의 방향이 변화하는 경우 등에는 서로 바꿀 수 있다. 따라서, 본 명세서에 있어서는 소스나 드레인이라는 용어는 바뀌 사용할 수 있는 것으로 한다.

[0043] 또한, 본 명세서 등에 있어서 전극이나 배선이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, 전극은 배선의 일부로서 사용될 수 있으며 반대로 역시 마찬가지이다. 또한, 전극이나 배선이라는 용어는 복수의 전극이나 배선이 일체로 되어 형성되는 경우 등도 포함한다.

- [0044] 또한, 전압이란 2점 사이의 전위차를 가리키며, 전위란 임의의 1점에서의 정전기장 내에 있는 단위 전하가 갖는 정전 에너지(전기적인 위치 에너지)를 가리킨다. 다만, 일반적으로 임의의 1점에서의 전위와 기준이 되는 전위(예를 들어 접지 전위)의 전위차를 단순히 전위 또는 전압이라고 부르며, 전위와 전압이 동의어로서 사용되는 경우가 많다. 따라서, 본 명세서에서는 특별히 지정하는 경우를 제외하며 전위를 전압으로 바꿔도 되고, 전압을 전위로 바꿔도 되는 것으로 한다.
- [0045] (실시형태 1)
- [0046] 본 명세서에서 개시하는 가변 용량 소자의 구성 및 동작에 대해서 도 1a 내지 도 2c를 사용하여 설명하기로 한다. 도 1a는 가변 용량 소자(100)의 상면도이며, 도 1b는 도 1a에 도시하는 섹션 X1-X2 부분의 단면도이다. 또한, 도 1c는 도 1a에 도시하는 섹션 Y1-Y2 부분의 단면도이다.
- [0047] 도 1a 내지 도 1c에 도시하는 가변 용량 소자(100)는 제 1 전극(101) 위에 절연층(102)이 형성되고, 절연층(102) 위에 반도체층(103)이 형성되고, 반도체층(103) 위에 제 2 전극(104)이 형성된다. 제 1 전극(101)과 반도체층(103)이 중첩되는 부분의 면적을 C1로 하고, 제 1 전극(101)과 반도체층(103)과 제 2 전극(104)이 중첩되는 부분의 면적을 C2로 한다.
- [0048] 도 1a 내지 도 1c에서는 반도체층(103)의 단부는 제 1 전극(101)의 단부보다 더 내측에 위치하도록 형성되지만, 반도체층(103)은 제 1 전극(101)의 단부보다 돌출되어 형성되어도 된다.
- [0049] 반도체층(103)에는 인가되는 전계에 따라 n형 및 i형(진성) 중 어느 하나가 되는 반도체 재료, 또는 p형 및 i형 중 어느 하나가 되는 반도체 재료를 사용한다. 이와 같은 반도체 재료로서, 산화물 반도체를 들 수 있다.
- [0050] 예를 들어, In-Ga-Zn계 산화물 반도체는 인가되는 전계에 따라, n형 또는 i형 또는 실질적으로 i형으로 간주되는 상태가 된다.
- [0051] 절연층(102)에는 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 질화알루미늄, 산화질화알루미늄, 질화산화알루미늄, 산화탄탈, 산화갈륨, 산화이트륨, 산화하프늄, 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 도입된 하프늄실리케이트, 질소가 도입된 하프늄알루미늄네이트 등을 사용할 수 있다. 또한, 절연층(102)은 단층에 한정되지 않고, 상이한 종류의 층을 적층한 것이라도 된다. 예를 들어, 절연층 A로서 플라즈마 CVD법에 의해 질화실리콘층(SiN_y ($y>0$))을 형성하고, 절연층 A 위에 절연층 B로서 산화실리콘층(SiO_x ($x>0$))을 적층한 것을 절연층(102)으로 하여도 된다.
- [0052] 제 1 전극(101) 및 제 2 전극(104)은 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 알루미늄(Al), 구리(Cu), 크롬(Cr), 마그네슘(Mg) 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0053] 또한, 제 2 전극(104)과 반도체층(103) 사이의 캐리어의 이동을 양호하게 하기 위해서 제 2 전극(104)과 반도체층(103)의 접촉 상태를 옴믹 접촉으로 할 필요가 있다. 반도체와 금속의 옴믹 접촉은 반도체 재료의 전자 친화력 이하의 일함수를 갖는 금속 재료를 접촉함으로써 실현할 수 있다. 다만, 실리콘 등의 무기 반도체 재료의 전자 친화력은 일반적으로 전극이나 배선으로서 사용되는 금속 재료의 일함수보다 작기 때문에, 반도체와 금속 사이에 별도로 옴믹 접촉층을 형성할 필요가 있다.
- [0054] 한편, 예를 들어 반도체층(103)에 In-Ga-Zn계 산화물 반도체를 사용하는 경우, In-Ga-Zn계 산화물 반도체의 전자 친화력은 4.3eV 정도이기 때문에 제 2 전극(104)에 일함수가 4.1eV 정도인 티타늄을 사용함으로써, 옴믹 접촉층을 별도로 형성하지 않으면서도 옴믹 접촉을 실현할 수 있다. 즉, 반도체 장치의 제작 공정을 간략화시킬 수 있고, 반도체 장치의 생산성을 향상시킬 수 있다.
- [0055] 그 다음에, 반도체층(103)에 전계가 인가되지 않을 때 i형인 In-Ga-Zn계 산화물 반도체를 사용한 가변 용량 소자(100)의 동작에 대해서 도 2a 내지 도 2c를 사용하여 설명하기로 한다. 도 2a 및 도 2b는 도 1a에 도시하는 섹션 X1-X2 부분의 단면도이다. 또한, 반도체층(103)과 제 2 전극(104)의 접촉 상태는 옴믹 접촉이다.
- [0056] 도 2c에 제 1 전극(101)의 전위를 변화시켰을 때의 가변 용량 소자(100)의 용량값의 변화를 설명하는 CV 특성(111)을 도시한다. 도 2c의 가로축은 제 2 전극(104)의 전위를 0V로 하였을 때의 제 1 전극(101)의 전위를 나타내고, 세로축은 용량값을 나타낸다.
- [0057] 제 1 전극(101)의 전위가 일정값 이상이 되면, 반도체층(103)은 n형화되어 n형 반도체층(133)이 된다(도 2a 참조). 또한, 본 명세서에서는 특별한 설명이 없는 경우, 반도체층(103)이 n형 반도체층(133)이 되고 가변 용량

소자(100)의 용량값이 증가하기 시작하는 전위를 임계값 전압이라고 한다.

- [0058] 또한, 도 2c에 도시하는 CV 특성(111)은 제 1 전극(101)의 일함수와, 반도체층(103)의 전자 친화력 및 밴드갭의 관계에 의해, 임계값 전압이 약간 음 방향으로 이동해 있는 경우를 나타낸다.
- [0059] n형 반도체층(133)은 도전체로서 기능하기 때문에 가변 용량 소자(100)의 용량값은 C1의 면적과 유전체층으로서 기능하는 절연층(102)의 두께와 유전율로 결정되는 용량값 F1이 된다(도 2c 참조).
- [0060] 또한, 반도체층(103)에 사용하는 산화물 반도체는 음의 전계가 인가되어도 그대로 i형이다(도 2b 참조).
- [0061] 산화물 반도체는 에너지갭이 3.0eV 이상으로 크고, i형화 또는 실질적으로 i형화된 산화물 반도체의 캐리어 밀도는 일반적인 실리콘 웨이퍼에서의 캐리어 밀도($1 \times 10^{14} / \text{cm}^3$ 정도)와 비교하여, 더 작은 값(예를 들어 $1 \times 10^{12} / \text{cm}^3$ 미만 또는 $1.45 \times 10^{10} / \text{cm}^3$ 미만)이 된다. 그러므로, i형화 또는 실질적으로 i형화된 산화물 반도체는 절연체로 간주할 수 있다.
- [0062] 그러므로, 제 1 전극(101)에 임계값 전압보다 낮은 전위가 인가된 경우에는 절연층(102)뿐만 아니라 반도체층(103)도 유전체층으로서 기능한다. 따라서, 제 1 전극(101)에 임계값 전압보다 낮은 전위가 인가되었을 때의 가변 용량 소자(100)의 용량값은 C2의 면적과 유전체층으로서 기능하는 절연층(102) 및 반도체층(103)의 두께와 유전율로 결정되는 용량값 F2가 된다.
- [0063] 이와 같이 반도체층(103)에 산화물 반도체를 사용한 가변 용량 소자(100)는 전극 사이에 인가되는 전압의 편차에 의한 영향을 받기 어렵고, 제 1 전극(101)과 제 2 전극(104)의 전위차가 임계값 전압보다 낮으면, 제 1 전극(101)의 전위가 변동하더라도 용량값 F2의 용량값을 일정값으로 유지할 수 있다. 또한, 엄밀하게 말하면 용량값 F1과 용량값 F2는 유전체층의 두께와 유전율이 상이하지만, 용량값 F1과 용량값 F2의 용량비는 C1과 C2의 면적비에 의해 거의 결정될 수 있다. 즉, 용량값 F1과 용량값 F2의 용량비를 설계하기 쉬워지고 용량값을 안정적으로 전환할 수 있다. 그러므로, 동작이 안정화되고, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 용량비는 C1과 C2의 면적비에 의해 결정할 수 있기 때문에 용량비가 큰 가변 용량 소자를 실현할 수 있다.
- [0064] 또한, 본 실시형태에서 개시하는 가변 용량 소자는 반도체층에 불순물을 첨가할 필요가 없고 오믹 접촉층을 형성할 필요도 없기 때문에 생산성이 높은 반도체 장치를 제공할 수 있다.
- [0065] 또한, 본 실시형태에서는 가변 용량 소자(100)를 하층으로부터 전극(101), 절연층(102), 반도체층(103), 전극(104)의 순서로 적층하는 예에 대해서 설명하였지만, 적층 순서를 거꾸로 바꿔서 형성하여도 된다.
- [0066] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0067] (실시형태 2)
- [0068] 본 실시형태에서는 실시형태 1에 개시한 가변 용량 소자를 사용한 반도체 장치의 일례로서, 정지 영상과 동영상을 판정하고, 정지 영상 표시에서의 저소비 전력화와 동영상 표시에서의 표시 품질의 향상을 함께 실현시킨 액정 표시 장치의 구성에 대해서 설명하기로 한다.
- [0069] 또한, 동영상이란 복수의 프레임으로 시분할된 복수의 화상을 고속으로 전환함으로써, 사람의 눈에 동영상으로서 인식되는 화상을 가리킨다. 구체적으로는 1초간에 60번(60 프레임) 이상 화상을 전환함으로써, 사람의 눈에 깜박거림이 적은 동영상으로 인식되는 연속된 화상 신호를 말한다. 한편, 정지 영상은 복수의 프레임 기간으로 시분할된 복수의 화상을 고속으로 전환하여 동작시키는 것이지만, 연속된 프레임 기간, 동영상과 달리 예를 들어 n프레임제와 (n+1)프레임제에서 화상 신호가 변화하지 않는 화상 신호를 말한다.
- [0070] 우선, 도 4의 블록도를 사용하여, 본 실시형태에서 개시하는 액정 표시 장치의 구성에 대해서 설명하기로 한다. 본 실시형태에서 개시하는 액정 표시 장치(1000)는 표시 패널(1001), 신호 생성 회로(1002), 기억 회로(1003), 비교 회로(1004), 선택 회로(1005), 표시 제어 회로(1006)를 갖는다.
- [0071] 표시 패널(1001)은 일례로서 구동 회로부(1007), 용량선 구동 회로(1011), 및 화소부(1008)를 갖는다. 구동 회로부(1007)는 주사선 구동 회로(1009A) 및 신호선 구동 회로(1009B)를 갖는다. 주사선 구동 회로(1009A), 신호선 구동 회로(1009B)는 복수의 화소(1100)를 갖는 화소부(1008)를 구동하기 위한 구동 회로이다. 또한, 주사선 구동 회로(1009A), 신호선 구동 회로(1009B), 용량선 구동 회로(1011) 및 화소부(1008)는 같은 기판에 형성되는 트랜지스터에 의해 회로가 구성되어도 된다.
- [0072] 또한, 주사선 구동 회로(1009A), 신호선 구동 회로(1009B), 용량선 구동 회로(1011)의 일부 또는 모두를 화소부

(1008)와 다른 기관 위에 형성하는 구성으로 하여도 된다.

- [0073] 또한, 화소부(1008)에서 이용되는 표시 방식으로서는 프로그레시브(Progressive) 방식이나 인터레이스(Interlace) 방식이나 필드 시퀀셜(Field Sequential) 방식 등을 들 수 있다. 또한, 컬러 표시할 때 화소로 제어하는 색 요소로서는 RGB(R는 적색, G는 녹색, B는 청색을 나타냄) 3색에 한정되지 않는다. 예를 들어 RGBW(W는 백색을 나타냄), 또는 RGB에 옐로우(yellow), 시안(cyan), 마젠타(magenta) 등을 1색 이상 추가한 것이 있다. 또한, 색 요소의 도트 마다의 표시 영역의 크기가 상이하여도 된다. 다만, 본 발명은 컬러 표시의 표시 장치에 한정되지 않고, 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0074] 또한, 도 5a 및 도 5b를 사용하여, 화소부(1008)의 구성의 일례를 설명한다. 화소부(1008)는 주사선 구동 회로(1009A)에 전기적으로 접속되는 m개(m은 1 이상의 정수(整數))의 제 1 배선(1111)과, 신호선 구동 회로(1009B)에 전기적으로 접속되는 n개(n은 1 이상의 정수)의 제 2 배선(1112)과, 용량선 구동 회로(1011)에 전기적으로 접속되는 m개의 제 3 배선(1113)을 갖는다. 주사선 구동 회로(1009A), 신호선 구동 회로(1009B), 용량선 구동 회로(1011)로부터 공급되는 신호는 각각 제 1 배선(1111), 제 2 배선(1112), 제 3 배선(1113)을 통하여 화소(1100)에 입력된다.
- [0075] 또한, 화소부(1008)는 세로 m개(행) × 가로 n개(열)의 매트릭스 형태로 배치된 복수의 화소(1100)를 갖는다. i행 j열의 화소(1100)(i는 1 이상 m 이하의 정수, j는 1 이상 n 이하의 정수)는 제 1 배선(1111-i), 제 2 배선(1112-j), 제 3 배선(1113-i)에 각각 전기적으로 접속된다.
- [0076] 도 5b에 i행 j열의 화소(1100)의 등가 회로도들을 도시한다. 화소(1100)는 트랜지스터(1101)와 용량 소자(1102)와 액정 소자(1103)를 갖는다. 트랜지스터(1101)의 게이트 전극은 제 1 배선(1111-i)에 전기적으로 접속되고, 트랜지스터(1101)의 소스 전극 및 드레인 전극 중 하나는 제 2 배선(1112-j)에 전기적으로 접속되고, 트랜지스터(1101)의 소스 전극 및 드레인 전극 중 다른 하나는 노드(1104)에 전기적으로 접속된다.
- [0077] 용량 소자(1102)의 한쪽 전극은 노드(1104)에 전기적으로 접속되고, 용량 소자(1102)의 다른 쪽 전극은 제 3 배선(1113-i)에 전기적으로 접속된다. 액정 소자(1103)의 한쪽 전극은 노드(1104)에 전기적으로 접속되고, 액정 소자(1103)의 다른 쪽 전극은 전극(1114)에 전기적으로 접속된다. 전극(1114)의 전위는 0V, GND 또는 공통 전위 등의 고정 전위로 하면 된다.
- [0078] 용량 소자(1102)는 실시형태 1에서 개시한 가변 용량 소자(100)를 적용한다. 즉, 가변 용량 소자(100)의 제 1 전극(101)이 제 3 배선(1113-i)에 전기적으로 접속되고, 제 2 전극(104)이 노드(1104)에 전기적으로 접속된다.
- [0079] 주사선 구동 회로(1009A)는 제 1 배선(1111-i)에 트랜지스터(1101)를 온 상태 또는 오프 상태로 하는 신호를 공급한다. 신호선 구동 회로(1009B)는 제 2 배선(1112-j)에 화상 신호를 공급한다. 용량선 구동 회로(1011)는 제 3 배선(1113-i)에 용량 소자(1102)의 용량값을 결정하는 신호를 공급한다.
- [0080] 트랜지스터(1101)는 액정 소자(1103)에 제 2 배선(1112-j)으로부터 공급되는 화상 신호를 입력하는지 아닌지를 선택하는 기능을 갖는다. 제 1 배선(1111-i)에 트랜지스터(1101)를 온 상태로 하는 신호가 공급되면, 트랜지스터(1101)를 통하여 제 2 배선(1112-j)의 화상 신호가 액정 소자(1103)에 공급된다. 액정 소자(1103)는 공급되는 화상 신호(전위)에 따라 광의 투과율이 제어된다. 용량 소자(1102)는 트랜지스터(1101)가 오프 상태인 동안, 액정 소자(1103)에 공급된 화상 신호를 유지하기 위한 유지 용량으로서 기능한다.
- [0081] 유지 용량의 크기를 결정하는 요소로서, 트랜지스터(1101)의 오프 전류가 있다. 유지 용량의 크기가 같다면, 오프 전류를 저감시킴으로써 전압의 유지 기간을 길게 할 수 있다. 또한, 오프 전류를 저감시킴으로써 유지 기간을 변화시키지 않으면서 유지 용량을 작게 할 수 있다.
- [0082] 트랜지스터(1101)의 채널이 형성되는 반도체층에는 단결정 반도체, 다결정 반도체, 미결정 반도체, 비정질 반도체 등을 사용할 수 있다. 반도체 재료로서는, 예를 들어 실리콘, 게르마늄, 실리콘 게르마늄, 탄화실리콘, 또는 갈륨비소 등을 들 수 있다.
- [0083] 또한, 트랜지스터(1101)의 채널이 형성되는 반도체층에 산화물 반도체를 사용할 수도 있다. 산화물 반도체는 에너지갭이 3.0eV 내지 3.5eV 이상으로 크고, 가시광에 대한 투과율도 크다. 또한, 산화물 반도체를 적절한 조건하에서 가공하여 얻어진 트랜지스터에 있어서는 오프 전류를 사용시의 온도 조건하(예를 들어 25℃)에서 100zA(1×10^{-19} A) 이하, 또는 10zA(1×10^{-20} A) 이하, 더 나아가서는 1zA(1×10^{-21} A) 이하로 할 수 있다. 그리고, 소비 전력이 작은 액정 표시 장치를 실현할 수 있기 때문에, 트랜지스터(1101)의 채널이 형성되는 반도체층에 산화물 반도체를 사용하는 것이 바람직하다.

- [0084] 또한, 상술한 바와 같이, 트랜지스터(1101)의 오프 전류를 저감함으로써 유지 기간을 변화시키지 않으면서 유지 용량을 작게 할 수 있기 때문에, 화소(1100)의 개구율을 향상시키고 표시 품질이 우수한 반도체 장치를 실현할 수 있다.
- [0085] 트랜지스터(1101)가 갖는 반도체층과 용량 소자(1102)가 갖는 반도체층을 같은 반도체를 사용하여 형성함으로써, 제작 공정이 경감되어 생산성이 높은 반도체 장치를 실현할 수 있다.
- [0086] 또한, 오프 전류가 매우 작은 트랜지스터를 사용하여 표시 장치 등을 제작한 경우에는, 오프 전류가 작고 전류가 거의 누설되지 않기 때문에 표시 데이터를 유지하는 기간을 길게 할 수 있다.
- [0087] 구체적으로는 산화물 반도체를 구비하는 트랜지스터는 채널 폭이 $10\mu\text{m}$ 인 경우에 있어서, 채널 폭 $1\mu\text{m}$ 당 오프 전류값을 $10\text{aA}/\mu\text{m}(1\times 10^{-17}\text{A}/\mu\text{m})$ 이하로 하거나, 더 나아가서는 $1\text{aA}/\mu\text{m}(1\times 10^{-18}\text{A}/\mu\text{m})$ 이하로 할 수 있다. 오프 상태에서의 전류값(오프 전류값)이 매우 작은 트랜지스터를 화소(1100)를 구성하는 트랜지스터(1101)에 사용함으로써, 영상 신호 등의 전기 신호의 유지 기간을 길게 할 수 있다. 예를 들어 화상 신호의 기록 간격을 10초 이상, 바람직하게는 30초 이상, 더 바람직하게는 1분 이상으로 할 수 있다. 이와 같이 표시 전환이 적은 정지 영상 등의 표시에서는 화소에 신호를 기록하는 횟수를 저감할 수 있기 때문에 저소비 전력화를 도모할 수 있다.
- [0088] 또한, 화상 신호 등 전기 신호의 유지 기간을 길게 하기 위해서는 오프 전류값이 매우 작은 트랜지스터를 사용하는 것에 더하여, 용량 소자(1102)의 용량값을 크게 하는 것도 효과적이다. 용량 소자(1102)의 용량값을 크게 함으로써, 화상 신호 등의 전기 신호의 유지 기간을 더 길게 할 수 있고, 소비 전력을 억제하는 효과를 더 높일 수 있다.
- [0089] 또한, 정지 영상 표시에 있어서, 유지 기간 내의 액정 소자에 인가되는 전압의 유지율을 고려하여 적절히 리플레쉬 동작을 실시하여도 된다. 예를 들어, 액정 소자의 화소 전극에 신호를 기록한 직후의 전압값(초기값)에 대해서 소정의 수준까지 전압이 떨어진 타이밍에서 리플레쉬 동작을 실시하면 된다. 소정의 수준은 초기값을 기준으로서 감박거림을 느끼지 않는 정도의 전압으로 설정하는 것이 바람직하다. 구체적으로는 전압이 초기값에 비해서 10% 낮은 상태, 바람직하게는 3% 낮은 상태가 될 때마다 리플레쉬 동작(재기록 동작)을 실시하는 것이 바람직하다.
- [0090] 또한, 정지 영상 표시시의 유지 기간에 있어서, 대향 전극(공통 전극, COMMON 전극이라고도 함)을 플로팅 상태로 할 수도 있다. 구체적으로는, 대향 전극에 공통 전위를 인가하는 전원과 대향 전극 사이에 스위치를 형성하고, 기록 기간 동안은 스위치를 온시켜서 전원으로부터 대향 전극에 공통 전위를 인가한 후, 나머지 유지 기간에서는 스위치를 오프시켜서 플로팅 상태로 하면 된다. 상기 스위치에 대해서도 상술한 고순도 산화물 반도체를 구비하는 트랜지스터를 사용하는 것이 바람직하다.
- [0091] 또한, 도 4에 도시하는 신호 생성 회로(1002)는 구동 회로부(1007) 및 용량선 구동 회로(1011)를 구동시키기 위한 신호를 생성하는 회로이다. 또한, 신호 생성 회로(1002)는 배선을 통하여 구동 회로부(1007)를 구동시키기 위한 신호를 생성하는 회로이며, 배선을 통하여 기억 회로(1003)에 화상 신호(비디오 전압, 비디오 신호, 비디오 데이터라고도 함)를 출력하는 회로이다. 바꿔 말하면, 구동 회로부(1007) 및 용량선 구동 회로(1011)를 구동시키기 위한 제어 신호, 및 화소부(1008)에 공급하는 화상 신호를 생성하여 출력하기 위한 회로이다.
- [0092] 신호 생성 회로(1002)는 구체적으로는, 제어 신호로서 주사선 구동 회로(1009A), 신호선 구동 회로(1009B) 및 용량선 구동 회로(1011)에 전원 전압인 고전원 전위 VDD, 저전원 전위 VSS를 공급하고, 주사선 구동 회로(1009A)용 스타트 펄스 SP, 클록 신호 CK, 및/또는 신호선 구동 회로(1009B)용 스타트 펄스 SP, 클록 신호 CK를 생성하여 출력한다. 또한, 신호 생성 회로(1002)는 동영상 또는 정지 영상을 표시하기 위한 화상 신호 Data를 기억 회로(1003)에 출력한다.
- [0093] 또한, 신호 생성 회로(1002)는 상술한 구성 외에 화상 신호, 래치 신호 등의 신호를 생성하는 회로라도 된다. 또한, 신호 생성 회로(1002)는 주사선 구동 회로(1009A) 및/또는 신호선 구동 회로(1009B)에는 각 구동 회로의 펄스 신호의 출력을 정지하기 위한 리셋 신호 Res를 출력하는 구성으로 하여도 된다. 또한, 각 신호는 제 1 클록 신호, 제 2 클록 신호 등 복수의 신호로 구성되어도 된다.
- [0094] 또한, 고전원 전위 VDD란 기준 전위보다 높은 전위를 가리키고, 저전원 전위 VSS란 기준 전위 이하의 전위를 가리킨다. 또한, 고전원 전위 및 저전원 전위는 모두 트랜지스터가 동작할 수 있는 정도의 전위인 것이 바람직하다.

- [0095] 또한, 신호 생성 회로(1002)로부터 기억 회로(1003)에 출력되는 화상 신호가 아날로그 신호인 경우에는, A/D 컨버터 등을 통하여 디지털 신호로 변환되어 기억 회로(1003)에 출력되는 구성으로 하면 된다.
- [0096] 기억 회로(1003)는 복수의 프레임에 관한 화상 신호를 기억하기 위한 복수의 프레임 메모리(1010)를 갖는다. 또한, 프레임 메모리는 예를 들어, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 소자를 사용하여 구성하면 된다.
- [0097] 또한, 프레임 메모리(1010)는 프레임 기간마다 화상 신호를 기억하는 구성이면 되고, 프레임 메모리 수에 대해서는 특별히 한정되지 않는다. 또한, 프레임 메모리(1010)의 화상 신호는 비교 회로(1004) 및 선택 회로(1005)에 의해 선택적으로 판독되는 것이다.
- [0098] 비교 회로(1004)는 기억 회로(1003)에 기억된 연속된 프레임 기간의 화상 신호를 선택적으로 판독하고 상기 화상 신호를 비교하여 차분을 검출하기 위한 회로이다. 상기 비교 회로(1004)에서 화상 신호가 비교되어서 차분이 검출되었을 때, 상기 차분을 검출한 연속된 프레임 기간에서는 동영상이라고 판단된다. 한편, 비교 회로(1004)에서 화상 신호가 비교되어서 차분이 검출되지 않았을 때, 상기 차분을 검출하지 않은 연속된 프레임 기간에서는 정지 영상이라고 판단된다. 즉, 비교 회로(1004)에서의 차분의 검출에 따라, 연속된 프레임 기간의 화상 신호가 동영상을 표시하기 위한 화상 신호인지 또는 정지 영상을 표시하기 위한 화상 신호인지를 판단한다. 또한, 상술한 바와 같이 비교됨으로써 얻어지는 차분은 일정한 수준을 초과하였을 때 '차분을 검출하였다'고 판단되도록 설정하여도 된다.
- [0099] 선택 회로(1005)는 복수의 스위치, 예를 들어, 트랜지스터로 형성되는 스위치가 설치되고, 비교 회로에서의 차분의 검출에 의해 동영상을 표시하기 위한 화상 신호가 판단되었을 때, 상기 화상 신호가 기억된 프레임 메모리(1010) 중에서 화상 신호를 선택하여 표시 제어 회로(1006)에 출력하기 위한 회로이다. 또한, 비교 회로(1004)에서 비교한 프레임들 사이에서 화상 신호의 차분이 검출되지 않으면, 연속된 프레임 기간에서 표시되는 화상은 정지 영상이며, 이 경우에는 연속된 프레임 기간의 후반의 프레임의 화상 신호를 표시 제어 회로(1006)에 출력하지 않는 구성으로 하면 된다.
- [0100] 표시 제어 회로(1006)는 화상 신호나 고전원 전위 VDD, 저전원 전위 VSS, 스타트 펄스 SP, 클록 신호 CK, 및 리셋 신호 Res의 제어 신호를 구동 회로부(1007)에 공급 또는 정지하는 동작을 전환하기 위한 회로이다. 또한, 용량선 구동 회로(1011)를 통하여 화소(1100)가 갖는 용량 소자(1102)의 용량값을 결정하는 제어 신호를 공급한다.
- [0101] 구체적으로는, 비교 회로(1004)에 의해 동영상이라고 판단, 즉 연속 프레임 기간의 화상 신호에 차분이 검출된 경우에는, 화상 신호가 선택 회로(1005)로부터 공급되고 표시 제어 회로(1006)를 통하여 구동 회로부(1007)에 공급되고, 제어 신호가 표시 제어 회로(1006)를 통하여 구동 회로부(1007)에 공급되고, 용량선 구동 회로(1011)를 통하여 화소(1100)가 갖는 용량 소자(1102)의 용량값을 동영상 표시용 용량값으로 하는 제어 신호를 공급한다.
- [0102] 한편, 비교 회로(1004)에 의해 정지 영상이라고 판단, 즉 연속 프레임 기간의 화상 신호에 차분이 검출되지 않은 경우에는, 화상 신호가 선택 회로(1005)로부터 공급되지 않기 때문에 표시 제어 회로(1006)로부터 구동 회로부(1007)에 화상 신호가 공급되지 않고, 표시 제어 회로(1006)가 구동 회로부(1007)에 대한 제어 신호의 공급을 정지한다. 이 때, 표시 제어 회로(1006)는 용량선 구동 회로(1011)를 통하여 화소(1100)가 갖는 용량 소자(1102)의 용량값을 정지 영상 표시용 용량값으로 하는 제어 신호를 공급한다.
- [0103] 또한, 정지 영상이라고 판단되는 경우에 있어서, 정지 영상이라고 판단되는 기간이 짧은 경우에는 제어 신호 중 고전원 전위 VDD, 저전원 전위 VSS의 정지를 실시하지 않는 구성으로 하여도 된다. 고전원 전위 VDD, 저전원 전위 VSS를 빈번하게 정지 및 재개하는 것에 기인한 소비 전력의 증대를 저감시킬 수 있어서 바람직하다.
- [0104] 또한, 화상 신호 및 제어 신호의 정지는 화소부(1008)의 각 화소에서 화상 신호를 유지할 수 있는 기간에서 실시하는 것이 바람직하고, 각 화소에서의 유지 기간 후에 화상 신호를 다시 공급하도록 표시 제어 회로(1006)가 이미 공급한 화상 신호 및 제어 신호를 다시 공급하도록 하는 구성으로 하면 된다.
- [0105] 상술한 바와 같이 정지 영상 표시에 있어서, 용량 소자(1102)의 용량이 큰 것이 바람직하다. 한편, 동영상 표시에 있어서는, 화상이 1초간에 60번 이상이나 재기록되기 때문에, 용량 소자(1102)의 용량이 크면 한번의 기록 기간 내에 화상 신호를 확실하게 유지시킬 수 없고 표시 품위를 저하시켜 버린다. 따라서, 동영상 표시에 있어서는, 용량 소자(1102)의 용량을 재기록 기간에 따라 작게 할 필요가 있다. 특히, 동영상 표시를 필드스캔설

방식으로 실시하는 경우에는 화상이 1초간에 180번 이상이나 재기록되기 때문에 용량 소자(1102)의 용량을 더 작게 할 필요가 있다.

- [0106] 하나의 화소 내에 정지 영상 표시용 용량값이 큰 용량 소자와, 동영상 표시용 용량값이 작은 용량 소자를 각각 형성하면, 용량 소자의 점유 면적의 증가에 따라 개구율이 저하되고, 액정 표시 장치의 표시 품질을 저하시키는 요인이 된다. 본 실시형태에 제시하는 액정 표시 장치는 용량 소자(1102)에 실시형태 1에 제시한 가변 용량 소자를 사용함으로써, 용량 소자(1102)의 점유 면적을 증대시키지 않으면서 상이한 용량값을 제어성 좋게 실현할 수 있다.
- [0107] 그 다음에, 정지 영상 표시 기간 또는 동영상 표시 기간에서의 용량 소자(1102)의 동작에 대해서 설명하기로 한다.
- [0108] 정지 영상을 표시하는 기간 동안은 용량선 구동 회로(1011)로부터 제 3 배선(1113)에 용량 소자(1102)의 용량값을 용량값 F1로 하는 전위를 공급한다(도 2c 참조). 이 때, 제 3 배선(1113)에 공급하는 전위는 화상 신호의 최고 전위에 임계값 전압을 합친 전위보다 높은 전위로 한다.
- [0109] 이렇게 함으로써, 화상 신호에 따라 상이한 전위가 노드(1104)에 공급되어도 노드(1104)를 기준으로 하였을 때의 제 3 배선(1113)의 전위를 임계값 전압보다 항상 높은 전위로 할 수 있다. 따라서, 화상 신호에 따라 상이한 전위가 노드(1104)에 공급되어도 용량 소자(1102)의 용량값을 용량값 F1로 할 수 있다.
- [0110] 동영상을 표시하는 기간 동안은 용량선 구동 회로(1011)로부터 제 3 배선(1113)에 용량 소자(1102)의 용량값을 용량값 F2로 하는 전위를 공급한다(도 2c 참조). 이 때, 제 3 배선(1113)에 공급하는 전위는 화상 신호의 최고 전위에 임계값 전압을 합친 전위보다 낮은 전위로 한다. 바람직하게는 화상 신호의 최저 전위보다 낮은 전위로 한다.
- [0111] 이렇게 함으로써, 화상 신호에 따라 상이한 전위가 노드(1104)에 공급되어도 노드(1104)를 기준으로 하였을 때의 제 3 배선(1113)의 전위를 임계값 전압보다 항상 낮은 전위로 할 수 있다. 따라서, 화상 신호에 따라 상이한 전위가 노드(1104)에 공급되어도 용량 소자(1102)의 용량값을 용량값 F2로 할 수 있다.
- [0112] 정지 영상을 표시하는 기간 동안은 용량 소자(1102)의 용량값을 증대시킴으로써, 화소에 신호를 기록하는 횟수를 저감할 수 있기 때문에 저소비 전력화를 도모할 수 있다. 또한, 동영상을 표시하는 기간 동안은 용량 소자(1102)의 용량값을 작게 함으로써 고속 동작이 가능하게 된다.
- [0113] 실시형태 1에서 개시한 가변 용량 소자를 유지 용량에 사용함으로써, 용량 소자의 점유 면적을 증대시키지 않으면서 상이한 용량값을 제어성 좋게 실현할 수 있다. 정지 영상 표시와 동영상 표시에 따라 유지 용량의 용량값을 최적의 것으로 함으로써, 소비 전력이 적고 표시 품질이 우수한 액정 표시 장치를 실현할 수 있다.
- [0114] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0115] (실시형태 3)
- [0116] 본 실시형태에서는 실시형태 2에서 개시한 액정 표시 장치의 화소 구성 및 제작 방법의 일례에 대해서 도 6a 내지 도 10b를 사용하여 설명하기로 한다. 도 6a는 도 5a 및 도 5b에 도시한 화소(1100)에 적용할 수 있는, 화소(200)의 평면 구성을 도시하는 상면도이다. 또한, 도 6b는 도 6a에 도시하는 섹션 A1-A2 부분의 적층 구성을 도시하는 단면도이다. 또한, 도 7은 도 6a에 제시하는 평면 구성을 이해하기 쉽게 하기 위해서 도 6a의 화소에서 화소 전극(214)을 뺀 상태를 도시한다.
- [0117] 본 실시형태에 제시하는 화소는 기판(201) 위에 절연층(202)을 사이에 두고 트랜지스터(220)와 용량 소자(310)가 형성된다. 트랜지스터(220)는 게이트 전극(204) 위에 절연층(205)이 형성되고, 절연층(205) 위에 반도체층(207)이 형성된다. 또한, 반도체층(207) 위에 소스 전극(209)과 드레인 전극(210)이 형성되고, 반도체층(207)의 일부분에 접촉하여 소스 전극(209)과 드레인 전극(210) 위에 절연층(211)이 형성된다. 트랜지스터(220)는 채널 형성 영역이 게이트 전극보다 위쪽 층에 형성되는 하부 게이트(bottom gate) 구조의 트랜지스터이다.
- [0118] 용량 소자(310)는 전극(203) 위에 절연층(205)이 형성되고, 절연층(205) 위에 반도체층(206)이 형성된다. 또한, 반도체층(206)의 일부분에 접촉하여 전극(208)이 형성되고, 반도체층(206)의 다른 일부분에 접촉하여 전극(208) 위에 절연층(211)이 형성된다. 용량 소자(310)는 실시형태 1에서 개시한 가변 용량 소자(100)와 같은 구성이 적용된다. 또한, 도 6a 내지 도 7에서는 반도체층(206)의 단부가 전극(203)의 단부보다 더 내측에 위치하도록 형성되지만, 반도체층(206)은 전극(203)의 단부보다 돌출되어 형성되어도 된다.

- [0119] 또한, 절연층(211) 위에 절연층(212)이 형성되고, 절연층(212) 위에 화소 전극(214)이 형성된다. 화소 전극(214)은 절연층(211)과 절연층(212)에 형성된 콘택트홀(213)을 통하여 드레인 전극(210)에 전기적으로 접속된다. 또한, 드레인 전극(210)과 전극(208)은 전기적으로 접속된다.
- [0120] 또한, 트랜지스터(220)가 갖는 게이트 전극(204)은 제 1 배선(224-i)에 전기적으로 접속되고, 소스 전극(209)은 제 2 배선(228-j)에 전기적으로 접속된다. 또한, 용량 소자(310)가 갖는 전극(203)은 제 3 배선(223-i)에 전기적으로 접속된다.
- [0121] 또한, 제 1 배선(224-i), 제 2 배선(228-j), 및 제 3 배선(223-i)은 각각 도 5a에 도시하는 제 1 배선(1111-i), 제 2 배선(1112-j), 및 제 3 배선(1113-i)에 상당한다.
- [0122] 본 실시형태에 제시하는 트랜지스터(220)는 드레인 전극(210)을 U자형(C자형, 역 C자형, 또는 말굽형)의 소스 전극(209)으로 둘러싼 형상으로 한다. 이와 같은 형상으로 함으로써, 트랜지스터의 점유 면적이 작더라도 충분한 채널 폭을 확보할 수 있고 트랜지스터가 도통 상태일 때 흐르는 전류(온 전류라고도 함)의 양을 증가시킬 수 있다.
- [0123] 또한, 화소 전극(214)에 전기적으로 접속되는 드레인 전극(210)과, 게이트 전극(204) 사이에 생기는 기생 용량이 크면 피드스루(feedthrough)의 영향을 받기 쉬워지기 때문에 액정 소자에 공급된 전위를 정확히 유지할 수 없고 표시 품질이 저하되는 요인이 된다. 본 실시형태에 제시하는 바와 같이, 소스 전극(209)을 U자형으로 하여 드레인 전극(210)을 포함하는 형상으로 함으로써, 충분한 채널 폭을 확보하면서 드레인 전극(210)과 게이트 전극(204) 사이에 생기는 기생 용량을 작게 할 수 있기 때문에, 액정 표시 장치의 표시 품질을 향상시킬 수 있다.
- [0124] 화소 전극(214)을 제 1 배선(224-i), 제 1 배선(224-i+1), 제 2 배선(228-j), 및 제 2 배선(228-j+1)의 일부와 겹치도록 형성하고, 제 1 배선(224-i), 제 1 배선(224-i+1), 제 2 배선(228-j), 및 제 2 배선(228-j+1)을 차광층으로서 사용함으로써, 디스클리네이션(disclination)이나 광 누설 등에 기인한 콘트라스트의 저하를 억제하고 액정 표시 장치의 표시 품질을 향상시킬 수 있다.
- [0125] 다음에, 도 6a 내지 도 7에 도시하는 구성과 다른 화소 구성예에 대해서 도 8a 및 도 8b를 사용하여 설명하기로 한다. 도 8a는 화소(250)의 평면 구성을 도시하는 상면도이다. 도 8b는 도 8a에 도시하는 채선 B1-B2 부분의 적층 구성을 도시하는 단면도이다. 도 8a 및 도 8b에 도시하는 화소(250)는 도 6a 내지 도 7에서 도시하는 화소(200)와 화소 전극의 구성이 상이하다. 도 8a 및 도 8b에 도시하는 화소(250)는 투광성을 갖는 화소 전극(214) 위에 광을 반사하는 화소 전극(215)을 형성함으로써 반투과형 화소 구성으로 한 것이다. 화소의 일부분을 반사형으로 함으로써, 비교적 밝은 환경하에서도 인식성이 우수한 액정 표시 장치로 할 수 있다.
- [0126] 또한, 화소(250)에서는 화소 전극(215)에 중첩되는 절연층(212)의 표면에 요철을 형성하고, 그 요철 형상을 화소 전극(215)에 반영시킨다. 화소 전극(215)의 표면에 요철을 형성함으로써, 입사된 외광을 난반사시켜 보다 양호한 표시를 실현할 수 있다. 따라서, 반사 표시에서의 시인성이 향상된다.
- [0127] 그 다음에, 도 6a 내지 도 7을 사용하여 설명한 액정 표시 장치의 화소부의 제작 방법에 대해서 도 9a 내지 도 10b를 사용하여 설명하기로 한다. 또한, 도 9a 내지 도 10b에 도시하는 단면 A1-A2는 도 6a 내지 도 7에 도시하는 채선 A1-A2 부분의 단면도이다.
- [0128] 우선, 기판(201) 위에 하지층이 되는 절연층(202)을 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하의 두께로 형성한다. 기판(201)은 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있을 만큼의 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 기판이 투광성을 가질 필요가 없는 경우에는, 스테인리스 합금 등의 금속 기판 표면에 절연층을 형성한 기판을 사용하여도 된다. 유리 기판으로서, 예를 들어 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리 또는 알루미노 실리케이트 유리 등의 무알칼리(non-alkali) 유리 기판을 사용하면 된다. 상술한 기판 외에 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 산화붕소(B_2O_3)와 비교하여 산화바륨(BaO)을 많이 함유시킴으로써, 보다 실용적인 내열 유리를 얻을 수 있다. 따라서, B_2O_3 보다 BaO 를 더 많이 함유하는 유리 기판을 사용하는 것이 바람직하다.
- [0129] 또한, 기판(201)으로서 제 3 세대(550mm×650mm), 제 3.5 세대(600mm×720mm, 또는 620mm×750mm), 제 4 세대(680mm×880mm, 또는 730mm×920mm), 제 5 세대(1100mm×1300mm), 제 6 세대(1500mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2400mm), 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등의 유리 기판을 사용할 수 있다.

- [0130] 절연층(202)은 질화알루미늄, 산화질화알루미늄, 질화실리콘, 산화실리콘, 질화산화실리콘 또는 산화질화실리콘 중에서 선택된 하나 또는 복수의 절연층을 적층한 구조에 의해 형성할 수 있고, 기판(201)으로부터 불순물 원소가 확산되는 것을 방지하는 기능을 갖는다. 또한, 본 명세서에 있어서, 질화산화실리콘이란 그 조성으로서 산소보다 질소의 함유량이 많은 것이고, 바람직하게는 RBS 및 HFS를 사용하여 측정된 경우에, 조성 범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, 실리콘이 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.%의 범위로 함유되는 것을 의미한다. 절연층(202)은 스퍼터링법, CVD법, 도포법, 인쇄법 등을 적절히 이용하여 형성할 수 있다.
- [0131] 본 실시형태에서는 절연층(202)으로서 질화실리콘과 산화실리콘의 적층을 사용한다. 구체적으로는 기판(201) 위에 질화실리콘을 50nm의 두께로 형성하고, 상기 질화실리콘 위에 산화실리콘을 150nm의 두께로 형성한다. 또한, 절연층(202) 내에 인(P)이나 붕소(B)가 함유되어도 된다.
- [0132] 또한, 절연층(202)에 염소, 불소 등의 할로젠 원소를 함유시킴으로써, 기판(201)으로부터 불순물 원소가 확산되는 것을 방지하는 기능을 더 향상시킬 수 있다. 절연층(202)에 함유되는 할로젠 원소의 농도는 SIMS(2차 이온 질량 분석계)를 사용한 분석에 의해 얻어지는 농도 피크에 있어서, $1 \times 10^{15} / \text{cm}^3$ 이상 $1 \times 10^{20} / \text{cm}^3$ 이하로 하면 된다.
- [0133] 또한, 절연층(202)으로서 산화갈륨을 사용하여도 된다. 또한, 절연층(202)을 산화갈륨과 상기 절연층의 적층 구조로 하여도 된다. 산화갈륨은 대전하기 어려운 재료이기 때문에, 절연층의 전하 축적(charge buildup)에 따른 임계값 전압의 변동을 억제할 수 있다.
- [0134] 다음에, 절연층(202) 위에 스퍼터링법, 진공 증착법, 또는 도금법을 이용하여 100nm 이상 500nm 이하, 바람직하게는 200nm 이상 300nm 이하의 두께로 도전층을 형성하고, 제 1 포토리소그래피 공정으로 레지스트 마스크를 형성하고, 도전층을 에칭에 의해 선택적으로 제거함으로써, 게이트 전극(204), 전극(203)을 형성한다(도 9a 참조). 또한, 도시하지 않지만, 이 때 제 1 배선(224-i) 및 제 3 배선(223-i) 등의 배선층도 동시에 형성된다.
- [0135] 게이트 전극(204), 전극(203) 등을 형성하기 위한 도전층은 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc), 마그네슘(Mg) 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0136] 도전층은 배선으로서도 형성되기 때문에 저저항 재료인 Al이나 Cu를 이용하는 것이 바람직하다. Al이나 Cu를 이용함으로써 신호 지연을 저감하고 고화질화를 실현할 수 있다. 또한, Al은 내열성이 낮고 힐록(hillock), 위스커(whisker), 또는 마이그레이션(migration)에 의한 불량 발생하기 쉽다. Al의 마이그레이션을 방지하기 위해서 Al에 Mo, Ti, W 등 Al보다 용점이 높은 금속 재료를 적층하는 것이 바람직하다. 또한, 도전층에 Al을 함유하는 재료를 사용하는 경우에는 이후의 공정에서의 공정 최고 온도를 380℃ 이하로 하는 것이 바람직하고, 350℃ 이하로 하면 더 바람직하다.
- [0137] 또한, 도전층에 Cu를 사용하는 경우에도 마이그레이션에 기인한 불량이나 Cu 원소의 확산을 방지하기 위해서 Mo, Ti, W 등의 Cu보다 용점이 높은 금속 재료를 적층하는 것이 바람직하다. 또한, 도전층에 Cu를 함유하는 재료를 사용하는 경우에는 이후의 공정에서의 공정 최고 온도를 450℃ 이하로 하는 것이 바람직하다.
- [0138] 본 실시형태에서는 도전층으로서 절연층(202) 위에 두께 5nm의 Ti층을 형성하고, Ti층 위에 두께 250nm의 Cu층을 형성한다. 그리고 나서, 제 1 포토리소그래피 공정에 의해 도전층을 에칭으로 선택적으로 제거하고, 게이트 전극(204), 전극(203)을 형성한다(도 9a 참조). 또한, 형성된 게이트 전극(204), 전극(203)의 단부가 테이퍼 형상이면, 나중에 적층될 절연층이나 도전층의 피복성이 향상되기 때문에 바람직하다.
- [0139] 또한, 포토리소그래피 공정에 사용하는 레지스트 마스크는 잉크젯법으로 형성하여도 된다. 잉크젯법에서는 포토마스크를 사용하지 않기 때문에 제작 비용을 더 저감할 수 있다. 또한, 레지스트 마스크는 에칭 공정 후에 박리하기로 하고, 각 포토리소그래피 공정의 설명은 생략하기로 한다.
- [0140] 또한, 특별한 설명이 없는 경우에는, 본 명세서에서 말하는 포토리소그래피 공정에는 레지스트 마스크의 형성 공정과, 도전층 또는 절연층의 에칭 공정과 레지스트 마스크의 박리 공정이 포함되는 것으로 한다.
- [0141] 다음에, 게이트 전극(204), 전극(203) 위에 절연층(205)을 50nm 이상 800nm 이하, 바람직하게는 100nm 이상 600nm 이하의 두께로 형성한다. 절연층(205)은 게이트 절연층으로서도 기능한다. 절연층(205)에는 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄, 질화알루미늄, 산화질화알루미늄, 질

화산화알루미늄, 산화탄탈, 산화갈륨, 산화이트륨, 산화란탄, 산화하프늄, 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 도입된 하프늄실리케이트, 질소가 도입된 하프늄 알루미늄네이트 등을 사용할 수 있고, 플라즈마 CVD법이나 스퍼터링법 등으로 형성할 수 있다. 또한, 절연층(205)은 단층에 한정되지 않고 상이한 층의 적층이라도 된다. 예를 들어, 절연층 A로서 플라즈마 CVD법에 의해 질화실리콘층(SiN_y ($y>0$))을 형성하고, 절연층 A 위에 절연층 B로서 산화실리콘층(SiO_x ($x>0$))을 적층시켜 절연층(205)으로 하여도 된다.

[0142] 절연층(205)의 형성은 스퍼터링법이나 플라즈마 CVD법 등 이외에, μ 파(예를 들어 주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD법 등의 형성 방법을 적용할 수 있다.

[0143] 본 실시형태에서는 절연층(205)으로서 질화실리콘과 산화실리콘의 적층을 사용한다. 구체적으로는, 게이트 전극(204) 위에 질화실리콘을 50nm의 두께로 형성하고, 상기 질화실리콘 위에 산화실리콘을 100nm의 두께로 형성한다.

[0144] 또한, 절연층(205)은 보호층으로서도 기능한다. Cu를 포함하는 게이트 전극(204)을 질화실리콘을 포함하는 절연층으로 덮는 구성으로 함으로써 게이트 전극(204)으로부터 Cu가 확산되는 것을 방지할 수 있다.

[0145] 또한, 절연층(205)에 이후에 형성될 산화물 반도체와 같은 종류의 성분을 함유하는 재료를 사용하여도 된다. 절연층(205)을 상이한 층의 적층으로 하는 경우에는, 산화물 반도체에 접촉하는 층을 산화물 반도체와 같은 종류의 성분을 함유하는 재료로 형성하면 된다. 이와 같은 재료는 산화물 반도체와 성질이 잘 맞고, 이 재료를 절연층(205)에 사용함으로써 산화물 반도체와의 계면 상태를 양호한 상태로 유지할 수 있기 때문이다. 여기서, '산화물 반도체와 같은 종류의 성분'이란 산화물 반도체의 구성 원소로부터 선택되는 하나 또는 복수의 원소를 의미한다. 예를 들어, 산화물 반도체가 In-Ga-Zn계 산화물 반도체 재료로 구성되는 경우에는, 같은 종류의 성분을 포함하는 재료로서는 산화갈륨 등이 있다.

[0146] 또한, 절연층(205)을 적층 구조로 하는 경우에는 산화물 반도체와 같은 종류의 성분을 포함하는 재료로 이루어진 막과, 상기 막의 성분과 다른 재료를 포함하는 막을 적층한 구조로 하여도 된다.

[0147] 또한, 산화물 반도체층에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서 산화물 반도체층을 형성하는 전처리로서 스퍼터링 장치의 예비 가열실에서 기판(201)을 예비 가열함으로써 기판(201)이나 절연층(205)에 흡착된 수소, 수분 등의 불순물을 탈리시켜 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치되는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다. 또한, 이 예비 가열은 절연층(205)을 형성하기 전에 게이트 전극(204), 전극(203) 등까지 형성한 기판(201)에도 마찬가지로 실시하여도 된다.

[0148] 본 실시형태에서는 반도체층(206) 및 반도체층(207)에 산화물 반도체를 사용한다. 산화물 반도체는 스퍼터링법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 이용하여 형성할 수 있다.

[0149] 산화물 반도체층은 바람직하게는 스퍼터링법을 이용하며, 기판 가열 온도를 100℃ 이상 600℃ 이하, 바람직하게는 150℃ 이상 550℃ 이하, 더 바람직하게는 200℃ 이상 500℃ 이하로 하고, 스퍼터링 가스로서는 산소 가스를 사용하여 형성한다. 산화물 반도체층의 두께는 1nm 이상 40nm 이하, 바람직하게는 3nm 이상 20nm 이하로 한다. 형성시의 기판 가열 온도가 높을수록 얻어지는 산화물 반도체층 내의 불순물 농도는 낮아진다.

[0150] 또한, 산화물 반도체층을 트랜지스터의 채널 형성 영역으로서 사용하는 경우에는, 산화물 반도체층이 얇을수록 트랜지스터의 단채널 효과가 저감된다. 다만, 지나치게 얇게 하면, 계면 산란의 영향이 커져 전계 효과 이동도가 저하될 수 있다.

[0151] 산화물 반도체로서는 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속 산화물인 In-Ga-Zn계 산화물, In-Sn-Zn계 산화물, In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물이나, In계 산화물, Sn계 산화물, Zn계 산화물 등을 사용할 수 있다. 또한, 상기 산화물 반도체에 산화실리콘을 함유시켜도 된다.

[0152] 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히, In과 Zn 양쪽 모두를 함유하는 것이 바람직하다. 산화물 반도체를 i형(진성)으로 하기 위해서 이후에 실시하는 탈수화 또는 탈수소화 처리 및 산소의 공급은 유효적이다.

[0153] 또한, 산화물 반도체를 트랜지스터의 채널 형성 영역으로서 사용하는 경우에는, 트랜지스터의 전기 특성의 편차

를 저감하기 위한 안정제(stabilizer)로서 상술한 원소에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 안정제로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 안정제로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 안정제로서 알루미늄(Al)을 갖는 것이 바람직하다.

- [0154] 또한, 다른 안정제로서, 란타노이드(lanthanoid)인 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 호르븀(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수 종류를 가져도 된다.
- [0155] 예를 들어, 산화물 반도체로서 산화인듐, 산화주석, 산화아연, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0156] 또한, 예를 들어 In-Ga-Zn계 산화물 반도체란 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물 반도체라는 의미이며, In과 Ga와 Zn의 조성비는 특별히 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소를 함유하여도 된다.
- [0157] 또한, 산화물 반도체로서는 화학식 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 박막을 사용할 수 있다. 여기서, M은 Sn, Zn, Fe, Ga, Al, Mn 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $\text{In}_2\text{SnO}_5(\text{ZnO})_n(n>0)$ 으로 표기되는 재료를 사용하여도 된다.
- [0158] 산화물 반도체는 단결정이든 비단결정이든 둘 다 된다. 비단결정인 경우에는 비정질이든 다결정이든 둘 다 된다. 또한, 비정질 내에 결정성을 갖는 부분을 포함하는 구조이든 비정질이 아니든 상관없다.
- [0159] 비정질 상태의 산화물 반도체는 평탄한 표면을 비교적 용이하게 가질 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작하였을 때 계면 산란을 억제할 수 있고 비교적 높은 이동도를 비교적 용이하게 가질 수 있다.
- [0160] 또한, 결정성을 갖는 산화물 반도체에서는 벌크 내 결함을 더 저감할 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 가질 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는 평균면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하의 표면 위에 형성하면 된다.
- [0161] 본 실시형태에서는 산화물 반도체층으로서 In-Ga-Zn계 산화물 타깃을 사용하여 스퍼터링법에 의해 30nm의 두께로 산화물 반도체를 형성한다. 또한, 산화물 반도체층은 희(稀)가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 스퍼터링법에 의해 형성할 수 있다. 스퍼터링 가스를 희가스와 산소의 혼합 가스로 하는 경우에는 산소 가스의 비율을 30 vol.% 이상, 바람직하게는 50 vol.% 이상, 더 바람직하게는 80 vol.% 이상으로 한다.
- [0162] 산화물 반도체층으로서 In-Ga-Zn계 산화물 재료를 스퍼터링법으로 형성하기 위한 타깃으로서, 예를 들어, $\text{In}_2\text{O}_3: \text{Ga}_2\text{O}_3: \text{ZnO}=1:1:1$ [mol수 비율]의 조성비를 갖는 금속 산화물 타깃을 사용하여 In-Ga-Zn-O층을 형성한다. 또한, 상술한 타깃의 재료 및 조성에 한정되지 않고, 예를 들어 $\text{In}_2\text{O}_3: \text{Ga}_2\text{O}_3: \text{ZnO}=1:1:2$ [mol수 비율]의 조성비를 갖는 금속 산화물 타깃을 사용하여도 된다. 또한, 원자수 비율이 In: Ga: Zn=1:1:1, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 또는 3:1:4로 나타내어지는 In-Ga-Zn계 금속 산화물 타깃을 사용하여도 된다.
- [0163] 또한, 산화물 반도체층으로서 In-Sn-Zn계 산화물 재료를 스퍼터링법으로 형성하는 경우에는, 원자수 비율이 In: Sn: Zn=1:1:1, 2:1:3, 1:2:2, 또는 20:45:35로 나타내어지는 In-Sn-Zn계 금속 산화물 타깃을 사용하는 것이 바람직하다.
- [0164] 또한, 금속 산화물 타깃의 상대 밀도는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 형성한 산화물 반도체층을 치밀한 막으로 할 수 있다.
- [0165] 산화물 반도체층을 형성할 때 사용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다. 예를 들어, 스퍼터링 가스로서 아르곤을 사용하는 경우에는 순도

9N, 이슬점 -121°C , 함유 H_2O 량 0.1ppb 이하, 함유 H_2 량 0.5ppb 이하가 바람직하고, 산소를 사용하는 경우에는 순도 8N, 이슬점 -112°C , 함유 H_2O 량 1ppb 이하, 함유 H_2 량 1ppb 이하가 바람직하다.

[0166] 산화물 반도체층의 형성은 감압 상태로 유지된 성막실(成膜室) 내에 기판을 유지하고, 기판 온도를 100°C 이상 600°C 이하, 바람직하게는 300°C 이상 500°C 이하로 하여 실시한다. 또한, 제 1 포토리소그래피 공정에 의해 형성된 전극 또는 배선에 Al이 사용되는 경우에는 기판 온도를 380°C 이하, 바람직하게는 350°C 이하로 하고, 또 제 1 포토리소그래피 공정에 의해 형성된 전극 또는 배선에 Cu가 사용되는 경우에는 기판 온도를 450°C 이하로 한다.

[0167] 기판을 가열하면서 형성함으로써, 형성한 산화물 반도체층에 포함되는 수소, 수분, 수소화물, 또는 수산화물 등의 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 기인한 손상도 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 사용하여 산화물 반도체층을 형성한다.

[0168] 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프, 예를 들어 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프(Titanium Sublimation Pump)를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 분자 펌프에 콜드트랩(cold trap)을 설치한 것이라도 된다. 크라이오 펌프를 사용해서 성막실을 배기하면, 예를 들어, 수소 원자, 물(H_2O) 등 수소 원자를 함유하는 화합물(더 바람직하게는 탄소 원자를 함유하는 화합물도) 등이 배기되기 때문에, 상기 성막실에서 형성한 산화물 반도체층에 함유되는 불순물의 농도를 저감할 수 있다.

[0169] 형성 조건의 일례로서는, 기판과 타겟 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 전력 0.5kW, 스퍼터링 가스로서 산소(산소 유량 비율 100%)를 이용하는 조건이 적용된다. 또한, 펄스 직류 전원을 사용하면, 형성시에 발생하는 분말 물질(파티클, 먼지라고도 함)을 경감할 수 있고 막 두께 분포도 균일하게 되기 때문에 바람직하다.

[0170] 또한, 산화물 반도체층 내에 함유되는 나트륨(Na), 리튬(Li), 칼륨(K) 등의 알칼리 금속의 농도는 Na는 $5 \times 10^{16} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, Li는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, K는 $5 \times 10^{15} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하로 하는 것이 바람직하다.

[0171] 산화물 반도체는 불순물에 대해서 둔감하여 막 내에 금속 불순물이 다수 포함되어도 문제가 없고, 나트륨과 같은 알칼리 금속이 다수 포함되는 저렴한 소다 석회 유리(soda-lime glass)도 사용할 수 있다고 지적되어 있다(Kamiya, Nomura, and Hosono, "Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status", *KOTAI BUTSURI (SOLID STATE PHYSICS)*, 2009, Vol. 44, pp. 621-633). 그러나, 이와 같은 지적은 적절하지 않다.

[0172] 알칼리 금속 및 알칼리 토금속은 산화물 반도체층을 사용한 트랜지스터에 대해서는 악영향을 미치는 불순물이고 적은 것이 좋다. 특히 알칼리 금속 중 Na는 산화물 반도체층에 접촉하는 절연층이 산화물인 경우에는 그 내로 확산되어 Na^+ 가 된다. 또한, 산화물 반도체층 내에 있어서는 금속과 산소의 결합을 분단하거나 결합 사이에 들어간다. 결과적으로 트랜지스터 특성의 열화(예를 들어 노멀리온화(normally on化)(트랜지스터의 임계값이 음 방향으로 이동함), 이동도 저하 등)를 초래한다. 더구나, 특성 편차의 원인까지 된다. 이와 같은 문제는 특히 산화물 반도체층 내의 수소 농도가 충분히 낮은 경우에 현저하게 나타난다. 그러므로, 산화물 반도체층 내의 수소 농도가 $5 \times 10^{19} \text{ cm}^{-3}$ 이하, 특히 $5 \times 10^{18} \text{ cm}^{-3}$ 이하인 경우에는 알칼리 금속의 농도를 상술한 값으로 하는 것이 강하게 요구된다.

[0173] 다음에, 제 1 가열 처리를 실시한다. 이 제 1 가열 처리에 의해 산화물 반도체층 내의 과잉 수소(물이나 수산기를 포함함)를 제거(탈수화 또는 탈수소화)하여 산화물 반도체층의 구조를 개선하며 산화물 반도체층 내의 불순물 농도를 저감할 수 있다.

[0174] 제 1 가열 처리는 감압 분위기하, 질소나 회가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 조건조 공기(CRDS(공동 광자 감쇠 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(이슬점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기) 분위기하에서, 250°C 이상 750°C 이하, 또는 400°C 이상 기판의 왜곡점 미만의 온도에서 실시한다. 다만, 제 1 포토리소그래피 공정에 의해 형성된 전극 또는 배선에 Al이 사용되는 경우에는 가열 처리의 온도를 380°C 이하, 바람직하게는 350°C 이하로 하

고, 또 제 1 포토리소그래피 공정에 의해 형성된 전극 또는 배선에 Cu가 사용되는 경우에는 가열 처리의 온도를 450℃ 이하로 한다. 본 실시형태에서는 가열 처리 장치의 하나인 전기로에 기판을 도입하여, 산화물 반도체층에 대해서 질소 분위기하에서 450℃, 1시간의 가열 처리를 실시한다.

[0175] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비하여도 된다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발광하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 사용해서 가열 처리를 실시하는 장치이다. 고온의 가스로서는 아르곤 등의 회가스 또는 질소와 같은 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가 사용된다.

[0176] 예를 들어, 제 1 가열 처리로서, 고온으로 가열된 불활성 가스 내에 기판을 이동시켜서 넣고, 몇 분간 가열한 후, 기판을 이동시켜서 고온으로 가열한 불활성 가스로부터 꺼내는 GRTA를 실시하여도 된다.

[0177] 질소 또는 회가스 등의 불활성 가스, 산소, 초진조 공기의 가스 분위기하에서 가열 처리를 실시하는 경우에는, 상술한 분위기에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 산소 또는 회가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

[0178] 제 1 가열 처리는 감압 분위기 또는 불활성 분위기하에서 가열 처리를 실시한 후, 온도를 유지하면서 산화성 분위기로 바꿔 추가로 가열 처리를 실시하는 것이 바람직하다. 이와 같이 감압 분위기 또는 불활성 분위기하에서 가열 처리를 실시하면, 산화물 반도체층 내의 불순물 농도를 저감할 수 있는 반면, 이와 동시에 산소 결손도 발생하지만, 이 때 발생한 산소 결손을 산화성 분위기하에서의 가열 처리를 함으로써 저감할 수 있기 때문이다.

[0179] 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 충분한 산소의 공급에 의해 산소 결손에 기인한 에너지 갭 내의 결함 준위가 저감된 산화물 반도체층에서는, 캐리어 밀도가 $1 \times 10^{12}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1.45 \times 10^{10}/\text{cm}^3$ 미만이 된다. 예를 들어, 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1μm)당 값)는 100zA/μm(1zA(zepto 암페어)는 1×10^{-21} A) 이하, 바람직하게는 10zA/μm 이하가 된다. 또한, 85℃에서는 100zA/μm(1×10^{-19} A/μm) 이하, 바람직하게는 10zA/μm(1×10^{-20} A/μm) 이하가 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체층을 사용함으로써, 매우 우수한 오프 전류 특성을 갖는 트랜지스터(220)를 얻을 수 있다.

[0180] 또한, 고순도화된 산화물 반도체층을 갖는 트랜지스터는 트랜지스터의 임계값 전압이나 온 전류 등의 전기적 특성에 온도 의존성을 거의 볼 수 없다. 또한, 광열화에 기인한 트랜지스터 특성의 변동도 적다.

[0181] 이와 같이 고순도화되고 또 산소 결손이 저감됨으로써 전기적으로 i형화(진성화)된 산화물 반도체층을 갖는 트랜지스터는 전기적 특성의 변동이 억제되고 전기적으로 안정적이다. 따라서, 안정된 전기적 특성을 갖는 산화물 반도체층을 사용한 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0182] 다음에 산화물 반도체층을 제 2 포토리소그래피 공정에 의해 선택적으로 에칭으로 제거하여 반도체층(206) 및 반도체층(207)을 형성한다(도 9b 참조). 또한, 반도체층(206) 및 반도체층(207)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성하여도 된다. 레지스트 마스크를 잉크젯법으로 형성하면, 포토마스크를 사용하지 않기 때문에 제조 비용을 저감할 수 있다.

[0183] 또한, 절연층(205)에 콘택트홀을 형성하는 경우에는, 그 공정은 산화물 반도체층의 가공시와 동시에 실시할 수 있다.

[0184] 산화물 반도체층의 에칭은 드라이 에칭 및 웨트 에칭 중 어느 하나를 이용하여도 되고, 양쪽 모두 이용하여도 된다. 예를 들어 산화물 반도체층의 웨트 에칭에 사용하는 에칭액으로는 인산과 아세트산과 질산을 혼합한 용액 등을 사용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO. INC 제조)을 사용하여도 된다.

[0185] 또한, 제 1 가열 처리는 제 2 포토리소그래피 공정이 끝나고 나서 실시하여도 된다.

[0186] 다음에, 반도체층(206) 및 반도체층(207) 위에 소스 전극(209), 드레인 전극(210), 및 전극(208)이 되는 도전층을 형성한다. 소스 전극(209), 드레인 전극(210), 및 전극(208)에 사용되는 도전층은 게이트 전극(204) 및 전

극(203)과 같은 재료 및 방법으로 형성할 수 있다. 또한, 소스 전극(209), 드레인 전극(210), 및 전극(208)에 사용되는 도전층을 도전성 금속 산화물로 형성하여도 된다. 도전성 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐-산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기함), 산화인듐-산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 상기 금속 산화물 재료에 산화실리콘을 함유시킨 금속 산화물을 사용할 수 있다.

[0187] 본 실시형태에서는 도전층으로서 반도체층(206) 및 반도체층(207) 위에 두께 5nm의 Ti층을 형성하고, Ti층 위에 두께 250nm의 Cu층을 형성한다. 그 후, 제 3 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 도전층을 선택적으로 에칭하여 제거함으로써 소스 전극(209), 드레인 전극(210), 및 전극(208)을 형성한다(도 9c 참조). 또한, 도시하지 않지만, 이 때 제 2 배선(228-j) 등의 배선층도 동시에 형성된다.

[0188] 다음에, 소스 전극(209), 드레인 전극(210), 및 전극(208) 위에 절연층(211)을 형성한다(도 9d 참조). 절연층(211)은 절연층(202) 또는 절연층(205)과 같은 재료 및 방법으로 형성할 수 있다. 또한, 수소나 물 등이 혼입되기 어렵다는 점에서는 스퍼터링법을 이용해서 형성하는 것이 적합하다. 절연층(211)에 수소가 포함되면, 그 수소가 산화물 반도체층에 침입하거나 또는 수소에 의해 산화물 반도체층 속으로부터 산소가 추출되어서 산화물 반도체층이 저저항화(n형화)될 우려가 있다. 따라서, 산화물 반도체층을 i형화 또는 실질적으로 i형화로 하는 경우에는 절연층(211)을 수소 및 수소를 포함하는 불순물이 포함되지 않는 수단을 사용하여 형성하는 것이 중요하다.

[0189] 본 실시형태에서는 스퍼터링법을 이용하여 절연층(211)으로서 막 두께 200nm의 산화실리콘을 형성한다. 형성시의 기판 온도는 실온 이상 300℃ 이하로 하면 되고, 본 실시형태에서는 100℃로 한다. 산화실리콘층의 스퍼터링법에 의한 형성은 회가스(대표적으로는 아르곤) 분위기하, 산소 분위기하 또는 회가스와 산소의 혼합 분위기하에서 실시할 수 있다. 또한, 타깃에는 산화실리콘 또는 실리콘을 사용할 수 있다. 예를 들어, 실리콘을 타깃으로서 사용하여 산소를 함유하는 분위기하에서 스퍼터링을 실시하면, 산화실리콘을 형성할 수 있다.

[0190] 절연층(211)을 형성할 때의 성막실 내의 잔류 수분을 제거하기 위해서는 흡착형 진공 펌프(크라이오 펌프 등)를 사용하는 것이 바람직하다. 크라이오 펌프를 사용하여 배기한 성막실에서 형성한 절연층(211)은 절연층(211) 내에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 절연층(211)의 성막실 내의 잔류 수분을 제거하기 위한 배기 수단으로서 터보분자 펌프에 콜드트랩을 설치한 것이라도 된다.

[0191] 절연층(211)을 형성할 때 사용되는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.

[0192] 다음에, 감압 분위기하, 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초진조 공기 분위기하에서 제 2 가열 처리(바람직하게는 200℃ 이상 600℃ 이하, 예를 들어 250℃ 이상 550℃ 이하)를 실시하여도 된다. 다만, 제 1 포토리소그래피 공정, 또는 제 3 포토리소그래피 공정에 의해 형성된 전극 또는 배선에 Al이 사용되는 경우에는 가열 처리의 온도를 380℃ 이하, 바람직하게는 350℃ 이하로 하고, 또 전극 또는 배선에 Cu가 사용되는 경우에는 가열 처리의 온도를 450℃ 이하로 한다. 예를 들어, 질소 분위기하에서 450℃, 1시간의 제 2 가열 처리를 실시하여도 된다. 제 2 가열 처리를 실시하면, 산화물 반도체층의 일부분이 절연층(211)과 접촉한 상태로 온도가 상승되고, 산소를 함유하는 절연층(211)으로부터 산소를 반도체층에 공급할 수 있다. 또한, 상기 분위기 내에 물, 수소 등이 함유되지 않는 것이 바람직하다. 또한, 반도체층에 대한 산소의 공급은 이온 주입법 또는 이온 도핑법 등을 이용하여 실시하여도 된다.

[0193] 다음에, 트랜지스터(220) 및 용량 소자(310)의 표면 요철을 저감하기 위해서 절연층(211) 위에 평탄화 절연층으로서 절연층(212)을 형성한다. 절연층(212)으로서 폴리에미드, 아크릴 수지, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 수지 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k재료), 실록산계 수지, PSG(인 유리), BPSG(인붕소 유리) 등을 사용할 수 있다. 또한, 상술한 재료로 형성되는 절연층을 복수 적층시킴으로써 절연층(212)을 형성하여도 된다(도 9d 참조).

[0194] 다음에, 제 4 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 드레인 전극(210) 위의 절연층(211) 및 절연층(212)의 일부분을 선택적으로 제거함으로써 콘택트홀(213)을 형성한다(도 10a 참조).

[0195] 절연층(211) 및 절연층(212)의 에칭은 드라이 에칭 및 웨트 에칭 중 어느 하나를 이용하여도 되고 양쪽 모두를 이용하여도 된다. 드라이 에칭에 사용하는 에칭 가스로서는 염소를 함유하는 가스(염소계 가스, 예를 들어 염소(Cl_2), 삼염화붕소(BCl_3), 사염화실리콘(SiCl_4), 사염화탄소(CCl_4) 등)를 사용할 수 있다. 드라이 에칭으로서 는 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마)

에칭법을 이용할 수 있다.

- [0196] 다음에, 절연층(212) 위에 스퍼터링법, 진공 증착법 등을 이용하여 화소 전극(214)이 되는 투광성을 갖는 도전층(투명 도전층이라고도 함)을 30nm 이상 200nm 이하, 바람직하게는 50nm 이상 100nm 이하의 두께로 형성한다(도 10b 참조).
- [0197] 투광성을 갖는 도전층으로서 산화텅스텐을 함유하는 인듐 산화물, 산화텅스텐을 함유하는 인듐아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐주석 산화물, 인듐주석 산화물(이하, ITO라고 나타냄), 인듐아연 산화물, 산화실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다. 또한, 하나 내지 10장의 그래핀 시트(그래파이트의 한 층)로 이루어진 재료를 사용하여도 된다.
- [0198] 본 실시형태에서는 투광성을 갖는 도전층으로서 두께 80nm의 ITO층을 형성하고, 제 5 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 투광성을 갖는 도전층을 선택적으로 에칭하여 화소 전극(214)을 형성한다. 화소 전극(214)은 콘택트홀(213)을 통하여 드레인 전극(210)에 전기적으로 접속된다.
- [0199] 이와 같이 하여 트랜지스터(220) 및 용량 소자(310)를 갖는 액정 표시 장치의 화소부를 제작할 수 있다. 또한, 본 실시형태에서 설명한 제작 방법은 도 6a 내지 도 7에 도시한 투과형 액정 표시 장치에 한정되지 않고 반사형 액정 표시 장치나 도 8a 및 도 8b에 도시한 반투과형 액정 표시 장치에도 적용할 수 있다. 반사형 액정 표시 장치의 화소부를 얻는 경우에는 화소 전극(214) 위에 화소 전극(215)으로서 광 반사율이 높은 도전층(반사 도전층이라고도 함), 예를 들어 알루미늄, 티타늄, 은, 로듐, 니켈 등의 가시광의 반사율이 높은 금속, 또는 상술한 금속들 중 적어도 하나를 포함하는 합금, 또는 이들의 적층을 사용하면 된다. 반투과형 액정 표시 장치의 화소부를 얻는 경우에는, 하나의 화소 전극을 투명 도전층과 반사 도전층으로 형성하고, 투과 부분과 반사 부분을 형성하면 된다.
- [0200] 또한, 본 실시형태에서는 하부 게이트 구조의 트랜지스터를 예로 하여 설명하였지만, 상부 게이트 구조의 트랜지스터에 적용할 수도 있다.
- [0201] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0202] (실시형태 4)
- [0203] 본 실시형태에서는 실시형태 3과 일부가 다른 공정의 예를 도 11a 내지 도 11c를 사용하여 설명하기로 한다. 또한, 다른 실시형태와 동일한 부분에는 동일한 부호를 사용하며, 여기서는 동일한 부호의 자세한 설명은 생략한다.
- [0204] 우선, 실시형태 3과 마찬가지로 절연 표면을 갖는 기판(201) 위에 하지층이 되는 절연층(202)을 형성하고, 절연층(202) 위에 도전층을 형성한 후에 제 1 포토리소그래피 공정, 및 에칭 공정에 의해 게이트 전극(204)을 형성한다.
- [0205] 본 실시형태에서는 나중에 형성할 반도체층의 형성 온도가 200℃ 이상 450℃ 이하, 반도체층을 형성한 후의 가열 처리의 온도가 200℃ 이상 450℃ 이하이기 때문에, 게이트 전극(204)의 재료로서 구리를 하층으로 하고 몰리브덴을 상층으로 하는 적층, 또는 구리를 하층으로 하고 텅스텐을 상층으로 하는 적층을 사용한다.
- [0206] 다음에, 실시형태 3과 마찬가지로 게이트 전극(204) 위에 절연층(205)을 CVD법이나 스퍼터링법 등을 이용하여 형성한다. 여기까지의 공정을 거친 단면도를 도 11a에 도시한다.
- [0207] 다음에, 절연층(205) 위에 1nm 이상 10nm 이하의 제 1 산화물 반도체층을 형성한다. 본 실시형태에서는 산화물 반도체용 타깃(In-Ga-Zn계 산화물 반도체용 타깃(In_2O_3 : Ga_2O_3 : ZnO =1: 1: 2[mol수 비율]))을 사용하고, 기판과 타깃 사이의 거리를 170mm, 기판 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기하에서 막 두께 5nm의 제 1 산화물 반도체층을 형성한다.
- [0208] 다음에, 기판을 배치하는 분위기를 질소, 또는 건조 공기로 하여 제 1 가열 처리를 실시한다. 제 1 가열 처리의 온도는 200℃ 이상 450℃ 이하로 한다. 또한, 제 1 가열 처리의 가열 시간은 1시간 이상 24시간 이하로 한다. 제 1 가열 처리에 의해 제 1 결정성 산화물 반도체층(248a)을 형성한다(도 11b 참조).
- [0209] 다음에, 제 1 결정성 산화물 반도체층(248a) 위에 10nm보다 두꺼운 제 2 산화물 반도체층을 형성한다. 본 실시형태에서는 산화물 반도체용 타깃(In-Ga-Zn계 산화물 반도체용 타깃(In_2O_3 : Ga_2O_3 : ZnO =1: 1: 2[mol수 비율]))을 사용하고, 기판과 타깃 사이의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아

르곤만, 또는 아르곤 및 산소 분위기하에서 막 두께 25nm의 제 2 산화물 반도체층을 형성한다.

- [0210] 다음에, 기판을 배치하는 분위기를 질소, 또는 건조 공기로 하여 제 2 가열 처리를 실시한다. 제 2 가열 처리의 온도는 200℃ 이상 450℃ 이하로 한다. 또한, 제 2 가열 처리의 가열 시간은 1시간 이상 24시간 이하로 한다. 제 2 가열 처리에 의해 제 2 결정성 산화물 반도체층(248b)을 형성한다(도 11c 참조).
- [0211] 이후의 공정은 실시형태 3에서 설명한 바와 같이 소스 전극(209)이나 드레인 전극(210)이나 절연층(211) 등을 형성한다.
- [0212] 상술한 바와 같이 하여 실시형태 3과 같이 트랜지스터(220)를 얻을 수 있다. 다만, 본 실시형태를 사용한 경우에는 이들 트랜지스터의 채널 형성 영역을 포함하는 반도체층은 제 1 결정성 산화물 반도체층(248a), 및 제 2 결정성 산화물 반도체층(248b)의 적층이 된다. 제 1 결정성 산화물 반도체층(248a), 및 제 2 결정성 산화물 반도체층(248b)은 C축 배향을 갖는다. 제 1 결정성 산화물 반도체층(248a), 및 제 2 결정성 산화물 반도체층(248b)은 단결정 구조가 아니고 비정질 구조도 아닌 구조이며, C축 배향을 갖는 결정(C Axis Aligned Crystal; CAAC라고도 부름)을 포함하는 산화물이다.
- [0213] CAAC를 포함하는 산화물을 얻기 위해서는 산화물 반도체막을 퇴적하는 초기 단계에서 육방정 결정이 형성되도록 하는 것과, 상기 결정을 핵(core)으로 하여 결정이 성장되도록 하는 것이 중요하다. 그러기 위해서는, 기판 가열 온도를 100℃ 내지 500℃, 바람직하게는 200℃ 내지 400℃, 더 바람직하게는 250℃ 내지 300℃로 하면 된다. 또한, 이것에 더하여, 퇴적된 산화물 반도체막을 형성시의 기판 가열 온도보다 높은 온도로 열처리함으로써, 막 내에 포함되는 미소한 결함이나 적층 계면의 결함을 보상할 수 있다.
- [0214] 제 1 결정성 산화물 반도체층과 제 2 결정성 산화물 반도체층의 적층을 갖는 트랜지스터는 트랜지스터에 광이 조사되거나 바이어스-열(BT) 스트레스 시험 전후라도 트랜지스터의 임계값 전압의 변화량을 저감할 수 있고 안정된 전기적 특성을 갖는다.
- [0215] 여기서, CAAC에 대해서 자세히 설명하기로 한다. CAAC를 포함하는 산화물이란 c축 배향되고, 또 ab면, 표면, 또는 계면의 방향으로부터 보아 삼각형 또는 육각형의 원자 배열을 갖고, c축에서 금속 원자가 층 형상으로 배열되거나 또는 금속 원자와 산소 원자가 층 형상으로 배열되고, ab면에서 a축 또는 b축의 방향이 상이한(c축을 중심으로 하여 회전한) 결정을 포함하는 산화물을 말한다.
- [0216] 또한, CAAC를 포함하는 산화물이란 넓은 의미로 비단결정이며, 그 ab면에 수직인 방향으로부터 보아 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 갖고, 또 c축 방향에 수직인 방향으로부터 보아 금속 원자가 층 형상으로 배열되거나 또는 금속 원자와 산소 원자가 층 형상으로 배열된 상(phase)을 포함하는 산화물을 말한다.
- [0217] CAAC는 단결정이 아니지만, 비정질만으로 형성되는 것도 아니다. 또한, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계를 명확히 판별할 수 없는 경우도 있다.
- [0218] CAAC에 산소가 함유되는 경우에는, 구성하는 산소의 일부분은 질소로 치환되어도 된다. 또한, CAAC를 구성하는 결정 부분 각각의 c축은 일정한 방향(예를 들어, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)으로 일치되어도 된다. 또는, CAAC를 구성하는 결정 부분 각각의 ab면의 법선은 일정한 방향(예를 들어, CAAC를 지지하는 기판면, CAAC의 표면 등에 수직인 방향)을 향하여도 된다.
- [0219] CAAC는 그 조성 등에 따라 도체, 반도체, 또는 절연체의 성질을 갖는다. 또한, 그 조성 등에 따라 가시광에 대해서 투명하거나 불투명하다.
- [0220] 이와 같은 CAAC의 예로서, 막 형상으로 형성되고 막 표면 또는 지지하는 기판면에 수직인 방향에서 관찰하면 삼각형 또는 육각형의 원자 배열이 확인되고, 또 그 막 단면을 관찰하면 금속 원자의 층 형상 배열 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층 형상 배열이 확인되는 결정을 들 수도 있다.
- [0221] CAAC의 결정 구조의 일례에 대해서 도 18a 내지 도 20c를 사용하여 자세히 설명한다. 또한, 특별히 기재되지 않는 한, 도 18a 내지 도 20c는 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반부 및 하반부라고 하는 경우에는, ab면을 경계로 하였을 때의 상반부 및 하반부를 가리킨다. 또한, 도 18a 내지 도 18e에 있어서, 동그라미로 둘러싸인 0는 4배위 0를 나타내고, 이중 동그라미로 둘러싸인 0는 3배위 0를 나타낸다.
- [0222] 도 18a에 6배위 In을 1개, In에 근접한 4배위 산소 원자(이하, 4배위 0라고 기재함)를 6개 갖는 구조를 도시한

다. 여기서, 하나의 금속 원자에 대해서 근접한 산소 원자만을 나타낸 구조를 소(小)그룹이라고 부른다. 도 18a의 구조는 팔면체 구조를 가지지만, 간편화를 위해서 평면 구조도 도시한다. 또한, 도 18a의 상반부 및 하반부에 각각 4배위 O가 3개씩 있다. 도 18a에 도시하는 소그룹은 전하가 0이다.

[0223] 도 18b에 5배위 Ga를 1개, Ga에 근접한 3배위 산소 원자(이하, 3배위 O라고 기재함)를 3개와, Ga에 근접한 4배위 O를 2개 갖는 구조를 도시한다. 3배위 O는 모두 ab면에 존재한다. 도 18b의 상반부 및 하반부에 각각 4배위 O가 1개씩 있다. 또한, In의 경우에도 5배위를 갖기 때문에 도 18b에 도시하는 구조를 가질 수 있다. 도 18b에 도시하는 소그룹은 전하가 0이다.

[0224] 도 18c에 4배위 Zn을 1개와, Zn에 근접한 4배위 O를 4개 갖는 구조를 도시한다. 도 18c의 상반부에 4배위 O가 1개 있고, 하반부에 4배위 O가 3개 있다. 또는, 도 18c의 상반부에 4배위 O가 3개 있고, 하반부에 4배위 O가 1개 있어도 된다. 도 18c에 도시하는 소그룹은 전하가 0이다.

[0225] 도 18d에 6배위 Sn을 1개와, Sn에 근접한 4배위 O를 6개 갖는 구조를 도시한다. 도 18d의 상반부에 4배위 O가 3개 있고, 하반부에 4배위 O가 3개 있다. 도 18d에 도시하는 소그룹은 전하가 +1이다.

[0226] 도 18e에 Zn을 2개 포함하는 소그룹을 도시한다. 도 18e의 상반부에 4배위 O가 1개 있고, 하반부에 4배위 O가 1개 있다. 도 18e에 도시하는 소그룹은 전하가 -1이다.

[0227] 여기서는, 복수의 소그룹의 집합체를 중(中)그룹이라고 부르고, 복수의 중그룹의 집합체를 대(大)그룹(유닛 셀이라고도 함)이라고 부른다.

[0228] 여기서, 이 소그룹들이 서로 결합하는 규칙에 대해서 설명한다. 도 18a에 도시하는 6배위 In을 경계로서 상반부에 있는 3개의 O는 하방향으로 각각 근접 In을 3개 갖고, 하반부에 있는 3개의 O는 상방향으로 각각 근접 In을 3개 갖는다. 도 18b에 도시하는 5배위 Ga를 경계로서 상반부에 있는 1개의 O는 하방향으로 1개의 근접 Ga를 갖고, 하반부에 있는 1개의 O는 상방향으로 1개의 근접 Ga를 갖는다. 도 18c에 도시하는 4배위 Zn을 경계로서 상반부에 있는 1개의 O는 하방향으로 1개의 근접 Zn을 갖고, 하반부에 있는 3개의 O는 상방향으로 각각 근접 Zn을 3개 갖는다. 이와 같이, 금속 원자의 상방향에 있는 4배위 O의 개수와, 그 O의 하방향에 있는 근접 금속 원자의 개수는 동일하고, 마찬가지로 금속 원자의 하방향에 있는 4배위 O의 개수와, 그 O의 상방향에 있는 근접 금속 원자의 개수는 동일하다. O는 4배위이므로 하방향에 있는 근접 금속 원자의 개수와, 상방향에 있는 근접 금속 원자의 개수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위 O의 개수와, 다른 금속 원자의 하방향에 있는 4배위 O의 개수의 합이 4개일 때 금속 원자를 갖는 2종류의 소그룹들은 서로 결합할 수 있다. 예를 들어, 하반부에 있는 4배위 O를 통하여 6배위 금속 원자(In 또는 Sn)가 결합하는 경우에는, 4배위 O가 3개이므로 5배위 금속 원자(Ga 또는 In), 또는 4배위 금속 원자(Zn) 중 어느 것과 결합한다.

[0229] 배위수가 4, 5, 6인 금속 원자는 c축 방향에서 4배위 O를 통하여 결합한다. 또한, 그 외에도, 층 구조의 총 전하가 0이 되도록 복수의 소그룹들이 결합하여 중그룹을 구성한다.

[0230] 도 19a에 In-Sn-Zn계 산화물의 층 구조를 구성하는 중그룹의 모델도를 도시한다. 도 19b에는 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 19c는 도 19b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한 것이다.

[0231] 도 19a에서는 간편화를 위해서 3배위 O는 생략하고 4배위 O는 개수만을 도시하며, 예를 들어, Sn을 경계로서 상반부 및 하반부에는 각각 4배위 O가 3개씩 있는 것을 동그라미 3으로 도시한다. 마찬가지로, 도 19a에서 In을 경계로서 상반부 및 하반부에 각각 4배위 O가 1개씩 있으므로 동그라미 1로 도시한다. 또한, 마찬가지로 도 19a에 있어서 하반부에 4배위 O가 1개 있고 상반부에 4배위 O가 3개 있는 Zn과, 상반부에 4배위 O가 1개 있고 하반부에 4배위 O가 3개 있는 Zn을 도시한다.

[0232] 도 19a에 있어서 In-Sn-Zn계 산화물의 층 구조를 구성하는 중그룹은 위에서부터 순차로 4배위 O가 상반부 및 하반부에 3개씩 있는 Sn이 4배위 O가 상반부 및 하반부에 1개씩 있는 In과 결합하고, 그 In이 상반부에 4배위 O가 3개 있는 Zn과 결합하고, 그 Zn을 경계로서 하반부에 있는 1개의 4배위 O를 통하여 4배위 O가 상반부 및 하반부에 3개씩 있는 In과 결합하고, 그 In이 상반부에 4배위 O가 1개 있는 2개의 Zn으로 이루어진 소그룹과 결합하고, 그 소그룹의 하반부의 1개의 4배위 O를 통하여 4배위 O가 상반부 및 하반부에 3개씩 있는 Sn과 결합한 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

[0233] 여기서, 3배위 O 및 4배위 O의 경우에는, 결합 하나당 전하가 각각 -0.667, -0.5 있다고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을

포함하는 소그룹은 전하가 +1이 된다. 따라서, Sn을 포함하는 층 구조를 형성하기 위해서는 전하 +1을 상쇄하는 전하 -1이 필요하다. 전하 -1을 갖는 구조로서, 도 18e에 도시하는 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들어, Sn을 함유한 소그룹 하나에 대해서 2개의 Zn을 포함하는 소그룹이 하나 있으면, 전하가 상쇄되기 때문에 층 구조의 총 전하를 0으로 할 수 있다.

[0234] 구체적으로는, 도 19b에 도시한 대그룹의 결합이 반복됨으로써 In-Sn-Zn계 산화물의 결정($\text{In}_2\text{SnZn}_3\text{O}_8$)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn계 산화물의 층 구조는 조성식 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 은 0 또는 자연수)으로 나타낼 수 있다.

[0235] 또한, 그 외에도 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물 재료 등을 사용한 경우도 마찬가지이다.

[0236] 예를 들어, 도 20a에 In-Ga-Zn계 산화물의 층 구조를 구성하는 중그룹의 모델도를 도시한다.

[0237] 도 20a에 있어서는, In-Ga-Zn계 산화물의 층 구조를 구성하는 중그룹은 위에서부터 순차로 4배위 0가 상반부 및 하반부에 3개씩 있는 In이 4배위 0가 상반부에 1개 있는 Zn과 결합하고, 그 Zn의 하반부의 3개의 4배위 0를 통하여 4배위 0가 상반부 및 하반부에 1개씩 있는 Ga와 결합하고, 그 Ga를 경계로서 하반부에 있는 1개의 4배위 0를 통하여 4배위 0가 상반부 및 하반부에 3개씩 있는 In과 결합한 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.

[0238] 도 20b에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 20c는 도 20b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한 것이다.

[0239] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는 각각 +3, +2, +3이므로, In, Zn, 및 Ga 중 어느 것을 포함하는 소그룹은 전하가 0이 된다. 따라서, 이 소그룹들을 조합한 것이라면 중그룹의 총 전하는 항상 0이 된다.

[0240] 또한, In-Ga-Zn계 산화물의 층 구조를 구성하는 중그룹은 도 20a에 도시된 중그룹에 한정되지 않고, In, Ga, Zn의 배열이 도 20a와 상이한 중그룹이 조합된 대그룹으로 구성될 수도 있다.

[0241] 구체적으로는, 도 20b에 도시한 대그룹의 결합이 반복됨으로써 In-Ga-Zn계 산화물의 결정을 얻을 수 있다. 또한, 얻어지는 In-Ga-Zn계 산화물의 층 구조는 조성식 $\text{InGaO}_3(\text{ZnO})_n$ (n 은 자연수)으로 나타낼 수 있다.

[0242] $n=1$ (InGaZnO_4)인 경우에는 예를 들어 도 21a에 도시하는 결정 구조를 가질 수 있다. 또한, 도 21a에 도시하는 결정 구조에 있어서, 도 18b에서 설명한 바와 같이 Ga 및 In은 5배위를 갖기 때문에 Ga를 In으로 바꾼 구조도 가질 수 있다.

[0243] 또한, $n=2$ ($\text{InGaZn}_2\text{O}_5$)인 경우에는 예를 들어 도 21b에 도시하는 결정 구조를 가질 수 있다. 또한, 도 21b에 도시하는 결정 구조에 있어서, 도 18b에서 설명한 바와 같이 Ga 및 In은 5배위를 갖기 때문에 Ga를 In으로 바꾼 구조도 가질 수 있다.

[0244] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0245] (실시형태 5)

[0246] 본 실시형태에서는 트랜지스터의 구성예에 대해서 설명하기로 한다. 또한, 상기 실시형태와 동일 부분 또는 같은 기능을 갖는 부분 및 공정은 상기 실시형태와 마찬가지로 실시할 수 있어서 본 실시형태에서 반복하여 설명하지 않는다. 또한, 같은 부분의 자세한 설명도 생략한다.

[0247] 도 12a에 도시하는 트랜지스터(2450)는 기판(2400) 위에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403) 위에 소스 전극(2421), 및 드레인 전극(2422)이 형성된다. 또한, 산화물 반도체층(2403), 소스 전극(2421) 및 드레인 전극(2422) 위에 절연층(2407)이 형성된다. 또한, 절연층(2407) 위에 보호 절연층(240

9)을 형성하여도 된다. 트랜지스터(2450)는 하부 게이트(bottom gate) 구조의 트랜지스터의 하나이며, 역스태거형(inverted staggered) 트랜지스터의 하나이기도 한다.

[0248] 도 12b에 도시하는 트랜지스터(2460)는 기판(2400) 위에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403) 위에 채널 보호층(2406)이 형성되고, 채널 보호층(2406) 및 산화물 반도체층(2403) 위에 소스 전극(2421) 및 드레인 전극(2422)이 형성된다. 또한, 소스 전극(2421) 및 드레인 전극(2422) 위에 보호 절연층(2409)을 형성하여도 된다. 트랜지스터(2460)는 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 하부 게이트 구조의 트랜지스터의 하나이며, 역스태거형 트랜지스터의 하나이기도 한다. 채널 보호층(2406)은 다른 절연층과 같은 재료 및 방법을 이용하여 형성할 수 있다.

[0249] 도 12c에 도시하는 트랜지스터(2470)는 기판(2400) 위에 하지층(2436)이 형성되고, 하지층(2436) 위에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403) 및 하지층(2436) 위에 소스 전극(2421) 및 드레인 전극(2422)이 형성되고, 산화물 반도체층(2403), 소스 전극(2421), 및 드레인 전극(2422) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 게이트 전극(2401)이 형성된다. 또한, 게이트 전극(2401) 위에 보호 절연층(2409)을 형성하여도 된다. 트랜지스터(2470)는 상부 게이트(top gate) 구조의 트랜지스터의 하나이다.

[0250] 도 12d에 도시하는 트랜지스터(2480)는 기판(2400) 위에 제 1 게이트 전극(2411)이 형성되고, 제 1 게이트 전극(2411) 위에 제 1 게이트 절연층(2413)이 형성되고, 제 1 게이트 절연층(2413) 위에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403), 및 제 1 게이트 절연층(2413) 위에 소스 전극(2421) 및 드레인 전극(2422)이 형성된다. 또한, 산화물 반도체층(2403), 소스 전극(2421), 및 드레인 전극(2422) 위에 제 2 게이트 절연층(2414)이 형성되고, 제 2 게이트 절연층(2414) 위에 제 2 게이트 전극(2412)이 형성된다. 또한, 제 2 게이트 전극(2412) 위에 보호 절연층(2409)을 형성하여도 된다.

[0251] 트랜지스터(2480)는 트랜지스터(2450)와 트랜지스터(2470)를 합친 구조를 갖는다. 제 1 게이트 전극(2411)과 제 2 게이트 전극(2412)을 전기적으로 접속하여 하나의 게이트 전극으로서 기능시킬 수 있다. 또한, 제 1 게이트 전극(2411)과 제 2 게이트 전극(2412) 중 어느 하나를 단순히 게이트 전극이라고 부르고, 다른 하나를 백게이트 전극이라고 부르는 경우가 있다.

[0252] 도 13a에 도시하는 트랜지스터(2550)는 기판(2400) 위에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 소스 전극(2421) 및 드레인 전극(2422)이 형성되고, 게이트 절연층(2402), 소스 전극(2421), 및 드레인 전극(2422) 위에 산화물 반도체층(2403)이 형성된다. 또한, 산화물 반도체층(2403), 소스 전극(2421), 및 드레인 전극(2422) 위에 절연층(2407)이 형성된다. 또한, 절연층(2407) 위에 보호 절연층(2409)을 형성하여도 된다. 트랜지스터(2550)는 하부 게이트 구조의 트랜지스터의 하나이며, 역스태거형 트랜지스터의 하나이기도 한다.

[0253] 도 13b에 도시하는 트랜지스터(2560)는 기판(2400) 위에 하지층(2436)이 형성되고, 하지층(2436) 위에 소스 전극(2421), 및 드레인 전극(2422)이 형성되고, 하지층(2436), 소스 전극(2421), 및 드레인 전극(2422) 위에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403), 소스 전극(2421), 및 드레인 전극(2422) 위에 게이트 절연층(2402)이 형성되고, 게이트 절연층(2402) 위에 게이트 전극(2401)이 형성된다. 또한, 게이트 전극(2401) 위에 보호 절연층(2409)을 형성하여도 된다. 트랜지스터(2560)는 상부 게이트 구조의 트랜지스터의 하나이기도 한다.

[0254] 도 13c에 도시하는 트랜지스터(2570)는 기판(2400) 위에 제 1 게이트 전극(2411)이 형성되고, 제 1 게이트 전극(2411) 위에 제 1 게이트 절연층(2413)이 형성되고, 제 1 게이트 절연층(2413) 위에 소스 전극(2421), 및 드레인 전극(2422)이 형성되고, 제 1 게이트 절연층(2413), 소스 전극(2421), 및 드레인 전극(2422) 위에 산화물 반도체층(2403)이 형성되고, 산화물 반도체층(2403), 소스 전극(2421), 및 드레인 전극(2422) 위에 제 2 게이트 절연층(2414)이 형성되고, 제 2 게이트 절연층(2414) 위에 제 2 게이트 전극(2412)이 형성된다. 또한, 제 2 게이트 전극(2412) 위에 보호 절연층(2409)을 형성하여도 된다.

[0255] 트랜지스터(2570)는 트랜지스터(2550)와 트랜지스터(2560)를 합친 구조를 갖는다. 제 1 게이트 전극(2411)과 제 2 게이트 전극(2412)을 전기적으로 접속하여 하나의 게이트 전극으로서 기능시킬 수 있다. 또한, 제 1 게이트 전극(2411)과 제 2 게이트 전극(2412) 중 어느 하나를 단순히 게이트 전극이라고 부르고, 다른 하나를 백게이트 전극이라고 부르는 경우가 있다.

[0256] 백게이트 전극의 전위를 변화시킴으로써, 트랜지스터의 임계값 전압을 변화시킬 수 있다. 백게이트 전극은 산

화물 반도체층(2403)의 채널 형성 영역과 겹치도록 형성된다. 백게이트 전극은 전기적으로 절연되는 플로팅 상태라도 되고, 전위가 인가되는 상태라도 된다. 전위가 인가되는 경우에는, 백게이트 전극에는 게이트 전극과 같은 높이의 전위가 인가되어도 되고, 그라운드 등의 고정 전위가 인가되어도 된다. 백게이트 전극에 인가되는 전위의 높이를 제어함으로써, 트랜지스터(2480) 및 트랜지스터(2570)의 임계값 전압을 제어할 수 있다.

- [0257] 또한, 백게이트 전극으로 산화물 반도체층(2403)을 덮음으로써, 백게이트 전극 측으로부터 산화물 반도체층(2403)에 광이 입사되는 것을 방지할 수 있다. 따라서, 산화물 반도체층(2403)의 광열화를 방지하며, 트랜지스터의 임계값 전압이 이동하는 등의 특성 열화가 발생하는 것을 방지할 수 있다.
- [0258] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0259] (실시형태 6)
- [0260] 본 실시형태에서는 본 발명의 일 형태에 따른 액정 표시 장치의 패널의 외관에 대해서 도 14a 및 도 14b를 사용하여 설명하기로 한다. 도 14a는 기관(4001)과 대향 기관(4006)을 절재(4005)를 이용하여 접착시킨 패널의 상면도이며, 도 14b는 도 14a에 도시된 파선 Z-Z' 부분의 단면도에 상당한다.
- [0261] 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)와 용량선 구동 회로(4008)를 둘러싸도록 절재(4005)가 형성된다. 또한, 화소부(4002), 주사선 구동 회로(4004) 위에 대향 기관(4006)이 형성된다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 기관(4001)과 절재(4005)와 대향 기관(4006)에 의해 액정(4007)과 함께 밀봉된다.
- [0262] 또한, 기관(4001) 위의 절재(4005)에 의해 둘러싸여 있는 영역과 다른 영역에, 신호선 구동 회로(4003)가 형성된 기관(4021)이 실장된다. 도 14b에서는, 신호선 구동 회로(4003)에 포함되는 트랜지스터(4009)를 예시한다.
- [0263] 또한, 기관(4001) 위에 형성된 화소부(4002), 주사선 구동 회로(4004)는 트랜지스터를 복수 갖는다. 도 14b에서는, 화소부(4002)에 포함되는 트랜지스터(4022), 용량 소자(4020)를 예시한다. 트랜지스터(4022), 용량 소자(4020)는 산화물 반도체를 갖는다. 대향 기관(4006)에 형성되는 차폐층(4040)은 주사선 구동 회로(4004)가 갖는 트랜지스터(4023)와 겹친다. 트랜지스터(4023)를 차광함으로써, 광으로 인해 산화물 반도체가 열화되는 것을 방지하며, 트랜지스터(4023)의 임계값 전압이 이동하는 등의 특성 열화가 발생하는 것을 방지할 수 있다.
- [0264] 또한, 액정 소자(4011)가 갖는 화소 전극(4030)은 반사 전극(4032) 및 투명 전극(4033)을 갖고, 트랜지스터(4022) 및 용량 소자(4020)와 전기적으로 접속된다. 그리고, 액정 소자(4011)의 대향 전극(4031)은 대향 기관(4006)에 형성된다. 화소 전극(4030)과 대향 전극(4031)과 액정(4007)이 겹치는 부분이 액정 소자(4011)에 상당한다. 또한, 화소 전극(4030)은 배향층(4034)을 사이에 두고 액정(4007)과 겹치고, 대향 전극(4031)은 배향층(4035)을 사이에 두고 액정(4007)과 겹친다. 또한, 대향 기관(4006) 위의 화소부(4002)와 겹치는 영역에 컬러 필터(4041)가 형성된다.
- [0265] 액정(4007)에 사용되는 액정 재료의 일례로서는, 네마틱 액정, 콜레스테릭 액정, 스메틱 액정, 디스코틱 액정, 서모트로픽 액정, 리�트로픽 액정, 저분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 바나나형 액정 등을 들 수 있다.
- [0266] 또한, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 된다. 블루상은 액정상 중의 하나이며, 콜레스테릭 액정의 온도를 상승시켜 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상(phase)이다. 블루상은 좁은 온도 범위에서만 발현되기 때문에, 키랄제나 자외선 경화 수지를 첨가해서 온도 범위를 개선했다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 1msec 이하로 짧고, 광학적으로 등방성이기 때문에 배향 처리가 불필요하며, 시야각 의존성도 작다. 또한, 배향막을 설치하지 않아도 되어서 러빙 처리도 필요 없게 되기 때문에, 러빙 처리로 인한 정전 파괴를 방지할 수 있고, 제작 공정시의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있게 된다.
- [0267] 또한, 액정의 구동 방법으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드, MVA(Multi-domain Vertical Alignment) 모드, IPS(In-Plane Switching) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등을 적용할 수 있다.
- [0268] 또한, 스페이서(4036)는 대향 기관(4006) 위에 절연층으로 형성된 기둥 형상의 스페이서이며, 화소 전극(4030)

과 대향 전극(4031) 사이의 거리(셀갭)를 제어하기 위해서 형성된다. 또한, 도 14b에서는, 절연층을 패터닝함으로써 스페이서(4036)가 형성되는 경우를 예시하지만, 구(球) 형상의 스페이서를 사용하여도 된다.

[0269] 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 용량선 구동 회로(4008), 화소부(4002)에 송신되는 각종 신호 및 전위는 배선(4015)을 통하여 접속 단자(4016)로부터 공급된다. 접속 단자(4016)는 FPC(4018)가 갖는 단자와, 이방성 도전층(4019)을 통하여 전기적으로 접속된다.

[0270] 또한, 기관(4001), 대향 기관(4006), 기관(4021)에는 유리, 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱에는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름 등이 포함된다. 또한, 알루미늄 호일을 PVF 필름 사이에 끼운 구조의 시트를 사용할 수도 있다.

[0271] 다만, 액정 소자(4011)를 투과한 광의 추출 방향에 위치하는 기관에는, 유리판, 플라스틱, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.

[0272] 도 15는 본 발명의 일 형태에 따른 액정 표시 장치의 구조를 도시하는 사시도의 일례이다. 도 15에 도시하는 액정 표시 장치는 화소부를 갖는 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 백라이트 패널(1607)과, 회로 기관(1608)과, 신호선 구동 회로가 형성된 기관(1611)을 갖는다.

[0273] 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 백라이트 패널(1607)이 순차로 적층된다. 백라이트 패널(1607)은 복수의 광원으로 구성된 백라이트(1612)를 갖는다. 도광판(1605) 내부로 확산된 백라이트(1612)로부터의 빛은 제 1 확산판(1602), 프리즘 시트(1603), 및 제 2 확산판(1604)에 의해 패널(1601)에 조사된다.

[0274] 또한, 본 실시형태에서는, 제 1 확산판(1602)과 제 2 확산판(1604)을 사용하지만, 확산판의 개수는 이것에 한정되지 않고, 단수나 3개 이상이라도 된다. 그리고, 확산판은 도광판(1605)과 패널(1601) 사이에 형성되면 된다. 따라서, 프리즘 시트(1603)보다 패널(1601)에 가까운 측에만 확산판이 형성되어도 되고, 프리즘 시트(1603)보다 도광판(1605)에 가까운 측에만 확산판이 형성되어도 된다.

[0275] 또한, 프리즘 시트(1603)는 도 15에 도시한 단면이 돔형 형상에 한정되지 않고, 도광판(1605)으로부터의 빛을 패널(1601) 측에 집광할 수 있는 형상을 가지면 된다.

[0276] 패널(1601)에 입력되는 각종 신호를 생성하는 회로 또는 이들 신호를 처리하는 회로 등이 회로 기관(1608)에 형성된다. 그리고, 도 15에서는 회로 기관(1608)과 패널(1601)이 COF 테이프(1609)를 통하여 접속된다. 또한, 신호선 구동 회로가 형성된 기관(1611)이 COF(Chip On Film)법을 이용하여 COF 테이프(1609)에 접속된다.

[0277] 도 15에 백라이트(1612)의 구동을 제어하는 제어회로가 회로 기관(1608)에 제공되고, 상기 제어회로와 백라이트 패널(1607)이 FPC(1610)를 통하여 접속되는 예를 도시한다. 다만, 상기 제어회로는 패널(1601)에 형성되어도 되고, 이 경우에는 패널(1601)과 백라이트 패널(1607)이 FPC 등에 의해 접속되도록 한다.

[0278] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0279] (실시형태 7)

[0280] 본 실시형태에서는 상술한 실시형태에서 설명한 표시 장치를 구비하는 전자 기기의 예에 대해서 설명하기로 한다.

[0281] 도 16a는 노트북 퍼스널 컴퓨터이며, 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등으로 구성된다. 상술한 실시형태에서 제시한 액정 표시 장치를 적용함으로써, 신뢰성이 높은 노트북 퍼스널 컴퓨터를 실현할 수 있다.

[0282] 도 16b는 휴대 정보 단말(PDA)이며, 본체(3021)에 표시부(3023)와, 외부 인터페이스(3025)와, 조작 버튼(3024) 등이 형성된다. 또한, 조작용 부속품으로서 스타일러스(stylus)(3022)가 있다. 상술한 실시형태에서 제시한 액정 표시 장치를 적용함으로써, 신뢰성이 높은 휴대 정보 단말(PDA)을 실현할 수 있다.

[0283] 도 16c는 전자 서적의 일례를 도시한 것이다. 예를 들어, 전자 서적은 하우징(2702) 및 하우징(2704)의 2개의 하우징으로 구성된다. 하우징(2702) 및 하우징(2704)은 축(軸)부(2712)에 의해 일체가 되고, 상기 축부(2712)를 축으로 하여 개폐 동작을 할 수 있다. 이와 같은 구성을 가짐으로써 종이로 이루어진 서적처럼 동작할 수 있다.

- [0284] 하우징(2702)에는 표시부(2705)가 내장되고, 하우징(2704)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 연속 화면을 표시하는 구성으로 하여도 되고, 상이한 화면을 표시하는 구성으로 하여도 된다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽 표시부(도 16c에서는 표시부(2705))에 문장을 표시하고, 왼쪽 표시부(도 16c에서는 표시부(2707))에 화상을 표시할 수 있다. 상술한 실시형태에서 제시한 액정 표시 장치를 적용함으로써, 신뢰성이 높은 전자 서적을 실현할 수 있다.
- [0285] 또한, 도 16c에 하우징(2702)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 하우징(2702)에 전원 단자(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)를 사용하여 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 된다. 또한, 하우징의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 된다. 또한, 전자 서적은 전자 사전으로서의 기능을 갖는 구성으로 하여도 된다.
- [0286] 또한, 전자 서적은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 된다. 무선에 의해 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고 다운로드하는 구성으로 할 수도 있다.
- [0287] 도 16d는 휴대 전화이며, 하우징(2800) 및 하우징(2801)의 2개의 하우징으로 구성된다. 하우징(2801)에는 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비한다. 또한, 하우징(2800)에 휴대 전화를 충전하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등을 구비한다. 또한, 안테나는 하우징(2801) 내부에 내장된다.
- [0288] 또한, 표시 패널(2802)은 터치 패널을 구비하고, 도 16d에 영상 표시되는 복수의 조작키(2805)를 점선으로 도시한다. 또한, 태양 전지 셀(2810)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장한다.
- [0289] 표시 패널(2802)은 사용 형태에 따라 표시 방향이 적절히 변화한다. 또한, 표시 패널(2802)과 동일 면 위에 카메라용 렌즈(2807)를 구비하기 때문에 영상 통화를 할 수 있다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화에 한정되지 않고, 영상 통화, 녹음, 재생 등이 가능하다. 또한, 하우징(2800)과 하우징(2801)은 도 16d에 도시한 바와 같은 펼쳐진 상태에서부터 겹쳐진 상태로 슬라이드시켜 소형화할 수 있고, 휴대하기에 적합하다.
- [0290] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신을 할 수 있다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.
- [0291] 또한, 상기 기능에 추가하여 적외선 통신 기능, 텔레비전 수신 기능 등을 구비하여도 된다. 상술한 실시형태에서 제시한 액정 표시 장치를 적용함으로써, 신뢰성이 높은 휴대 전화를 실현할 수 있다.
- [0292] 도 16e는 디지털 비디오 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 및 배터리(3056) 등으로 구성된다. 상술한 실시형태에서 제시한 액정 표시 장치를 적용함으로써, 신뢰성이 높은 디지털 비디오 카메라를 실현할 수 있다.
- [0293] 도 16f는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치는 하우징(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 의해 영상을 표시하는 것이 가능하다. 또한, 여기서는 스탠드(9605)에 의해 하우징(9601)을 지지한 구성을 도시한다. 상술한 실시형태에서 제시한 액정 표시 장치를 적용함으로써, 신뢰성이 높은 텔레비전 장치를 실현할 수 있다.
- [0294] 텔레비전 장치는 하우징(9601)이 구비하는 조작 스위치나, 별도로 구비되는 리모트 컨트롤러에 의해 조작할 수 있다. 또한, 리모트 컨트롤러로부터 출력되는 정보를 표시하는 표시부를 상기 리모트 컨트롤러에 형성하는 구성으로 하여도 된다.
- [0295] 또한, 텔레비전 장치는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반적인 텔레비전 방송을 수신할 수 있고, 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자에서 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보통신을 하는 것도 가능하다.
- [0296] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0297] (실시예 1)
- [0298] 상술한 실시형태에서 설명한 가변 용량 소자의 동작에 대해서 계산기를 사용하여 확인하였다.

- [0299] 계산은 디바이스 시뮬레이터 Atlas(Silvaco사 제조)를 이용하여 실시하였다. 가변 용량 소자의 적층 구성은 도 1a 내지 도 1c의 가변 용량 소자(100)와 같은 구성으로 하고, 반도체층(103)으로서 i형 In-Ga-Zn계 산화물 반도체를 상정하고, 두께를 100nm, 비유전율을 15, 전자 친화력을 4.3eV, 밴드갭을 3.15eV로 하였다. 또한, 제 1 전극(101)의 일함수를 4.3eV로 하고, 절연층(102)의 두께를 100nm, 비유전율을 4.1로 하고, 제 2 전극(104)의 일함수를 4.3eV로 하였다. 또한, 제 1 전극(101)과 반도체층(103)이 중첩되는 부분의 면적 C1과, 제 1 전극(101)과 반도체층(103)과 제 2 전극(104)이 중첩되는 부분의 면적 C2의 면적비를 C1:C2=3:1로 하였다. 또한, 가변 용량 소자가 고정 전압(직류 전압)하, 또는 저주파수 전압하에서 사용되는 것을 전제로 하여, 용량값을 산출하기 위한 주파수를 0.01Hz로 하였다.
- [0300] 도 17a에 반도체층(103)에 In-Ga-Zn계 산화물 반도체를 사용한 가변 용량 소자(100)의 계산 결과를 나타낸다. 도 17a에 있어서, 가로축은 제 1 전극(101)의 전위를 나타내고, 세로축은 최대 용량값을 1로 한 경우의 가변 용량 소자(100)의 용량값을 나타낸다. CV 특성(901)은 제 2 전극(104)의 전위를 0V로 고정하고 제 1 전극(101)의 전위를 8V부터 -8V까지 변화시켰을 때의 가변 용량 소자(100)의 용량값의 변화를 나타낸다.
- [0301] CV 특성(901)을 보면, 제 1 전극(101)의 전위가 양의 값일 때 거의 최대의 용량값이 안정적으로 얻어지는 것을 알 수 있다. 또한, 제 1 전극(101)의 전위가 음의 값일 때, 최대 용량값의 거의 3분의 1의 용량값이 안정적으로 얻어지는 것을 알 수 있다.
- [0302] In-Ga-Zn계 산화물 반도체는 양의 전계가 인가되면 n형이 되지만, 음의 전계가 인가되어도 반전층이 형성되지 않고 그대로 i형이 된다. 이로써, 반도체층(103)에 음의 전계가 인가되는 동안은 제 1 전극(101)의 전위에 상관없이 i형이 유지된다.
- [0303] 계산 결과로부터, 반도체층에 산화물 반도체를 사용한 가변 용량 소자(100)는 면적 C1과 면적 C2의 면적비에 대응한 용량값을 제어성 좋게 안정적으로 얻을 수 있는 것이 확인되었다.
- [0304] 또한, 도 17a에 도시한 계산 결과는 반도체층(103)에 인가되는 전계에 의해 n형 또는 i형으로 변화하는 반도체를 사용하는 예에 대해서 실시하였지만, 반도체층(103)에 인가되는 전계에 의해 p형 또는 i형으로 변화하는 반도체를 사용하는 경우에도 도 17a의 가로축의 플러스와 마이너스 부호를 서로 바꾸면 CV 특성(901)과 같은 경향이 보일 것으로 추측된다.
- [0305] 또한, 도 17b에 반도체층(103)에 n형 실리콘을 사용한 경우의 가변 용량 소자(100)의 계산 결과를 나타낸다. 계산은 반도체층(103)의 밴드갭을 1.1eV로 하고, n형 실리콘 내의 도너 밀도를 $1 \times 10^{16} / \text{cm}^3$ 로 하고, 다른 조건은 상술한 조건과 같은 조건으로 실시하였다.
- [0306] 도 17b에 있어서, 가로축은 제 1 전극(101)의 전위를 나타내고, 세로축은 최대 용량값을 1로 한 경우의 용량값을 나타낸다. CV 특성(902)은 제 2 전극(104)의 전위를 0V로 고정하고 제 1 전극(101)의 전위를 8V부터 -8V까지 변화시켰을 때의 가변 용량 소자(100)의 용량값의 변화를 나타낸다.
- [0307] CV 특성(902)을 보면, 제 1 전극(101)의 전위가 양의 값일 때, 거의 최대의 용량값이 안정적으로 얻어지는 것을 알 수 있다. 또한, 제 1 전극(101)의 전위가 -1V 부근일 때의 용량값을 최소로 하고 제 1 전극(101)의 전위가 음의 방향으로 증가할수록 용량값이 다시 증가하는 것을 알 수 있다.
- [0308] n형 실리콘은 양의 전계가 인가되는 동안에는 n형이지만, 음의 전계가 인가되면 공핍층이 형성되고, 그 후에 반전층이 형성되어 p형 실리콘이 된다. n형 실리콘 및 p형 실리콘은 양쪽 모두 도전체로서 기능한다. 이로써, 반전층이 형성되면, 용량값이 다시 증가해 버린다.
- [0309] 계산 결과로부터, 반도체층(103)에 n형 실리콘을 사용한 가변 용량 소자(100)는 제 1 전극(101)의 전위 변동의 영향을 받기 쉽고 면적 C1과 면적 C2의 면적비에 대응한 용량값의 제어성이 좋지 않아서 상이한 용량값을 안정적으로 얻을 수 없는 것이 확인되었다.
- [0310] 또한, 도 17b에 나타난 계산 결과는 반도체층(103)에 n형 실리콘을 사용하는 예에 대해서 계산한 결과이지만, 반도체층(103)에 p형 실리콘을 사용하는 경우에는 도 17b의 가로축의 플러스와 마이너스 부호를 서로 바꾸면 CV 특성(902)과 같은 경향이 보일 것으로 추측된다. 또한, 실리콘에 한정되지 않고, 반도체층(103)에 인가되는 전계에 의해 n형 또는 p형으로 변화하는 반도체 재료를 사용하는 경우에는 같은 경향이 보일 것으로 추측된다.

부호의 설명

[0311]	100: 가변 용량 소자	101: 전극
	102: 절연층	103: 반도체층
	104: 전극	111: CV 특성
	133: 반도체층	200: 화소
	201: 기판	202: 절연층
	203: 전극	204: 게이트 전극
	205: 절연층	206: 반도체층
	207: 반도체층	208: 전극
	209: 소스 전극	210: 드레인 전극
	211: 절연층	212: 절연층
	213: 콘택트홀	214: 화소 전극
	215: 화소 전극	220: 트랜지스터
	223: 배선	224: 배선
	228: 배선	250: 화소
	310: 용량 소자	400: 기판 온도
	401: CV 특성	901: CV 특성
	902: CV 특성	1000: 액정 표시 장치
	1001: 표시 패널	1002: 신호 생성 회로
	1003: 기억 회로	1004: 비교 회로
	1005: 선택 회로	1006: 표시 제어 회로
	1007: 구동 회로부	1008: 화소부
	1010: 프레임 메모리	1011: 용량선 구동 회로
	1100: 화소	1101: 트랜지스터
	1102: 용량 소자	1103: 액정 소자
	1104: 노드	1111: 배선
	1112: 배선	1113: 배선
	1114: 전극	1601: 패널
	1602: 확산판	1603: 프리즘 시트
	1604: 확산판	1605: 도광판
	1607: 백라이트 패널	1608: 회로 기판
	1609: COF 테이프	1610: FPC
	1611: 기판	1612: 백라이트
	2400: 기판	2401: 게이트 전극
	2402: 게이트 절연층	2403: 산화물 반도체층
	2406: 채널 보호층	2407: 절연층
	2409: 보호 절연층	2411: 게이트 전극

2412: 게이트 전극	2413: 게이트 절연층
2414: 게이트 절연층	2421: 소스 전극
2422: 드레인 전극	2436: 하지층
2450: 트랜지스터	2460: 트랜지스터
2470: 트랜지스터	2480: 트랜지스터
2550: 트랜지스터	2560: 트랜지스터
2570: 트랜지스터	2702: 하우징
2704: 하우징	2705: 표시부
2707: 표시부	2712: 측부
2721: 전원 단자	2723: 조작 키
2725: 스피커	2800: 하우징
2801: 하우징	2802: 표시 패널
2803: 스피커	2804: 마이크로폰
2805: 조작키	2806: 포인팅 디바이스
2807: 카메라용 렌즈	2808: 외부 접속 단자
2810: 태양 전지 셀	2811: 외부 메모리 슬롯
3001: 본체	3002: 하우징
3003: 표시부	3004: 키보드
3021: 본체	3022: 스타일러스
3023: 표시부	3024: 조작 버튼
3025: 외부 인터페이스	3051: 본체
3053: 접안부	3054: 조작 스위치
3055: 표시부(B)	3056: 배터리
3057: 표시부(A)	4001: 기관
4002: 화소부	4003: 신호선 구동 회로
4004: 주사선 구동 회로	4005: 쉘재
4006: 대향 기관	4007: 액정
4008: 용량선 구동 회로	4009: 트랜지스터
4011: 액정 소자	4015: 배선
4016: 접속 단자	4018: FPC
4019: 이방성 도전층	4020: 용량 소자
4021: 기관	4022: 트랜지스터
4023: 트랜지스터	4030: 화소 전극
4031: 대향 전극	4032: 반사 전극
4033: 투명 전극	4034: 배향층
4035: 배향층	4036: 스페이서

4040: 차폐층

9601: 하우징

9605: 스탠드

1009B: 신호선 구동 회로

248a: 결정성 산화물 반도체층

4041: 컬러 필터

9603: 표시부

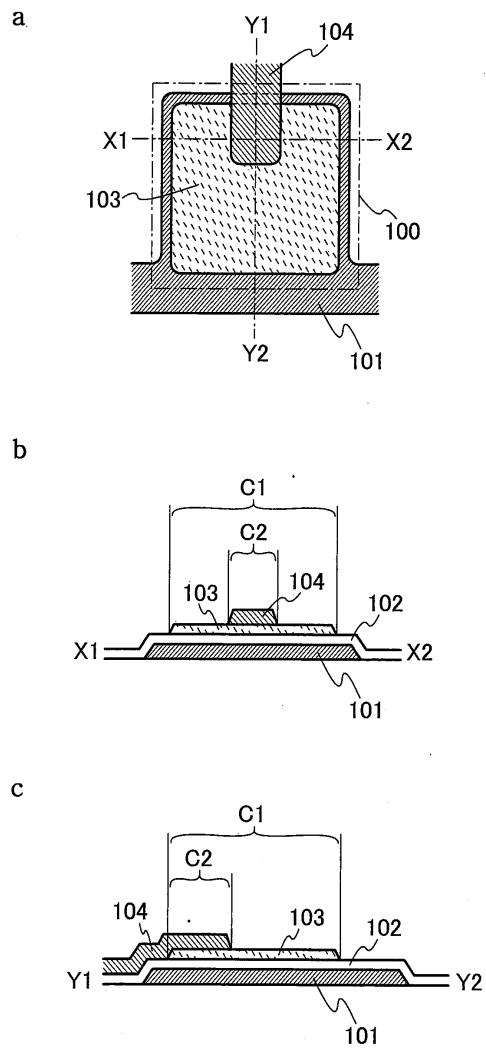
1009A: 주사선 구동 회로

1011: 용량선 구동 회로

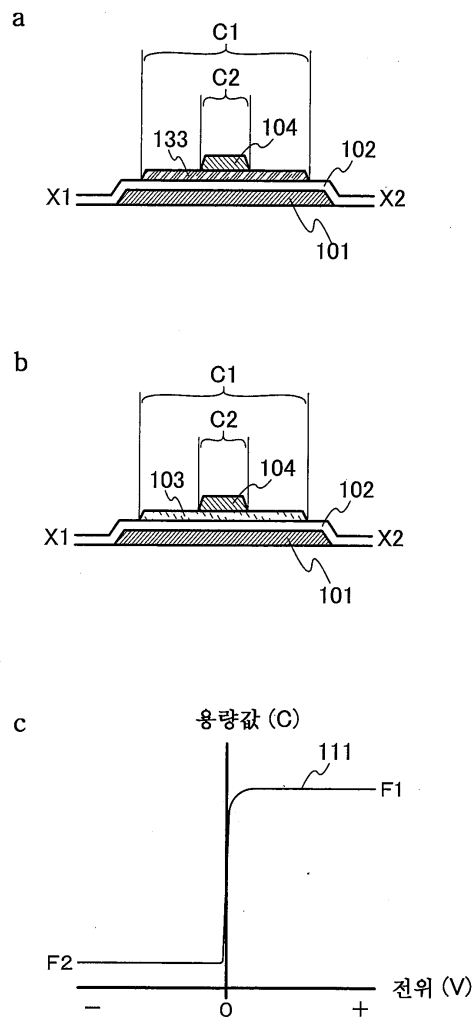
248b: 결정성 산화물 반도체층

도면

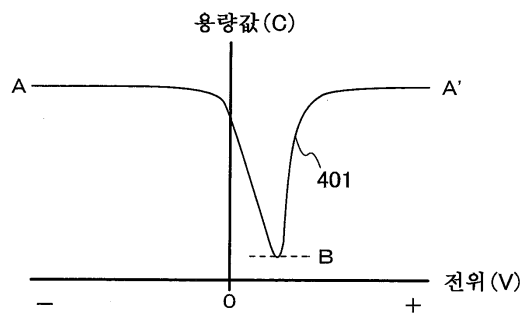
도면1



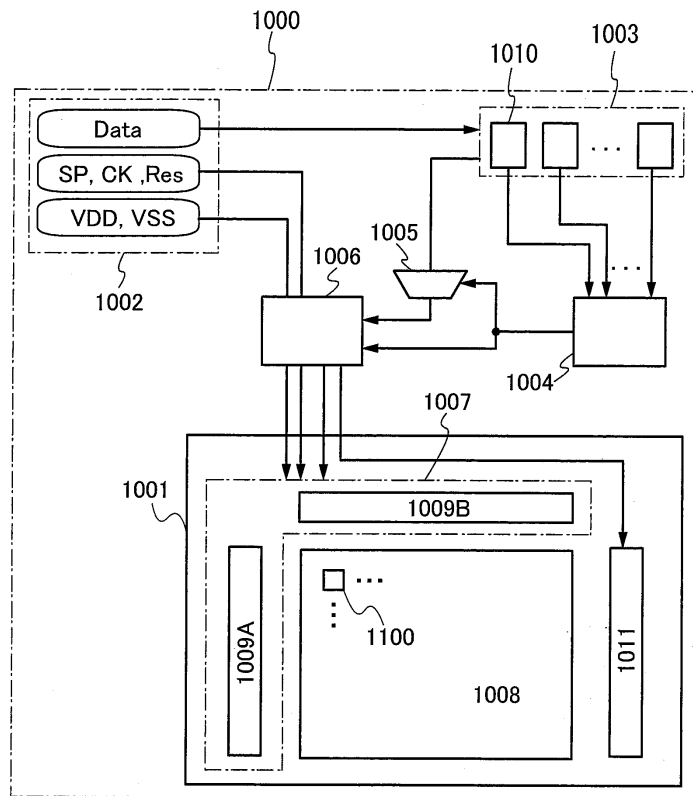
도면2



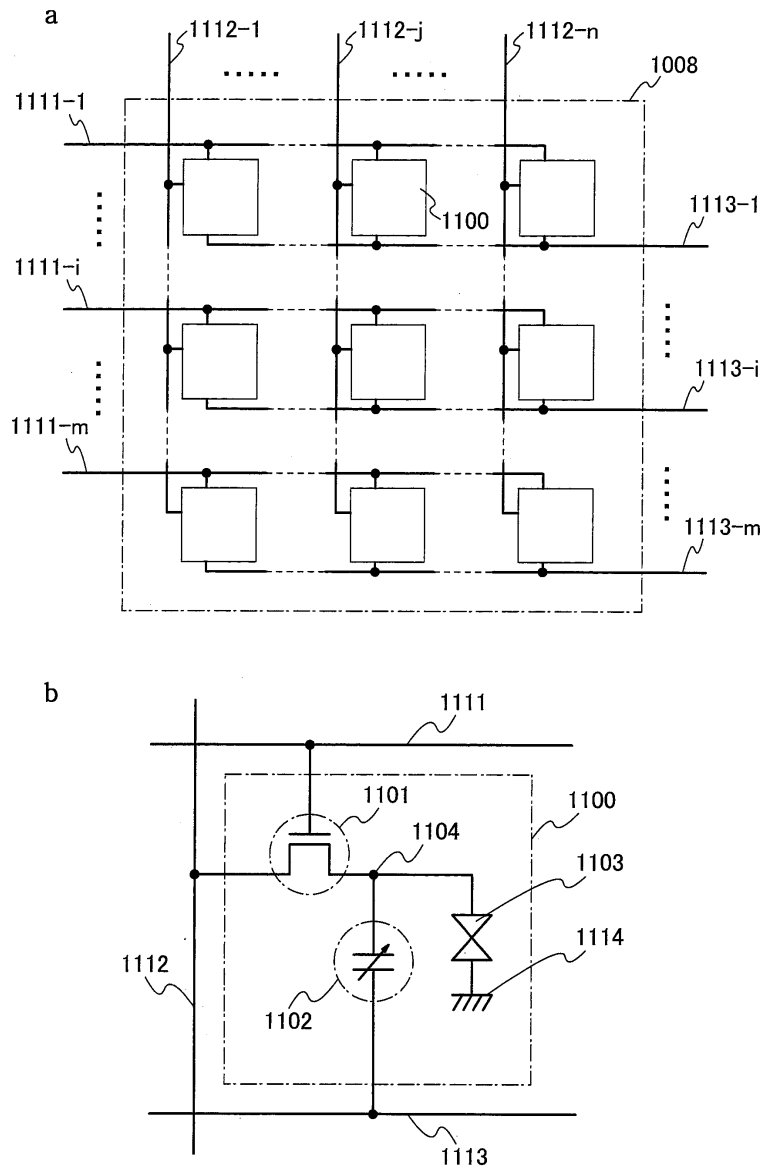
도면3



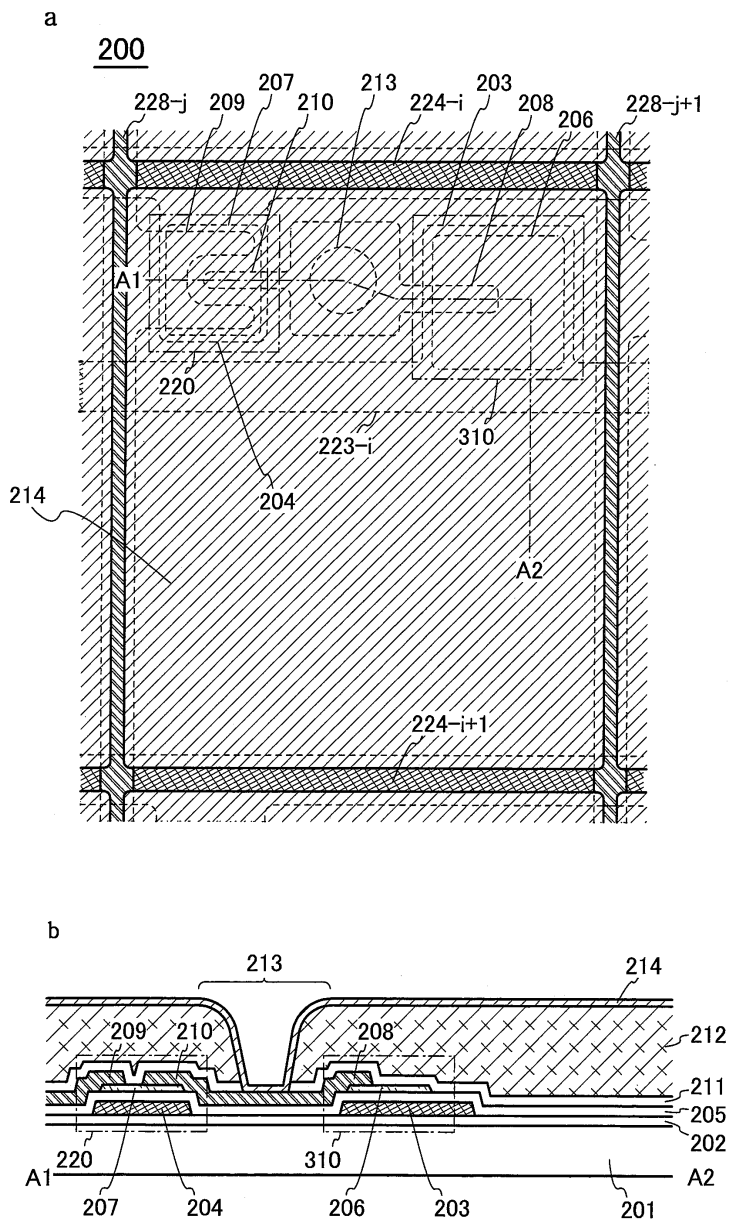
도면4



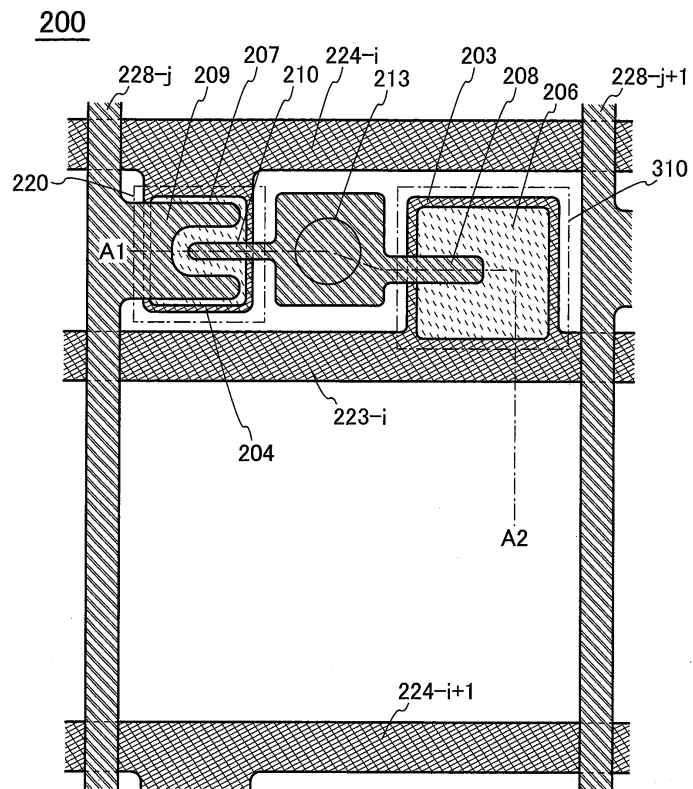
도면5



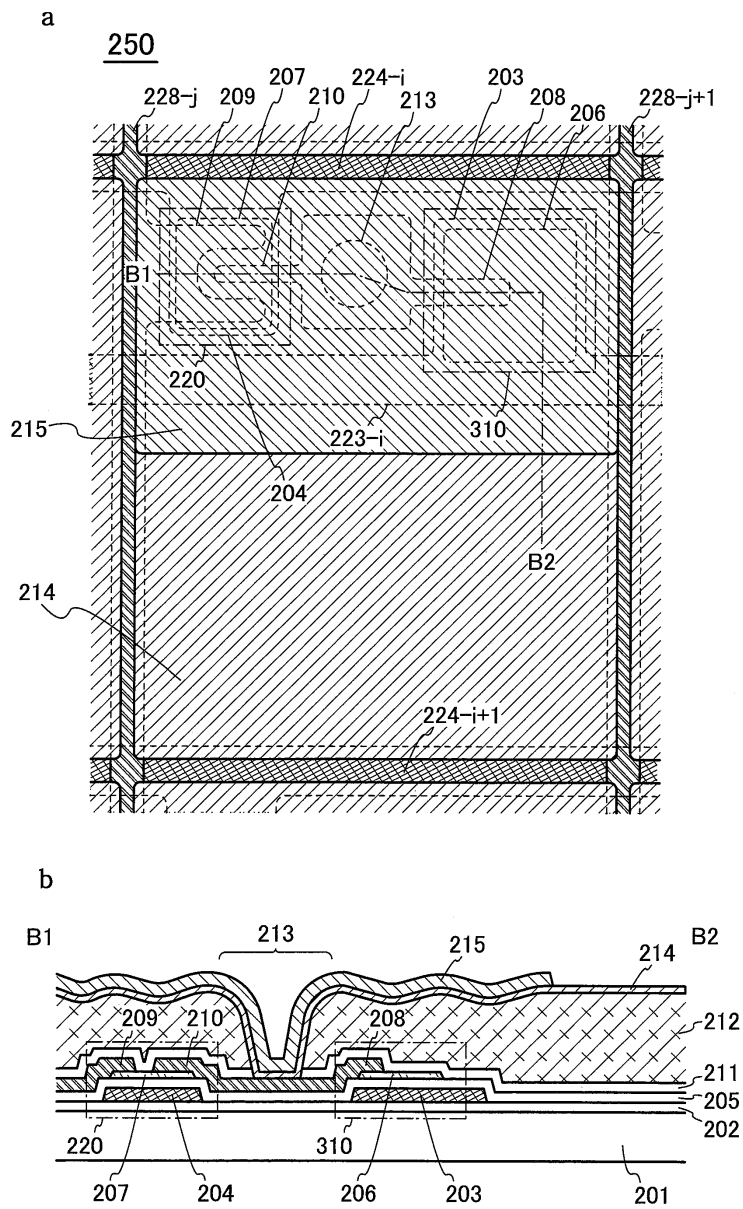
도면6



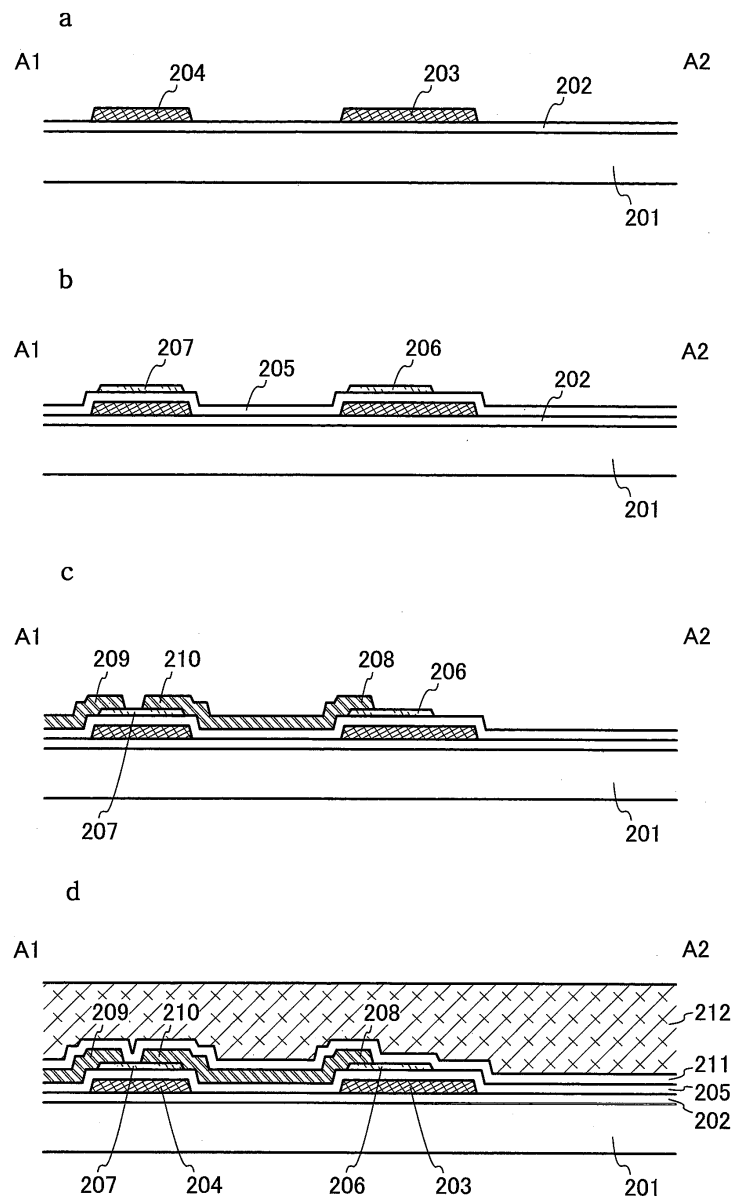
도면7



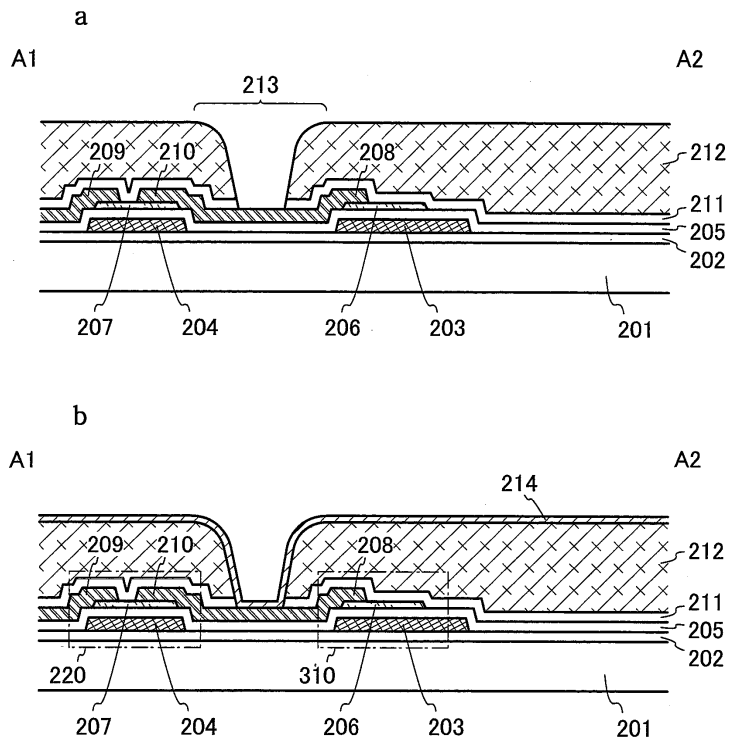
도면8



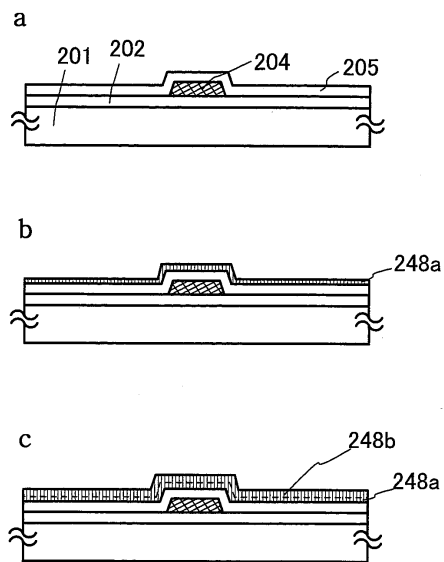
도면9



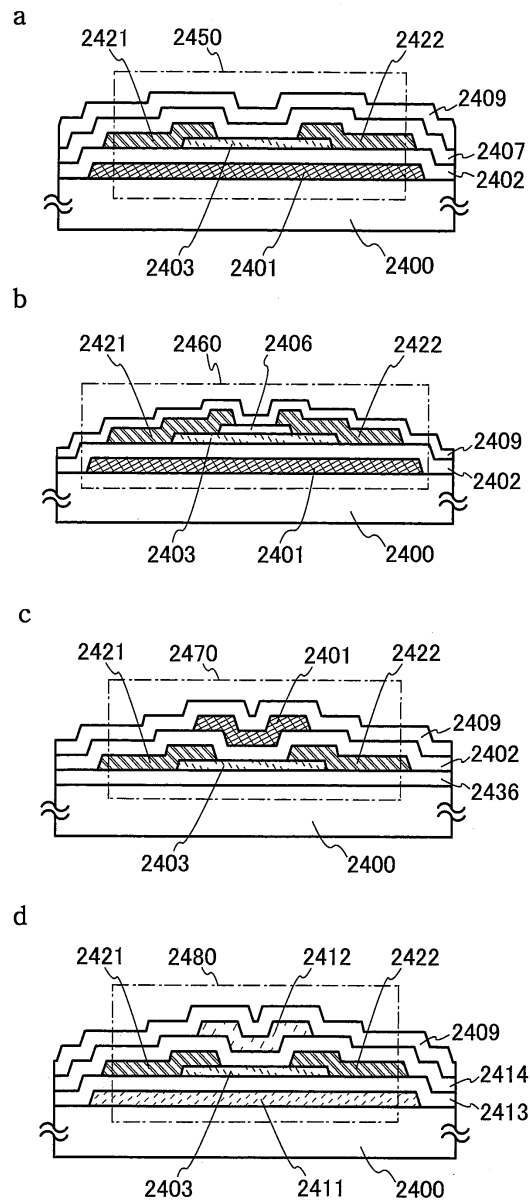
도면10



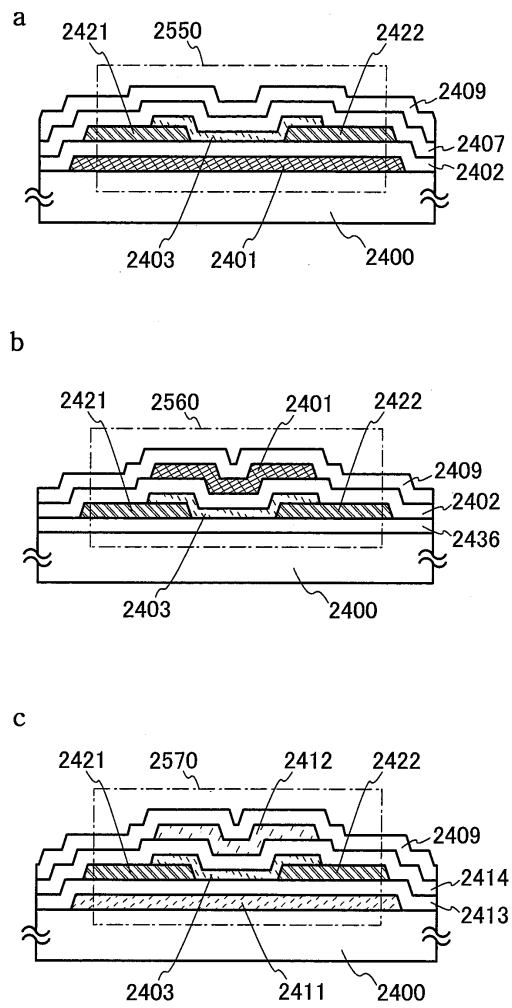
도면11



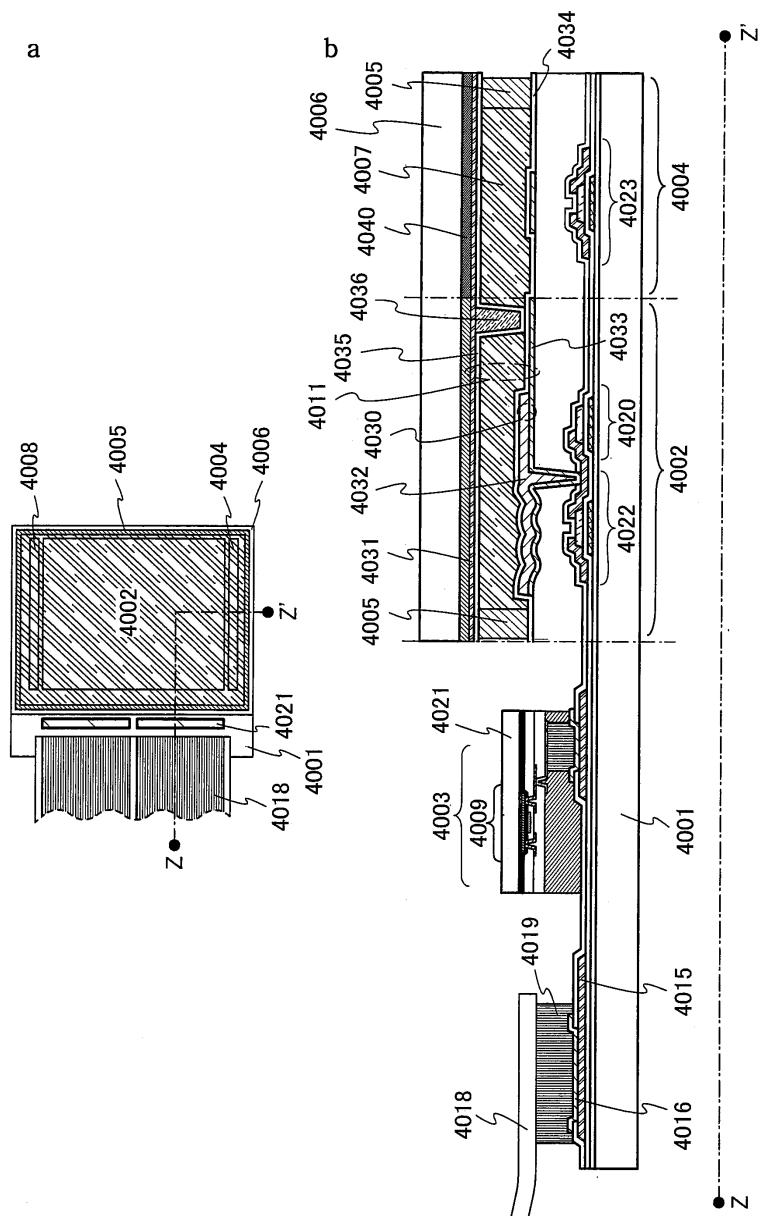
도면12



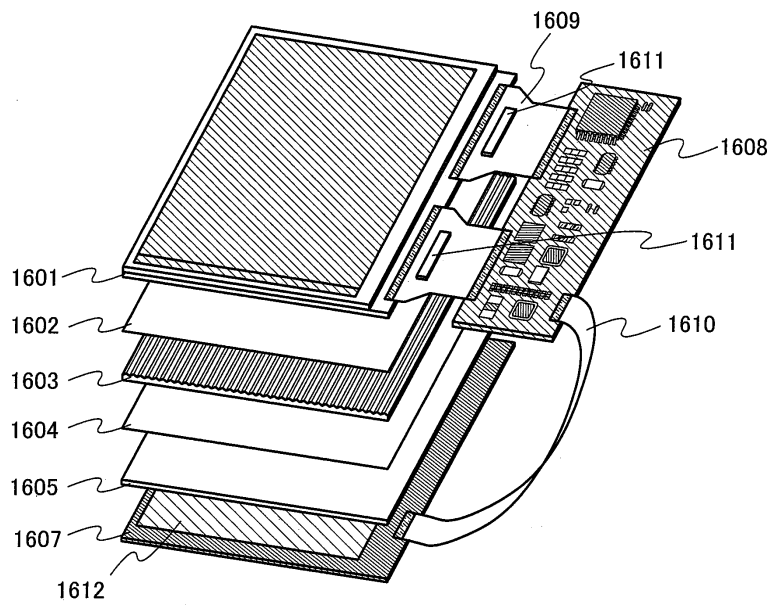
도면13



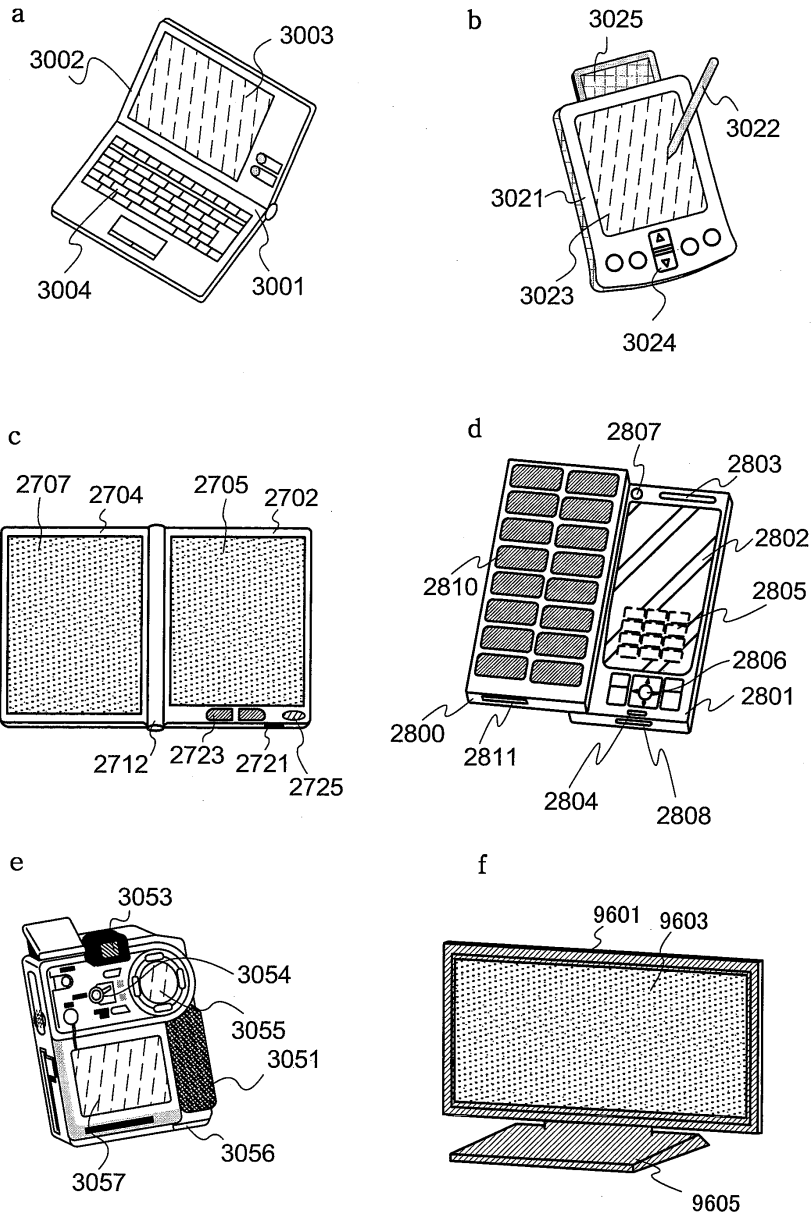
도면14



도면15

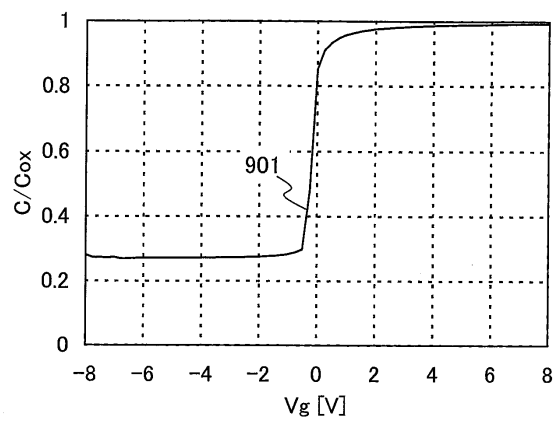


도면16

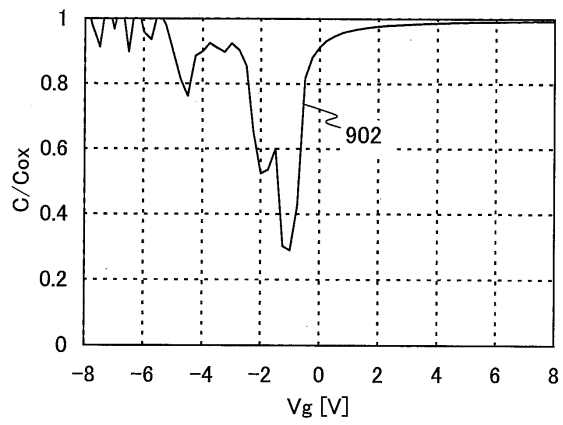


도면17

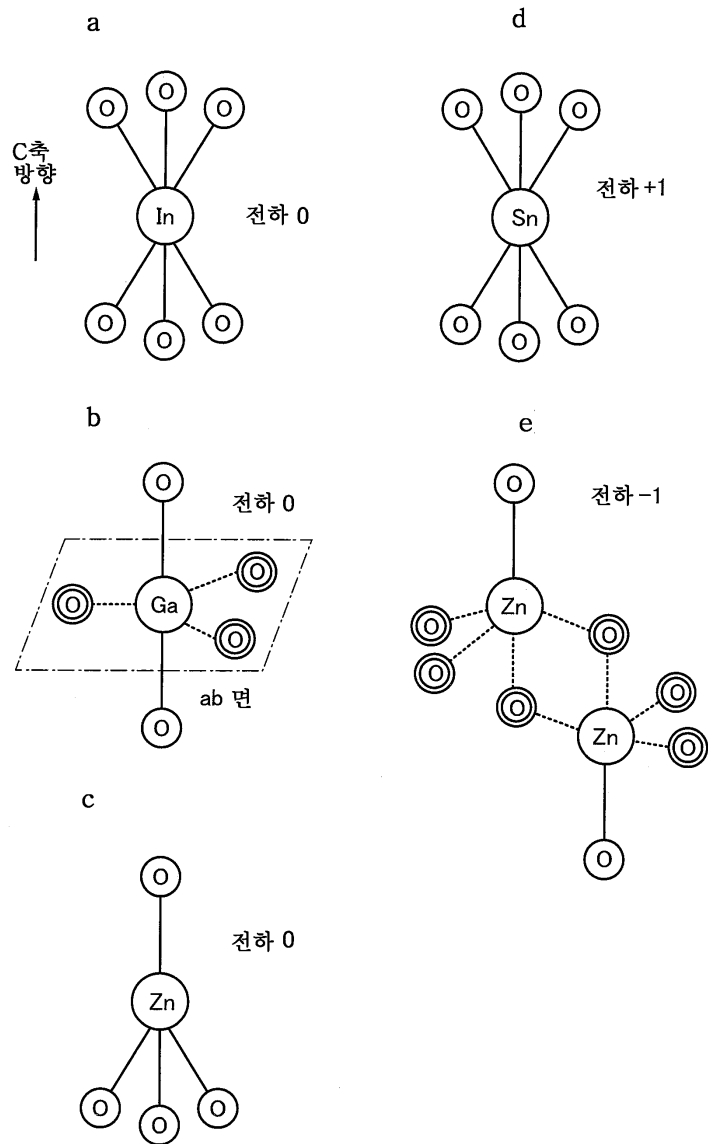
a



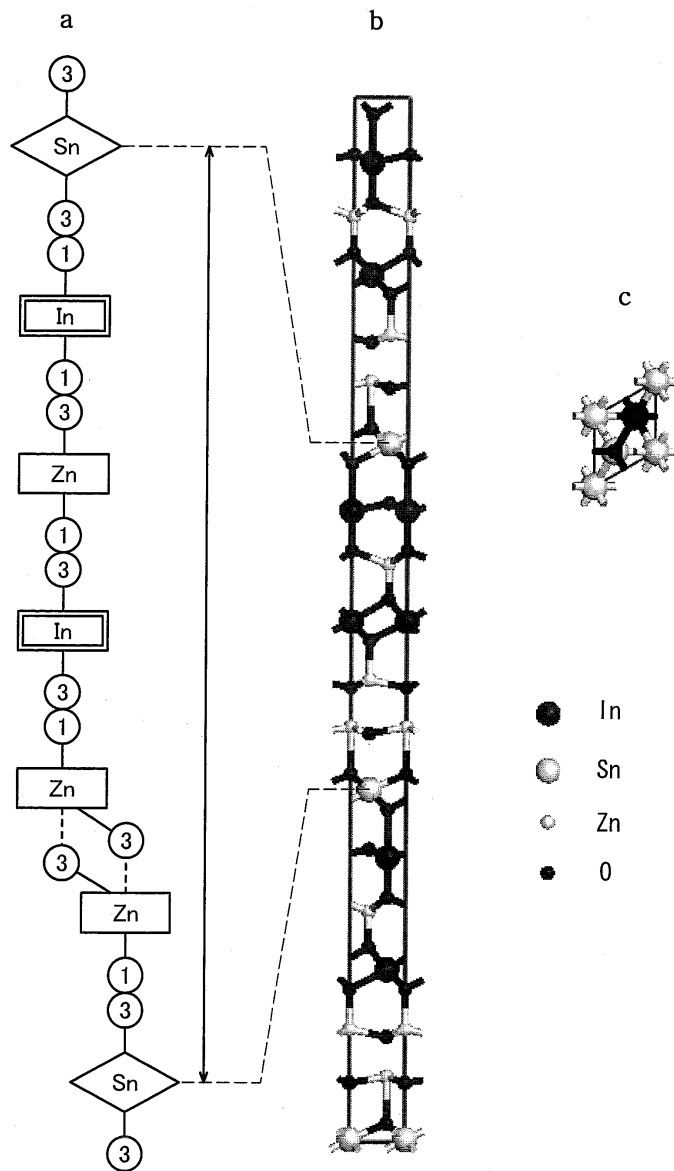
b



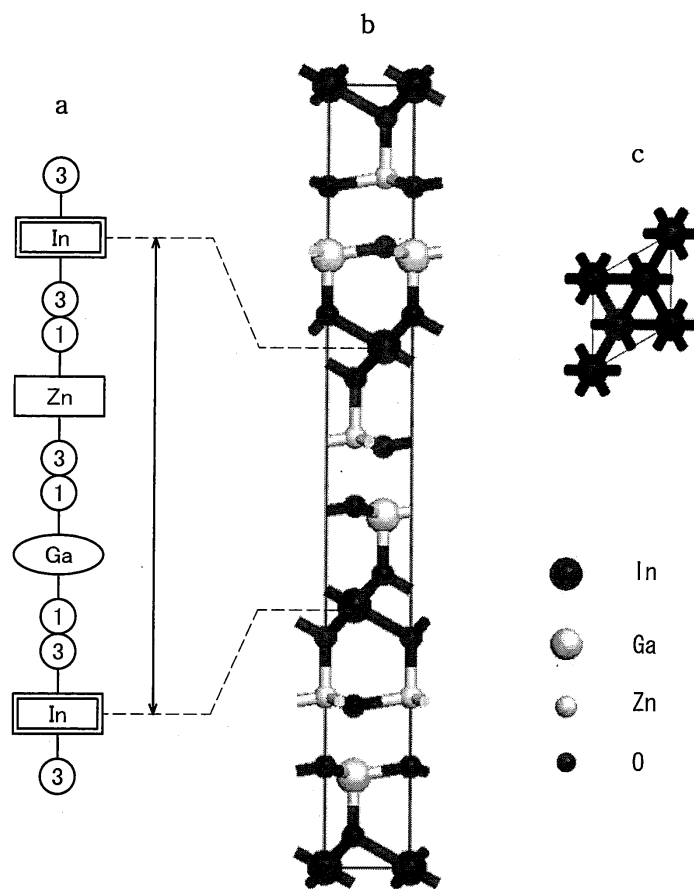
도면18



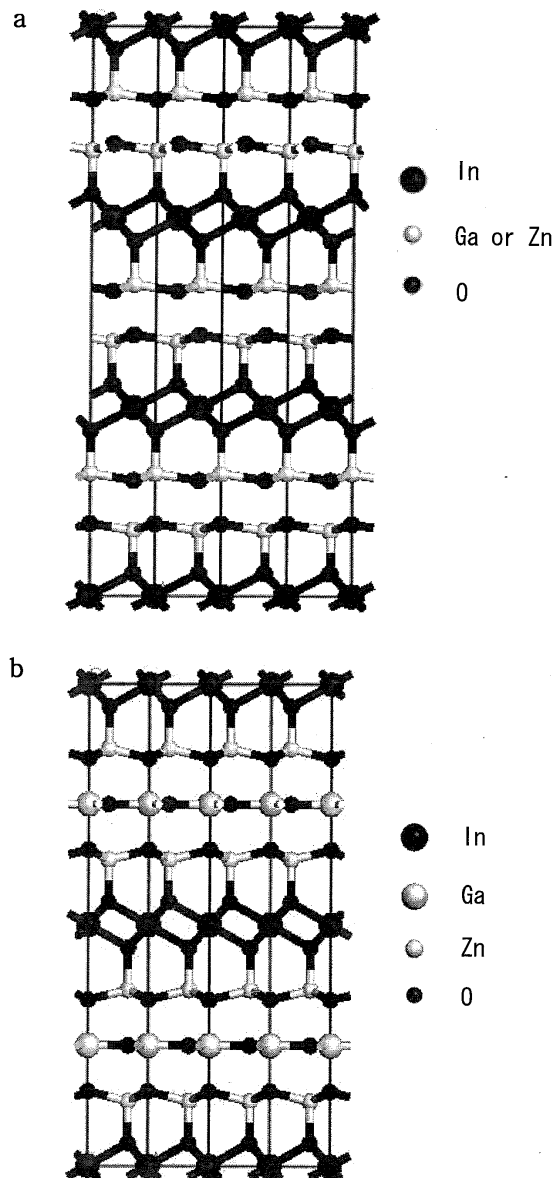
도면19



도면20



도면21



专利名称(译)	标题：可变电容器和液晶显示器件		
公开(公告)号	KR1020120048501A	公开(公告)日	2012-05-15
申请号	KR1020110113803	申请日	2011-11-03
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	UOCHI HIDEKI		
发明人	UOCHI HIDEKI		
IPC分类号	G02F1/1368 G09G3/36 H01L29/786 G02F1/136		
CPC分类号	G02F1/136213 H01L27/1255 H01L27/1225 H01L29/93 H01L29/41733 H01L27/124		
代理人(译)	李昌勋		
优先权	2010249074 2010-11-05 JP		
外部链接	Espacenet		

摘要(译)

本发明的目的在于提供一种可变容积元件，其中可控性良好且稳定地操作。而且，提供了具有优异显示质量的液晶显示器，其功耗较小。使用根据所施加的电场成为n型的半导体或成为p型或i型的i型或半导体来组织可变体积元件。上述半导体层和用作介电层的绝缘层的叠层形成在第一电极上，第二电极形成在包括电容元件的电极上。第一电极形成在介电层上。在第二电极形成在半导体层侧的情况下，形成第一电极，半导体层和第二电极重叠的区域C2小于第一电极和半导体层重叠的区域C1。在运动图像显示和静态图像显示中，可以在用于转换驱动方法的液晶显示器中实现具有优异显示质量的液晶显示器，其中所应用的可变体积元件的功耗较小。

