



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0008761
(43) 공개일자 2012년02월01일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0069828

(22) 출원일자 2010년07월20일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김학수

대구광역시 수성구 용화로 303, 시영3단지 301동 1507호 (지산동)

김미경

경상북도 구미시 임수동 LG디스플레이동락원기숙사 D동 301호

(74) 대리인

박영복, 김용인

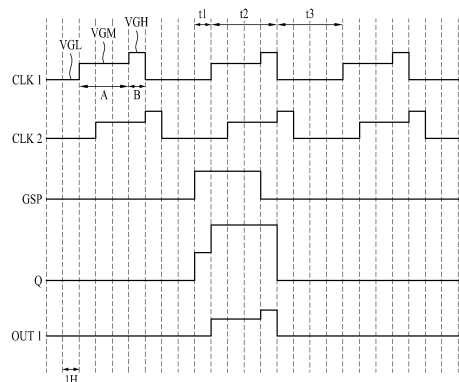
전체 청구항 수 : 총 10 항

(54) 액정 표시장치 및 그 구동방법

(57) 요약

본 발명은 게이트 구동회로의 소비전력을 줄일 수 있는 액정 표시장치 및 그 구동방법에 관한 것으로 다수의 게이트 라인 및 데이터 라인의 교차로 각 화소 영역을 정의하는 액정 패널과; 전압 레벨이 서로 다른 게이트 하이 전압, 게이트 미들 전압, 및 게이트 로우 전압으로 구분되어 출력되는 클럭 펄스와, 데이터 제어 신호를 출력하는 타이밍 제어부와; 상기 클럭 펄스에 응답하여 상기 다수의 게이트 라인을 구동하는 게이트 구동부와; 상기 데이터 제어 신호에 응답하여 상기 다수의 데이터 라인을 구동하는 데이터 구동부를 구비함을 특징으로 한다.

대표도 - 도6



특허청구의 범위

청구항 1

다수의 게이트 라인 및 데이터 라인의 교차로 각 화소 영역을 정의하는 액정 패널과;

전압 레벨이 서로 다른 게이트 하이 전압, 게이트 미들 전압, 및 게이트 로우 전압으로 구분되어 출력되는 클럭 펄스와, 데이터 제어 신호를 출력하는 타이밍 제어부와;

상기 클럭 펄스에 응답하여 상기 다수의 게이트 라인을 구동하는 게이트 구동부와;

상기 데이터 제어 신호에 응답하여 상기 다수의 데이터 라인을 구동하는 데이터 구동부를 구비함을 특징으로 하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 하이 전압은 상기 게이트 로우 전압보다 상대적으로 높은 전압 레벨을 갖고,

상기 게이트 미들 전압은 상기 게이트 하이 전압과 상기 게이트 로우 전압 사이의 전압 레벨을 갖는 것을 특징으로 하는 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 클럭 펄스는

디세이블 기간에 상기 게이트 로우 전압을 유지하고,

인에이블 기간에 상기 게이트 미들 전압 및 상기 게이트 하이 전압을 유지하는 것을 특징으로 하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 인에이블 기간은

상기 게이트 미들 전압을 유지하는 제 1 기간과,

상기 게이트 하이 전압을 유지하는 제 2 기간으로 구분되며,

상기 제 1 기간은 상기 제 2 기간의 길이보다 길거나 같은 것을 특징으로 하는 액정 표시장치.

청구항 5

제 2 항에 있어서,

상기 게이트 미들 전압은

상기 게이트 하이 전압의 절반에 대응하는 전압 레벨보다 크거나 같은 것을 특징으로 하는 액정 표시장치.

청구항 6

제 1 항에 있어서,

상기 게이트 구동부는

세트 노드의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 타이밍 제어부로부터 제공된 상기 클럭 펄스를 스캔 펄스로 출력하는 풀-업 스위칭 소자를 구비한 것을 특징으로 하는 액정 표시장치.

청구항 7

전압 레벨이 서로 다른 게이트 하이 전압, 게이트 미들 전압, 및 게이트 로우 전압으로 구분되어 출력되는 클럭 펄스와, 데이터 제어 신호를 출력하는 단계와;

상기 클럭 펄스에 응답하여 다수의 게이트 라인을 구동하는 단계를 포함함을 특징으로 하는 액정 표시장치의 구동방법.

청구항 8

제 7 항에 있어서,

상기 게이트 하이 전압은 상기 게이트 로우 전압보다 상대적으로 높은 전압 레벨을 갖고,

상기 게이트 미들 전압은 상기 게이트 하이 전압과 상기 게이트 로우 전압 사이의 전압 레벨을 갖는 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 클럭 펄스는 디세이블 기간에 상기 게이트 로우 전압을 유지하고, 인에이블 기간에 상기 게이트 미들 전압 및 상기 게이트 하이 전압을 유지하며,

상기 인에이블 기간은 상기 게이트 미들 전압을 유지하는 제 1 기간과, 상기 게이트 하이 전압을 유지하는 제 2 기간으로 구분되며,

상기 제 1 기간은 상기 제 2 기간의 길이보다 길거나 같은 것을 특징으로 하는 액정 표시장치의 구동방법.

청구항 10

제 8 항에 있어서,

상기 게이트 미들 전압은

상기 게이트 하이 전압의 절반에 대응하는 전압 레벨보다 크거나 같은 것을 특징으로 하는 액정 표시장치의 구동방법.

명세서

기술분야

[0001] 본 발명은 게이트 구동회로의 소비전력을 줄일 수 있는 액정 표시장치 및 그 구동방법에 관한 것이다.

배경기술

[0002] 최근, 게이트 구동회로를 패널에 내장해서 부피와 무게를 감소시키고 제조 비용을 낮출 수 있는 GIP(Gate In Panel)형 액정 표시장치가 소개되었다.

[0003] GIP형 액정 표시장치에서 게이트 구동회로는 비정질 실리콘(a-Si) 박막 트랜지스터(Thin Film Transistor, 이하 'TFT')를 이용하여 액정 패널의 비표시 영역에 내장된다. 이러한 게이트 구동회로는 다수의 게이트 라인에 스캔 펄스를 순차적으로 공급하는 쉬프트 레지스터를 구비한다. 쉬프트 레지스터는 타이밍 제어부로부터 클럭 펄스를 제공받아서 스캔 펄스를 출력하는 출력 버퍼부와, 출력 버퍼부의 출력을 제어하는 출력 제어부를 구비한다.

수학식 1

$$P=IV=CV^2f$$

[0004]

[0005] 이때, 출력 버퍼부를 구성하는 TFT는 게이트 구동회로에서 소비전력이 가장 크다. 구체적으로, 수학식 1을 참조

하면 소비전력(P)는 전류(I)와 전압(V)과, 정전용량(C), 및 주파수(f)에 비례한다. 이때, 출력 버퍼부는 구동 주파수가 가장 빠른 클럭 펄스를 제공받는다. 또한, 출력 버퍼부를 구성하는 TFT는 게이트 구동회로에서 크기가 가장 크며, 이에 따라 TFT에서 게이트 전극과 클럭 펄스를 입력받는 드레인 전극 사이에 발생하는 기생 커패시터의 정전용량(C)도 가장 크다. 따라서, 출력 버퍼부를 구성하는 TFT는 구동 주파수(f)가 가장 빠르고 기생 커패시터의 정전용량(C)이 가장 크므로 게이트 구동회로에서 소비전력이 가장 크다.

[0006] 한편, 게이트 구동 집적회로를 사용하는 표시장치도 GIP형 액정 표시장치와 마찬가지로 출력 버퍼부를 구비한다. 게이트 구동 집적회로에서 출력 버퍼부는 다결정 실리콘 TFT로 구성되며, 다결정 실리콘 TFT는 비정질 실리콘 TFT보다 기생 커패시터의 정전용량(C)이 적다.

[0007] 따라서, GIP형 액정 표시장치는 비정질 실리콘 TFT로 구성된 출력 버퍼부로 인해, 게이트 구동 집적회로를 사용하는 표시장치보다 기생 커패시터의 정전용량(C)이 커지고, 결과적으로 소비전력이 커지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 게이트 구동회로의 소비전력을 줄일 수 있는 액정 표시장치 및 그 구동방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

[0009] 상기와 같은 목적을 달성하기 위해 본 발명의 실시 예에 따른 액정 표시장치는 다수의 게이트 라인 및 데이터 라인의 교차로 각 화소 영역을 정의하는 액정 패널과; 전압 레벨이 서로 다른 게이트 하이 전압, 게이트 미들 전압, 및 게이트 로우 전압으로 구분되어 출력되는 클럭 펄스와, 데이터 제어 신호를 출력하는 타이밍 제어부와; 상기 클럭 펄스에 응답하여 상기 다수의 게이트 라인을 구동하는 게이트 구동부와; 상기 데이터 제어 신호에 응답하여 상기 다수의 데이터 라인을 구동하는 데이터 구동부를 구비함을 특징으로 한다.

[0010] 상기 게이트 하이 전압은 상기 게이트 로우 전압보다 상대적으로 높은 전압 레벨을 갖고, 상기 게이트 미들 전압은 상기 게이트 하이 전압과 상기 게이트 로우 전압 사이의 전압 레벨을 갖는 것을 특징으로 한다.

[0011] 상기 클럭 펄스는 디세이بل 기간에 상기 게이트 로우 전압을 유지하고, 인에이بل 기간에 상기 게이트 미들 전압 및 상기 게이트 하이 전압을 유지하는 것을 특징으로 한다.

[0012] 상기 인에이블 기간은 상기 게이트 미들 전압을 유지하는 제 1 기간과, 상기 게이트 하이 전압을 유지하는 제 2 기간으로 구분되며, 상기 제 1 기간은 상기 제 2 기간의 길이보다 길거나 같은 것을 특징으로 한다.

[0013] 상기 게이트 미들 전압은 상기 게이트 하이 전압의 절반에 대응하는 전압 레벨보다 크거나 같은 것을 특징으로 한다.

[0014] 상기 게이트 구동부는 세트 노드의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 상기 타이밍 제어부로부터 제공된 상기 클럭 펄스를 스캔 펄스로 출력하는 풀-업 스위칭 소자를 구비한 것을 특징으로 한다.

[0015] 또한, 상기와 같은 목적을 달성하기 위해 본 발명의 실시 예에 따른 액정 표시장치의 구동방법은 전압 레벨이 서로 다른 게이트 하이 전압, 게이트 미들 전압, 및 게이트 로우 전압으로 구분되어 출력되는 클럭 펄스와, 데이터 제어 신호를 출력하는 단계와; 상기 클럭 펄스에 응답하여 다수의 게이트 라인을 구동하는 단계를 포함함을 특징으로 한다.

[0016] 상기 게이트 하이 전압은 상기 게이트 로우 전압보다 상대적으로 높은 전압 레벨을 갖고, 상기 게이트 미들 전압은 상기 게이트 하이 전압과 상기 게이트 로우 전압 사이의 전압 레벨을 갖는 것을 특징으로 한다.

[0017] 상기 클럭 펄스는 디세이블 기간에 상기 게이트 로우 전압을 유지하고, 인에이블 기간에 상기 게이트 미들 전압 및 상기 게이트 하이 전압을 유지하며, 상기 인에이블 기간은 상기 게이트 미들 전압을 유지하는 제 1 기간과, 상기 게이트 하이 전압을 유지하는 제 2 기간으로 구분되며, 상기 제 1 기간은 상기 제 2 기간의 길이보다 길거나 같은 것을 특징으로 한다.

[0018] 상기 게이트 미들 전압은 상기 게이트 하이 전압의 절반에 대응하는 전압 레벨보다 크거나 같은 것을 특징으로 한다.

발명의 효과

[0019] 본 발명의 실시 예에 따른 액정 표시장치는 클럭 펄스가 서로 다른 전압 레벨을 갖는 게이트 하이 전압, 게이트 미들 전압, 게이트 로우 전압을 가지며 출력된다. 이에 따라, 클럭 펄스를 제공받는 게이트 구동부의 풀-업 TFT의 소비전력을 줄일 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구성도.
 도 2는 도 1에 도시된 타이밍 제어부의 구성도.
 도 3은 본 발명의 실시 예에 따른 클럭 펄스의 출력 파형도.
 도 4는 도 1에 도시된 게이트 구동부의 구성도.
 도 5는 도 4에 도시된 제 1 스테이지의 구성도.
 도 6은 도 5에 도시된 제 1 스테이지의 동작 파형도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 본 발명의 실시 예에 따른 액정 표시장치 및 그 구동방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

[0022] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구성도이다.

[0023] 도 1에 도시된 액정 표시장치는 도시된 액정 표시장치는 다수의 게이트 라인(GL1 내지 GLn)과 다수의 데이터 라인(DL1 내지 DLm)의 교차로 화소 영역을 정의하는 액정 패널(6)과, 게이트 및 데이터 제어신호(GCS, DCS)를 출력하는 타이밍 제어부(2)와, 데이터 제어신호(DCS)에 따라 다수의 데이터 라인(DL1 내지 DLm)을 구동하는 데이터 구동부(4)와, 게이트 제어신호(GCS)에 따라 다수의 게이트 라인(GL1 내지 GLn)을 구동하는 게이트 구동부(8)를 구비한다. 이때, 게이트 구동부(8)는 액정 패널(6)에 내장된다.

[0024] 한편, 타이밍 제어부(2)에서 출력되는 게이트 제어 신호(GCS)는 3 단계의 전압레벨로 구분되어 출력되며, 이로 인해 게이트 구동부(8)의 소비전력을 줄일 수 있다. 이러한, 게이트 제어 신호(GCS)에 대해서 구체적으로 후술하기로 한다.

[0025] 액정 패널(6)은 다수의 게이트 라인(GL1 ~ GLn)과 다수의 데이터 라인(DL1 ~ DLm)을 구비한다. 다수의 게이트 라인(GL1 ~ GLn)과 다수의 데이터 라인(DL1 ~ DLm)은 화소 영역을 정의한다. 각 화소 영역은 박막 트랜지스터(Thin Film Transistor; 이하 'TFT')와, TFT와 접속된 액정 커패시터(C1c) 및 스토리지 커패시터(Cst)를 구비한다. 액정 커패시터(C1c)는 TFT와 접속된 화소 전극과, 화소 전극과 함께 액정에 전계를 인가하는 공통 전극을 구비한다. TFT는 각 게이트 라인(GLi, i=1~n)에서 공급되는 스캔 펄스에 응답하여 각 데이터 라인(DLj, j=1~m)으로부터의 영상 신호를 화소 전극에 공급한다. 액정 커패시터(C1c)는 화소 전극에 공급된 영상 신호와 공통 전극에 공급된 공통 전압(Vcom)의 차전압을 충전하고, 그 차전압에 따라 액정 분자들의 배열을 가변시켜 광 투과율을 조절함으로써 계조를 구현한다. 스토리지 커패시터(Cst)는 액정 커패시터(C1c)와 병렬로 접속되어 액정 커패시터(C1c)에 충전된 전압이 다음 영상 신호가 공급될 때까지 유지되게 한다.

[0026] 도 2는 도 1에 도시된 타이밍 제어부의 구성도이다.

[0027] 도 2에 도시된 타이밍 제어부(2)는 영상 정렬부(10)와, 데이터 제어부(14)와, 게이트 제어부(12)를 구비한다.

[0028] 영상 정렬부(10)는 외부로부터 입력되는 영상 데이터(RGB)를 액정 패널(6)의 해상도에 맞게 정렬해서 데이터 구동부(4)에 공급한다.

[0029] 데이터 제어부(14)는 외부로부터 입력되는 동기신호를 이용하여 데이터 제어신호(DCS)를 생성하여 데이터 구동부(4)에 공급한다.

[0030] 여기서, 데이터 제어신호(DCS)는 데이터 구동부(4)의 출력 기간을 제어하는 소스 출력 인에이블(SOE; Source Output Enable), 데이터 샘플링의 시작을 지시하는 소스 스타트 펄스(SSP; Source Start Pulse), 데이터의 샘플링 타이밍을 제어하는 소스 쉬프트 클럭(SSC; Source Shift Clock), 데이터의 전압 극성을 제어하는 극성 제

어 신호 등을 포함한다.

- [0031] 게이트 제어부(12)는 외부로부터 입력되는 동기신호 즉, 수평 동기신호(HSync), 수직 동기신호(VSync), 도트 클럭(DCLK), 데이터 인에이블 신호(DE)를 이용하여 게이트 제어신호(GCS)를 생성하여 게이트 구동부(8)에 공급한다.
- [0032] 여기서, 게이트 제어신호(GCS)는 클럭 펄스(CLK)와 게이트 구동부(8)의 구동 시작을 지시하는 게이트 스타트 펄스(GSP)를 포함한다. 클럭 펄스(CLK)는 서로 다른 위상을 갖고 순환하며 출력되는 제 1 내지 제 8 클럭 펄스(CLK1 ~ CLK8)를 포함한다. 한편, 본 발명의 실시 예에서 클럭 펄스(CLK)는 서로 다른 위상을 갖는 8종의 클럭 펄스(CLK)를 포함하지만, 클럭 펄스(CLK)는 2 개 이상이면 몇 개라도 사용할 수 있다.
- [0033] 한편, 게이트 제어 신호(GCS) 중 클럭 펄스(CLK)는 3 단계의 전압레벨로 구분되어 출력되며, 이로 인해 게이트 구동부(8)의 소비전력을 줄일 수 있다.
- [0034] 이하, 3 단계의 전압레벨로 구분되어 출력되는 클럭 펄스(CLK)에 대해 살펴보기로 한다.
- [0035] 도 3은 본 발명의 실시 예에 따른 클럭 펄스의 출력 파형도이다.
- [0036] 도 3을 참조하면, 클럭 펄스(CLK)는 3 단계의 전압레벨 즉, 게이트 로우 전압(VGL)과, 게이트 미들 전압(VGM)과, 게이트 하이 전압(VGH)으로 구분되어 출력된다. 이때, 게이트 하이 전압(VGH)은 게이트 로우 전압(VGL)보다 상대적으로 높은 전압레벨을 가지며, 게이트 미들 전압(VGM)은 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이의 전압레벨을 갖는다.
- [0037] 이러한, 클럭 펄스(CLK)는 디세이블 기간에는 게이트 로우 전압(VGL) 상태를 갖고, 인에이블 기간에는 게이트 미들 전압(VGM) 및 게이트 하이 전압(VGH)의 상태를 갖는다. 구체적으로, 클럭 펄스(CLK)는 4 수평 기간(4H)의 인에이블 기간을 가지며, 인에이블 기간은 3 수평 기간(3H)동안 게이트 미들 전압(VGM) 상태를 갖는 제 1 기간(A)과, 1 수평 기간(1H)동안 게이트 하이 전압(VGH) 상태를 갖는 제 2 기간(B)으로 구분된다.
- [0038] 이와 같이, 3 단계의 전압레벨을 갖는 클럭 펄스(CLK)는 게이트 구동부(8)의 출력 버퍼부(P, 도 5 참조)에 공급되어, 출력 버퍼부(P)의 소비 전력을 줄일 수 있게 된다. 이러한, 출력 버퍼부(P)에 대해 설명하기 위해 게이트 구동부(8)의 구성부터 살펴보기로 한다.
- [0039] 도 4는 도 1에 도시된 게이트 구동부의 구성도이다.
- [0040] 도 1에 도시된 게이트 구동부(8)는 게이트 라인(GL1 ~ GLn)에 스캔 펄스(OUT1 ~ OUTn)를 순차적으로 공급하는 쉬프트 레지스터를 구비한다.
- [0041] 쉬프트 레지스터는 타이밍 제어부(2)로부터 제공된 클럭 펄스(CLK)와, 게이트 스타트 펄스(GSP)에 응답하여 스캔 펄스(OUT1 ~ OUTn)를 순차적으로 출력하는 제 1 내지 제 n 스테이지(S1 ~ Sn)를 구비한다. 이때, 각 스테이지들(S1 ~ Sn)은 매 프레임에 한번씩 스캔 펄스(OUT1 ~ OUTn)를 출력하고, 제 1 스테이지(S1)부터 제 n 스테이지(Sn)까지 차례로 스캔 펄스(OUT1 ~ OUTn)를 출력한다.
- [0042] 이를 위해, 각 스테이지들(S1 ~ Sn)은 고전위 전압(VDD)과, 저전위 전압(VSS)과, 타이밍 제어부(2)로부터 제공된 제 1 내지 제 8 클럭 펄스(CLK1 ~ CLK8) 중 1 개를 인가받는다. 여기서, 고전위 전압(VDD) 및 저전위 전압(VSS)은 직류 전압으로 고전위 전압(VDD)은 저전위 전압(VSS)보다 상대적으로 높은 전위를 갖는다. 예를 들어, 고전위 전압(VDD)은 정극성을 나타내고, 저전위 전압(VSS)은 부극성을 나타낼 수 있다. 한편, 저전위 전압(VSS)은 접지전압이 될 수 있다.
- [0043] 제 1 내지 제 n 스테이지(S1 ~ Sn) 각각은 이전단 스테이지의 스캔 펄스를 공급받아서 인에이블 상태의 스캔 펄스(OUT1 ~ OUTn)를 출력하는데 이용하고, 다음단 스테이지의 스캔 펄스(OUT1 ~ OUTn)를 공급받아서 디세이블 상태의 스캔 펄스(OUT1 ~ OUTn)를 출력하는데 이용한다. 단, 제 1 스테이지(S1)는 이전단 스테이지가 존재하지 않으므로, 타이밍 제어부(2)로부터 게이트 스타트 펄스(GSP)를 제공받는다. 또한, 제 n 스테이지(Sn)는 더미 스테이지(미도시)로부터 제공된 신호에 응답하여 디세이블 상태의 스캔 펄스(OUT1 ~ OUTn)를 출력한다.
- [0044] 이하, 각 스테이지(S1 ~ Sn)가 스캔 펄스(OUT1 ~ OUTn)를 출력하는 동작에 대해 제 1 스테이지(S1)를 예를 들어 설명하기로 한다.
- [0045] 도 5는 도 4에 도시된 제 1 스테이지의 구성도이고, 도 6은 도 5에 도시된 제 1 스테이지의 동작 파형도이다.
- [0046] 도 5를 참조하면, 제 1 스테이지(S1)는 출력 제어부(P2)와, 출력 버퍼부(P1)를 구비한다. 출력 제어부(P2)는 제

1 내지 제 5 TFT(T1 ~ T5)를 구비해서 출력 버퍼부(P1)를 제어한다. 출력 버퍼부(P1)는 출력 제어부(P2)에 따라 제 1 스캔 펄스(OUT1)를 출력하는 풀-업 TFT(Tup)와, 풀-다운 TFT(Tdn)를 구비한다.

[0047] 제 1 TFT(T1)는 게이트 스타트 펄스(GSP)에 따라 턴-온 또는 턴-오프되며, 턴-온시 고전위 전압(VDD)라인과 제 1 노드(Q)를 서로 연결한다.

[0048] 제 2 TFT(T2)는 고전위 전압(VDD)라인으로부터 제공되는 고전위 전압(VDD)에 따라 턴-온 또는 턴-오프되며, 턴-온시 고전위 전압(VDD)라인과 제 2 노드(QB)를 서로 연결한다.

[0049] 제 3 TFT(T3)는 제 1 노드(Q)의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 저전위 전압(VSS)라인과 제 2 노드(QB)를 서로 연결한다.

[0050] 제 4 TFT(T4)는 제 2 스테이지(S2)로부터 제공되는 제 2 스캔 펄스(OUT2)에 따라 턴-온 또는 턴-오프되며, 턴-온시 저전위 전압(VSS)라인과 제 1 노드(Q)를 서로 연결한다.

[0051] 제 5 TFT(T5)는 제 2 노드(QB)의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 저전위 전압(VSS)라인과 제 1 노드(Q)를 서로 연결한다.

[0052] 풀-업 TFT(Tup)는 제 1 노드(Q)의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 제 1 클럭 펄스(CLK1)를 제 1 스캔 펄스(OUT1)로 출력한다.

[0053] 풀-다운 TFT(Tdn)는 제 2 노드(QB)의 논리 상태에 따라 턴-온 또는 턴-오프되며, 턴-온시 저전위 전압(VSS)라인으로부터 제공되는 저전위 전압(VSS)을 제 1 스캔 펄스(OUT1)로 출력한다.

[0054] 이러한 제 1 스테이지(S1)의 동작은 다음과 같다.

[0055] 도 6을 참조하면, 제 1 스테이지(S1)는 세트 기간(t1)에 인에이블 상태의 게이트 스타트 펄스(GSP)가 제 1 TFT(T1)의 게이트 전극에 공급된다. 그러면, 제 1 TFT(T1)가 턴-온되고, 제 1 TFT(T1)를 통해 고전위 전압(VDD)이 제 1 노드(Q)와, 제 3 TFT(T3)의 게이트 전극에 공급된다. 이에 따라, 제 1 노드(Q)는 인에이블 상태로 프리-차지된다. 그리고 제 3 TFT(T3)가 턴-온되어 제 2 노드(QB)가 디세이블 상태가 된다.

[0056] 이어서, 제 1 스테이지(S1)는 세트 기간(t1) 다음의 출력 기간(t2)에 인에이블 상태의 제 1 클럭 펄스(CLK1)가 풀-업 TFT(Tup)의 드레인 전극에 공급된다. 이에 따라, 풀-업 TFT(Tup)의 게이트 전극과 드레인 전극간의 기생 커패시터(Cgd)에 의한 커플링 현상에 의해 프리-차지된 제 1 노드(Q)의 전압이 부트스트랩핑(Bootstrapping)된다. 이에 따라, 풀-업 TFT(Tup)가 완전한 턴-온 상태가 되고, 턴-온된 풀-업 TFT(Tup)를 통해 인에이블 상태의 제 1 클럭 펄스(CLK1)가 제 1 스캔 펄스(OUT1)로서 출력단자에 공급된다. 그리고 제 2 노드(QB)는 디세이블 상태를 유지한다.

[0057] 이어서, 제 1 스테이지(S1)는 출력 기간(t2) 다음의 리셋 기간(t3)에 인에이블 상태의 제 2 스캔 펄스(OUT2)가 제 4 TFT(T4)의 게이트 전극에 공급된다. 그러면, 제 4 TFT(T4)는 턴-온되고, 제 4 TFT(T4)를 통해 저전위 전압(VSS)이 제 1 노드(Q)에 공급되어서 풀-업 TFT(Tup) 및 제 3 TFT(T3)가 턴-오프된다. 그러면, 제 2 TFT(T2)를 통해 고전위 전압(VDD)이 제 2 노드(QB)에 공급되어 풀-다운 TFT(Tdn)가 턴-온되고, 풀-다운 TFT(Tdn)을 통해 저전위 전압(VSS)이 제 1 스캔 펄스(OUT1)로서 출력단자에 공급된다.

[0058] 한편, 상술한 TFT의 동작에서 TFT가 턴-온시 신호가 전달되는 방향은 소스 전극에서 드레인 전극, 또는 그 반대인 드레인에서 소스 전극이 될 수 있다.

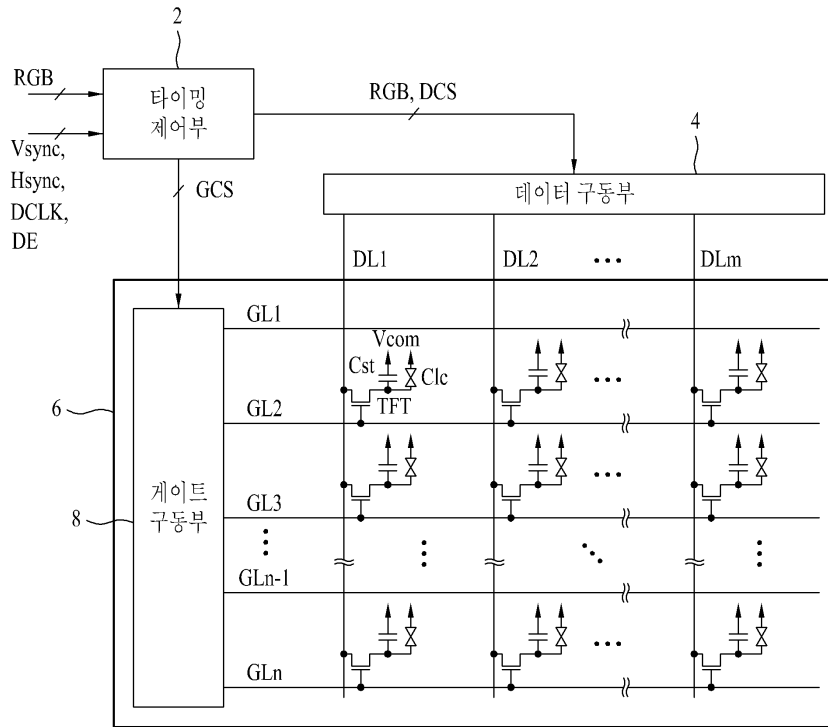
[0059] 상기와 같이 동작하는 각 스테이지(S1 ~ Sn)에서 풀-업 TFT(Tup)는 그 크기가 가장 크고 소비 전력이 가장 크다. 이러한 풀-업 TFT(Tup)의 소비전력을 줄이기 위해 본 발명의 실시 예는 풀-업 TFT(Tup)에 공급되는 클럭 펄스(CLK)의 전압 레벨을 3단계로 구분하여 공급한다.

[0060] 수학적 1을 참고하면, 풀-업 TFT(Tup)의 소비전력은 구동 주파수(f)와, 기생 커패시터(Cgd)의 정전용량(C)에 비례하며, 전압(V)의 제곱에 비례한다. 전술한 바와 같이, 본 발명의 실시 예는 풀-업 TFT(Tup)에 공급되는 클럭 펄스(CLK)가 인에이블 기간이 3 수평 기간(3H)동안 게이트 미들 전압(VGM) 상태를 갖는 제 1 기간(A)과, 1 수평 기간(1H)동안 게이트 하이 전압(VGH) 상태를 갖는 제 2 기간(B)으로 구분된다. 이에 따라, 본 발명의 실시 예는 클럭 펄스가 인에이블 상태로서 게이트 하이 전압(VGH)만 공급될 때보다 풀-업 TFT(Tup)의 소비전력을 줄일 수 있다.

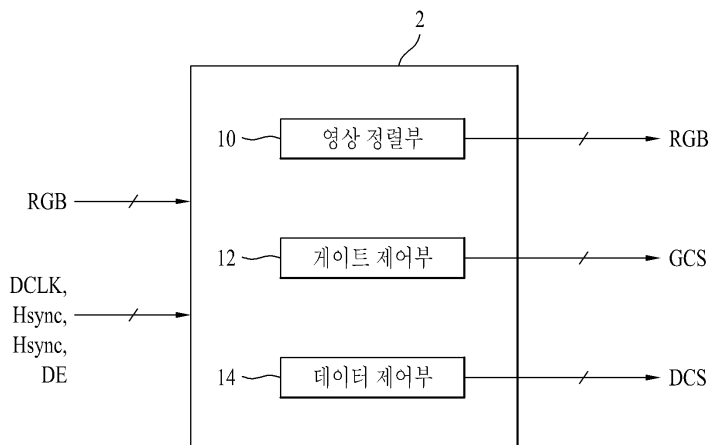
[0061] 구체적으로, 풀-업 TFT(Tup)에 클럭 펄스(CLK)가 인에이블 상태로서 게이트 하이 전압(VGH)만 공급될 경우, 수

도면

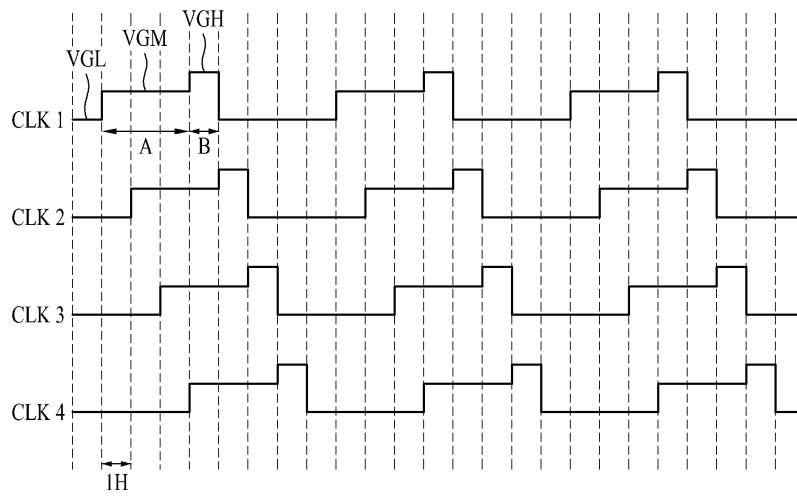
도면1



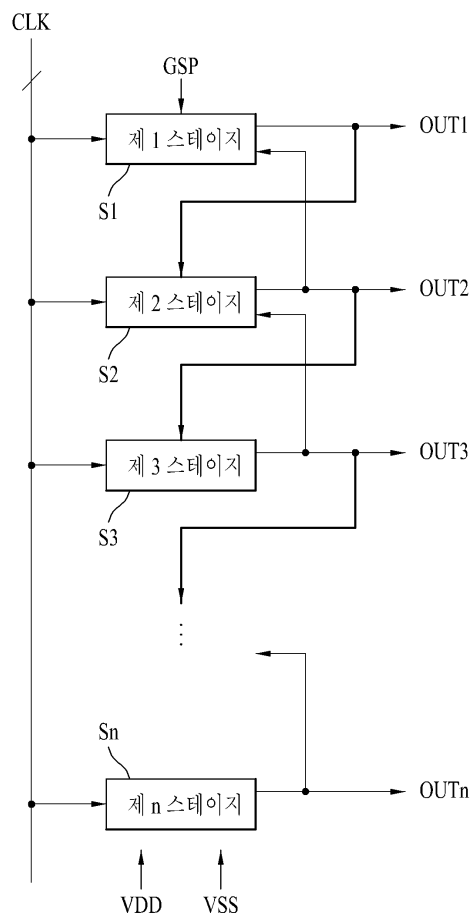
도면2



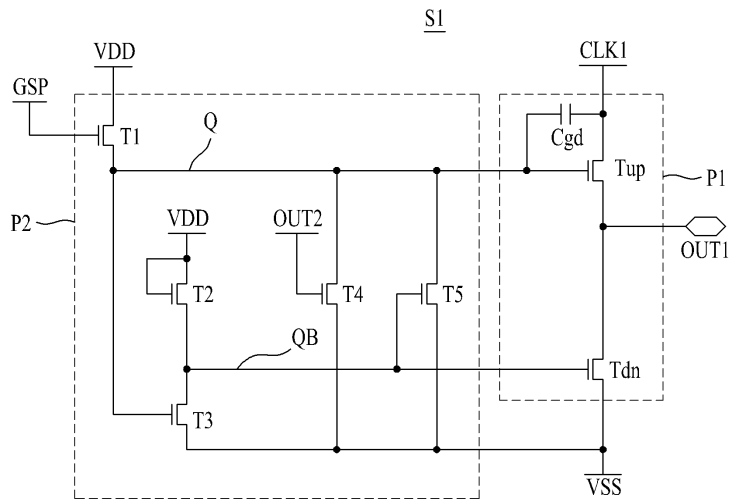
도면3



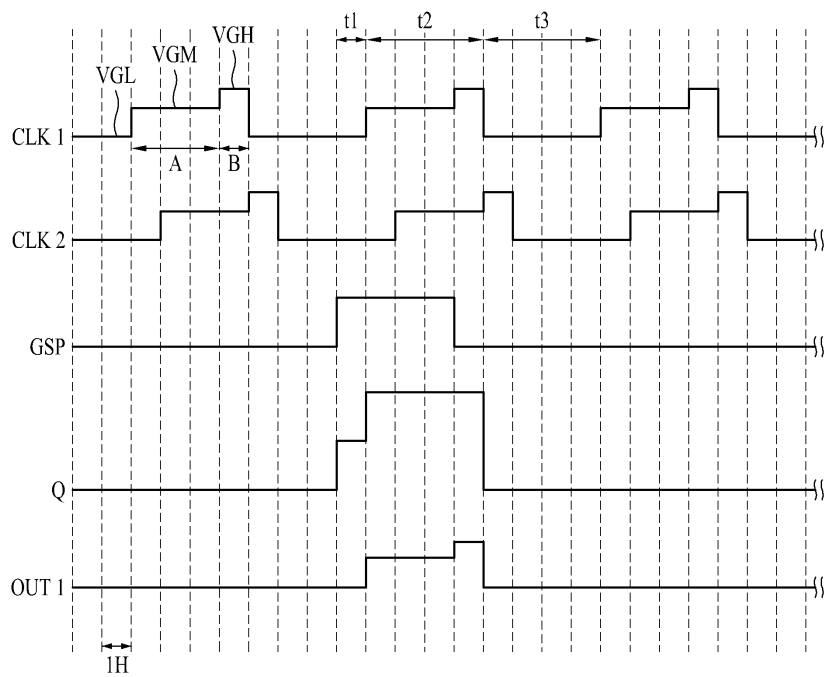
도면4



도면5



도면6



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020120008761A	公开(公告)日	2012-02-01
申请号	KR1020100069828	申请日	2010-07-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HAK SU 김학수 KIM MI KYUNG 김미경		
发明人	김학수 김미경		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3677 G09G3/3648 G09G3/3611 G09G2310/0286 G09G2330/021 G11C19/28		
代理人(译)	Bakyoungbok		
其他公开文献	KR101686102B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其驱动方法，通过输出具有不同电压电平的时钟脉冲来降低栅极驱动单元中上拉TFT的功耗。组成：栅极起始脉冲（GSP）在设定周期（ t_1 ）期间，将第一薄膜晶体管的栅电极提供给第一薄膜晶体管的栅电极。第一个TFT导通。将高电位电压提供给第三TFT的第一节点和栅电极。第一个节点预充电以启用。第三个TFT打开。第二个节点被禁用。COPYRIGHT KIPO 2012

