



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0000375  
(43) 공개일자 2012년01월02일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0060707

(22) 출원일자 2010년06월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

권명훈

대구 북구 동천동 칠곡 네스빌 101동 1806호

김성진

대구 수성구 만촌3동 861번지 화성파크드림2 201동 2103호

정종욱

경북 칠곡군 석적읍 중리 224-1 엘지디스플레이 B-226

(74) 대리인

특허법인로알

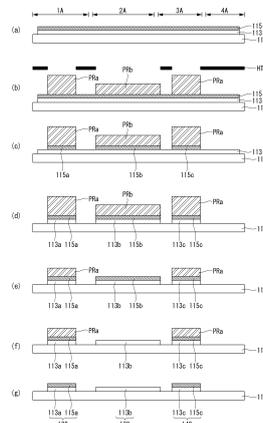
전체 청구항 수 : 총 10 항

(54) 액정표시장치의 제조방법과 액정표시장치

(57) 요약

본 발명의 실시예는, 기관의 채널부에 제1금속층 및 제2금속층으로 이루어진 게이트전극과, 기관의 투과부에 제1금속층으로 이루어진 하부화소전극과, 기관의 제1범프부에 제1금속층 및 제2금속층으로 이루어진 제1범프가 형성되도록 제1금속층 및 제2금속층을 패터닝하는 단계; 게이트전극, 하부화소전극 및 제1범프를 덮는 제1절연막을 형성하는 단계; 채널부에 대응되는 제1절연막 상에 액티브층을 형성하는 단계; 액티브층 상에 소오스 전극 및 드레인 전극을 형성하는 단계; 소오스 전극, 드레인 전극 및 제1절연막을 덮는 제2절연막을 형성하고 하부화소전극을 노출하는 제1콘택홀과 제1범프를 노출하는 제2콘택홀을 형성하는 단계; 및 제2절연막 상에 다수로 분할된 제3금속층을 형성하는 단계를 포함하는 액정표시장치의 제조방법을 제공한다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

기판의 채널부에 제1금속층 및 제2금속층으로 이루어진 게이트전극과, 상기 기판의 투과부에 상기 제1금속층으로 이루어진 하부화소전극과, 상기 기판의 제1범프부에 상기 제1금속층 및 상기 제2금속층으로 이루어진 제1범프가 형성되도록 상기 제1금속층 및 상기 제2금속층을 패터닝하는 단계;

상기 게이트전극, 상기 하부화소전극 및 상기 제1범프를 덮는 제1절연막을 형성하는 단계;

상기 채널부에 대응되는 상기 제1절연막 상에 액티브층을 형성하는 단계;

상기 액티브층 상에 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 소오스 전극, 상기 드레인 전극 및 상기 제1절연막을 덮는 제2절연막을 형성하고 상기 하부화소전극을 노출하는 제1콘택홀과 상기 제1범프를 노출하는 제2콘택홀을 형성하는 단계; 및

상기 제2절연막 상에 다수로 분할된 제3금속층을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

### 청구항 2

제1항에 있어서,

상기 제1금속층 및 상기 제2금속층을 패터닝하는 단계는,

상기 채널부 및 상기 제1범프부에 형성된 제1포토레지스트와 상기 투과부에 형성된 제2포토레지스트를 이용하여 패터닝하는 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 3

제1항에 있어서,

상기 제1금속층 및 상기 제2금속층을 패터닝하는 단계는,

상기 기판 상에 상기 제1금속층 및 상기 제2금속층을 형성하는 단계와,

상기 채널부 및 상기 제1범프부에 제1포토레지스트를 형성함과 더불어 상기 투과부에 제2포토레지스트를 형성하는 단계와,

상기 제1 및 제2포토레지스트를 이용하여 상기 채널부, 상기 제1범프부 및 상기 투과부 사이에 노출된 상기 제2금속층을 식각하는 단계와,

상기 제1 및 제2포토레지스트를 이용하여 상기 채널부, 상기 제1범프부 및 상기 투과부 사이에 노출된 상기 제1금속층을 식각하는 단계와,

상기 제2포토레지스트를 제거하고 상기 투과부 상에 노출된 상기 제2금속층을 식각하는 단계와,

상기 제1포토레지스트를 제거하는 단계를 포함하는 액정표시장치의 제조방법.

### 청구항 4

제2항 또는 제3항에 있어서,

상기 제1포토레지스트 및 상기 제2포토레지스트는,

마스크에 의해 동시에 형성되되, 상기 제1포토레지스트는 상기 제2포토레지스트보다 두꺼운 것을 특징으로 하는 액정표시장치의 제조방법.

### 청구항 5

제1항에 있어서,

상기 제3금속층을 형성하는 단계는,

상기 제3금속층이 상기 제1콘택홀을 통해 상기 소오스 또는 드레인 전극 및 상기 하부화소전극에 연결되고, 상기 제2콘택홀을 통해 상기 제1범프에 연결되고, 상기 하부화소전극 상에서 다수로 분할되도록 패터닝하는 단계를 포함하는 액정표시장치의 제조방법.

**청구항 6**

제5항에 있어서,  
 상기 제3금속층은,  
 상기 소오스 또는 드레인 전극 및 상기 하부화소전극에 연결된 상부화소전극과,  
 상기 제1범프에 연결된 공통전극을 포함하는 액정표시장치의 제조방법.

**청구항 7**

제6항에 있어서,  
 상기 상부화소전극과 상기 공통전극은,  
 상기 투과부 내에서 교번하여 배치되도록 분할된 것을 특징으로 하는 액정표시장치의 제조방법.

**청구항 8**

기관의 채널부에 제1금속층 및 제2금속층으로 이루어진 게이트전극;  
 상기 기관의 투과부에 상기 제1금속층으로 이루어진 하부화소전극;  
 상기 기관의 제1범프부에 상기 제1금속층 및 상기 제2금속층으로 이루어진 제1범프;  
 상기 게이트전극, 상기 하부화소전극 및 상기 제1범프를 덮는 제1절연막;  
 상기 채널부에 대응되는 상기 제1절연막 상에 형성된 액티브층;  
 상기 액티브층 상에 형성된 소오스 전극 및 드레인 전극;  
 상기 소오스 전극, 상기 드레인 전극 및 상기 제1절연막을 덮고 상기 하부화소전극을 노출하는 제1콘택홀과 상기 제1범프를 노출하는 제2콘택홀을 포함하는 제2절연막; 및  
 상기 제2절연막 상에 형성되고 상기 제1콘택홀을 통해 상기 소오스 또는 드레인 전극 및 상기 하부화소전극에 연결되고, 상기 제2콘택홀을 통해 상기 제1범프에 연결되고, 상기 하부화소전극 상에서 다수로 분할된 제3금속층을 포함하는 액정표시장치.

**청구항 9**

제8항에 있어서,  
 상기 제3금속층은,  
 상기 소오스 또는 드레인 전극 및 상기 하부화소전극에 연결된 상부화소전극과,  
 상기 제1범프에 연결된 공통전극을 포함하는 액정표시장치.

**청구항 10**

제9항에 있어서,  
 상기 상부화소전극과 상기 공통전극은,  
 상기 투과부 내에서 교번하여 배치되도록 분할된 것을 특징으로 하는 액정표시장치.

**명세서**

**기술분야**

본 발명의 실시예는 액정표시장치의 제조방법과 액정표시장치에 관한 것이다.

[0001]

**배경 기술**

- [0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정 표시장치가 널리 사용되고 있다.
- [0003] 액정표시장치는 트랜지스터, 스토리지 커패시터 및 화소전극 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다. 액정표시장치는 화소전극과 트랜지스터 기판 또는 컬러필터기판에 형성된 공통전극에 걸리는 전계에 액정층의 배열 방향을 조절하여 백라이트유닛으로부터 입사된 광을 출사하는 방식으로 영상을 표시한다.
- [0004] 종래 액정표시장치의 제조방법은 액정패널 제작시 5개 또는 6개의 마스크 공정이 요구되어 택트타임(Tact time)이 증가하는 단점이 있었다. 이와 더불어, 종래 액정표시장치의 제조방법에 의해 제작된 액정패널은 트랜지스터의 액티브층이 백라이트유닛의 광을 그대로 받게 되어 포토 리키지 커런트(photo leakage current)에 취약한 단점이 있어 이의 개선이 요구된다.

**발명의 내용**

**해결하려는 과제**

- [0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 공정 택트타임(Tact time)을 줄임과 동시에 박막트랜지스터에 포함된 액티브층으로 투과되는 광을 저지할 수 있어 포토 리키지 커런트에 따른 영향을 줄일 수 있는 액정표시장치의 제조방법과 액정표시장치를 제공하는 것이다.

**과제의 해결 수단**

- [0006] 상술한 과제 해결 수단으로 본 발명의 실시예는, 기판의 채널부에 제1금속층 및 제2금속층으로 이루어진 게이트전극과, 기판의 투과부에 제1금속층으로 이루어진 하부화소전극과, 기판의 제1범프부에 제1금속층 및 제2금속층으로 이루어진 제1범프가 형성되도록 제1금속층 및 제2금속층을 패터닝하는 단계; 게이트전극, 하부화소전극 및 제1범프를 덮는 제1절연막을 형성하는 단계; 채널부에 대응되는 제1절연막 상에 액티브층을 형성하는 단계; 액티브층 상에 소오스 전극 및 드레인 전극을 형성하는 단계; 소오스 전극, 드레인 전극 및 제1절연막을 덮는 제2절연막을 형성하고 하부화소전극을 노출하는 제1콘택홀과 제1범프를 노출하는 제2콘택홀을 형성하는 단계; 및 제2절연막 상에 다수로 분할된 제3금속층을 형성하는 단계를 포함하는 액정표시장치의 제조방법을 제공한다.
- [0007] 제1금속층 및 제2금속층을 패터닝하는 단계는, 채널부 및 제1범프부에 형성된 제1포토레지스트와 투과부에 형성된 제2포토레지스트를 이용하여 패터닝할 수 있다.
- [0008] 제1금속층 및 제2금속층을 패터닝하는 단계는, 기판 상에 제1금속층 및 제2금속층을 형성하는 단계와, 채널부 및 제1범프부에 제1포토레지스트를 형성함과 더불어 투과부에 제2포토레지스트를 형성하는 단계와, 제1 및 제2포토레지스트를 이용하여 채널부, 제1범프부 및 투과부 사이에 노출된 제2금속층을 식각하는 단계와, 제1 및 제2포토레지스트를 이용하여 채널부, 제1범프부 및 투과부 사이에 노출된 제1금속층을 식각하는 단계와, 제2포토레지스트를 제거하고 투과부 상에 노출된 제2금속층을 식각하는 단계와, 제1포토레지스트를 제거하는 단계를 포함할 수 있다.
- [0009] 제1포토레지스트 및 제2포토레지스트는, 마스크에 의해 동시에 형성되되, 제1포토레지스트는 제2포토레지스트보다 두꺼울 수 있다.
- [0010] 제3금속층을 형성하는 단계는, 제3금속층이 제1콘택홀을 통해 소오스 또는 드레인 전극 및 하부화소전극에 연결되고, 제2콘택홀을 통해 제1범프에 연결되고, 하부화소전극 상에서 다수로 분할되도록 패터닝하는 단계를 포함할 수 있다.
- [0011] 제3금속층은, 소오스/드레인 전극 및 하부화소전극에 연결된 상부화소전극과, 제1범프에 연결된 공통전극을 포

함할 수 있다.

- [0012] 상부화소전극과 공통전극은, 투과부 내에서 교번하여 배치되도록 분할될 수 있다.
- [0013] 다른 측면에서 본 발명의 실시예는, 기관의 채널부에 제1금속층 및 제2금속층으로 이루어진 게이트전극; 기관의 투과부에 제1금속층으로 이루어진 하부화소전극; 기관의 제1범프부에 제1금속층 및 제2금속층으로 이루어진 제1범프; 게이트전극, 하부화소전극 및 제1범프를 덮는 제1절연막; 채널부에 대응되는 제1절연막 상에 형성된 액티브층; 액티브층 상에 형성된 소오스 전극 및 드레인 전극; 소오스 전극, 드레인 전극 및 제1절연막을 덮고 하부화소전극을 노출하는 제1콘택홀과 제1범프를 노출하는 제2콘택홀을 포함하는 제2절연막; 및 제2절연막 상에 형성되고 제1콘택홀을 통해 소오스 또는 드레인 전극 및 하부화소전극에 연결되고, 제2콘택홀을 통해 제1범프에 연결되고, 하부화소전극 상에서 다수로 분할된 제3금속층을 포함하는 액정표시장치를 제공한다.
- [0014] 제3금속층은, 소오스 또는 드레인 전극 및 하부화소전극에 연결된 상부화소전극과, 제1범프에 연결된 공통전극을 포함할 수 있다.
- [0015] 상부화소전극과 공통전극은, 투과부 내에서 교번하여 배치되도록 분할될 수 있다.

**발명의 효과**

- [0016] 본 발명의 실시예는, 4 마스크 공정으로 택트타임(Tact time)을 줄임과 동시에 박막트랜지스터에 포함된 액티브층으로 투과되는 광을 저지할 수 있어 포토 리키지 커런트에 따른 영향을 줄일 수 있는 액정표시장치의 제조방법과 액정표시장치를 제공하는 효과가 있다. 또한, 본 발명의 실시예는 스토리지 커패시터를 감소시킬 수 있어 종래 구조 대비 박막트랜지스터의 크기를 줄임과 동시에 이를 통해 서브 픽셀들의 개구율 증가를 꾀할 수 있는 액정표시장치의 제조방법과 액정표시장치를 제공하는 효과가 있다.

**도면의 간단한 설명**

- [0017] 도 1은 액정표시장치의 개략적인 블록도.  
 도 2는 액정패널의 개략적인 평면도.  
 도 3 내지 도 7은 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 도면.  
 도 8은 본 발명의 일 실시예에 따라 제작된 액정표시장치에 포함된 서브 픽셀의 다양한 전극 구조 예시도.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 도 1은 액정표시장치의 개략적인 블록도 이고, 도 2는 액정패널의 개략적인 평면도이다.
- [0020] 도 1에 도시된 바와 같이, 액정표시장치는 타이밍구동부(11), 데이터구동부(12), 게이트구동부(13), 백라이트유닛(20) 및 표시부(10)를 포함한다.
- [0021] 타이밍구동부(11)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(RGB)를 공급받는다. 타이밍구동부(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(12)와 게이트구동부(13)의 동작 타이밍을 제어한다. 타이밍구동부(11)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍구동부(11)에서 생성되는 제어신호들에는 게이트구동부(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등이 포함된다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트신호가 발생하는 게이트 드라이브 IC(Integrated Circuit)에 공급된다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게

이트 드라이브 IC들의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 소스 스타트 펄스(SSP)는 데이터구동부(12)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터구동부(12) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터구동부(12)의 출력을 제어한다.

[0022] 게이트구동부(13)는 타이밍구동부(11)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시부(10)에 포함된 서브 픽셀들(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 게이트신호를 순차적으로 생성한다. 게이트구동부(13)에는 게이트라인들(GL)을 통해 생성된 게이트신호를 표시부(10)에 포함된 서브 픽셀들(SP)에 공급한다. 게이트구동부(13)는 GIP(Gate In Panel) 공정에 의해 서브 픽셀들(SP)과 동시에 트랜지스터기판 상에 형성된 표시부(10)의 양측에 직접 형성될 수 있다. 이와 달리, 게이트구동부(13)는 TCP(Tape Carrier Package) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 표시부(10)의 트랜지스터기판에 부착될 수도 있다.

[0023] 데이터구동부(12)는 타이밍구동부(11)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍구동부(11)로부터 공급되는 디지털 형태의 데이터신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(12)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준 전압으로 변환하여 아날로그 형태의 데이터전압으로 변환한다. 데이터구동부(12)는 데이터라인들(DL)을 통해 변환된 데이터신호를 표시부(10)에 포함된 서브 픽셀들(SP)에 공급한다. 데이터구동부(12)는 TCP(Tape Carrier Package) 상에 실장되어 TAB 공정에 의해 표시부(10)의 트랜지스터기판에 접합되고, 소스 PCB(Printed Circuit Board)에 접속될 수 있다. 이와 달리, 데이터구동부(12)는 COG(Chip On Glass) 공정에 의해 표시부(10)의 트랜지스터기판 상에 부착될 수도 있다.

[0024] 표시부(10)는 박막트랜지스터기판(이하 TFT기판으로 약칭)과 컬러필터기판 사이에 위치하는 액정층을 포함하며 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. TFT기판에는 데이터라인들(DL), 게이트라인들(GL), TFT들, 스토리지 커패시터들 등이 형성되고, 컬러필터기판에는 블랙매트릭스들, 컬러필터들 등이 형성된다. 하나의 서브 픽셀(SP)은 상호 교차하는 데이터라인(D1)과 게이트라인(G1)에 의해 정의된다. 하나의 서브 픽셀(SP)에는 게이트라인(G1)을 통해 공급된 게이트신호에 의해 구동하는 TFT, 데이터라인(D1)을 통해 공급된 데이터신호를 데이터전압으로 저장하는 스토리지 커패시터(Cst), 스토리지 커패시터(Cst)에 저장된 데이터전압에 의해 구동하는 액정셀(C1c)이 포함된다. 액정셀(C1c)은 화소전극(1)에 공급된 데이터전압과 공통전극(2)에 공급된 공통전압(Vcom)에 의해 구동된다. 공통전극(2)은 IPS(In Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 TFT기판 상에 형성된다. 공통전극(2)은 공통전압라인으로부터 공통전압(Vcom)을 공급받는다. 표시부(10)의 TFT기판과 컬러필터기판에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 표시부(10)는 하부에 위치하는 백라이트유닛(20)으로부터 제공된 빛을 이용하여 영상을 표시하게 된다. 백라이트유닛(20)은 광원이 표시부(10)의 하부에 배치된 직하형(direct type), 광원이 표시부(10)의 일 측면에 배치된 에지형(edge type) 또는 광원이 표시부(10)의 양쪽 측면에 배치된 듀얼형(dual type) 등으로 구현될 수 있다. 이하, 표시부(10)에 대해 더욱 자세히 설명한다.

[0025] 도 2에 도시된 바와 같이, 액정패널(PNL)은 표시영역(AA), 구동부(DIC), 패드부(PAD), 게이트라인들(GL), 데이터라인들(DL) 및 공통전압라인들(VCOM)을 포함한다.

[0026] 표시영역(AA)은 서브 픽셀들(SP)이 형성되는 영역으로서 실질적인 영상을 표시하는 영역이다. 표시영역(AA)을 제외한 영역은 비표시영역으로 정의된다. 구동부(DIC)는 패드부(PAD)를 통해 공급된 각종 구동신호 및 전원을 기반으로 구동한다. 구동부(DIC)는 데이터라인들(DL)을 통해 데이터신호들을 공급하는 데이터구동부 및 게이트라인들(GL)을 통해 게이트신호를 공급하는 게이트구동부를 포함하는 것을 일례로 도시하였으나 이에 한정되지 않는다. 게이트라인들(GL)은 서브 픽셀들(SP)에 게이트신호들을 공급하는 배선으로서 비표시영역에 형성된 구동부(DIC)에 연결된다. 데이터라인들(DL)은 서브 픽셀들(SP)에 데이터신호들을 공급하는 배선으로서 비표시영역에 형성된 구동부(DIC)에 연결된다. 공통전압라인들(VCOM)은 서브 픽셀들(SP)에 공통전압을 공급하는 배선으로서 비표시영역에 형성된 패드부(PAD)에 연결된다. 도 2에 도시된 액정패널(PNL)의 구성은 이해를 돕기 위한 것일 뿐 제작 방법, 크기 및 해상도 등에 따라 달라질 수 있다.

[0027] 이하, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법에 대해 설명한다.

- [0028] 도 3 내지 도 7은 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 설명하기 위한 도면이고, 도 8은 본 발명의 일 실시예에 따라 제작된 액정표시장치에 포함된 서브 픽셀의 다양한 전극 구조 예시도이다.
- [0029] 도 3에 도시된 바와 같이, 기관(110)의 채널부(1A)에 제1금속층(113a) 및 제2금속층(115a)으로 이루어진 게이트 전극(120)과, 기관(110)의 투과부(2A)에 제1금속층(113b)으로 이루어진 하부화소전극(130)과, 기관(110)의 제1범프부(3A)에 제1금속층(113c) 및 제2금속층(115c)으로 이루어진 제1범프(140)를 형성한다. 여기서, 채널부(1A)는 박막트랜지스터의 채널을 포함하는 영역이고, 투과부(2A)는 백라이트유닛의 광이 투과되는 영역이며, 제1범프부(3A)는 게이트라인이 연결되는 영역 또는 공통전압라인이 연결되는 영역이고, 제2범프부(4A)는 데이터라인이 연결되는 영역이다.
- [0030] 도 3에 도시된 게이트전극(120), 하부화소전극(130) 및 제1범프(140)를 형성하기 위해서는 도 4에 도시된 바와 같이, 기관(110) 상에 제1금속층(113) 및 제2금속층(115)을 형성하고 이들을 패터닝한다.
- [0031] 더욱 자세히 설명하면 도 4의 (a)와 같이, 기관(110) 상에 제1금속층(113)을 형성하고 제1금속층(113) 상에 제2금속층(115)을 형성한다. 여기서, 제1금속층(113)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 재료를 이용할 수 있으나 이에 한정되지 않는다. 그리고 제2금속층(115)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있으나 이에 한정되지 않는다.
- [0032] 도 4의 (b)와 같이, 채널부(1A) 및 제1범프부(3A)에 제1포토레지스트(PRa)를 형성함과 더불어 투과부(2A)에 제2포토레지스트(PRb)를 형성한다. 제1포토레지스트(PRa) 및 제2포토레지스트(PRb)는 마스크(HTM) 예컨대, 멀티 톤 마스크(Multi tone mask)에 의해 동시에 형성되되, 제1포토레지스트(PRa)는 제2포토레지스트(PRb)보다 두껍게 형성한다. 즉, 하프 톤 마스크 또는 멀티 톤 마스크 공정에 의해 제2금속층(115) 상에 형성된 하나의 포토레지스트는 도시된 바와 같이 각각 다른 두께를 갖는 제1포토레지스트(PRa)와 제2포토레지스트(PRb)로 구분되어 형성된다.
- [0033] 도 4의 (c)와 같이, 제1 및 제2포토레지스트(PRa, PRb)를 이용하여 채널부(1A), 제1범프부(3A) 및 투과부(2A) 사이에 노출된 제2금속층(115)을 식각한다. 그러면, 제1 및 제2포토레지스트(PRa, PRb)의 하부에 위치하는 제2금속층(115a, 115b, 115c)만 남고 나머지 부분은 제거된다. 이때, 제2금속층(115)을 식각하는 방법은 습식 식각(Wet etch) 방법을 이용할 수 있으나 이에 한정되지 않는다.
- [0034] 도 4의 (d)와 같이, 제1 및 제2포토레지스트(PRa, PRb)를 이용하여 채널부(1A), 제1범프부(3A) 및 투과부(2A) 사이에 노출된 제1금속층(113)을 식각한다. 그러면, 제1 및 제2포토레지스트(PRa, PRb)의 하부에 위치하는 제1금속층(113a, 113b, 113c)만 남고 나머지 부분은 제거된다. 이때, 제1금속층(113)을 식각하는 방법은 습식 식각(Wet etch) 방법을 이용할 수 있으나 이에 한정되지 않는다.
- [0035] 도 4의 (e)와 같이, 제2포토레지스트(PRb)를 제거하고 투과부(2A) 상에 노출된 제2금속층(115b)을 식각한다. 그러면, 도 4의 (f)와 같이 투과부(2A) 상에 위치하던 제2포토레지스트(PRb)와 제2금속층(115b)은 제거된다. 이때, 제2포토레지스트(PRb)를 제거하는 방법은 건식 식각(Dry etch) 방법을 이용할 수 있고, 제2금속층(115b)을 식각하는 방법은 습식 식각(Wet etch) 방법을 이용할 수 있으나 이에 한정되지 않는다.
- [0036] 도 4의 (g)와 같이, 제1포토레지스트(PRa)를 제거한다. 그러면, 채널부(1A) 및 제1범프부(3A) 상에 위치하던 제1포토레지스트(PRa)는 제거된다.
- [0037] 위의 설명에 따르면, 도 3의 공정에서 제1금속층(113) 및 제2금속층(115)을 패터닝하는 단계는 채널부(1A) 및 제1범프부(3A)에 형성된 제1포토레지스트(PRa)와 투과부(2A)에 형성된 제2포토레지스트(PRb)를 이용하여 패터닝함을 알 수 있다.
- [0038] 도 5에 도시된 바와 같이, 게이트전극(120), 하부화소전극(130) 및 제1범프(140)를 덮는 제1절연막(150)을 형성한다. 제1절연막(150)은 저유전재료, 실리콘 산화막(SiO<sub>x</sub>) 또는 실리콘 질화막(SiN<sub>x</sub>)으로 형성될 수 있으나 이에 한정되지 않는다. 이후, 채널부(1A)에 대응되는 제1절연막(150) 상에 액티브층(160)을 형성한다. 액티브층(160)은 소오스 영역, 채널 영역 및 드레인 영역을 포함하고, 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있으나 이에 한정되지 않는다.
- [0039] 이후, 액티브층(160) 상에 소오스 전극(170a) 및 드레인 전극(170b)을 형성함과 더불어 소오스 및 드레인 전극(170a, 170b)과 동일한 재료를 이용하여 제2범프부(4A)에 제2범프(170c)를 형성한다. 여기서, 소오스, 드레인 전극 및 제2범프(170a, 170b, 170c)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni),

네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있으나 이에 한정되지 않는다. 소오스 전극(170a) 및 드레인 전극(170b)은 액티브층(160), 소오스 전극(170a) 및 드레인 전극(170b)을 연속 증착한 후 하프 톤 마스크(Half tone mask)를 사용하여 동시에 패터닝한다. 이때, 액티브층(160)의 n+층의 패터닝도 포함된다. 도 5의 공정에 의해 기판(110) 상에는 게이트전극(120), 소오스 전극(170a) 및 드레인 전극(170b)을 포함하는 박막트랜지스터(TFT)가 형성된다.

[0040] 도 6에 도시된 바와 같이, 소오스, 드레인 전극 및 제2범프(170a, 170b, 170c)는 물론 제1절연막(150)을 덮는 제2절연막(180)을 형성하고 하부화소전극(130)을 노출하는 제1콘택홀(CH1), 제1범프(140)를 노출하는 제2콘택홀(CH2) 및 제2범프(170c)를 노출하는 제3콘택홀(CH3)을 형성한다. 제2절연막(180)은 보호막으로써 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)으로 형성될 수 있으나 이에 한정되지 않는다.

[0041] 도 7에 도시된 바와 같이, 제2절연막(180) 상에 다수로 분할된 제3금속층(190)을 형성한다. 여기서, 제3금속층(190)은 제1금속층(113)과 같이 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 재료를 이용할 수 있으나 이에 한정되지 않는다. 제3금속층(190)을 형성하는 단계는 제3금속층(190)이 제1콘택홀(CH1)을 통해 소오스 또는 드레인 전극(170a 또는 170b) 및 하부화소전극(130)에 연결되고, 제2콘택홀(CH2)을 통해 제1범프(140)에 연결되고, 하부화소전극(130) 상에서 다수로 분할되도록 패터닝하는 단계를 포함할 수 있다. 이에 따라, 제3금속층(190)은 소오스 또는 드레인 전극(170a 또는 170b) 및 하부화소전극(130)에 연결된 상부화소전극(190a)과 제1범프(140)에 연결된 공통전극(190b)으로 구분된다. 한편, 상부화소전극(190a)과 공통전극(190b)은 투과부(2A) 내에서 교번하여 배치되도록 분할되는데 이는 도 8의 (a) 내지 (c)뿐만 아니라 다양하게 형성될 수 있다.

[0042] 앞서 설명한 실시예에 따르면, 기판(110) 상에 형성된 제1금속층(113) 및 제2금속층(115)을 게이트전극(120)과 하부화소전극(130)으로 구분하여 형성할 때 첫 번째 마스크 공정이 요구된다. 그리고 박막트랜지스터를 형성하기 위해 액티브층(160), 소오스 및 드레인전극(170a, 170b)을 형성할 때 두 번째 마스크 공정이 요구된다. 그리고 제2절연막(180)인 보호막을 형성할 때 세 번째 마스크 공정이 요구된다. 그리고 제3금속층(190)을 분할하여 형성할 때 네 번째 마스크 공정이 요구된다.

[0043] 이상 본 발명은 IPS 모드 또는 FFS 모드와 같은 수평전계 구동방식 액정표시장치 제작시 요구되는 마스크 공정의 수를 네 번으로 줄여 택트타임(Tact time)을 줄일 수 있게 된다. 이와 더불어, 본 발명은 박막트랜지스터에 포함된 액티브층으로 투과되는 광을 저지할 수 있어 포토 리키지 커런트(photo leakage current)에 따른 영향을 줄일 수 있게 된다. 또한, 본 발명은 하부화소전극(130) 상에 제1절연막(150) 및 제2절연막(180)이 형성되어 있어 스토리지 커패시터를 감소시킬 수 있어 종래 구조 대비 박막트랜지스터의 크기를 줄임과 동시에 이를 통해 서브 픽셀들의 개구율 증가를 꾀 할 수 있게 된다.

[0044] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

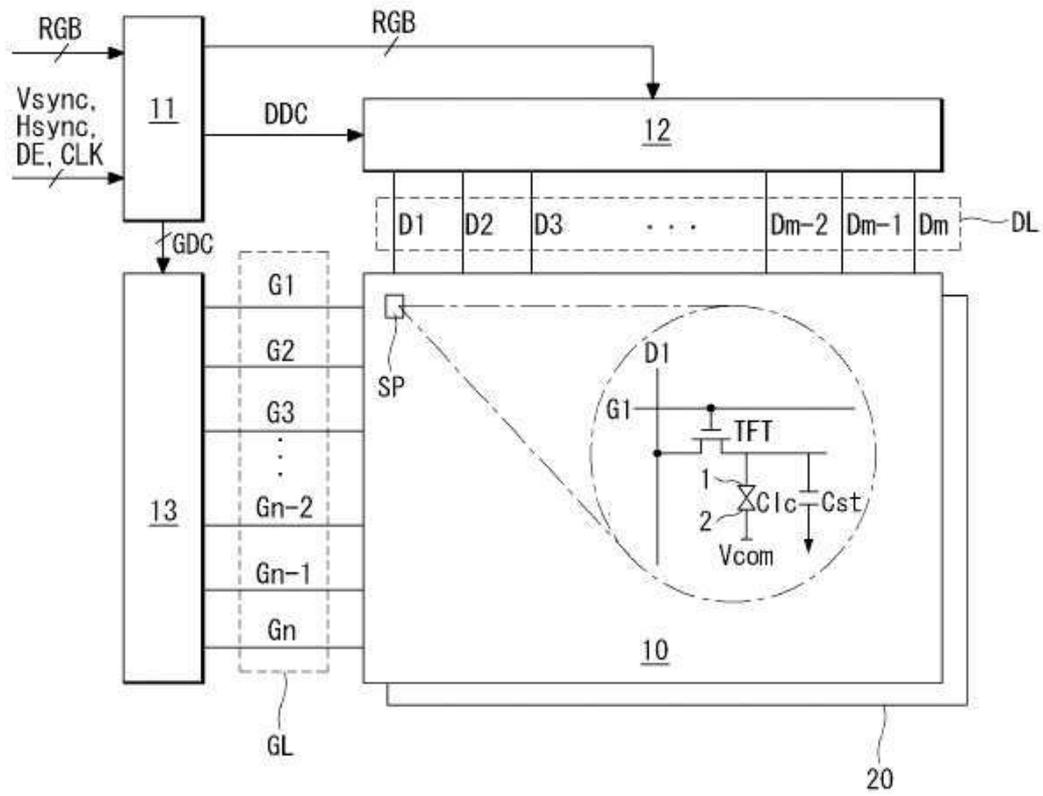
- [0045]
- |             |            |
|-------------|------------|
| 11: 타이밍구동부  | 12: 데이터구동부 |
| 13: 게이트구동부  | 10: 표시부    |
| 110: 기판     | 113: 제1금속층 |
| 115: 제2금속층  | 120: 게이트전극 |
| 130: 하부화소전극 | 140: 제1범프  |
| 1A: 채널부     | 2A: 투과부    |

3A: 제1범프부

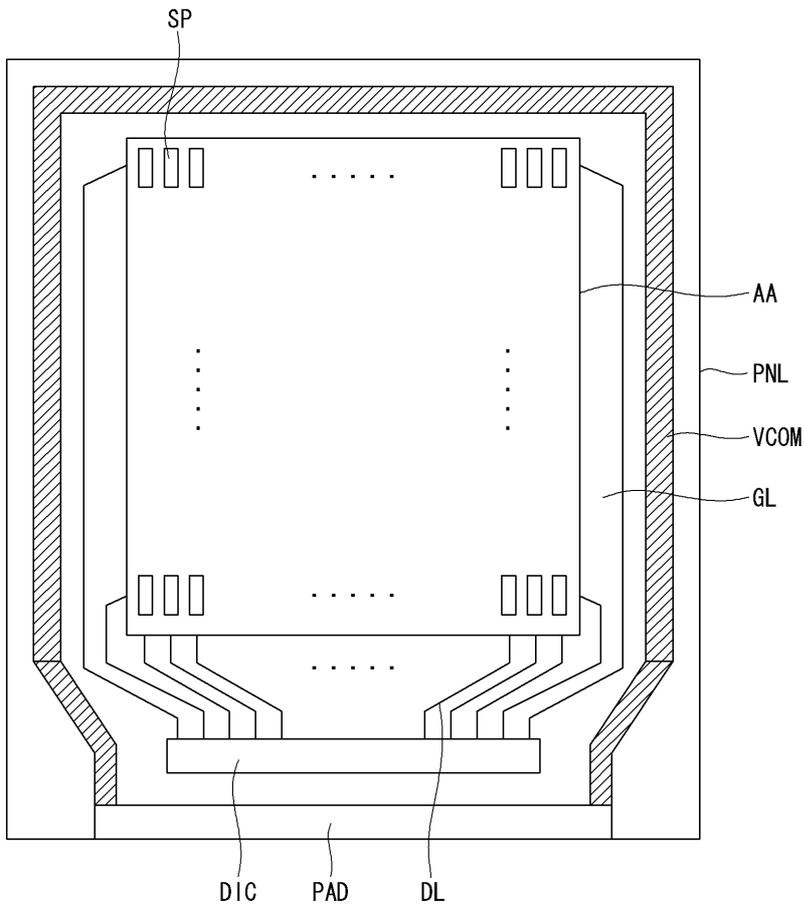
4A: 제2범프부

도면

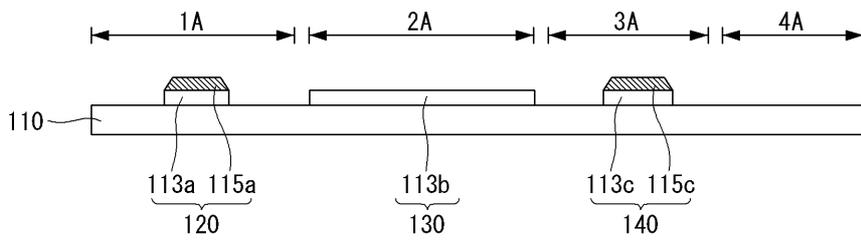
도면1



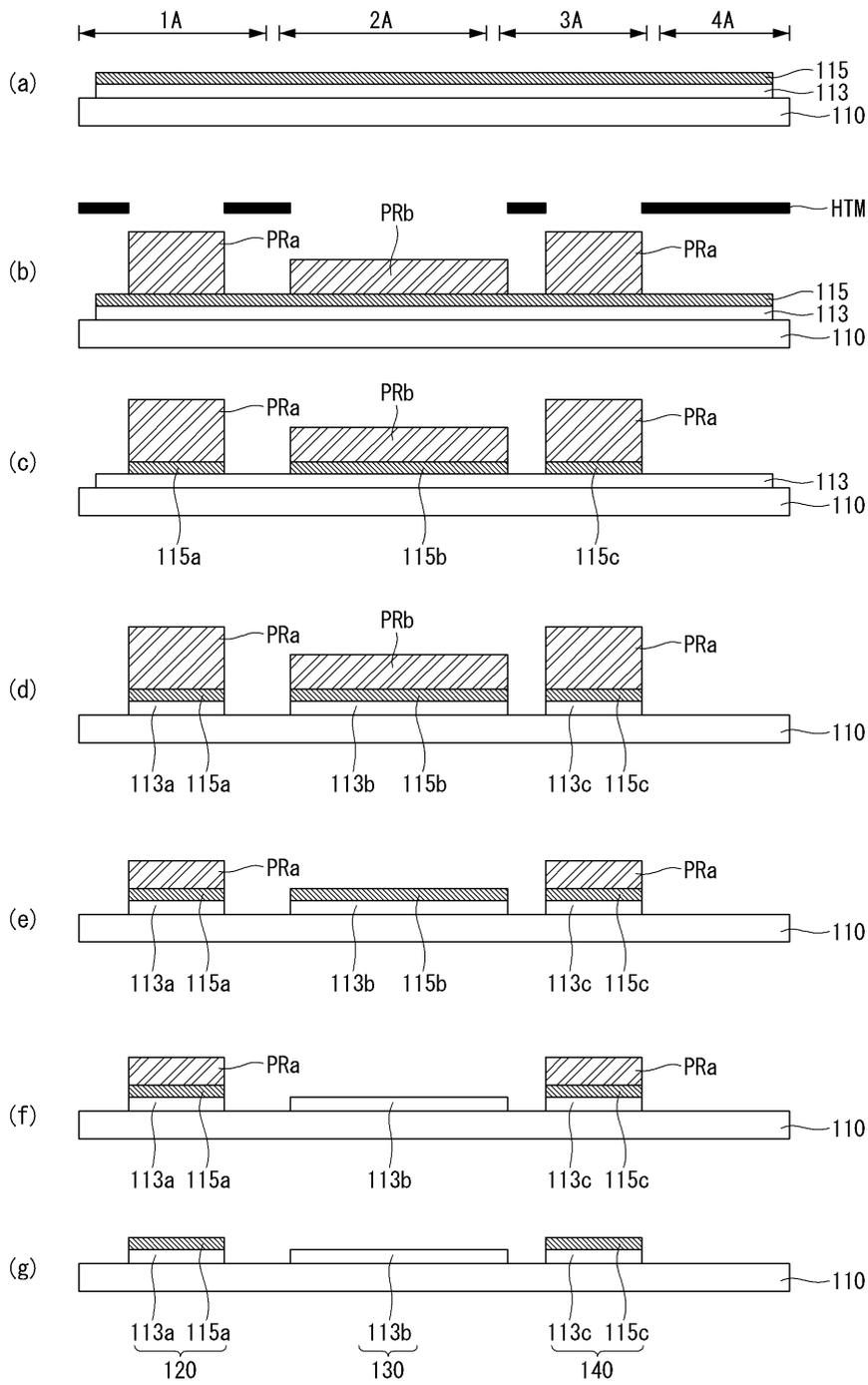
도면2



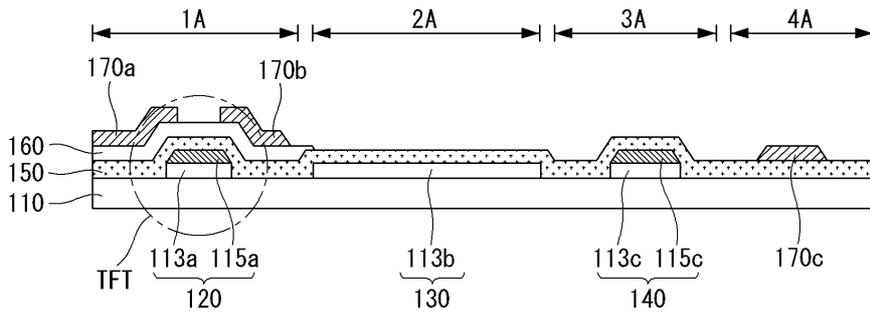
도면3



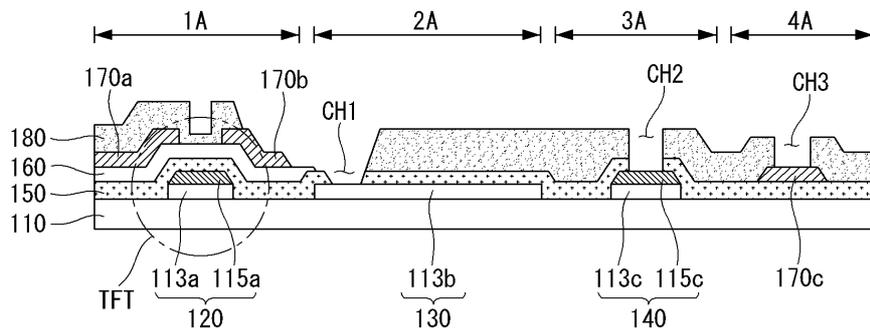
도면4



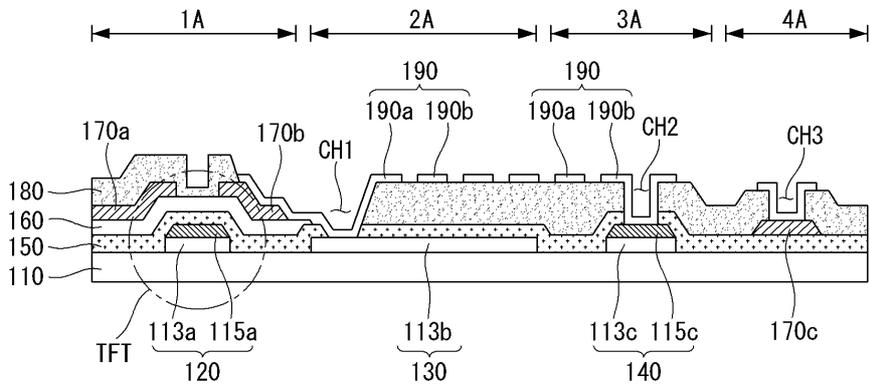
도면5



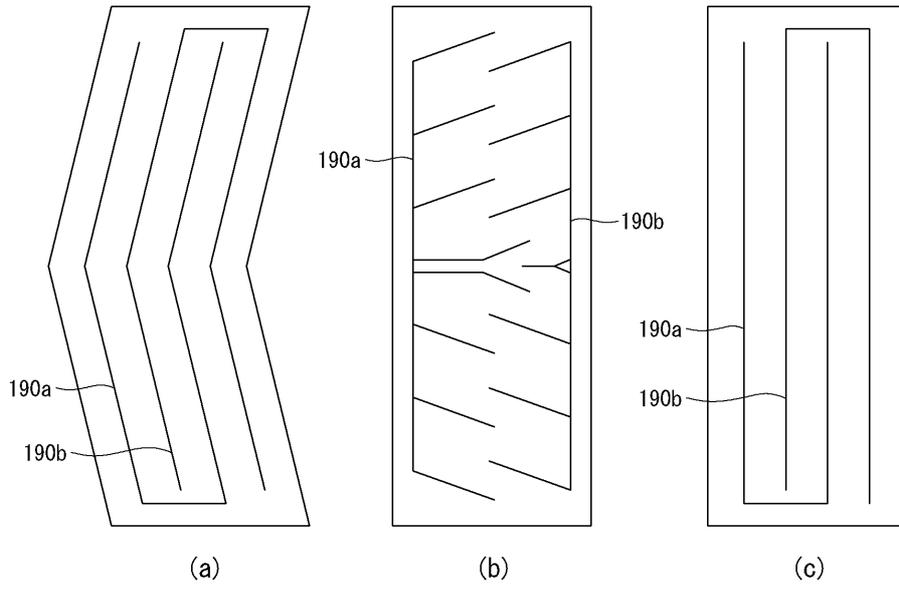
도면6



도면7



도면8



专利名称(译)	液晶显示装置的制造方法和液晶显示装置		
公开(公告)号	<a href="#">KR1020120000375A</a>	公开(公告)日	2012-01-02
申请号	KR1020100060707	申请日	2010-06-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON MYEONG HOON 권명훈 KIM SUNG JIN 김성진 JUNG JONG WOOK 정종욱		
发明人	권명훈 김성진 정종욱		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13439 G02F1/134309 G02F1/136286 G02F1/1368 G02F2001/136231		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明实施例提供的栅极包括基板的沟道部分中的第一金属层和第二金属层，以及由子像素电极的第一凸块部分中的第一金属层构成的第一凸块包括在基板和基板的透射部分中的第一金属层和第二金属层是图案化第一金属层和形成的第二金属层的步骤：形成覆盖栅极的第一绝缘层的步骤电极，子像素电极和第一凸块：在形成有源层的步骤中形成源电极和漏电极的步骤：有源层：形成形成第二绝缘层覆盖的第二接触孔的步骤源电极，漏电极和第一绝缘层暴露第一接触孔和暴露子像素电极的第一凸块：e。制造液晶显示器件的方法，包括在第二绝缘层上形成多个金属三层的步骤。

