



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0045755
(43) 공개일자 2011년05월04일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0102453

(22) 출원일자 2009년10월27일

심사청구일자 2009년10월27일

(71) 출원인

주식회사 실리콘웍스

대전광역시 유성구 탑림동 707번지

(72) 발명자

조현호

인천광역시 남구 주안3동 730-1 신일테크노빌 502호

김지훈

대전광역시 유성구 전민동 459-6번지 초원빌라 401호

(뒷면에 계속)

(74) 대리인

이철희

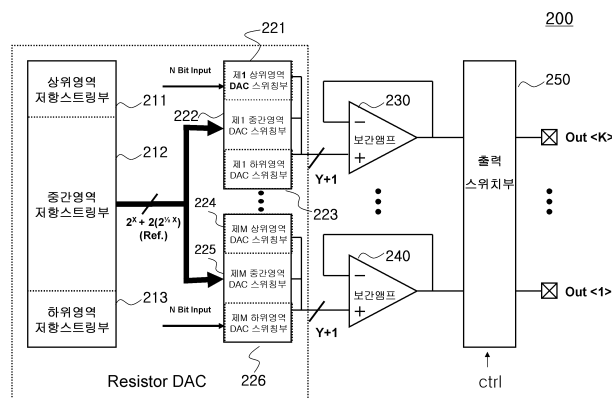
전체 청구항 수 : 총 16 항

(54) 액정 디스플레이 패널 구동 회로

(57) 요약

본 발명에 의한 액정 디스플레이 패널 구동 회로는 N 비트의 해상도를 갖는 액정 디스플레이 패널을 구동시키기 위한 액정 디스플레이 패널 구동 회로에 있어서, 상기 액정 디스플레이 패널 구동 회로에 입력되는 N 비트의 디지털 데이터는 상위 X 비트와 하위 Y 비트로 구성되며, 상기 N 비트의 디지털 데이터의 전압 범위를 3 개의 영역으로 나누어 각 영역에 따라 다른 비율로 아날로그 기준 전압들을 출력하는 영역별 저항 스트링부(211,212,213); 상기 N 비트의 디지털 데이터를 입력받고 상기 상위 X 비트에 따라 상기 영역별 저항 스트링부로부터 입력받은 아날로그 기준 전압들 중에서 선택하여 Y+1개의 아날로그 전압을 출력하고, 상기 하위 Y 비트에 따라 다른 조합의 상기 Y+1개의 아날로그 전압을 출력하는 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223); 및 상기 Y+1 개의 아날로그 전압을 입력받아 상기 Y 값에 의해 정해진 멀티 팩터에 의해 상기 Y+1 개의 아날로그 전압마다 가중치를 설정하여 보간된 출력 전압을 생성하는 보간 앰프(230)를 구비하는 것을 특징으로 한다.

대표도 - 도2



(72) 발명자

나준호

대전광역시 서구 둔산2동 수정아파트 8동 608호

오형석

대전광역시 동구 용운동 703번지 꿈에그린아파트
101동 401호

김대성

대전광역시 대덕구 오정동 635-1 신동아아파트 6동
1503호

한대근

대전광역시 서구 둔산동 970 향촌아파트 109동
1301호

특허청구의 범위

청구항 1

N 비트의 해상도를 갖는 액정 디스플레이 패널을 구동시키기 위한 액정 디스플레이 패널 구동 회로에 있어서, 상기 액정 디스플레이 패널 구동 회로에 입력되는 N 비트의 디지털 데이터는 상위 X 비트와 하위 Y 비트로 구성되며,

상기 N 비트의 디지털 데이터의 전압 범위를 3 개의 영역으로 나누어 각 영역에 따라 다른 비율로 아날로그 기준 전압들을 출력하는 영역별 저항 스트링부(211,212,213);

상기 N 비트의 디지털 데이터를 입력받고 상기 상위 X 비트에 따라 상기 영역별 저항 스트링부로부터 입력받은 아날로그 기준 전압들 중에서 선택하여 Y+1개의 아날로그 전압을 출력하고, 상기 하위 Y 비트에 따라 다른 조합의 상기 Y+1개의 아날로그 전압을 출력하는 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223); 및

상기 Y+1개의 아날로그 전압을 입력받아 상기 Y 값에 의해 정해진 멀티 팩터에 의해 상기 Y+1 개의 아날로그 전압마다 가중치를 설정하여 보간된 출력 전압을 생성하는 보간 앰프(230)를 구비하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 2

제 1 항에 있어서,

입력되는 디지털 데이터는 복수개가 구비되며,

그에 대응하여 상기 영역별 디지털 아날로그 컨버터 스위칭부 및 상기 보간 앰프가 복수개씩 구비되고,

제어 신호에 응답하여 상기 복수개의 보간 앰프의 출력 전압을 상기 액정 디스플레이 패널 회로에 전송하는 출력 스위치부(250)를 더 구비하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 3

제 1 항에 있어서,

상기 영역별 저항 스트링부(211,212,213)는,

$2^{1/2X}$ 개의 저항이 직렬 연결되어, 각 저항들의 연결 지점에서 상기 X 비트 중 가장 높은 전압에 해당하는 아날로그 기준 전압들을 생성하는 상위 영역 저항 스트링부(211);

2^X 개의 저항이 직렬 연결되어 각 저항들의 연결 지점에서 상기 X 비트 중 가장 높은 전압과 가장 낮은 전압을 제외한 전압들에 해당하는 아날로그 기준 전압들을 생성하는 중간 영역 저항 스트링부(212); 및

$2^{1/2X}$ 개의 저항이 직렬 연결되어 각 저항들의 연결 지점에서 상기 X 비트 중 가장 낮은 전압에 해당하는 아날로그 기준 전압들을 생성하는 하위 영역 저항 스트링부(213)를 구비하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 4

제 3 항에 있어서,

상기 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223)는,

상기 상위 영역 저항 스트링부로부터 아날로그 기준 전압들을 입력받고, 상기 N 비트의 디지털 데이터에 제어되는 $2^{1/2X}$ 개의 트랜지스터에 의해 상기 Y+1개의 아날로그 전압을 출력하는 상위 영역 디지털 아날로그 컨버터 스위칭부(221);

상기 중간 영역 저항 스트링부로부터 아날로그 기준 전압들을 입력받고, 상기 N 비트의 디지털 데이터에 제어되는 2^X 개의 트랜지스터에 의해 상기 Y+1개의 아날로그 전압을 출력하는 중간 영역 디지털 아날로그 컨버터 스위칭부(222); 및

상기 하위 영역 저항 스트링부로부터 아날로그 기준 전압들을 입력받고, 상기 N 비트의 디지털 데이터에 제어되는 $2^{1/2X}$ 개의 트랜지스터에 의해 상기 Y+1개의 아날로그 전압을 출력하는 하위 영역 디지털 아날로그 컨버터 스위칭부(223)를 구비하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 5

제 4 항에 있어서,

상기 중간 영역 디지털 아날로그 컨버터 스위칭부는(222),

상기 하위 Y 비트의 데이터에 따라 서로 다른 조합의 상기 Y+1 개의 아날로그 기준 전압들을 출력하며, 상기 Y+1 개의 아날로그 기준 전압들이 서로 다른 레벨인 경우, 상기 중간 영역 저항 스트링부에서 출력되는 아날로그 기준 전압들 중 인접하는 전압 레벨의 신호들인 것을 특징으로 액정 디스플레이 패널 구동 회로.

청구항 6

제 4 항에 있어서,

상기 상위 영역 디지털 아날로그 컨버터 스위칭부(221) 또는 상기 하위 영역 디지털 아날로그 컨버터 스위칭부(223)는,

동일한 전압 레벨을 갖는 Y+1 개의 아날로그 기준 전압들을 출력하는 것을 특징으로 액정 디스플레이 패널 구동 회로.

청구항 7

제 4 항에 있어서,

상기 상위 영역 저항 스트링부(221) 또는 상기 하위 영역 저항 스트링부(223),

2의 지수인 $(1/2)X$ 가 정수가 아닌 경우 반올림한 정수값으로 $(1/2)X$ 를 계산하여 저항의 개수를 선택하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 8

제 1 항에 있어서,

상기 출력 스위치부(250)는,

상기 제어 신호에 따라 상기 보간 앰프의 출력의 극성을 포지티브 또는 네거티브로 바꾸는 기능, 전류 소모를 감소시키기 위한 전하 공유 기능 또는 출력 인에이블 기능 중 적어도 하나 이상을 구비하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 9

제 1 항에 있어서,

상기 영역별 저항 스트링부(211,212,213)는,

포지티브 아날로그 기준 전압을 생성하기 위한 포지티브 저항 스트링부; 및

네거티브 아날로그 기준 전압을 생성하기 위한 네거티브 저항 스트링부를 구비하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 10

제 9 항에 있어서,

상기 보간 앰프(230)는,

상기 포지티브 아날로그 기준 전압의 구동을 위한 포지티브 버퍼; 및

상기 네거티브 아날로그 기준 전압의 구동을 위한 네거티브 버퍼를 구비하는 것을 특징으로 하는 액정 디스플레이

이 패널 구동 회로.

청구항 11

제 1 항에 있어서,

상기 보간 앰프(230)는,

상기 영역별 디지털 아날로그 컨버터 스위칭부에서 출력되는 상기 Y+1 개의 아날로그 기준 전압들을 각각 입력받는 복수의 트랜지스터로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는 비반전 입력부(231);

상기 보간 앰프의 출력 전압을 각각 입력받고, 상기 비반전 입력부와 쌍을 이루는 복수의 트랜지스터로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는 반전 입력부(232);

상기 비반전 입력부와 상기 반전 입력부의 능동 로드로 동작하는 로드부(235);

제1 바이어스 전압에 응답하여 상기 보간 앰프를 구동시키는 제1 바이어스 인가부(234);

제2 바이어스 전압을 각 게이트에 입력받고, 상기 비반전 입력부의 트랜지스터들과 동일한 멀티 팩터를 갖는 트랜지스터들로 구성되어 상기 반전 입력부 및 상기 비반전 입력부에 전류를 공급하는 제2 바이어스 인가부(233); 및

상기 로드부에서 변동된 전압에 따라 상기 출력 전압을 출력하는 출력부(236)를 구비하며,

상기 비반전 입력부(231), 상기 반전 입력부(232) 및 상기 제2 바이어스 인가부(233)를 구성하는 트랜지스터들은 각 멀티 팩터를 구비하는 트랜지스터들끼리 차동쌍들을 형성하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 12

N 비트의 해상도를 갖는 액정 디스플레이 패널을 구동시키기 위한 액정 디스플레이 패널 구동 회로에 있어서, 상기 액정 디스플레이 패널 구동 회로에 입력되는 N 비트의 디지털 데이터는 상위 X 비트와 하위 Y 비트로 구성되며,

상위 X 비트를 기준으로 생성된 아날로그 기준 전압들 중 상기 N 비트의 디지털 데이터에 따라 선택하여 Y+1 개의 아날로그 전압을 출력하는 디지털 아날로그 컨버터 스위칭부; 및

상기 Y+1개의 아날로그 전압을 입력받아 상기 Y 값에 의해 정해진 멀티 팩터에 의해 상기 Y+1 개의 아날로그 전압마다 가중치를 설정하여 보간된 출력 전압을 생성하는 보간 앰프(230)를 구비하며,

상기 보간 앰프(230)는,

상기 디지털 아날로그 컨버터 스위칭부에서 출력되는 상기 Y+1 개의 아날로그 기준 전압들을 각각 입력받는 복수의 트랜지스터로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는 비반전 입력부(231);

상기 보간 앰프의 출력 전압을 각각 입력받고, 상기 비반전 입력부와 쌍을 이루는 복수의 트랜지스터로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는 반전 입력부(232);

상기 비반전 입력부와 상기 반전 입력부의 능동 로드로 동작하는 로드부(235);

제1 바이어스 전압에 응답하여 상기 보간 앰프를 구동시키는 제1 바이어스 인가부(234);

제2 바이어스 전압을 각 게이트에 입력받고, 상기 비반전 입력부의 트랜지스터들과 동일한 멀티 팩터를 갖는 트랜지스터들로 구성되어 상기 반전 입력부 및 상기 비반전 입력부에 전류를 공급하는 제2 바이어스 인가부(233); 및

상기 로드부에서 변동된 전압에 따라 상기 출력 전압을 출력하는 출력부(236)를 구비하며,

상기 비반전 입력부(231), 상기 반전 입력부(232) 및 상기 제2 바이어스 인가부(233)를 구성하는 트랜지스터들은 각 멀티 팩터를 구비하는 트랜지스터들끼리 차동쌍들을 형성하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 13

제 12 항에 있어서,

상기 제1 바이어스 전압 또는 상기 제2 바이어스 전압은 상기 보간 앰프의 외부에 구비된 바이어스 회로로부터 공급되는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 14

제 12 항에 있어서,

$Y=2$ 인 경우, 상기 디지털 아날로그 컨버터 스위칭부는 3 개의 아날로그 기준 전압을 출력하며,

상기 비반전 입력부(231)는,

상기 디지털 아날로그 컨버터 스위칭부의 제1 출력 신호를 게이트에 입력받고, 멀티 팩터가 1인 제1 트랜지스터;

상기 디지털 아날로그 컨버터 스위칭부의 제2 출력 신호를 게이트에 입력받고, 멀티 팩터가 2인 제2 트랜지스터; 및

상기 디지털 아날로그 컨버터 스위칭부의 제3 출력 신호를 게이트에 입력받고, 멀티 팩터가 1인 제3 트랜지스터를 구비하는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 15

제 12 항에 있어서,

상기 비반전 입력부를 구성하는 트랜지스터, 상기 반전 입력부를 구성하는 트랜지스터 또는 상기 제2 바이어스 인가부를 구성하는 트랜지스터는 모두 동일한 크기인 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

청구항 16

제 12항에 있어서,

상기 보간 앰프의 입력단의 전류원은 1 개를 구비하며, 상기 보간 앰프(230)의 입력단의 전류원은 멀티 팩터를 증가 시켜 상기 보간 앰프(230)의 입력단의 전류를 증가 시키며, 상기 차동쌍에 흐르는 전류는 각각의 차동쌍의 멀티 팩터에 의해 분배되는 것을 특징으로 하는 액정 디스플레이 패널 구동 회로.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 패널 구동 회로에 관한 것으로, 구체적으로는 면적을 크게 감소시킨 액정 디스플레이 패널 구동 회로에 관한 것이다.

배 경 기 술

[0002] 최근 텔레비전과 같은 디스플레이 패널(display panel)의 해상도가 하루가 다르게 증가하고 있다. 이와 같이, 디스플레이 패널의 해상도가 증가함에 따라 디스플레이 장치의 소스 드라이버 IC(Integrated Circuit)에서 패널을 구동시키기 위해 요구되는 구동 회로의 크기 또한 증가하고 있다.

[0003] 이러한 액정 디스플레이 패널 구동 회로에 있어서 회로의 면적은 중요한 요인 중 하나로 구동 회로의 크기가 증가할 경우, 액정 디스플레이 구동 회로 및 시스템의 생산 원가를 증가 및 그에 따른 경쟁력 저하를 발생시키기 때문에 액정 디스플레이 구동 회로의 면적을 감소시키기 위한 기술들이 요구된다.

[0004] 도 1은 종래 기술에 따른 액정 디스플레이 패널 구동 회로의 일 실시예를 도시한 것이다.

[0005] 도 1에 도시된 액정 디스플레이 패널 구동 회로(100)는 저항 스트링부(110), 디지털 아날로그 컨버터 스위칭부(121,122), 버퍼(131,132) 및 출력 스위치부(140)로 구성된다.

- [0006] 상기 저항 스트링부(110)와 상기 디지털 아날로그 컨버터 스위칭부(121,122)를 합하여 저항 디지털 아날로그 컨버터(Resistor DAC)라고 한다.
- [0007] 상기 저항 스트링부(110)는 직렬 연결된 저항을 구비한다. 입력되는 디지털 데이터가 N 비트인 경우, 상기 저항 스트링부(110)는 2^N 개의 저항으로 구성되어 각 저항의 연결 노드마다 서로 다른 기준 전압을 발생시키므로 2^N 개의 기준 전압을 생성할 수 있다.
- [0008] 액정 디스플레이 패널 구동 회로는 타이밍 컨트롤러(Timing controller)로부터 디지털 데이터를 입력받아 상기 저항 스트링부(110)에서 발생한 2^N 개의 기준 전압 중 상기 디지털 데이터에 상응하는 하나의 아날로그 기준 전압을 제1 디지털 아날로그 컨버터 스위칭부(121)에서 선택하여 출력하고, 버퍼(131)에서 액정 디스플레이 패널의 데이터 라인의 로드를 구동시킨다.
- [0009] 또한, 액정 디스플레이 패널의 화상 구현 방식은 액정 디스플레이 패널 구동 회로의 출력들이 각각 다른 데이터를 구동하고, 각 데이터에 따른 색의 조합으로 화상을 구현하게 되므로 입력되는 디지털 데이터마다 디지털 아날로그 컨버터와 버퍼(또는 앰프)가 각각의 출력마다 구비하고 있어야 한다(도1의 제1 디지털 아날로그 컨버터 스위칭부(121) 및 제M 디지털 아날로그 컨버터 스위칭부(122), 버퍼(131,132)를 참조).
- [0010] 액정 디스플레이 패널의 해상도를 결정짓는 요소는 디지털 아날로그 컨버터(DAC)의 해상도이며, 디지털 아날로그 컨버터(DAC)의 해상도가 높을수록 자연스러운 색감을 구현할 수 있다.
- [0011] 그러나, 디지털 아날로그 컨버터의 해상도를 높이기 위해서는 입력되는 디지털 데이터의 비트수(N)가 증가되고, 비트수(N)가 증가할수록 저항 스트링부(110)에서 요구되는 저항 및 디지털 아날로그 컨버터 스위칭부를 구성하는 트랜지스터의 개수는 기하급수적으로 증가되므로 구동 회로의 면적의 증가를 초래하며 그 결과 생산 원가의 증가로 이어지는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0012] 본 발명이 이루고자 하는 기술적 과제는 디스플레이 패널 구동 회로의 대부분의 면적을 차지하는 디지털 아날로그 컨버터 회로의 면적을 감소시키기 위하여 디지털 아날로그 컨버터의 기능을 앰프에서 일부 수행하도록 하여 회로 면적을 크게 감소시킨 액정 디스플레이 패널 구동 회로를 제공하기 위한 것이다.

과제 해결수단

- [0013] 상기 기술적 과제를 이루기 위한 본 발명에 의한 액정 디스플레이 패널 구동 회로는 N 비트의 해상도를 갖는 액정 디스플레이 패널을 구동시키기 위한 액정 디스플레이 패널 구동 회로에 있어서, 상기 액정 디스플레이 패널 구동 회로에 입력되는 N 비트의 디지털 데이터는 상위 X 비트와 하위 Y 비트로 구성되며, 상기 N 비트의 디지털 데이터의 전압 범위를 3 개의 영역으로 나누어 각 영역에 따라 다른 비율로 아날로그 기준 전압들을 출력하는 영역별 저항 스트링부(211,212,213); 상기 N 비트의 디지털 데이터를 입력받고 상기 상위 X 비트에 따라 상기 영역별 저항 스트링부로부터 입력받은 아날로그 기준 전압들 중에서 선택하여 Y+1개의 아날로그 전압을 출력하고, 상기 하위 Y 비트에 따라 다른 조합의 상기 Y+1개의 아날로그 전압을 출력하는 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223); 및 상기 Y+1개의 아날로그 전압을 입력받아 상기 Y 값에 의해 정해진 멀티 팩터에 의해 상기 Y+1 개의 아날로그 전압마다 가중치를 설정하여 보간된 출력 전압을 생성하는 보간 앰프(230)를 구비하는 것을 특징으로 한다.
- [0014] 또한, 본 발명에 의한 액정 디스플레이 패널 구동 회로는 N 비트의 해상도를 갖는 액정 디스플레이 패널을 구동시키기 위한 액정 디스플레이 패널 구동 회로에 있어서, 상기 액정 디스플레이 패널 구동 회로에 입력되는 N 비트의 디지털 데이터는 상위 X 비트와 하위 Y 비트로 구성되며, 상위 X 비트를 기준으로 생성된 아날로그 기준 전압들 중 상기 N 비트의 디지털 데이터에 따라 선택하여 Y+1 개의 아날로그 전압을 출력하는 디지털 아날로그 컨버터 스위칭부; 및 상기 Y+1개의 아날로그 전압을 입력받아 상기 Y 값에 의해 정해진 멀티 팩터에 의해 상기 Y+1 개의 아날로그 전압마다 가중치를 설정하여 보간된 출력 전압을 생성하는 보간 앰프(230)를 구비하며, 상기 보간 앰프(230)는, 상기 디지털 아날로그 컨버터 스위칭부에서 출력되는 상기 Y+1 개의 아날로그 기준 전압들을 각각 입력받는 복수의 트랜지스터로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는 비반전 입력부(231); 상기 보간 앰프의 출력 전압을 각각 입력받고, 상기 비반전 입력부와 쌍을 이루는 복수의

트랜지스터로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는 반전 입력부(232); 상기 비반전 입력부와 상기 반전 입력부의 능동 로드로 동작하는 로드부(235); 제1 바이어스 전압에 응답하여 상기 보간 앰프를 구동시키는 제1 바이어스 인가부(234); 제2 바이어스 전압을 각 게이트에 입력받고, 상기 비반전 입력부의 트랜지스터들과 동일한 멀티 팩터를 갖는 트랜지스터들로 구성되어 상기 반전 입력부 및 상기 비반전 입력부에 전류를 공급하는 제2 바이어스 인가부(233); 및 상기 로드부에서 변동된 전압에 따라 상기 출력 전압을 출력하는 출력부(236)를 구비하며, 상기 비반전 입력부(231), 상기 반전 입력부(232) 및 상기 제2 바이어스 인가부(233)를 구성하는 트랜지스터들은 각 멀티 팩터를 구비하는 트랜지스터들끼리 차동쌍들을 형성하는 것을 특징으로 한다.

효 과

[0015] 본 발명에 따른 액정 디스플레이 패널 구동 회로는 회로 면적을 크게 감소시킨 효과가 있다. 종래 기술에 따른 구동 회로는 저항 스트링부의 저항 및 DAC 스위칭부의 트랜지스터의 개수가 각각 2^N 만큼 필요하였다면, 본 발명에 따른 구동 회로는 저항 및 트랜지스터는 각각 $2^X + 2(2^{1/2X})$ 의 개수만큼 필요하고, 추가로 보간 앰프에 $(2^{(Y-3)} + 2^{(Y-2)} + 2^{(Y-1)}) * 3$ 개의 트랜지스터가 필요하나, 전체적으로 저항 및 트랜지스터의 개수가 크게 감소되므로 면적 감소의 효과가 크다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세히 설명하도록 한다.

[0017] 도 2는 본 발명에 따른 액정 디스플레이 구동 회로의 일 실시예를 도시한 것이다.

[0018] 도 2에 도시된 액정 디스플레이 구동 회로(200)는 영역별 저항 스트링부(211, 212, 213), 영역별 디지털 아날로그 컨버터(DAC) 스위칭부(221~226), 보간 앰프(230, 240) 및 출력 스위치부(250)로 구성된다.

[0019] 도 3을 참조하면, 입력되는 디지털 데이터 N 비트(N Bit Input)는 상위 X 비트와 하위 Y 비트로 구성된다(X 및 Y는 0 이상의 정수이다). 예를 들면, 디지털 데이터 N 비트(N Bit Input)가 10 비트이고, 상위 X 비트가 7 비트이면, 하위 Y 비트는 3 비트가 된다.

[0020] 상기 영역별 저항 스트링부(211, 212, 213)는 상기 N 비트의 디지털 데이터의 전압 범위를 3 개의 영역으로 나누어 각 영역에 따라 다른 비율로 아날로그 기준 전압들을 출력한다.

[0021] 특히, 상기 영역별 저항 스트링부(211, 212, 213)는 발생시키는 기준 전압의 크기에 따라 상위 영역 저항 스트링부(211), 중간 영역 저항 스트링부(212) 및 하위 영역 저항 스트링부(213)로 구분된다.

[0022] 상기 상위 영역 저항 스트링부(211)는 상위 비트인 X 비트의 영역 중에서 가장 높은 아날로그 기준 전압을 발생시킨다. 상기 상위 영역 저항 스트링부(211)는 복수의 저항이 일렬로 배치되어 각 저항들의 연결 지점에서 상기 아날로그 기준 전압들을 생성한다. 상기 상위 영역 저항 스트링부(211)는 $2^{1/2X}$ 개의 저항을 구비한다. 단, 2의 지수인 $(1/2)X$ 가 정수가 아닌 경우 반올림한 정수값으로 저항의 개수를 선택한다.

[0023] 상기 중간 영역 저항 스트링부(212)는 상위 비트인 X 비트의 영역 중에서 가장 높은 기준 전압과 가장 낮은 기준 전압을 제외한 중간 영역의 아날로그 기준 전압들을 발생시킨다. 상기 중간 영역 저항 스트링부(212)는 복수의 저항이 일렬로 배치되어 각 저항들의 연결 지점에서 상기 아날로그 기준 전압들을 생성한다. 상기 중간 영역 저항 스트링부(212)는 2^X 개의 저항을 구비한다.

[0024] 상기 하위 영역 저항 스트링부(213)는 상위 비트인 X 비트의 영역 중에서 가장 낮은 아날로그 기준 전압을 발생시킨다. 상기 하위 영역 저항 스트링부(213)는 복수의 저항이 일렬로 배치되어 각 저항들의 연결 지점에서 상기 아날로그 기준 전압들을 생성한다. 상기 하위 영역 저항 스트링부(213)는 $2^{1/2X}$ 개의 저항을 구비한다. 단, 2의 지수인 $(1/2)X$ 가 정수가 아닌 경우 반올림한 정수값으로 저항의 개수를 선택한다.

[0025] 또한, 상기 영역별 저항 스트링부(211, 212, 213)는 포지티브 기준 전압을 생성하기 위한 포지티브 저항 스트링부 및 네거티브 기준 전압을 생성하기 위한 네거티브 저항 스트링부로 구성된다(미도시).

[0026] 상기 영역별 디지털 아날로그 컨버터 스위칭부(221, 222, 223)는 상기 N 비트의 디지털 데이터를 입력받고 상기 상위 X 비트에 따라 상기 영역별 저항 스트링부(211, 212, 213)로부터 입력받은 아날로그 기준 전압들 중에서 선

택하여 Y+1개의 아날로그 전압을 출력하고, 상기 하위 Y 비트에 따라 다른 조합의 상기 Y+1개의 아날로그 전압을 출력한다.

- [0027] 상기 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223)는 상위 영역 DAC 스위칭부(221), 중간 영역 DAC 스위칭부(222), 하위 영역 DAC 스위칭부(223)로 구성된다.
- [0028] 상기 상위 영역 DAC 스위칭부(221)는 N 비트의 디지털 입력 데이터(N Bit Input)에 제어되어 상기 상위 영역 저항 스트링부(211)로부터 출력된 기준 전압들을 입력받아 그 중 선택하여 Y+1개의 출력으로 상기 보간 앰프(230)로 전달한다. 이때, Y+1 개의 출력 신호는 모두 동일한 전압 레벨을 갖는다. 예를 들면, Y=2 일 때, 상기 상위 영역 DAC 스위칭부는 V1,V1,V1을 출력한다.
- [0029] 상기 중간 영역 DAC 스위칭부(222)는 N 비트의 디지털 입력 데이터(N Bit Input)에 제어되어 상기 중간 영역 저항 스트링부(212)로부터 출력된 기준 전압들을 입력받아 그 중 선택하여 Y+1개의 출력으로 상기 보간 앰프(230)로 전달한다.
- [0030] 예를 들면, Y=2 일 때, 도 5를 참조하면, 상기 중간 영역 DAC 스위칭부(222)는 하위 비트의 디지털 데이터에 따라 V1과 V2의 조합에 의해 V1,V1,V1 또는 V1,V1,V2 또는 V2,V1,V2 또는 V2,V2,V1의 출력 신호를 출력한다.
- [0031] V1과 V2는 상위 비트에 근거하여 상기 영역별 저항 스트링부(211,212,213)의 기준 전압으로부터 추출된 값이다. V2는 V1보다 소정 전압이 높은 전압이며, 상기 아날로그 기준 전압들 중 V1에 가장 인접한 기준 전압이다.
- [0032] 상기 하위 영역 DAC 스위칭부(223)는 N 비트의 디지털 입력 데이터(N Bit Input)에 제어되어 상기 하위 영역 저항 스트링부(213)로부터 출력된 기준 전압들을 입력받아 그 중 선택하여 Y+1개의 출력으로 상기 보간 앰프(230)로 전달한다. 이때, Y+1 개의 출력 신호는 모두 동일한 전압 레벨을 갖는다. 예를 들면, Y=2 일 때, 상기 하위 영역 DAC 스위칭부(223)는 V1,V1,V1을 출력한다.
- [0033] 상기 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223)는 스위칭 소자 또는 트랜지스터로 구현할 수 있다. 예를 들면, 상위 영역 디지털 아날로그 컨버터 스위칭부(221)는 상기 상위 영역 저항 스트링부(211)로부터 기준 전압들을 입력받고, 상기 N 비트의 디지털 데이터(N Bit Input)에 제어되는 $2^{1/2X}$ 개의 트랜지스터에 의해 상기 Y+1개의 아날로그 전압을 출력하도록 구성할 수 있다.
- [0034] 또한, 상기 중간 영역 디지털 아날로그 컨버터 스위칭부(222)는 상기 중간 영역 저항 스트링부(212)로부터 기준 전압들을 입력받고, 상기 N 비트의 디지털 데이터(N Bit Input)에 제어되는 2^X 개의 트랜지스터에 의해 상기 Y+1개의 아날로그 전압을 출력하도록 구성할 수 있다.
- [0035] 또한, 상기 하위 영역 디지털 아날로그 컨버터 스위칭부(223)는 상기 하위 영역 저항 스트링부(213)로부터 기준 전압들을 입력받고, 상기 N 비트의 디지털 데이터(N Bit Input)에 제어되는 $2^{1/2X}$ 개의 트랜지스터에 의해 상기 Y+1개의 아날로그 전압을 출력하도록 구성할 수 있다.
- [0036] 상기 보간 앰프(230)는 상기 Y+1개의 아날로그 전압을 입력받아 상기 Y 값에 의해 정해진 멀티 팩터에 의해 상기 Y+1 개의 아날로그 전압마다 가중치를 설정하여 보간된 출력 전압을 생성한다.
- [0037] 상기 보간 앰프(230)는 상기 상위 영역 DAC 스위칭부(221) 및 상기 하위 영역 DAC 스위칭부(223)로부터 기준 전압을 입력받을 경우, 입력받은 기준 전압을 그대로 출력하며, 상기 중간 영역 DAC 스위칭부(222)로부터 기준 전압을 입력받을 경우 입력받은 기준 전압들에 멀티 팩터를 두어 출력 전압을 발생시킨다.
- [0038] 또한, 상기 보간 앰프(230)는 상기 포지티브 기준 전압의 구동을 위한 포지티브 버퍼 및 상기 네거티브 기준 전압의 구동을 위한 네거티브 버퍼로 구성된다(미도시).
- [0039] 상기 출력 스위치부(250)는 상기 보간 앰프(230,240)들의 출력을 입력받아 선택하여 액정 디스플레이 패널에 전압(Out<1>~Out<K>)을 공급한다. 상기 출력 스위치부(250)는 제어 신호(ctrl)에 따라 출력 신호의 극성을 포지티브 또는 네거티브로 반전시키는 극성 반전 기능, 포지티브 극성과 네거티브 극성을 바꾸는데 있어서 전류 소모를 감소시키기 위한 전하 공유(Charge Share) 또는 출력 인에이블(output enable) 기능 등을 제어한다. 상기 출력 스위치부(250)는 예를 들면, 멀티 플렉서(Multiplexer)에 의해 구현할 수 있다.
- [0040] 즉, 액정 디스플레이 패널의 화상 구현 방식은 액정 디스플레이 패널 구동 회로의 출력들이 각각 다른 데이터를 구동하고, 각 데이터에 따른 색의 조합으로 화상을 구현하게 되므로 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223)와 보간 앰프(230)가 각각의 출력마다 구비하고 있어야 한다.

- [0041] 도 2를 참조하여 보다 구체적으로 설명하면, 본 발명에 따른 액정 디스플레이 패널 구동 회로는 입력되는 디지털 데이터(N Bit Input)는 복수개가 구비되며, 그에 대응하여 상기 영역별 디지털 아날로그 컨버터 스위칭부 및 상기 보간 앰프가 복수개씩 구비되고, 제1 내지 제M 영역별 디지털 아날로그 컨버터 스위칭부 및 상기 보간 앰프((221,222,223),(224,225,226))는 각각 다른 디지털 데이터를 입력받으며, 각각의 제1 내지 제M 영역별 디지털 아날로그 컨버터 스위칭부의 출력 전압들을 각각의 제1 내지 제M 보간 앰프(230,240)가 입력받아 동작한다. 그 후, 상기 출력 스위칭부(250)는 제어 신호에 응답하여 상기 복수개의 보간 앰프(230,240)의 출력을 선택하여 상기 액정 디스플레이 회로에 전송한다.
- [0042] 도 4는 도 2에 도시된 보간 앰프(230)의 상세 회로도를 도시한 것이다.
- [0043] 도 4에 도시된 보간 앰프(230)는 비반전 입력부(231), 반전 입력부(232), 제1 바이어스 인가부(234), 제2 바이어스 인가부(233), 로드부(235) 및 출력부(236)를 구비한다.
- [0044] 상기 비반전 입력부(231)는 상기 영역별 디지털 아날로그 컨버터 스위칭부(221,222,223)에서 출력되는 상기 Y+1 개의 아날로그 기준 전압들(YA,YB,YC,YD,YE)을 각각 입력받는 복수의 트랜지스터(M1~M5)로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는다.
- [0045] 상기 반전 입력부(232)는 상기 보간 앰프(230)의 출력 전압을 각각 입력받고, 상기 비반전 입력부(231)와 쌍을 이루는 복수의 트랜지스터(M6~M10)로 구성되며, 각 트랜지스터마다 하위 Y 비트의 수에 따라 멀티 팩터를 갖는다.
- [0046] 상기 로드부(235)는 상기 비반전 입력부(231)와 상기 반전 입력부(232)의 능동 로드로 동작한다.
- [0047] 상기 제1 바이어스 인가부(234)는 제1 바이어스 전압(Bias 1)에 응답하여 상기 보간 앰프(230)를 구동시킨다.
- [0048] 상기 제2 바이어스 인가부(233)는 제2 바이어스 전압(Bias 2)을 각 게이트에 입력받고, 상기 비반전 입력부(231)의 트랜지스터들과 동일한 멀티 팩터를 갖는 트랜지스터들(M11~M15)로 구성되어 상기 반전 입력부(232) 및 상기 비반전 입력부(231)에 전류를 공급한다.
- [0049] 상기 출력부(236)는 상기 로드부(235)에서 변동된 전압에 따라 상기 출력 전압(Out)을 출력한다.
- [0050] 상기 비반전 입력부(231), 상기 반전 입력부(232) 및 상기 제2 바이어스 인가부(233)를 구성하는 트랜지스터들은 각 멀티 팩터를 구비하는 트랜지스터들끼리 차동쌍들을 형성한다.
- [0051] 보다 구체적으로 설명하면, 상기 로드부(235)는 제17 트랜지스터(M17)와 제18 트랜지스터(M18)를 구비한다.
- [0052] 상기 제17 트랜지스터(M17)는 전원 전압(VDDA)을 제1 단자에 입력받는다. 상기 제 18 트랜지스터는 전원 전압(VDDA)을 제1 단자에 입력받고, 게이트 단자가 상기 제17 트랜지스터(M17)의 게이트 단자에 연결되고, 상기 제 18 트랜지스터의 제2 단자는 상기 제 18 트랜지스터의 게이트 단자에 연결된다.
- [0053] 상기 비반전 입력부(231)는 제1 트랜지스터(M1) 내지 제5 트랜지스터(M5)를 구비한다.
- [0054] 상기 제1 트랜지스터(M1)는 상기 영역별 디지털 아날로그 컨버터 스위칭부의 제1 출력 신호(YA)를 게이트에 입력받고, 제1 단자가 제17 트랜지스터(M17)의 제2 단자에 연결된다. 상기 제2 트랜지스터(M2)는 상기 영역별 디지털 아날로그 컨버터 스위칭부의 제2 출력 신호(YB)를 게이트에 입력받고, 제1 단자가 제17 트랜지스터(M17)의 제2 단자에 연결된다. 상기 제3 트랜지스터(M3)는 상기 영역별 디지털 아날로그 컨버터 스위칭부의 제3 출력 신호(YC)를 게이트에 입력받고, 제1 단자가 제17 트랜지스터(M17)의 제2 단자에 연결된다. 상기 제4 트랜지스터(M4)는 상기 영역별 디지털 아날로그 컨버터 스위칭부의 제4 출력 신호(YD)를 게이트에 입력받고, 제1 단자가 제17 트랜지스터(M17)의 제2 단자에 연결된다. 상기 제5 트랜지스터(M5)는 상기 영역별 디지털 아날로그 컨버터 스위칭부의 제5 출력 신호(YE)를 게이트에 입력받고, 제1 단자가 제17 트랜지스터(M17)의 제2 단자에 연결된다.
- [0055] 만약, Y-1,Y-2,Y-3이 0보다 작은 경우, 즉, 각 트랜지스터의 멀티 팩터가 1보다 작은 경우, 상기 제2 트랜지스터(M2) 내지 상기 제4 트랜지스터(M4)는 삭제된다.
- [0056] 상기 반전 입력부(232)는 제 6 트랜지스터(M6) 내지 제 10 트랜지스터(M10)로 구성된다.
- [0057] 상기 제6 트랜지스터(M6)는 상기 보간 앰프(230)의 출력 신호(Out)를 게이트에 입력받고, 제1 단자가 제18 트랜지스터(M18)의 제2 단자에 연결되고, 제2 단자가 제1 트랜지스터(M1)의 제2 단자에 연결된다. 상기 제7 트랜지스터(M7)는 상기 보간 앰프(230)의 출력 신호(Out)를 게이트에 입력받고, 제1 단자가 제18 트랜지스터(M18)의 제2 단자에 연결되고, 제2 단자가 제2 트랜지스터(M2)의 제2 단자에 연결된다. 상기 제8 트랜지스터(M8)는 상기

보간 앰프(230)의 출력 신호(Out)를 게이트에 입력받고, 제1 단자가 제18 트랜지스터(M18)의 제2 단자에 연결되고, 제2 단자가 제3 트랜지스터(M3)의 제2 단자에 연결된다. 상기 제9 트랜지스터(M9)는 상기 보간 앰프(230)의 출력 신호(Out)를 게이트에 입력받고, 제1 단자가 제18 트랜지스터(M18)의 제2 단자에 연결되고, 제2 단자가 제4 트랜지스터(M4)의 제2 단자에 연결된다. 상기 제10 트랜지스터(M10)는 상기 보간 앰프(230)의 출력 신호(Out)를 게이트에 입력받고, 제1 단자가 제18 트랜지스터(M18)의 제2 단자에 연결되고, 제2 단자가 제5 트랜지스터(M5)의 제2 단자에 연결된다. 위와 같이, 상기 제6 트랜지스터(M6) 내지 제10 트랜지스터(M10)의 게이트는 상기 보간 앰프(230)의 출력 단자와 연결되어 피드백 루프를 형성한다.

- [0058] 상기 출력부(236)는 제19 트랜지스터(M19), 제20 트랜지스터(M20) 및 주파수 보상용 캐패시터(c1)를 구비한다.
- [0059] 상기 제19 트랜지스터(M19)는 전원 전압(VDDA)을 제1 단자에 입력받고, 상기 제17 트랜지스터(M17)의 제2 단자에 게이트 단자가 연결되고, 제2 단자의 전압이 출력전압이 된다. 상기 제20 트랜지스터(M20)는 제1 단자가 제19 트랜지스터(M19)의 제2 단자에 연결되고, 제1 바이어스 전압이 게이트 단자에 인가되고, 제2 단자가 접지 전압(GNDA)에 연결된다.
- [0060] 상기 주파수 보상용 캐패시터(c1)는 상기 제19 트랜지스터(M19)의 게이트 단자와 제2 단자사이에 연결된다.
- [0061] 상기 제1 바이어스 인가부(234)는 제1 바이어스 전압(Bias 1)을 게이트 단자에 입력받고, 제1 단자가 접지 전압(GNDA)에 연결되는 제16 트랜지스터(M16)로 구성된다.
- [0062] 상기 제2 바이어스 인가부(233)는 제11 트랜지스터(M11) 내지 제15 트랜지스터(M15)로 구성된다.
- [0063] 상기 제11 트랜지스터(M11)는 제2 바이어스 전압(Bias 2)을 게이트 단자에 입력받고, 상기 제16 트랜지스터(M16)의 제2 단자에 제1 단자가 연결되며, 제2 단자는 제1 트랜지스터(M1)의 제2 단자에 연결된다. 상기 제12 트랜지스터(M12)는 제2 바이어스 전압(Bias 2)을 게이트 단자에 입력받고, 상기 제16 트랜지스터(M16)의 제2 단자에 제1 단자가 연결되며, 제2 단자는 제2 트랜지스터(M2)의 제2 단자에 연결된다. 상기 제13 트랜지스터(M13)는 제2 바이어스 전압(Bias 2)을 게이트 단자에 입력받고, 상기 제16 트랜지스터(M16)의 제2 단자에 제1 단자가 연결되며, 제2 단자는 제3 트랜지스터(M3)의 제2 단자에 연결된다. 상기 제14 트랜지스터(M14)는 제2 바이어스 전압(Bias 2)을 게이트 단자에 입력받고, 상기 제16 트랜지스터(M16)의 제2 단자에 제1 단자가 연결되며, 제2 단자는 제4 트랜지스터(M4)의 제2 단자에 연결된다. 상기 제15 트랜지스터(M15)는 제2 바이어스 전압(Bias 2)을 게이트 단자에 입력받고, 상기 제16 트랜지스터(M16)의 제2 단자에 제1 단자가 연결되며, 제2 단자는 제5 트랜지스터(M5)의 제2 단자에 연결된다.
- [0064] 상기 제1 트랜지스터(M1), 상기 제6 트랜지스터(M6) 및 상기 제11 트랜지스터(M11)는 차동쌍을 형성하며 멀티 팩터는 $2^{(0)}$ 이다. 또한, 제2, 제7, 제12 트랜지스터(M2, M7, M12)가 차동쌍을 형성하며 멀티 팩터는 $2^{(Y-1)}$ 이다. 또한, 제3, 제8, 제13 트랜지스터(M3, M8, M13)가 차동쌍을 형성하며 멀티 팩터는 $2^{(Y-2)}$ 이다. 또한, 제4, 제9, 제14 트랜지스터(M4, M9, M14)가 차동쌍을 형성하며 멀티 팩터는 $2^{(Y-3)}$ 이다. 또한, 제5, 제10, 제15 트랜지스터(M5, M10, M15)가 차동쌍을 형성하며 멀티 팩터는 $2^{(0)}$ 이다.
- [0065] 차동쌍을 형성하는 각 트랜지스터는 멀티 팩터만큼 동일한 크기의 트랜지스터가 각 트랜지스터에 병렬로 연결된다. 예를 들면, 멀티 팩터가 4인 제2 트랜지스터(M2)는 동일한 크기의 트랜지스터를 4 개의 병렬 구조로 형성하며, 게이트에 동일하게 상기 영역별 디지털 아날로그 컨버터 스위칭부의 제2 출력 신호를 입력받는다.
- [0066] 또한, 바람직하게는 상기 비반전 입력부(231) 및 상기 반전 입력부(232)를 구성하는 트랜지스터(M1~M10)는 모두 동일 크기를 갖는다. 바람직하게는 상기 제2 바이어스 인가부(233)를 구성하는 트랜지스터(M11~M15)는 모두 동일한 크기를 갖는다.
- [0067] 상기 보간 앰프(230)의 입력단의 전류원은 1 개를 구비하며, 상기 보간 앰프(230)의 입력단의 전류원은 멀티 팩터를 증가 시켜 상기 보간 앰프(230)의 입력단의 전류를 증가 시키며, 상기 차동쌍에 흐르는 전류는 각각의 차동쌍을 구성하고 있는 제11 트랜지스터(M11) 내지 제15 트랜지스터(M15)의 멀티 팩터에 의해 분배된다.
- [0068] 따라서, 차동쌍을 형성하는 각 트랜지스터는 입력 단자에 동일한 전압을 입력받더라도, 멀티 팩터의 차이에 의해 상기 보간 앰프(230)의 출력 전압의 차이가 발생하게 된다. 이렇게 하여, 본 발명에 따른 액정 디스플레이 패널 구동 회로는 하위 비트에 따른 전압 차의 구분을 멀티 팩터를 갖는 보간 앰프(230)에 의해 발생시킬 수 있다.

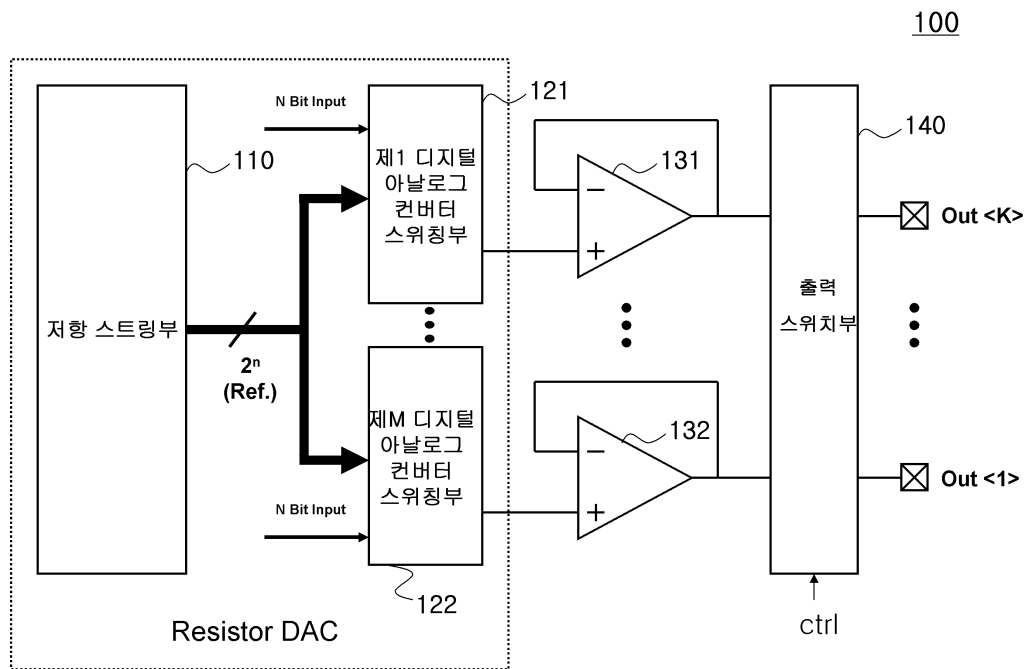
- [0069] 이때, 멀티 팩터에 해당하는 2의 지수인 Y-1, Y-2 또는 Y-3이 0 이거나 0 보다 작은 음수인 경우에는 각 차동쌍의 트랜지스터 및 입출력 노드들은 삭제되어 없어지게 된다.
- [0070] 예를 들면, Y=2인 경우, 제3, 제8, 제13 트랜지스터(M3, M8, M13)로 이루어진 차동쌍 및 제4, 제9, 제14 트랜지스터(M4, M9, M14)로 이루어진 차동쌍은 없어지게 된다.
- [0071] 또한, Y가 5보다 큰 수인 경우, 상기와 같은 차동쌍은 추가로 구비되어야 한다. 예를 들어, Y=5 인 경우, 비반전 입력부(231)에 제21 트랜지스터가 추가되고, 반전 입력부에 제22 트랜지스터가 추가되고, 제2 바이어스 인가부(233)에 제23 트랜지스터가 추가된다.
- [0072] 상기 비반전 입력부(231)와 상기 반전 입력부(232) 및 상기 제2 바이어스 인가부(233)를 구성하는 트랜지스터(M1~M15)는 각각 멀티 팩터를 구비한다.
- [0073] 도 5는 Y=2인 경우 도 2에 도시된 중간 영역 아날로그 디지털 컨버터 스위칭부(222) 및 보간 앰프(230)의 출력을 표시한 것이다.
- [0074] 디지털 데이터가 8 비트이고, 상위 비트가 6 비트이고 하위 비트가 2 비트인 경우이다. 하위 비트인 Y2와 Y1의 데이터에 따라 중간 영역 DAC 스위칭부(222)의 출력 신호를 나타낸 것이다.
- [0075] 예를 들면, Y2=0이고, Y1=1인 경우, YA=V1이고, YB=V1, YC=V2가 되도록 구현된다.
- [0076] 또한, Y=2 인 경우, 상기 보간 앰프(230)에 입력되는 멀티 팩터는 1, 2, 1이 된다. 또한, 가중치는 각각 $1/(1+2+1)$, $2/(1+2+1)$, $1/(1+2+1)$ 즉, 0.25, 0.5, 0.25가 된다. 즉, 상기 비반전 입력부(231), 상기 반전 입력부(232) 및 상기 제2 바이어스 인가부(233)를 구성하는 트랜지스터들의 가중치는 각 트랜지스터의 멀티 팩터/전체 트랜지스터의 멀티 팩터의 합으로 계산된다.
- [0077] 예를 들면, Y2=0이고, Y1=1인 경우, 상기 중간 영역 DAC 스위칭부(222)의 출력은 V1, V1, V2이고, 상기 보간 앰프(230)의 출력 전압은 $0.25 \cdot V1 + 0.5V1 + 0.25V2 = 0.75V1 + 0.25V2$ 가 된다.
- [0078] 따라서, 본 발명에 따른 액정 디스플레이 패널 구동 회로는 디지털 데이터의 상위 비트를 이용하여 저항 스트링으로부터 기준 전압을 생성하며, 하위 비트를 이용하여 보간 앰프(230)로부터 하위 비트에 상응하는 기준 전압을 출력하도록 구성된다.
- [0079] 본 발명은 액정 디스플레이 패널 구동 회로에 한정되지 않고, 일반적인 표시 장치의 구동 회로에도 적용이 가능하다.
- [0080] 이상에서 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

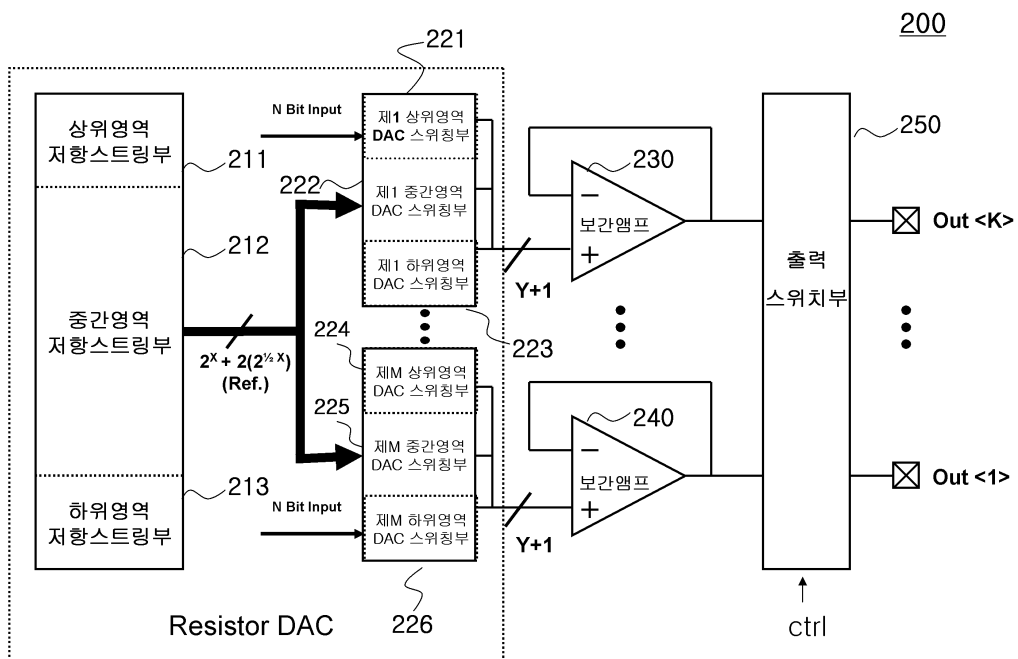
- [0081] 도 1은 종래 기술에 따른 액정 디스플레이 패널 구동 회로의 일 실시예를 도시한 것이다.
- [0082] 도 2는 본 발명에 따른 액정 디스플레이 패널 구동 회로의 일 실시예를 도시한 것이다.
- [0083] 도 3은 도 2에 도시된 아날로그 디지털 컨버터 스위칭부의 입력에 따른 출력 범위를 도시한 것이다.
- [0084] 도 4는 도 2에 도시된 보간 앰프의 상세 회로도를 도시한 것이다.
- [0085] 도 5는 Y=2인 경우 도 2에 도시된 아날로그 디지털 컨버터 스위칭부의 출력 전압과 보간 앰프의 출력 전압의 예를 도시한 것이다.

도면

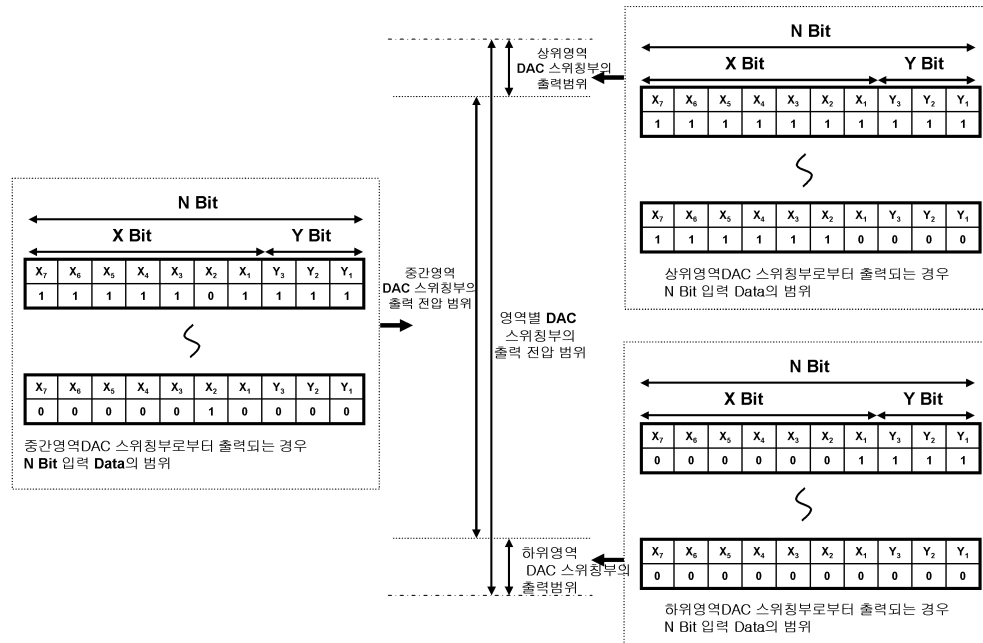
도면1



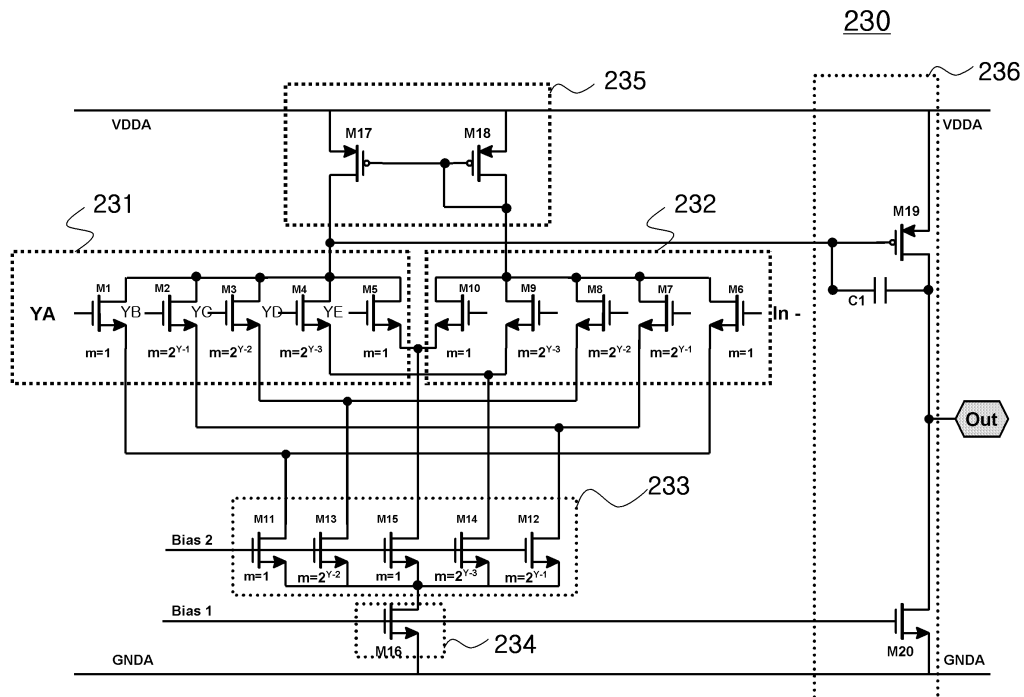
도면2



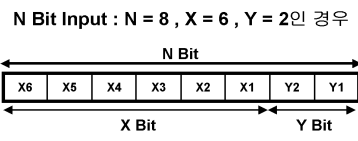
도면3



도면4



도면5



Y = 2인 경우 중간영역 DAC 스위칭부의 출력 및 보간앰프의 출력

Y2	Y1	Y _A	Y _B	Y _C	보간앰프의 출력
0	0	V1	V1	V1	$0.25 \cdot V1 + 0.5 \cdot V1 + 0.25 \cdot V1 = 1.00 \cdot V1$
0	1	V1	V1	V2	$0.25 \cdot V1 + 0.5 \cdot V1 + 0.25 \cdot V2 = 0.75 \cdot V1 + 0.25 \cdot V2$
1	0	V2	V1	V2	$0.25 \cdot V2 + 0.5 \cdot V1 + 0.25 \cdot V2 = 0.5 \cdot V1 + 0.5 \cdot V2$
1	1	V2	V2	V1	$0.25 \cdot V2 + 0.5 \cdot V2 + 0.25 \cdot V1 = 0.25 \cdot V1 + 0.75 \cdot V2$

专利名称(译)	液晶显示面板的驱动电路		
公开(公告)号	KR1020110045755A	公开(公告)日	2011-05-04
申请号	KR1020090102453	申请日	2009-10-27
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	주식회사실리콘웍스		
当前申请(专利权)人(译)	주식회사실리콘웍스		
[标]发明人	CHO HYUN HO 조현호 KIM JI HUN 김지훈 NA JOON HO 나준호 OH HYUNG SEOG 오형석 KIM DAE SEONG 김대성 HAN DAE KEUN 한대근		
发明人	조현호 김지훈 나준호 오형석 김대성 한대근		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/20 G09G2310/027 G09G3/3685 G09G3/3696		
其他公开文献	KR101081356B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示面板驱动电路，通过使放大器能够执行模数转换的一部分来减小驱动电路的面积。组成：在液晶显示面板驱动电路中，区域电阻串部分根据每个区域以不同的比率输出模拟参考电压。上部区域电阻串单元（211）产生最高模拟参考电压。中间区域电阻串单元（212）在中间区域中产生模拟参考电压。子区域电阻串单元（213）产生最低模拟参考电压。上区DAC开关单元（221）由N位数字输入数据控制。

