



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0091451
(43) 공개일자 2010년08월19일

(51) Int. Cl.

G02F 1/1345 (2006.01) G02F 1/1343 (2006.01)

(21) 출원번호 10-2009-0010641

(22) 출원일자 2009년02월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이동엽

경기도 시흥시 대야동 벽산아파트 103-1104

송석천

경기도 수원시 영통구 망포동 509-1번지 영통마젤란21아파트 1101동 601호

이성희

서울 성북구 정릉1동 한양빌리지 나동 402호

(74) 대리인

특허법인가산

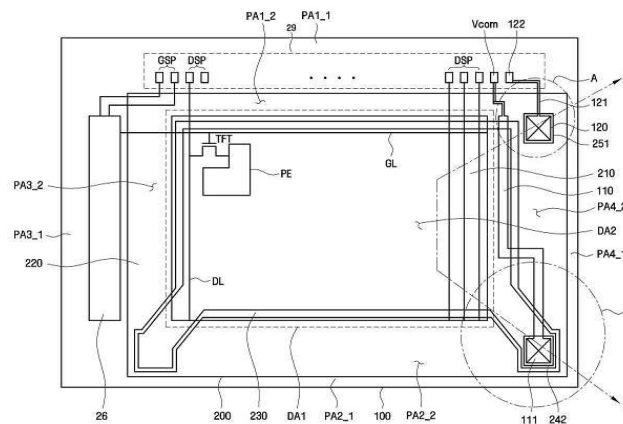
전체 청구항 수 : 총 20 항

(54) 표시패널 및 이를 포함하는 액정 표시 장치

(57) 요약

크기 표시패널 및 이를 포함하는 액정 표시 장치가 제공된다. 표시패널은, 복수의 화소부 들이 형성된 표시영역과, 표시영역을 둘러싸는 주변영역이 형성된 제1 기판, 공통 전극과, 통 전극과 전기적으로 분리되고 공통 전극을 둘러싸도록 형성되며 제1 기판을 통해서 접지 전압과 연결되어 공통 전극에 영향을 미치는 정전기를 방지하는 정전기 방지부를 포함하는 제2 기판 및 제1 기판과 제2 기판 사이에 위치하는 액정층을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

복수의 화소부 들이 형성된 표시영역과, 상기 표시영역을 둘러싸는 주변영역이 형성된 제1 기판;

공통 전극과, 상기 공통 전극과 전기적으로 분리되고 상기 공통 전극을 둘러싸도록 형성되며 상기 제1 기판을 통해서 접지 전압과 연결되어 상기 공통 전극에 영향을 미치는 정전기를 방지하는 정전기 방지부를 포함하는 제2 기판; 및

상기 제1 기판과 상기 제2 기판 사이에 위치하는 액정층을 포함하는 표시패널.

청구항 2

제1 항에 있어서,

상기 공통 전극과 상기 정전기 방지부 사이에 위치하는 절연부를 포함하되, 상기 절연부는 트렌치로 형성된 표시패널.

청구항 3

제2 항에 있어서,

상기 절연부는 상기 공통 전극을 둘러싸도록 패루프(loop)로 형성된 표시패널.

청구항 4

제3항에 있어서,

상기 정전기 방지부는 상기 절연부를 둘러싸도록 패루프(loop)로 형성된 표시패널.

청구항 5

제1 항에 있어서,

상기 제1 기판의 주변영역에 형성되고, 상기 정전기 방지부와 전기적으로 연결된 제1 패드가 더 포함된 표시패널.

청구항 6

제5 항에 있어서,

상기 주변영역은 패드부를 포함하되,

상기 패드부는 외부 회로기판으로부터 상기 표시영역으로 신호가 인가되는 신호 인가 패드와 상기 제1 패드와 전기적으로 연결된 제2 패드가 포함된 표시패널.

청구항 7

제6항에 있어서,

상기 정전기 방지부와 상기 제1 패드는 제1 연결부재에 의해 전기적으로 연결되는 표시패널.

청구항 8

제6항에 있어서,

상기 패드부는 반도체 칩 패키지의 일단과 전기적으로 연결되고, 상기 외부 회로기판은 상기 반도체 칩 패키지의 타단과 전기적으로 연결되는 표시패널.

청구항 9

제6항에 있어서,

상기 패드부는 연성 회로 기판의 일단과 전기적으로 연결되고, 상기 외부 회로기판은 상기 연성 회로 기판의 타

단과 전기적으로 연결되는 표시패널.

청구항 10

제1항에 있어서,

상기 공통 전극은 상기 공통 전극의 모서리로부터 상기 제2 기관의 모서리 방향으로 돌출된 돌출부를 포함하는 표시패널.

청구항 11

제10항에 있어서,

상기 제1 기관에 형성된 공통 전압 인가 라인이 더 포함된 표시패널.

청구항 12

제11항에 있어서,

상기 돌출부는 상기 공통 전압 인가 라인과 전기적으로 연결되는 표시패널.

청구항 13

제12 항에 있어서,

상기 공통 전압 인가 라인과 상기 돌출부는 제2 연결부재에 의해 전기적으로 연결되는 표시패널.

청구항 14

광원; 및

상기 광원으로부터 빛을 제공받아 영상을 표시하는 표시패널을 포함하되,

상기 표시패널은,

복수의 화소부 들이 형성된 표시영역과, 상기 표시영역을 둘러싸는 주변영역이 형성된 제1 기관과,

공통 전극과, 상기 공통 전극과 전기적으로 분리되고 상기 공통 전극을 둘러싸도록 형성되며 상기 제1 기관을 통해서 접지 전압과 연결되어 상기 공통 전극에 영향을 미치는 정전기를 방지하는 정전기 방지부를 포함하는 제 2 기관과,

상기 제1 기관과 상기 제2 기관 사이에 위치하는 액정층을 포함하는 액정 표시 장치.

청구항 15

제14 항에 있어서,

상기 공통 전극과 상기 정전기 방지부 사이에 위치하는 절연부를 포함하되, 상기 절연부는 트렌치로 형성된 액정 표시 장치.

청구항 16

제15 항에 있어서,

상기 절연부는 상기 공통 전극을 둘러싸도록 페루프(loop)로 형성된 액정 표시 장치.

청구항 17

제16 항에 있어서,

상기 정전기 방지부는 상기 절연부를 둘러싸도록 페루프(loop)로 형성된 액정 표시 장치.

청구항 18

제14 항에 있어서,

상기 제1 기관의 주변 영역에 형성되고, 상기 정전기 방지부와 전기적으로 연결된 제1 패드가 더 포함된 액정 표시 장치.

청구항 19

제18 항에 있어서,

상기 주변영역은 패드부를 포함하되,

상기 패드부는 외부 회로 기관으로부터 상기 표시영역으로 신호가 인가되는 신호 인가 패드와 상기 제1 패드와 전기적으로 연결된 제2 패드가 포함된 액정 표시 장치.

청구항 20

제14 항에 있어서,

상기 공통 전극은 상기 공통 전극의 모서리로부터 상기 제2 기관의 모서리 방향으로 돌출된 돌출부를 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시패널 및 이를 포함하는 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 정전기 방지부가 포함된 표시패널에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(Liquid Crystal Display : LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display : FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다.

[0003] 이러한 액정 표시 장치는 기술이 발전해 감에 따라 전원 전압이 인가되는 전원 라인 및 각종 신호 라인들이 복잡하게 연결되고, 따라서 외부에서 발생하는 정전기에 의한 과전압 또는 과전류가 상기 전원 라인 또는 신호 라인을 통해 액정 표시 장치의 내부로 유입되는 경우가 많다.

발명의 내용

해결 하고자 하는 과제

[0004] 특히, 표시패널 어셈블리는 표시패널, 표시패널에 신호를 제공하는 반도체 패키지를 포함하는데, 외부에서 발생된 정전기가 표시패널을 타고 액정 표시 장치 내부로 유입될 수 있다. 다시 말해서, 정전기가 표시패널을 통해, 구동용 반도체 패키지에 전달된다. 반도체 패키지는 타이밍 컨트롤러 및 다수의 회로가 실장된 회로 기관과 전기적으로 연결되어 있으므로, 반도체 패키지에 전달된 정전기가 회로기관까지 전달되어 타이밍 컨트롤러 및 다수의 회로에 손상을 입히게 된다.

[0005] 이러한 경우, 타이밍 컨트롤러 또는 다수의 회로가 오동작을 하게 되고, 결과적으로 표시 품질이 저하된다.

[0006] 본 발명이 해결하고자 하는 과제는, 정전기로부터 개선된 특성을 갖는 표시패널을 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는, 정전기로부터 개선된 특성을 갖는 액정 표시 장치를 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0009] 상기 해결하고자 하는 과제를 달성하기 위한 본 발명의 일 실시예에 따른 표시패널은, 복수의 화소부 들이 형성

된 표시영역과, 상기 표시영역을 둘러싸는 주변영역이 형성된 제1 기관, 공통 전극과, 상기 공통 전극과 전기적으로 분리되고 상기 공통 전극을 둘러싸도록 형성되며 상기 제1 기관을 통해서 접지 전압과 연결되어 상기 공통 전극에 영향을 미치는 정전기를 방지하는 정전기 방지부를 포함하는 제2 기관 및 상기 제1 기관과 상기 제2 기관 사이에 위치하는 액정층을 포함할 수 있다.

[0010] 상기 해결하고자 하는 다른 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 광원 및 상기 광원으로부터 빛을 제공받아 영상을 표시하는 표시패널을 포함하되, 상기 표시패널은, 복수의 화소부 들이 형성된 표시영역과, 상기 표시영역을 둘러싸는 주변영역이 형성된 제1 기관과, 공통 전극과, 상기 공통 전극과 전기적으로 분리되고 상기 공통 전극을 둘러싸도록 형성되며 상기 제1 기관을 통해서 접지 전압과 연결되어 상기 공통 전극에 영향을 미치는 정전기를 방지하는 정전기 방지부를 포함하는 제2 기관과, 상기 제1 기관과 상기 제2 기관 사이에 위치하는 액정층을 포함할 수 있다.

[0011] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

[0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

[0013] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0014] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.

[0015] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0016] 또한, 본 발명은 이하에서 설명될 액정 표시 장치에 한정되는 것은 아니며, 다양한 구조의 액정 표시 장치에 적용될 수 있다.

[0017] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 의한 표시패널 및 이를 포함하는 액정 표시 장치에 대하여 상세히 설명한다.

[0018] 도 1은 본 발명의 제1 실시예에 따른 표시패널을 포함하는 표시패널 어셈블리를 나타낸 사시도이고, 도 2는 본 발명의 도 2는 도 1의 표시패널 중 제1 기관의 평면도이고, 도 3은 도 1의 표시패널 중 제2 기관의 평면도이고, 도 4는 도 2의 제1 기관과, 도 3의 제2 기관이 오버랩된 평면도이고, 도 5는 도 4의 A부분을 확대한 평면도이고, 도 6은 도 4의 B부분을 확대한 평면도이고, 도 7은 도 4의 I-I'선을 따라 절단한 단면도이고, 도 8은 도 1의 표시패널 어셈블리를 설명하기 위한 사시도이다.

[0019] 먼저, 도 1을 참조하면, 표시패널 어셈블리(20)는 표시패널(21), 회로 기관(25), 반도체 칩 패키지(24)를 포함한다. 여기서, 표시패널(21)은 제1 기관(100), 제2 기관(200) 및 제1 기관(100)과 제2 기관(200) 사이에 위치하는 액정층(미도시)을 포함한다.

[0020] 제1 기관(100)은 스위칭 소자인 박막 트랜지스터(Thin Film Transistor)가 매트릭스 형태로 형성된 기관이다.

박막 트랜지스터들의 소오스 단자 및 게이트 단자에는 각각 데이터 라인 및 게이트 라인이 연결되고, 드레인 단자에는 투명한 도전성 재질로 이루어진 화소전극(PE)이 연결된다.

- [0021] 제2 기관(200)은 제1 기관(100)과 대향하여 배치되고, 색을 구현하기 위한 RGB 화소가 박막 형태로 형성된 기관이다. 제2 기관(200)에는 제1 기관(100)에 형성된 화소전극(PE)과 마주하도록, 투명한 도전성 재질로 이루어진 공통전극이 형성된다. 이와 달리, 컬러필터가 제1 기관(100) 상에 형성될 수도 있다. 이때, 제1 기관(100)은 컬러필터상에 게이트 라인 등의 박막 트랜지스터 어레이가 형성된 AOC(Array On Color filter) 구조이거나, 박막 트랜지스터 어레이 상에 컬러필터(131)가 형성된 COA(Color filter On Array) 구조일 수 있다.
- [0022] 제1 기관(100)과 제2 기관(200) 사이에는 액정층(미도시)이 배치되고, 화소전극(PE)과 공통 전극 사이에 형성된 전계에 의해 액정의 배열이 변화된다. 액정들의 배열이 변화됨에 따라 광 투과도가 변경되어, 원하는 계조의 영상을 표시할 수 있다.
- [0023] 또한, 표시패널(21)의 일단에는 표시패널을 구동시키기 위한 반도체 칩 패키지(24) 및 회로기관(25)이 연결된다. 이에 대해서는 후술하도록 한다.
- [0024] 도 1 및 도 2를 참조하여, 제1 기관(100)을 설명한다.
- [0025] 도 1 및 도 2를 참조하면, 제1 기관(100)은 표시영역(DA) 및 표시영역(DA)을 둘러싸는 주변영역(PA)으로 이루어진다. 이때, 주변영역(PA)은 표시영역(DA)의 상측, 하측, 좌측 및 우측에 형성된 제1, 제2, 제3 및 제4 주변영역(PA1_1, PA2_1, PA3_1, PA4_1)을 포함한다.
- [0026] 표시영역(DA)에는 제1 방향으로 연장된 복수의 게이트 라인(GL)들과, 제1 방향과 교차되는 제2 방향으로 연장된 복수의 데이터 라인(DL)들 및 게이트 라인(GL)들과 데이터 라인(DL)들에 의해 정의되는 영역 내에 복수의 화소부(P)들이 형성된다.
- [0027] 각 화소부(P)에는 게이트 라인(GL)과 데이터 라인(DL)에 연결된 박막 트랜지스터(TFT) 및 박막 트랜지스터(TFT)에 연결된 화소전극(PE)이 형성된다.
- [0028] 제1 주변영역(PA1_1)에는 화소부(P)들을 구동시키기 위하여 구동신호를 인가 받는 패드부(29)가 형성된다. 구체적으로, 제1 주변영역(PA1_1)에 반도체 칩 패키지(24)와 전기적으로 연결되는 패드부(29)가 형성된다.
- [0029] 패드부(29)는 외부로부터 게이트 구동 신호가 전송되는 게이트 신호 입력 패드(GSP)와, 데이터 신호가 전송되는 데이터 신호 입력 패드(DSP)와, 공통 전압이 인가되는 공통 전압 인가 패드(VcomP)와, 표시패널(21) 내의 정전기를 외부로 방출하는 제2 패드(122)를 포함한다.
- [0030] 게이트 신호 입력 패드(GSP)는 반도체 칩 패키지(24)의 게이트 신호 출력 라인(미도시)과 연결된다. 다시 말해서, 게이트 신호 출력 라인을 통해 회로 기관(25) 상의 게이트 신호 출력 패드(미도시)로부터 출력된 게이트 신호를 입력받는다. 입력된 게이트 신호는 게이트 신호 전송 라인(도 8의 GSL 참조)을 통해 게이트 구동용 반도체 칩 패키지(26)에 전송된다. 게이트 구동용 반도체 칩 패키지(26)는 다수의 게이트 라인(GL)과 전기적으로 연결되어 있다.
- [0031] 데이터 신호 입력 패드(DSP)는 데이터 신호 출력 라인(미도시)과 연결되며, 데이터 신호 입력 패드(DSP)는 데이터 라인(DL)과 전기적으로 연결된다.
- [0032] 공통 전압 인가 패드(VcomP)는 공통 전압 출력 라인(미도시)과 연결되며, 후술할 공통 전압 인가 라인(110)과 전기적으로 연결된다. 한편, 공통 전압 인가 라인(110)과 표시패널(21)의 제2 기관(200)의 공통전극을 전기적으로 연결하여, 공통 전압 인가 패드(VcomP)에 인가된 공통 전압이 공통전극에 인가될 수 있다.
- [0033] 제2 패드(122)는 접지 전압과 연결되고, 후술할 제1 패드(120) 및 정전기 방지부(도 3의 220 참조)와 전기적으로 연결된다. 또는, 제2 패드(122)는 액정 표시 장치의 전원 공급 장치(미도시)에 연결될 수 있다.
- [0034] 즉, 제2 패드(122)는 제1 패드(120) 및 정전기 방지부(도 3의 220 참조)와 연결되어, 외부로부터 유입되는 정전기를 그라운드로 유도하여 소멸시킨다. 이때, 제2 패드(122)는 패드부(29)의 일단에 형성될 수 있다. 또한, 필요에 따라, 제2 패드(122)는 패드부(29)의 양단에 형성될 수도 있다.
- [0035] 제4 주변영역(PA4_1)에는 표시영역(DA)의 일측과 나란하게 공통 전압 인가 라인(110)이 형성될 수 있다. 이와 달리, 표시영역(DA)의 외곽을 둘러싸도록 제2, 제3 및 제4 주변영역(PA_2, PA_3, PA_4)에 공통 전압 인가 라인(110)이 형성될 수도 있다.

- [0036] 공통 전압 인가 라인(110)은 제2 기관(200)의 공통전극(도 3의 210참조)과 전기적으로 연결되어, 공통 전압 인가 패드(VcomP)에 인가된 공통 전압을 공통전극(210)에 전달한다. 일례로, 제4 주변영역(PA4_1)에는 공통 전압 인가 라인(110)과 공통 전극(210)을 전기적으로 연결시키기 위한 공통 전압 인가 패드(111)가 형성될 수 있다. 공통 전압 인가 패드(111)는 공통 전압 인가 라인(110)과 공통 전극(210)간의 접촉면적을 넓혀줌으로써, 전압 강하를 방지한다. 공통 전압 인가 패드(111)와 공통 전극(210)이 접촉하는 곳에서 제2 단락 포인트(SP_2)가 형성될 수 있다.
- [0037] 제1 기관(100)의 주변영역(PA)에는 표시영역(DA)으로 정전기가 유입되는 것을 방지하도록, 후술할 제2 기관(200) 정전기 방지부(도 2의 220 참조)와 전기적으로 연결되는 제1 패드(120)가 형성된다. 이때, 제1 패드(120)는 패드부(29)의 제2 패드(122)와 연결 라인(121)을 통해 전기적으로 연결된다. 이에 따라, 외부에서 유입된 정전기는 제1 패드(120), 연결 라인(121) 및 제2 패드(122)를 통해 정전기를 외부로 방출시킨다.
- [0038] 제1 패드(120)는 제1, 제2 제3 또는 제4 주변영역(PA1_1, PA2_1, PA3_1, PA4_1)에 형성될 수 있다. 또한, 제1 패드(120)는 제1, 제2 제3 및 제4 주변영역(PA1_1, PA2_1, PA3_1, PA4_1)의 각각에 형성될 수 있다. 이때, 제1, 제2 제3 및 제4 주변영역(PA1_1, PA2_1, PA3_1, PA4_1)의 각각에 형성된 제1 패드를 전기적으로 연결하기 위하여 연결 라인(121)이 표시영역(DA)의 외곽을 따라 형성될 것이다.
- [0039] 한편, 제1 패드(120)는 게이트 라인(GL) 또는 데이터 라인(DL)과 동일한 금속층으로 형성될 수 있다.
- [0040] 도 3을 참조하여 제2 기관(200)을 설명한다. 도 3을 참조하면, 제2 기관(200)은 공통 전극(210), 정전기 방지부(220), 절연부(230)를 포함한다.
- [0041] 공통 전극(210)은 제2 기관(200) 상에 형성되며, 화소전극(PE)과 동일한 투명 도전성 물질로 형성된다. 이때, 공통 전극(210)은 제1 기관(100)의 표시영역(DA)과 대향한다. 공통 전극(210)은 제1 기관(100)에 형성된 공통 전압 인가 라인(110)과 전기적으로 연결되어 공통 전압을 인가 받는다. 일례로, 공통 전극(210)은 투명 도전성 물질인 인듐 틴 옥사이드(Indium Tin Oxide: ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide: IZO)로 형성될 수 있다.
- [0042] 정전기 방지부(220)는 공통 전극(210)과 전기적으로 분리되고, 공통 전극(210)을 둘러싸도록 제2 기관(200) 상에 형성된다. 정전기 방지부(220)는 제2 기관(200)의 제1, 제2 제3 및 제4 주변영역(PA1_2, PA2_2, PA3_2, PA4_2)에 형성된다. 이때, 정전기 방지부(220)는 정전기 방지부(220) 일단과 타단이 서로 연결된 폐루프(loop)의 링 형상으로 형성된다. 정전기 방지부(220)는 공통 전극(210)과 동일한 물질로 형성될 수 있다. 일례로, 정전기 방지부(220)는 투명 도전성 물질인 인듐 틴 옥사이드(ITO) 또는 인듐 징크 옥사이드(IZO)로 형성될 수 있다.
- [0043] 절연부(230)는 공통 전극(210)과 정전기 방지부(220)를 분리하기 위하여 형성된다. 공통 전극(210)을 형성하기 위하여 투명 도전성 물질로 도전층(미도시)을 제2 기관(200)의 전면에 형성한 후에, 도전층의 외곽부를 식각하여 절연부(230)가 형성된다. 이때, 절연부(230)는 도전층에 트렌치로 형성되며, 절연부(230)의 일단과 타단이 연결된 폐루프(loop)의 링 형상으로 형성되어, 공통 전극(210)을 완전히 감싸게 된다. 이에 의해, 도전층은 공통 전극(210)과 정전기 방지부(220)로 분리되며, 공통 전극(210)과 정전기 방지부(220)는 전기적으로 분리된다. 또한, 절연부(230)의 외곽은 정전기 방지부(220)가 둘러싸게 된다.
- [0044] 절연부(230)에 의해 제2 기관(200)의 에지(edge)부에서 유입되는 정전기가 공통 전극(210)으로 유입되는 것을 차단할 수 있다. 즉, 제2 기관(200)의 에지(edge)부에서 유입된 정전기는 절연부(230)에 의해 공통 전극(210)으로 유입되지 않고, 도전성 물질로 형성된 정전기 방지부(220)를 따라 이동한다. 이때, 정전기 방지부(220)는 제1 기관(100)의 제1 패드(120)와 전기적으로 연결되어 있어, 정전기가 제1 패드(120)로 이동한다. 또한, 제1 패드(120)는 연결 라인(121)에 의해 제2 패드(122)와 연결되어 있어, 제1 패드로 이동한 정전기는 연결 라인(121)과 제2 패드(122)를 통해 외부로 방출된다. 따라서, 제1 실시예에 의할 경우, 제2 기관(200)의 에지부에 정전기가 유입되더라도, 정전기가 공통 전극(210)으로 유입되지 않게 된다. 이에 의해, 공통 전극(210)을 통해 정전기가 구동 회로부로 유입되는 것이 방지되어, 정전기에 의해 구동 회로부가 파괴되는 것이 방지될 수 있다.
- [0045] 한편, 공통 전극(210)은 공통 전극(210)의 모서리로부터 제2 기관(200)의 모서리 방향으로 돌출된 돌출부(241)를 포함한다. 돌출부(241)는 제1 기관(100)의 공통 전압 인가 라인(110)과 전기적으로 연결된다. 이에 의해, 공통 전극(210)에 공통 전압이 인가될 수 있다. 한편, 전압 강하를 방지하는 측면에서, 돌출부(241)는 공통 전극(210)과 공통 전압 인가 라인(110)간의 접촉면적을 넓혀주기 위해 형성된 공통 전압 인가 패드(111)와 오버랩 되도록 형성되는 것이 유리하다.

- [0046] 도 4 내지 도 7을 참조하여, 제1 기관(100)과 제2 기관(200)이 합착된 표시패널(21)을 설명한다.
- [0047] 도 4, 도 5 및 도 7를 참조하면, 제1 기관(100)의 제1 패드(120)와 제2 기관(200)의 정전기 방지부(220)는 전기적으로 연결된다. 이때, 제1 패드(120)와 정전기 방지부(220)는 제1 연결부재(251)에 의해 전기적으로 연결된다. 이때, 제1 패드(120)가 게이트 라인(GL)과 동일층에 형성되는 경우라면, 제1 패드(120)를 노출시키기 위하여, 게이트 절연막(130)과 패시베이션층(160)에 제1 비아홀(VH1)이 형성된다. 제1 비아홀(VH1)을 통해, 제1 연결부재(251)와 제1 패드(120)가 전기적으로 연결된다. 제1 연결부재(251)와 제1 패드(120)가 접하는 곳에서, 제1 단락 포인트(SP_1)가 형성된다.
- [0048] 이때, 제1 패드(120)와 제1 연결부재(251) 간의 접촉면적을 증가시켜 전압 강하를 방지하기 위하여 제1 연결부재(251)와 제1 패드(120) 사이에 제1 연결 패드(123)를 더 형성할 수 있다. 한편, 제1 연결부재(251)는 도전성 물질로 형성될 수 있다. 일례로, 은(Ag) 이나 알루미늄(Al)으로 형성될 수 있다.
- [0049] 제1 패드(120)와 정전기 방지부(220)가 제1 연결부재(251)에 의해 전기적으로 연결됨으로써, 제2 기관(200)의 에지부에 인가되는 정전기가 제1 연결부재(251), 제1 패드(120), 연결 라인(121) 및 제2 패드(122)를 통해 외부로 방출될 수 있다.
- [0050] 도 4, 도 6 및 도 7를 참조하면, 제1 기관(100)의 공통 전압 인가 패드(111)와 제2 기관(200)의 공통 전극 돌출부(241)는 전기적으로 연결된다. 이때, 공통 전압 인가 패드(111)와 공통 전극 돌출부(241)는 제2 연결부재(242)에 의해 전기적으로 연결된다. 이때, 공통 전압 인가 패드(111)가 게이트 라인(GL)과 동일층에 형성되는 경우라면, 공통 전압 인가 패드(111)를 노출시키기 위하여, 게이트 절연막(130)과 패시베이션층(160)에 제2 비아홀(VH2)이 형성된다. 제2 비아홀(VH2)을 통해, 제2 연결부재(242)와 공통 전압 인가 패드(111)가 전기적으로 연결된다. 제2 연결부재(242)와 공통 전압 인가 패드(111)가 접하는 곳에서, 제2 단락 포인트(SP_2)가 형성된다.
- [0051] 이때, 공통 전압 인가 패드(111)와 제2 연결부재(242) 간의 접촉면적을 증가시켜 전압 강하를 방지하기 위하여 제2 연결부재(242)와 공통 전압 인가 패드(111) 사이에 제2 연결 패드(112)를 더 형성할 수 있다. 한편, 제2 연결부재(242)는 도전성 물질로 형성될 수 있다. 일례로, 은(Ag) 이나 알루미늄(Al)으로 형성될 수 있다.
- [0052] 공통 전압 인가 패드(111)와 공통 전극 돌출부(241)가 제2 연결부재(242)에 의해 전기적으로 연결됨으로써, 제2 기관(200)의 공통 전극(210)은 공통 전압 인가 패드(111)와 전기적으로 연결된다. 또한, 공통 전압 인가 패드(111)가 공통 전압 인가 라인(110)과 전기적으로 연결되므로, 공통 전극(210)은 공통 전압 인가 라인(110)과 전기적으로 연결된다.
- [0053] 도 7을 참조하면, 제1 기관(100) 상에 박막 트랜지스터(TFT) 및 화소전극(PE)을 포함하는 화소부(P)들이 형성된다.
- [0054] 구체적으로, 제1 기관(100) 상에 게이트 라인(GL)에 연결된 게이트 전극(124), 공통 전압 인가 라인(110) 및 제1 패드(120)가 형성된다. 일례로, 게이트 전극(124), 공통 전압 인가 라인(110) 및 제1 패드(120)는 알루미늄-네오디움 재질로 이루어질 수 있다. 이때, 게이트 전극(124)은 표시영역(DA)의 화소부(P)에 형성되며, 공통 전압 인가 라인(110) 및 제1 패드(120)는 주변영역(PA)에 형성된다.
- [0055] 게이트 전극(124), 공통 전압 인가 라인(110)이 형성된 제1 기관(100) 상에 게이트 절연층(130)이 형성된다. 게이트 절연층(130)은 일례로, 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx)으로 형성될 수 있다.
- [0056] 게이트 절연층(130)이 형성된 제1 기관(100) 상에 채널층(140)이 형성된다. 채널층(140)은 순차적으로 적층된 활성층(140a)과 오믹 콘택층(140b)을 포함한다. 일례로, 활성층(140a)은 비정질 실리콘(a-Si)으로, 오믹 콘택층(140b)은 n⁺이온이 고농도로 도핑된 비정질 실리콘(n⁺ a-Si)으로 형성될 수 있다.
- [0057] 채널층(140)이 형성된 제1 기관(100) 상에 소스 전극(154) 및 드레인 전극(155)이 형성된다. 소스 전극(154)은 데이터 라인(DL)으로부터 연결되며, 채널층(140)과 소정영역 중첩된다. 드레인 전극(155)은 소스 전극(154)으로부터 소정간격 이격되어 형성되며, 채널층(140)과 소정영역 중첩된다. 이때, 게이트 전극(124) 상부에 대응하는 소스 전극(154)과 드레인 전극(155) 사이에서 저항성 접촉층(140b)이 제거되고 활성층(140a)이 노출된다.
- [0058] 참고로, 제1 기관(100)에 형성된 박막 트랜지스터(TFT)는 게이트 전극(124), 활성층(140a), 저항성 접촉층(140b), 소스 전극(154) 및 드레인 전극(155)을 포함하며, 화소전극(PE)과 전기적으로 연결된다.
- [0059] 소스 전극(154) 및 드레인 전극(155)이 형성된 게이트 절연층(130) 상에 패시베이션층(160)이 형성된다. 패시베

이션층(160)은 일레로, 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiOx) 등으로 형성될 수 있다.

- [0060] 여기서, 드레인 전극(155) 일단부 상에 형성된 패시베이션층(160)이 제거되고, 드레인 전극(155)의 일부가 노출되는 콘택홀(CH)이 형성된다. 콘택홀(CH)에 대응하는 패시베이션층(160) 상에는 화소전극(PE)이 형성된다. 화소전극(PE)은 콘택홀(CH)을 통해 드레인 전극(155)과 접촉한다. 일레로, 화소전극(PE)은 투명 도전성 물질인 인듐틴 옥사이드(Indium Tin Oxide: ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide: IZO)로 형성될 수 있다. 한편, 상술한, 제1 및 제2 연결 패드(123, 112)는 화소전극(PE) 형성시 동일한 물질로 동시에 형성될 수 있다.
- [0061] 제 2 기관(200)에는 제1 기관(100)과 마주보는 일면에 컬러 필터층(250)이 형성될 수 있다.
- [0062] 컬러 필터층(250)은 제1 기관(100)에 형성된 화소전극(PE)들과 마주보도록 형성되며, 적색(R), 녹색(G) 및 청색(B)의 복수의 컬러 필터들을 포함한다. 컬러 필터들의 경계에는 블랙 매트릭스(미도시)가 형성된다.
- [0063] 상술한 제1 기관(100)과 제2 기관(200)은 소정간격의 공간이 이격되어 합착된다. 이격된 소정의 공간에는 액정층(300)이 주입된다. 이에 의해, 표시 패널이 완성된다.
- [0064] 도 8을 참조하여, 제1 실시예에 의한 표시패널(21)을 포함하는 표시패널 어셈블리(20)를 설명한다.
- [0065] 도 8에 도시된 바와 같이, 반도체 칩 패키지(24_1~24_n)는 이방성 도전 필름(28)을 통해 표시패널(21)과 접촉된다. 패드부(29)는 제1 내지 제n 패드부(29_1~29_n)를 포함할 수 있다. 이때, 각 패드부(29_1~29_n)는 반도체 칩 패키지(24_1~24_n)와 각각 대향한다.
- [0066] 각 패드부(29_1~29_n)와 이에 대향되는 반도체 칩 패키지(24_1~24_n)의 일단은 전기적으로 연결된다. 이때, 반도체 칩 패키지(24_1~24_n)의 타단은 회로기관(25)과 전기적으로 연결된다. 반도체 칩 패키지(24_1~24_n)로는 테이프 캐리어 패키지(Tape Carrier Package) 또는 칩 온 필름(Chip On Film,) 또는 칩 온 글래스(Chip On Glass, 이하 'COG'라 함) 등이 포함될 수 있다. 한편, 반도체 칩 패키지(24_1~24_n)외에 연성 회로 기관(미도시)을 통해 표시패널(21)과 회로기관(25)이 전기적으로 연결될 수 있다.
- [0067] 한편, 회로 기관(250)에는 게이트 구동용 반도체 칩 패키지(26)에 제공되는 게이트 구동 신호와 데이터 구동용 반도체 칩 패키지(24)에 제공되는 데이터 구동 신호를 제공하는 타이밍 컨트롤러 및 다수의 회로 소자들(27)이 집적된다. 여기서 회로 기관(25)은 인쇄 회로 기관(printed circuit board)일 수 있다.
- [0068] 이하, 도 9를 참조하여, 본 발명의 제2 실시예에 따른 액정 표시 장치를 설명한다.
- [0069] 도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치이다. 도 1 내지 도 8에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하므로, 중복되는 설명은 생략하기로 한다.
- [0070] 도 9를 참조하면, 액정 표시 장치(10)는 전체적으로 보아 표시패널 어셈블리(20), 백라이트 어셈블리(30), 상부 수납 용기(40) 및 하부 수납 용기(50)를 포함한다.
- [0071] 표시패널 어셈블리(20)는 상술한 제1 실시예에 따른 표시패널(21)을 포함한다.
- [0072] 백라이트 어셈블리(30)은 광학시트들(31), 몰드 프레임(32), 광원(33) 및 반사판(34)을 포함한다. 여기서, 광학시트들(31)은 광원(33)의 상부에 설치되어 광원(33)으로부터 전달되는 빛을 확산하고 집광하는 역할을 한다. 광학시트들(31)은 확산 시트, 프리즘 시트, 보호 시트 등을 포함한다.
- [0073] 몰드 프레임(32)은 광학시트들(31), 광원(33) 및 반사판(34)을 지지하고 고정하는 역할을 한다.
- [0074] 광원(33)은 다수의 램프가 병렬로 설치된 직하형(direct-type)일 수 있다. 다만, 이에 한정되지 않고, 예지형(edge-type)일 수 있으며, 예지형인 경우 광을 분산시키는 도광판(미도시)을 포함할 수 있다. 또한, 광원(33)은 도시된 바와 같이 선광원인 냉음극 광원(Cold Cathode Fluorescent Lamp; CCFL) 또는 열음극 광원(Hot Cathode Fluorescent Lamp; HCFL)이 될 수 있다. 또한, 광원(33)은 점광원인 발광 다이오드(Light Emitting Diode; LED)일 수 있다.
- [0075] 반사판(34)은 광원(33)의 하부에 위치하며, 광원(33)으로부터 제공된 광을 반사하여 표시패널 어셈블리(20)로 향하게 한다. 이러한 반사판(34)은 하부 수납용기(50)의 바닥면에 일체로 형성될 수도 있다.
- [0076] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적

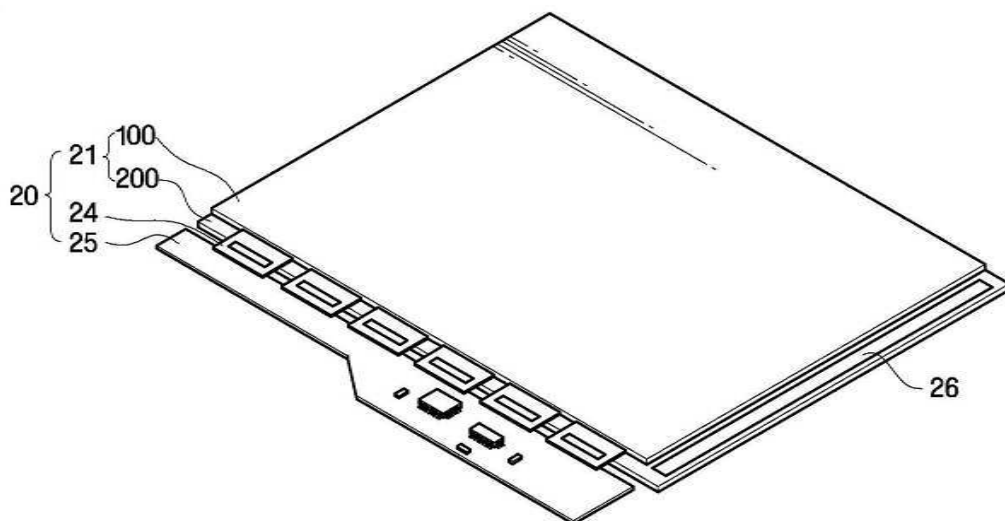
이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

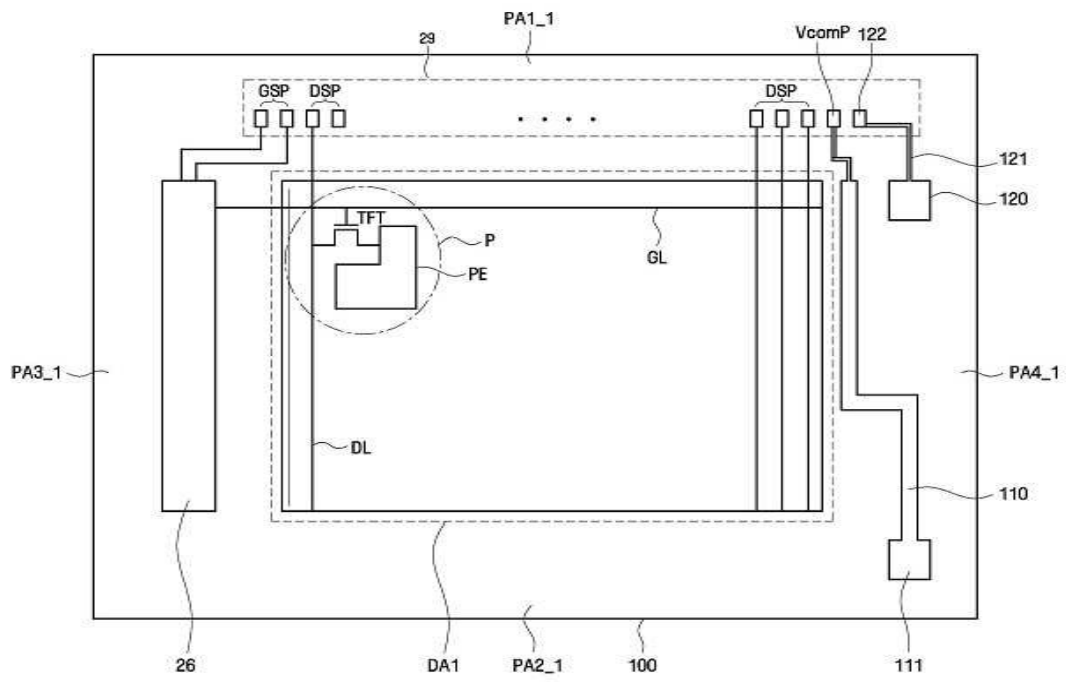
- [0077] 도 1은 본 발명의 제1 실시예에 따른 표시패널을 포함하는 표시패널 어셈블리를 나타낸 사시도이다.
- [0078] 도 2는 본 발명의 도 2는 도 1의 표시패널 중 제1 기관의 평면도이다.
- [0079] 도 3은 도 1의 표시패널 중 제2 기관의 평면도이다.
- [0080] 도 4는 도 2의 제1 기관과, 도 3의 제2기관이 오버랩된 평면도이다.
- [0081] 도 5는 도 4의 A부분을 확대한 평면도이다.
- [0082] 도 6은 도 4의 B부분을 확대한 평면도이다.
- [0083] 도 7은 도 4의 I-I'선을 따라 절단한 단면도이다.
- [0084] 도 8은 도 1의 표시패널 어셈블리를 설명하기 위한 사시도이다.
- [0085] 도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치이다.
- [0086] (도면의 주요부분에 대한 부호의 설명)
- | | |
|-------------------------|------------------|
| [0087] 10: 액정 표시 장치 | 20: 표시패널 어셈블리 |
| [0088] 30: 백라이트 어셈블리 | 40: 상부 수납 용기 |
| [0089] 50: 하부 수납 용기 | 100: 제1 기관 |
| [0090] 110: 공통 전압 인가 라인 | 111: 공통 전압 인가 패드 |
| [0091] 120: 제1 패드 | 121: 연결 라인 |
| [0092] 122: 제2 패드 | 200: 제2 기관 |
| [0093] 210: 공통 전극 | 220: 정전기 방지부 |
| [0094] 230: 절연부 | |

도면

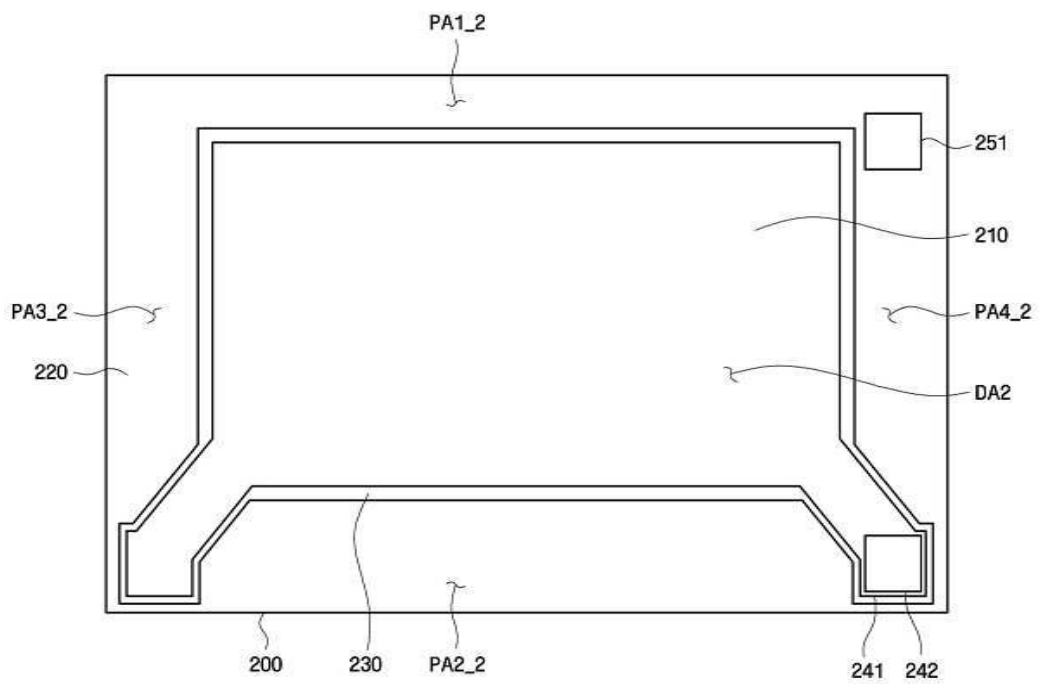
도면1



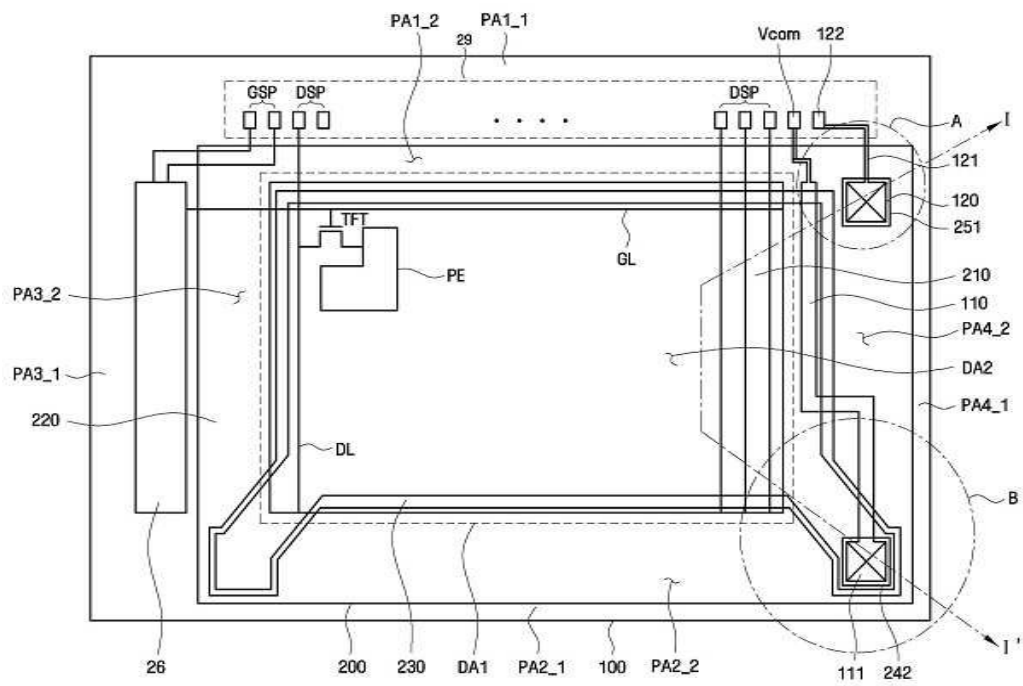
도면2



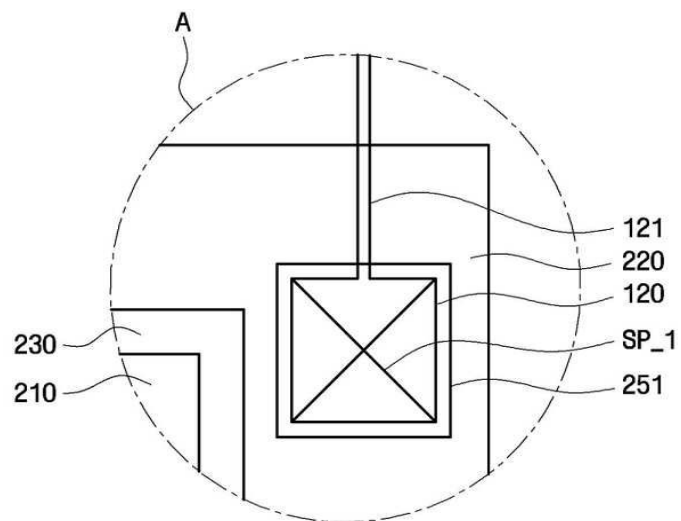
도면3



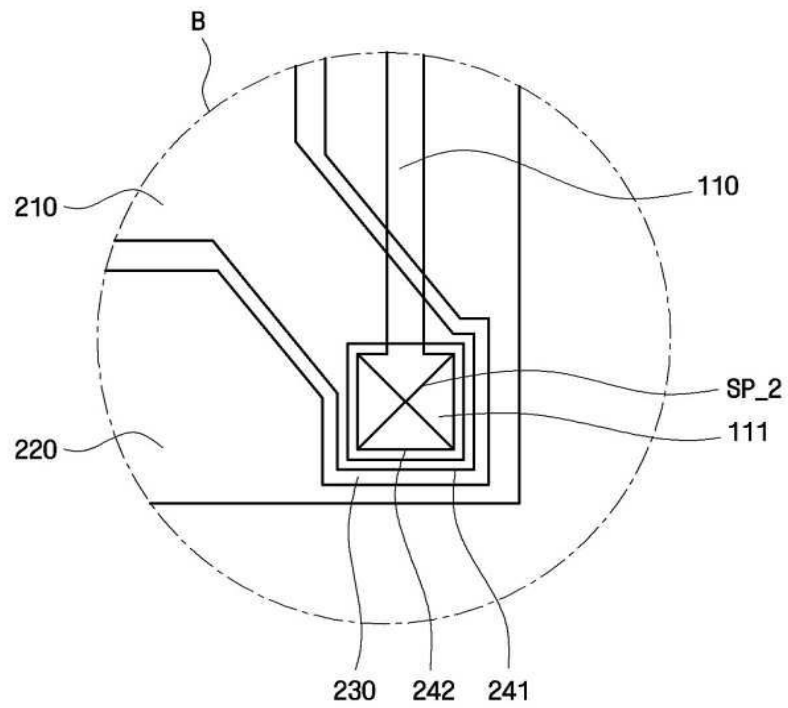
도면4



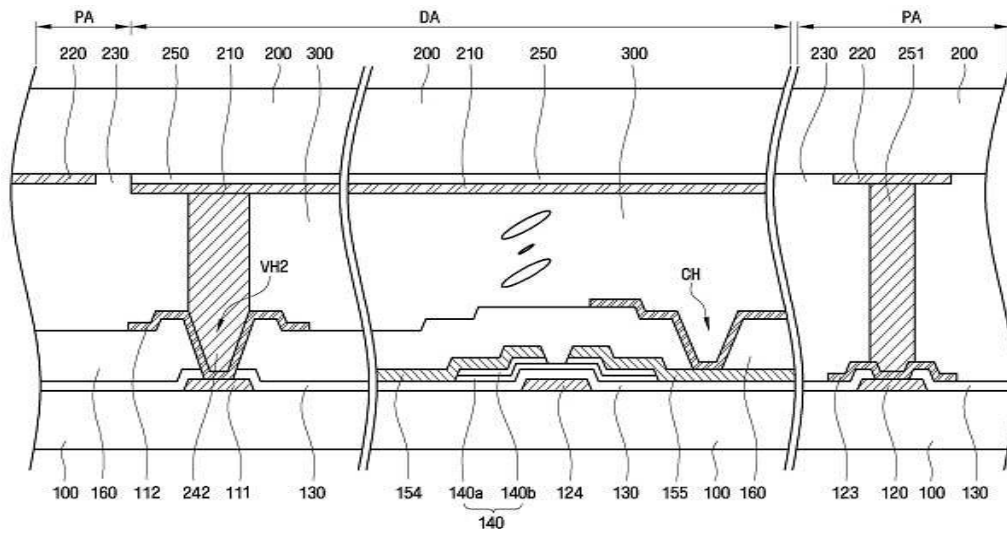
도면5



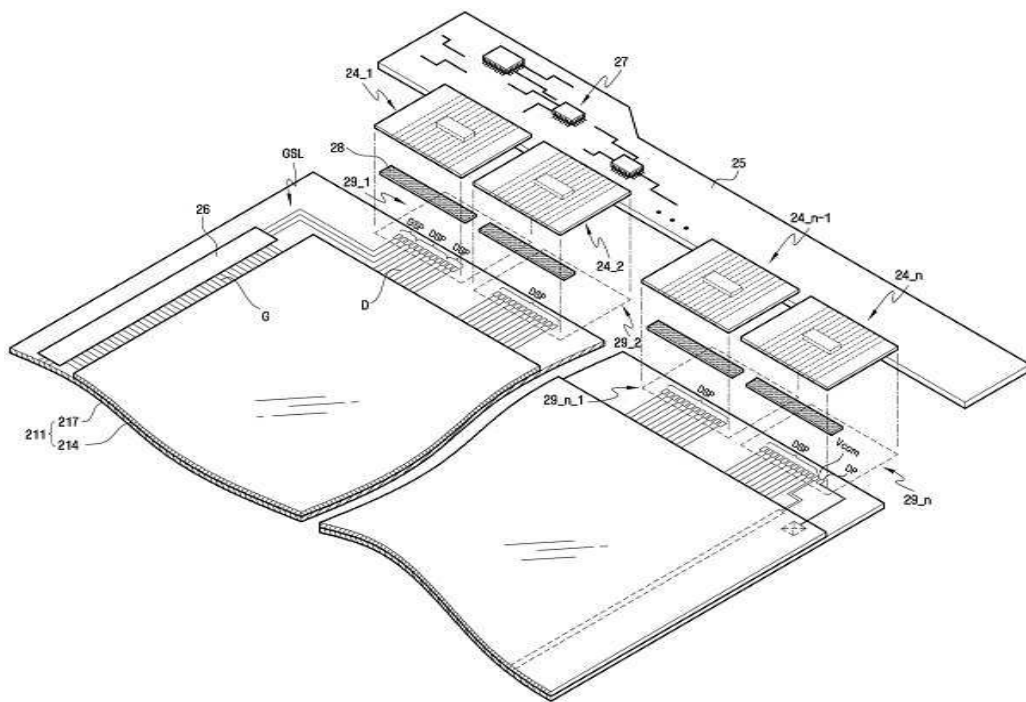
도면6



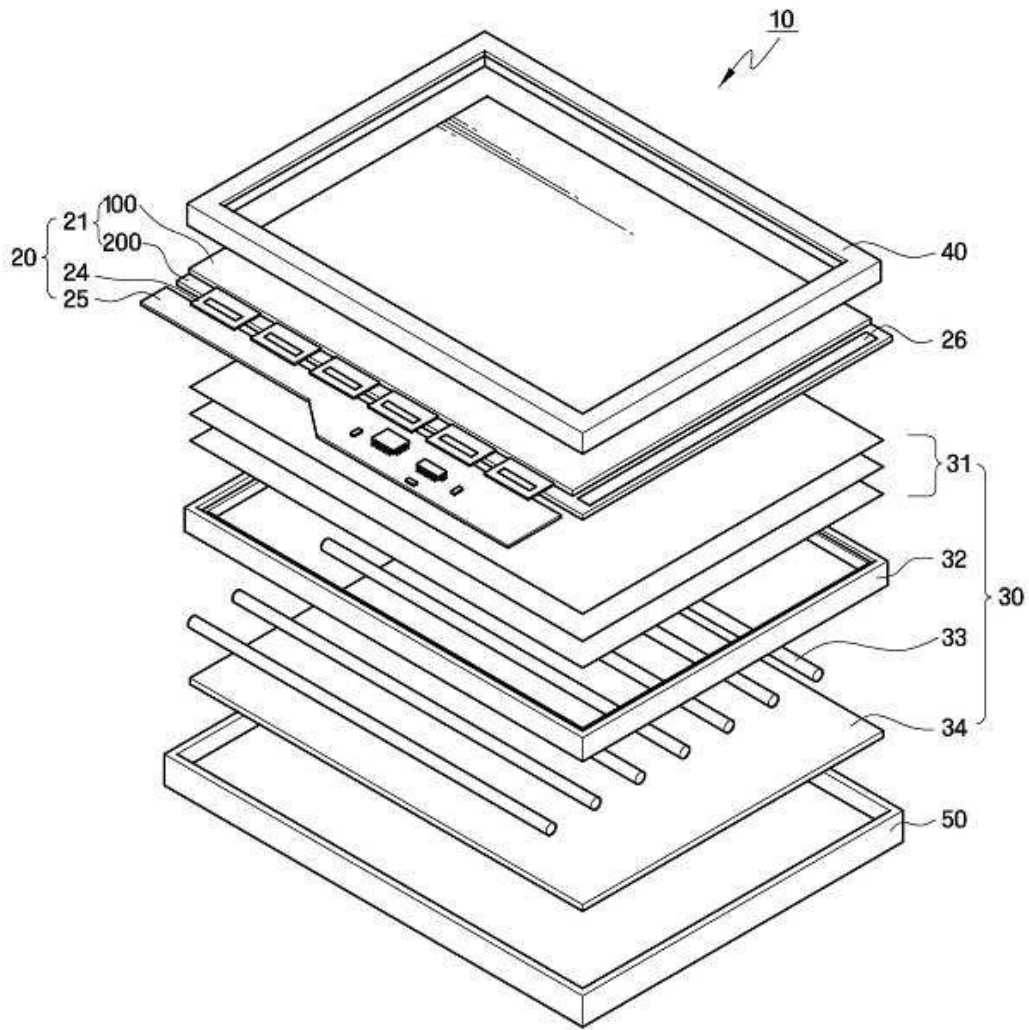
도면7



도면8



도면9



专利名称(译)	显示面板和包括其的液晶显示装置		
公开(公告)号	KR1020100091451A	公开(公告)日	2010-08-19
申请号	KR1020090010641	申请日	2009-02-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE DONG YUB 이동엽 SONG SEOCK CHEON 송석천 LEE SUNG HEE 이성희		
发明人	이동엽 송석천 이성희		
IPC分类号	G02F1/1345 G02F1/1343		
CPC分类号	G02F2001/133334 G02F1/13452		
外部链接	Espacenet		

摘要(译)

提供ㄱㄱ显示面板和包括其的液晶显示器。显示面板包括第一基板，其中围绕形成的显示区域的外围区域和多个像素区域的显示区域形成，并且电极与公共电极分离，接地电压通过第一基板以便电气分离并且公共电极被包围形成公共电极，并且位于第二基板之间的液晶层，包括能够防止连接的静电的静电防止部分影响公共电极中的第一基板和第二基板基质。静电，公共电极和焊盘部分。

