



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0032110
(43) 공개일자 2010년03월25일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G09G 5/39 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0091093

(22) 출원일자 2008년09월17일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

지하영

경북 구미시 임수동 LG필립스 엘시디 동락원기숙사 C동 505호

김진성

경북 구미시 송정동 푸르지오캐슬아파트 120동 203호

(74) 대리인

특허법인로얄

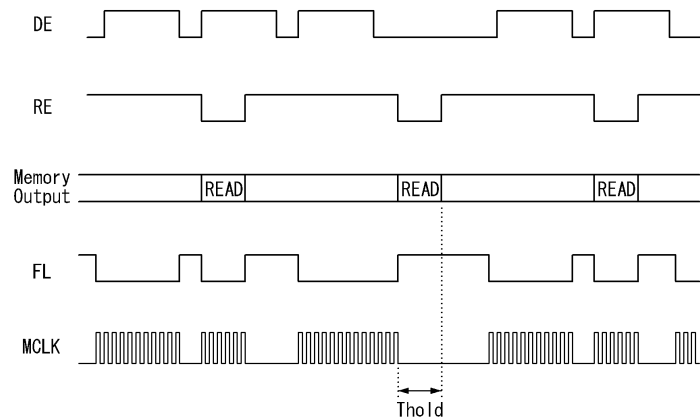
전체 청구항 수 : 총 10 항

(54) 액정표시장치와 그 메모리 제어방법

(57) 요약

본 발명은 타이밍 컨트롤러의 소비전류를 줄일 수 있는 액정표시장치에 관한 것으로, 현재 입력되는 데이터와 그 이전에 입력된 이전 데이터를 비교하여 그 데이터들의 동일여부를 판단하고 데이터의 입력이 없는 블랭크 타임을 검출하여 이전 데이터와 동일한 데이터가 입력되는 데이터 유지 타임과 상기 블랭크 타임을 지시하는 플래그신호를 발생하는 데이터 비교 및 블랭크 타임 검출부; 메모리 클럭을 발생하고 상기 플래그신호가 발생할 때 상기 메모리 클럭의 발생을 중지하는 메모리 제어신호 발생부; 상기 플래그 신호에 따라 단속되는 상기 메모리 클럭에 따라 동작하는 메모리부; 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 메모리부로부터의 데이터를 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로를 구비하는 액정표시장치를 제공한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

현재 입력되는 데이터와 그 이전에 입력된 이전 데이터를 비교하여 그 데이터들의 동일여부를 판단하고 데이터의 입력이 없는 블랭크 타임을 검출하여 이전 데이터와 동일한 데이터가 입력되는 데이터 유지 타임과 상기 블랭크 타임을 지시하는 플레그신호를 발생하는 데이터 비교 및 블랭크 타임 검출부;

메모리 클럭을 발생하고 상기 플레그신호가 발생할 때 상기 메모리 클럭의 발생을 중지하는 메모리 제어신호 발생부;

상기 플레그 신호에 따라 단속되는 상기 메모리 클럭에 따라 동작하는 메모리부;

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널;

상기 메모리부로부터의 데이터를 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로; 및

상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 데이터 비교 및 블랭크 타임 검출부와 상기 메모리 제어신호 발생부의 처리시간만큼 상기 데이터들을 지연시켜 상기 메모리부에 입력되는 데이터와 상기 메모리 클럭을 동기시키는 데이터 동기부를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 비교 및 블랭크 타임 검출부는,

데이터 인에이블신호에 근거하여 상기 블랭크 타임을 검출하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 블랭크 타임은,

상기 데이터 인에이블신호의 펄스와 펄스 사이의 수평 블랭크 타임; 및

상기 데이터 인에이블신호가 일정시간 동안 입력되지 않는 프레임기간들 사이의 수직 블랭크 타임을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 메모리부는,

상기 데이터 유지 타임과 상기 블랭크 타임 동안, 현재 입력되는 데이터의 기입 및 독출 동작을 행하지 않고 이전에 저장하였던 이전 데이터를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 6

다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널, 메모리부로부터의 데이터를 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로, 및 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로를 구비하는 액정표시장치의 메모리 제어방법에 있어서,

현재 입력되는 데이터와 그 이전에 입력된 이전 데이터를 비교하여 그 데이터들의 동일여부를 판단하고 데이터의 입력이 없는 블랭크 타임을 검출하여 이전 데이터와 동일한 데이터가 입력되는 데이터 유지 타임과 상기 블

랭크 타임을 지시하는 플래그신호를 발생하는 단계;

메모리 클럭을 발생하고 상기 플래그신호가 발생할 때 상기 메모리 클럭의 발생을 중지하는 단계; 및

상기 플래그 신호에 따라 단속되는 상기 메모리 클럭을 상기 메모리부에 공급하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 메모리 제어방법.

청구항 7

제 6 항에 있어서,

상기 데이터들을 지연시켜 상기 메모리부에 입력되는 데이터와 상기 메모리 클럭을 동기시키는 데이터 동기부를 더 구비하는 것을 특징으로 하는 액정표시장치의 메모리 제어방법.

청구항 8

제 6 항에 있어서,

상기 플래그신호를 발생하는 단계는,

데이터 인에이블신호에 근거하여 상기 블랭크 타임을 검출하는 것을 특징으로 하는 액정표시장치의 메모리 제어방법.

청구항 9

제 6 항에 있어서,

상기 블랭크 타임은,

상기 데이터 인에이블신호의 펄스와 펄스 사이의 수평 블랭크 타임; 및

상기 데이터 인에이블신호가 일정시간 동안 입력되지 않는 프레임기간들 사이의 수직 블랭크 타임을 포함하는 것을 특징으로 하는 액정표시장치의 메모리 제어방법.

청구항 10

제 6 항에 있어서,

상기 메모리부는,

상기 데이터 유지 타임과 상기 블랭크 타임 동안, 현재 입력되는 데이터의 기입 및 독출 동작을 행하지 않고 이전에 저장하였던 이전 데이터를 출력하는 것을 특징으로 하는 액정표시장치의 메모리 제어방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 타이밍 컨트롤러의 소비전류를 줄일 수 있는 액정표시장치와 그 메모리 제어방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 그 액정표시패널을 구동하기 위한 구동회로, 및 구동회로를 제어하기 위한 타이밍 컨트롤러를 포함한다. 타이밍 컨트롤러는 디지털 비디오 데이터를 입력받아 메모리에 저장하고 그 메모리에 저장된 데이터를 읽어 들여 데이터 구동회로에 전달한다.

[0004] 타이밍 컨트롤러의 메모리는 지속적으로 토글링되는 메모리 클럭에 따라 디지털 비디오 데이터를 기입(write)

및 독출(Read)하고 있다. 메모리 클럭은 액정표시패널에 표시될 디지털 비디오 데이터가 입력되는 기간 뿐만 아니라, 디지털 비디오 데이터가 입력되지 않는 블랭크 타임 동안에도 매우 높은 주파수로 지속적으로 토글링(toggling)한다. 이렇게 높은 주파수로 지속적으로 토글링되는 메모리 클럭으로 인하여, 타이밍 컨트롤러에서 소비전류가 많이 흐르게 되어 액정표시장치의 소비전력을 상승시킨다. 이 뿐만 아니라, 지속적으로 토글링되는 메모리 클럭은 타이밍 컨트롤러의 과열을 유발하여 타이밍 컨트롤러의 신뢰성을 떨어뜨린다. 또한, 지속적으로 토글링되는 메모리 클럭으로는 복수의 메모리를 개별 제어하기가 쉽지 않은 문제점도 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 타이밍 컨트롤러의 소비전류를 줄이도록 한 액정표시장치와 그 메모리 제어방법을 제공하는데 있다.

과제 해결수단

[0006] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 현재 입력되는 데이터와 그 이전에 입력된 이전 데이터를 비교하여 그 데이터들의 동일여부를 판단하고 데이터의 입력이 없는 블랭크 타임을 검출하여 이전 데이터와 동일한 데이터가 입력되는 데이터 유지 타임과 상기 블랭크 타임을 지시하는 플래그신호를 발생하는 데이터 비교 및 블랭크 타임 검출부; 메모리 클럭을 발생하고 상기 플래그신호가 발생할 때 상기 메모리 클럭의 발생을 중지하는 메모리 제어신호 발생부; 상기 플래그 신호에 따라 단속되는 상기 메모리 클럭에 따라 동작하는 메모리부; 다수의 데이터라인들과 다수의 게이트라인들이 교차되는 액정표시패널; 상기 메모리부로 부터의 데이터를 아날로그 데이터전압으로 변환하여 상기 데이터라인들에 공급하는 데이터 구동회로; 및 상기 게이트라인들에 스캔펄스를 공급하는 게이트 구동회로를 구비한다.

[0007] 상기 액정표시장치는 상기 데이터 비교 및 블랭크 타임 검출부와 상기 메모리 제어신호 발생부의 처리시간만큼 상기 데이터들을 지연시켜 상기 메모리부에 입력되는 데이터와 상기 메모리 클럭을 동기시키는 데이터 동기부를 더 구비한다.

[0008] 상기 데이터 비교 및 블랭크 타임 검출부는 데이터 인에이블신호에 근거하여 상기 블랭크 타임을 검출한다.

[0009] 상기 블랭크 타임은 상기 데이터 인에이블신호의 펄스와 펄스 사이의 수평 블랭크 타임; 및 상기 데이터 인에이블신호가 일정시간 동안 입력되지 않는 프레임기간들 사이의 수직 블랭크 타임을 포함한다.

[0010] 상기 메모리부는 상기 데이터 유지 타임과 상기 블랭크 타임 동안, 현재 입력되는 데이터의 기입 및 독출을 행하지 않고 이전에 저장하였던 이전 데이터를 출력한다.

[0011] 본 발명의 실시예에 따른 액정표시장치의 메모리 제어방법은 현재 입력되는 데이터와 그 이전에 입력된 이전 데이터를 비교하여 그 데이터들의 동일여부를 판단하고 데이터의 입력이 없는 블랭크 타임을 검출하여 이전 데이터와 동일한 데이터가 입력되는 데이터 유지 타임과 상기 블랭크 타임을 지시하는 플래그신호를 발생하는 단계; 메모리 클럭을 발생하고 상기 플래그신호가 발생할 때 상기 메모리 클럭의 발생을 중지하는 단계; 및 상기 플래그 신호에 따라 단속되는 상기 메모리 클럭을 상기 메모리부에 공급하는 단계를 포함한다.

효 과

[0012] 본 발명의 실시예에 따른 액정표시장치와 그 메모리 제어방법은 동일 데이터 유지타임과 블랭크 타임 동안 메모리 클럭의 발생을 중지한다. 그 결과, 본 발명은 타이밍 컨트롤러의 소비전류와 과열을 줄일 수 있을 뿐 아니라 복수의 메모리를 쉽게 개별 제어할 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하, 도 1 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0014] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(11), 데이터 구동회로(12), 및 게이트 구동회로(13)를 구비한다. 데이터 구동회로(12)는 다수의 소스 드라이브 IC들을 포함한다. 게이트 구동회로(13)는 다수의 게이트 드라이브 IC들을 포함한다.

[0015] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널은 데이터라인들(14)과 게이트

트라인들(15)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들(Clc)을 포함한다.

- [0016] 액정표시패널(10)의 하부 유리기관에는 데이터라인들(14), 게이트라인들(15), TFT들, 및 스토리지 커패시터(Cst)가 형성된다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0017] 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0018] 타이밍 컨트롤러(11)는 데이터 구동회로(12)에 디지털 비디오 데이터(RGB)를 공급한다. 또한, 타이밍 컨트롤러(11)는 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 타이밍 컨트롤러(11)는 데이터 인에이블 신호(DE)를 카운트하여 1 프레임기간과 1 수평기간을 식별할 수 있다. 타이밍 컨트롤러(11)에 타이밍신호에는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)가 포함될 수 있다. 구동회로들(12, 13)의 동작 타이밍을 제어하기 위한 제어신호들은 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호, 및 데이터 구동회로(12)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.
- [0019] 타이밍 컨트롤러(11)는 입력 디지털 비디오 데이터를 메모리에 저장(write)한 후에 그 메모리의 데이터를 읽어 들여 데이터 구동회로(12)에 공급될 디지털 비디오 데이터(RGB)를 재정렬한다. 타이밍 컨트롤러(11)은 픽셀 단위로 이웃하는 데이터들을 비교하여 이전 데이터와 동일한 데이터가 입력될 때 그리고, 유효 데이터가 입력되지 않는 블랭크타임 동안 메모리 클럭을 발생하지 않는다. 따라서, 타이밍 컨트롤러(11)의 내장 메모리는 이전 데이터와 동일한 데이터가 입력되거나 블랭크 타임 동안 기입 및 독출 동작을 하지 않는다. 즉, 타이밍 컨트롤러(11)의 내장 메모리는 이전 데이터와 동일한 데이터가 입력되는 동일 데이터 유지타임과 블랭크 타임 동안 현재 입력되는 새로운 데이터에 대하여 기입 및 독출을 하지 않고 이전에 저장되어 있던 데이터를 독출한다.
- [0020] 이전 데이터와 다른 데이터가 입력되거나, 액정표시패널(10)에 표시될 유효데이터들이 입력되는 데이터 인에이블 기간 동안, 타이밍 컨트롤러(11)는 메모리 클럭을 발생하여 메모리의 기입 및 독출 동작을 활성화한다.
- [0021] 타이밍 컨트롤러(11)에서 발생되는 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE1 내지 GOE3) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스(또는 스캔펄스)를 발생하는 게이트 드라이브 IC에 인가된다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다.
- [0022] 타이밍 컨트롤러(11)에서 발생되는 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터 구동회로(12) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 극성제어신호(POL)는 데이터 구동회로(12)로부터 출력되는 데이터전압의 수직 극성을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(12)의 출력을 제어한다.
- [0023] 데이터 구동회로(12)의 데이터 드라이브 IC들 각각은 도 5와 같이 쉬프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 데이터 구동회로(12)는 타이밍 컨트롤러(11)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(12)는 디지털 비디오 데이터(RGB)를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(14)에 공급한다.
- [0024] 게이트 구동회로(13)는 도 6과 같이 쉬프트 레지스터, AND, 게이트, 레벨 쉬프터, 출력버퍼 등을 포함한다. 이러한 게이트 구동회로(13)는 게이트 타이밍 제어신호들에 응답하여 게이트펄스를 게이트라인들(15)에 순차적으로 공급한다.
- [0025] 도 2는 타이밍 컨트롤러(11)의 메모리 컨트롤러를 상세히 나타낸다.

- [0026] 도 2를 참조하면, 타이밍 콘트롤러(11)의 메모리 콘트롤러는 데이터 입력부(21), 데이터 비교 및 블랭크 타임 검출부(22), 메모리 제어신호 발생부(23), 데이터 동기부(24) 및 메모리부(25)를 구비한다.
- [0027] 데이터 입력부(21)는 LVDS(low-voltage differential signaling) 인터페이스 등의 인터페이스 회로를 통해 시스템의 스케일러로부터 입력되는 디지털 비디오 데이터(RGB)를 미리 정해진 배열 형태로 배열하여 데이터 비교 및 블랭크 타임 검출부(22)와 데이터 동기부(24)에 공급한다.
- [0028] 데이터 비교 및 블랭크 타임 검출부(22)에는 데이터 인에이블신호(DE), 클럭신호(CLK) 등의 타이밍 신호들과, 데이터 입력부(21)로부터의 디지털 비디오 데이터가 입력된다. 이 데이터 비교 및 블랭크 타임 검출부(22)는 레지스터에 저장된 이전 데이터와 그 데이터에 이어서 현재 입력되는 데이터를 비교하여 동일여부를 판단한다. 또한, 데이터 비교 및 블랭크 타임 검출부(22)는 데이터 인에이블신호(DE)에 따라 유효한 디지털 비디오 데이터의 입력이 없는 블랭크 타임을 검출한다.
- [0029] 데이터 비교 및 블랭크 타임 검출부(22)는 상기 데이터 비교 및 블랭크 타임의 검출 결과, 이전 데이터와 동일한 데이터가 입력되는 데이터를 지시하는 동일 데이터 유지 타임과 블랭크 타임을 지시하는 플레그신호(FL)를 발생한다.
- [0030] 메모리 제어신호 발생부(23)는 메모리부(25)를 제어하기 위한 리드 인에이블신호(memory enable, RE) 및 메모리 클럭(MCLK)을 발생한다. 리드 인에이블신호(RE)는 메모리부(25)의 독출 시간(read time)을 지시한다. 메모리 클럭(MCLK)은 메모리의 기입 및 독출 동작시에 데이터 각각의 샘플링을 지시하는 클럭신호이다. 메모리 제어신호 발생부(23)는 플레그 신호(FL)와 외부로부터 입력되는 클럭신호(CLK)를 연산하여 플레그 신호(FL)의 특정 논리기간 동안 클럭신호(CLK)와 같은 주기로 토글링되고 그 외의 시간 즉, 동일 데이터 유지타임과 블랭크 타임 동안 토글링되지 않고 로우논리를 유지하는 메모리 클럭신호(MCLK)를 발생한다. 예컨대, 메모리 제어신호 발생부(23)는 논리 반전된 플레그 신호(FL)와 외부로부터 입력되는 클럭신호(CLK)를 논리곱(AND) 연산하여 플레그 신호(FL)의 로우논리기간 동안 토글링되고 플레그 신호(FL)의 하이논리기간 동안 로우논리를 유지하는 메모리 클럭신호(MCLK)를 발생한다. 메모리 제어신호 발생부(23)는 메모리의 기입 시간(write time)을 지시하는 라이트 인에이블(write enable) 신호를 더 발생할 수 있다.
- [0031] 데이터 동기부(24)는 데이터 비교 및 블랭크 타임 검출부(22)와 메모리 제어신호 발생부(23)의 처리시간만큼 디지털 비디오 데이터를 지연시켜 메모리부에 입력되는 메모리 제어신호들(RE, MCKL)과 디지털 비디오 데이터(RGB)를 동기시킨다.
- [0032] 메모리부(25)는 메모리 제어신호 발생부(23)의 제어 하에 디지털 비디오 데이터를 메모리에 쓰고 메모리의 데이터를 읽어 들여 데이터 구동회로(12)에 공급한다. 메모리부(25)는 4 개의 라인 메모리들을 포함할 수 있다. 4 개의 라인 메모리들은 데이터 인에이블신호(DE)의 하이논리기간 동안 데이터를 기입(write)하고 리드 인에이블신호(RE)의 로우논리기간 동안 저장된 데이터를 독출(read)한다. 두 개의 라인 메모리들이 데이터를 기입하는 동안, 다른 두 개의 라인 메모리들은 데이터를 독출한다.
- [0033] 메모리부(25)의 메모리는 메모리 클럭(MCLK)에 따라 디지털 비디오 데이터를 독출하거나 기입한다. 메모리 클럭(MCLK)은 플레그 신호(FL)에 의해 동일 데이터 유지타임과 블랭크 타임 동안 비활성화되어 로우논리를 유지한다. 따라서, 메모리부(25)의 메모리들은 동일 데이터 유지타임과 블랭크 타임 동안 비활성화되어 데이터를 쓰거나 읽지 않고 그 이외의 기간 즉, 이전 데이터와 다른 유효 데이터가 입력될 때에 활성화되어 데이터를 기입 및 독출한다.
- [0034] 도 3은 메모리 제어신호들(RE, FL)을 보여 주는 파형도이다.
- [0035] 도 3을 참조하면, 메모리부(25)는 리드 인에이블신호(RE)의 로우논리기간 동안 메모리 클럭(MCLK)에 따라 메모리로부터 데이터를 읽어 낸다.
- [0036] 메모리 클럭신호(MCLK)는 동일 데이터 유지타임(Thold)과 블랭크 타임 동안 토글링되지 않는다. 블랭크 타임은 도 4와 같이 1 수평기간(1H) 주기로 발생하는 데이터 인에이블신호(DE)의 클럭들 사이에서 데이터가 없는 로우논리기간에 해당하는 수평 블랭크타임(HBLK)과, 프레임기간들 사이에 데이터의 입력이 없는 수직 블랭크타임(VBLK)을 포함한다. 수직 동기신호(Vsync)의 입력이 없는 경우에, 메모리 콘트롤러는 데이터 인에이블신호(DE)를 카운트하여 데이터 인에이블신호(DE)가 일정시간 동안 입력되지 않는 시간을 블랭크 타임으로 판단할 수 있다.
- [0037] "Thold"는 이전 데이터와 현재 입력되는 데이터의 비교 결과, 그 데이터들이 동일 데이터로 판단되는 동일 데이

터 유지타임이다. 이 동일 데이터 유지타임(Thold)과 블랭크 타임(HBLK, VBLK) 동안, 데이터 비교 및 블랭크 타임 검출부(22)는 플래그 신호(FL)를 발생하여 메모리 클럭(MCLK)을 로우논리로 유지한다. 따라서, 메모리부(25)의 메모리들은 리드 인에이블신호(RE)가 인가되더라도 메모리 클럭(MCLK)이 입력되지 않으므로 현재 입력되는 데이터를 독출하지 않는다. 다시 말하여, 메모리부(25)의 메모리(들)는 동일 데이터 유지타임(Thold)와 블랭크 타임(HBLK, VBLK) 동안 현재 입력되는 데이터에 대하여 기입 및 독출 동작을 행하지 않고 이전에 저장된 데이터를 독출한다.

[0038] 한편, 메모리 컨트롤러에서 지연된 데이터의 기입 및 독출을 위하여 블랭크 타임의 일부기간 동안에 메모리 클럭(MCLK)이 발생할 수 있다.

[0039] 도 5는 데이터 구동회로(12)를 상세히 나타낸다.

[0040] 도 5를 참조하면, 데이터 구동회로(12)는 각각 k(k는 양의 정수) 개의 데이터라인들(D1 내지 Dk)을 구동하는 다수의 집적회로(Integrated Circuit, IC)를 포함한다. 집적회로 각각은 쉬프트 레지스터(51), 데이터 레지스터(52), 제1 래치(53), 제2 래치(54), 디지털/아날로그 변환기(이하, "DAC"라 한다)(55), 출력회로(56), 및 차지웨어회로(57)를 포함한다.

[0041] 쉬프트레지스터(51)는 타이밍 컨트롤러(11)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭(SSC)에 따라 쉬프트시켜 샘플링신호를 발생한다. 또한, 쉬프트 레지스터(51)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단 집적회로의 쉬프트 레지스터(51)에 캐리신호(CAR)를 전달한다. 데이터 레지스터(52)는 타이밍 컨트롤러(11)로부터의 디지털 비디오 데이터(RGB)를 일시 저장하고 저장된 디지털 비디오 데이터들(RGB)을 제1 래치(53)에 공급한다. 제1 래치(53)는 쉬프트 레지스터(51)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(52)로부터의 디지털 비디오 데이터들(RGB)을 샘플링하여 래치한 다음, 그 데이터들을 동시에 출력한다. 제2 래치(54)는 제1 래치(53)로부터 입력되는 데이터들을 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 집적회로들의 제2 래치(54)와 동시에 래치된 디지털 비디오 데이터들을 출력한다. DAC(55)는 극성제어신호(POL)에 응답하여 제2 래치(54)로부터의 디지털 비디오 데이터를 정극성 감마보상전압(GH) 또는 부극성 감마보상전압(GL)으로 변환하여 아날로그 정극성/부극성 데이터전압으로 변환한다. 출력회로(56)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다. 차지웨어회로(57)는 소스 출력 인에이블신호(SOE)의 하이논리기간에 동기하여 차지웨어전압이나 공통전압(Vcom)을 데이터라인들(D1 내지 Dk)에 공급한다.

[0042] 도 6은 게이트 구동회로(13)의 게이트 IC를 나타낸다.

[0043] 도 6을 참조하면, 게이트 구동회로(13)의 게이트 IC는 쉬프트 레지스터(61), 레벨 쉬프터(64) 및 쉬프트 레지스터(61)와 레벨 쉬프터(64) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(63)를 구비한다.

[0044] 쉬프트 레지스터(61)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(63) 각각은 쉬프트 레지스터(61)의 D-플립플롭의 비반전 출력신호와 게이트 출력 인에이블신호(GOE)의 반전신호를 논리곱하여 출력을 발생한다. 게이트 출력 인에이블신호(GOE)는 인버터(62)에 의해 반전되어 AND 게이트(63)의 일측 입력단자에 입력된다. 레벨 쉬프터(64)는 AND 게이트(63)의 출력전압 스윙폭을 액정표시패널의 TFT의 동작이 가능한 스윙폭으로 쉬프트시킨다. 레벨 쉬프터(64)의 출력신호(G1 내지 Gk)는 k(k는 정수) 개의 게이트라인들에 순차적으로 공급된다. 이 게이트 구동회로(13)는 액정표시패널(10)의 유리기관 상에 TFT 어레이와 함께 형성될 수 있다. 이 경우에, 레벨 쉬프터(64)는 인쇄회로기판 상에 형성되고 그 레벨 쉬프터(64)의 출력전압을 쉬프트시키기 위한 쉬프트 레지스터가 액정표시패널(10)의 유리기관 상에 형성된다.

[0045] 도 7은 본 발명의 실시예에 따른 액정표시장치의 메모리 제어방법을 단계적으로 나타내는 흐름도이다.

[0046] 타이밍 컨트롤러(11)의 메모리 컨트롤러는 현재 입력되는 디지털 비디오 데이터를 그 이전에 레지스터에 저장된 데이터와 비교하여 동일여부를 판단한다.(S1, S2) 현재 입력되는 데이터가 이전 데이터와 동일한 데이터이면, 메모리 컨트롤러는 메모리 클럭(MCLK)을 생성하지 않는다.(S4) 이 때, 메모리는 현재 입력되는 데이터를 저장하지(write) 않고 이전 데이터를 유지한다.

[0047] 또한, 타이밍 컨트롤러(11)의 메모리 컨트롤러는 타이밍 신호들에 기초하여 블랭크 타임을 검출하여 그 블랭크 타임에 메모리 클럭(MCLK)을 발생하지 않는다.(S4)

[0048] 타이밍 컨트롤러(11)는 동일 데이터 유지타임이 아니고 또한, 블랭크 타임이 아닌 데이터 입력기간 즉, 이전 데

이터와 다른 유효한 데이터가 입력되는 기간 동안 메모리 클럭(MCLK)을 발생하여 현재 입력되는 새로운 데이터에 대한 메모리의 기입 및 독출 동작을 활성화한다.(S5)

[0049] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0050] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.

[0051] 도 2는 타이밍 컨트롤러의 메모리 컨트롤러를 보여 주는 블록도이다.

[0052] 도 3은 메모리 제어신호들을 보여 주는 파형도이다.

[0053] 도 4는 블랭크 타임을 보여 주는 파형도이다.

[0054] 도 5는 도 1에 도시된 데이터 구동회로의 회로 구성을 보여 주는 블록도이다.

[0055] 도 6은 도 1에 도시된 게이트 구동회로의 회로 구성을 보여 주는 블록도이다.

[0056] 도 7은 본 발명의 실시예에 따른 액정표시장치의 메모리 제어방법의 제어수순을 단계적으로 나타내는 흐름도이다.

[0057] <도면의 주요 부분에 대한 부호의 설명>

[0058] 10 : 액정표시패널 11 : 타이밍 컨트롤러

[0059] 12 : 데이터 구동회로 13 : 게이트 구동회로

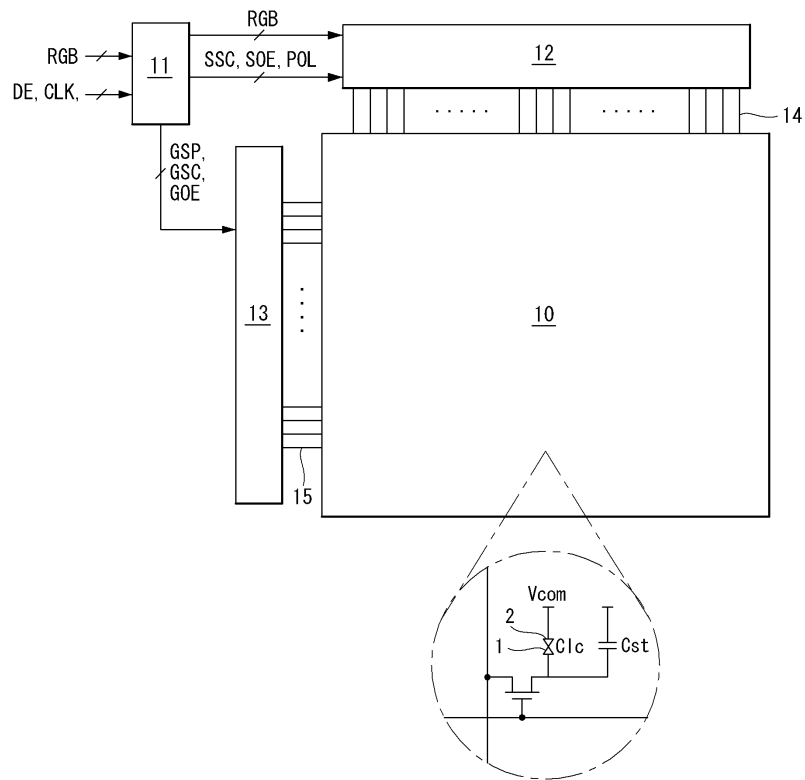
[0060] 21 : 데이터 입력부 22 : 데이터 비교 및 블랭크 타임 검출부

[0061] 23 : 메모리 제어신호 발생부 24 : 데이터 동기부

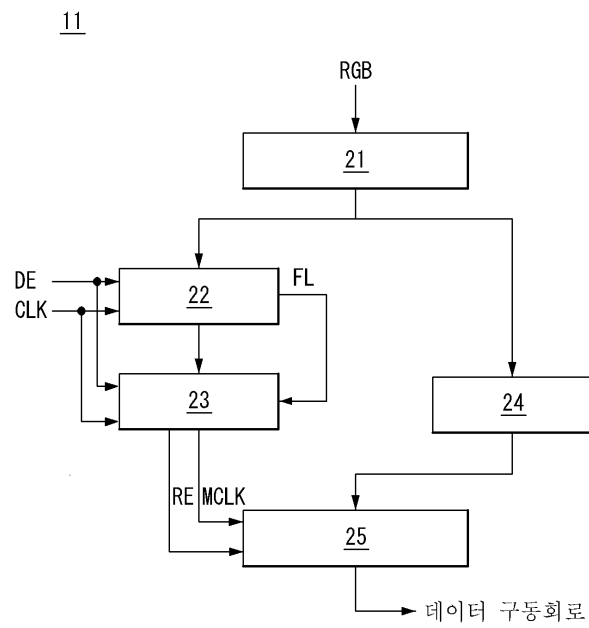
[0062] 25 : 메모리부

도면

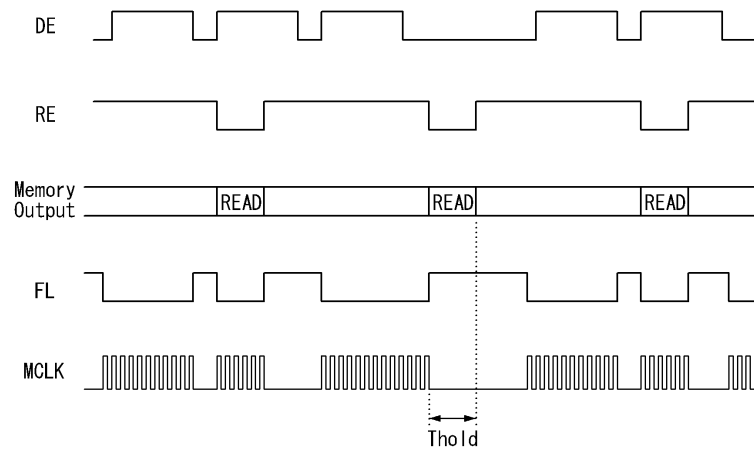
도면1



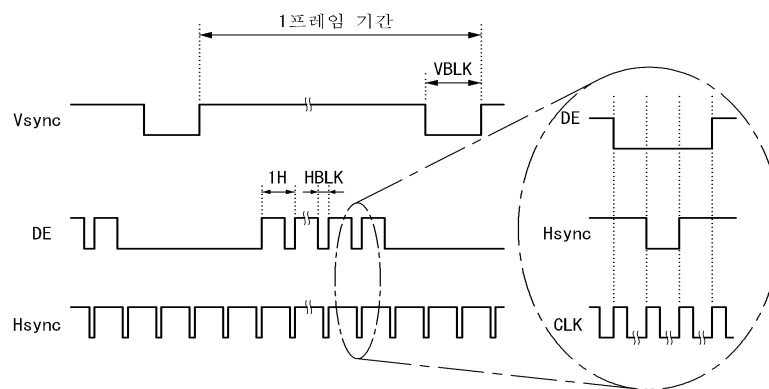
도면2



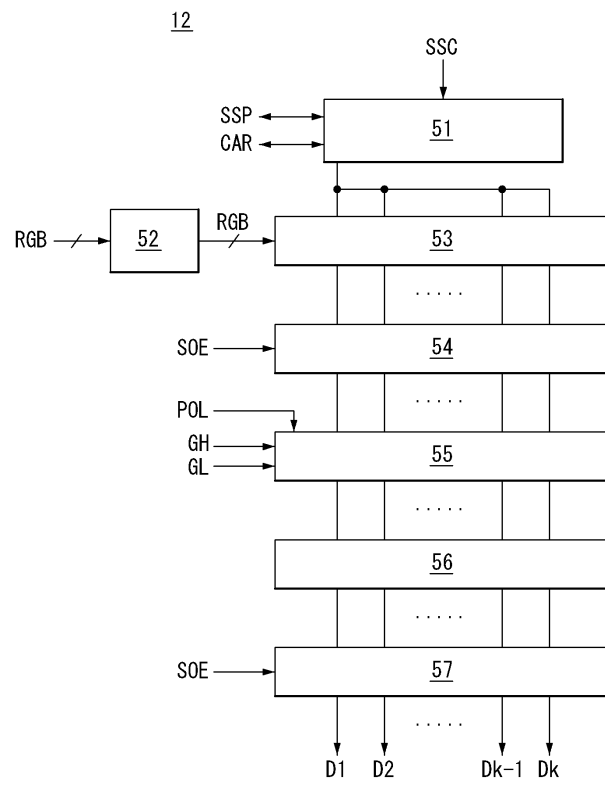
도면3



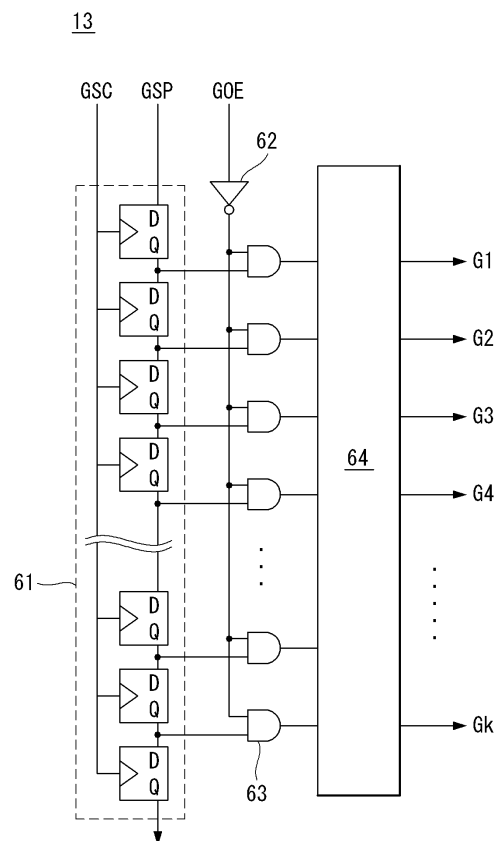
도면4



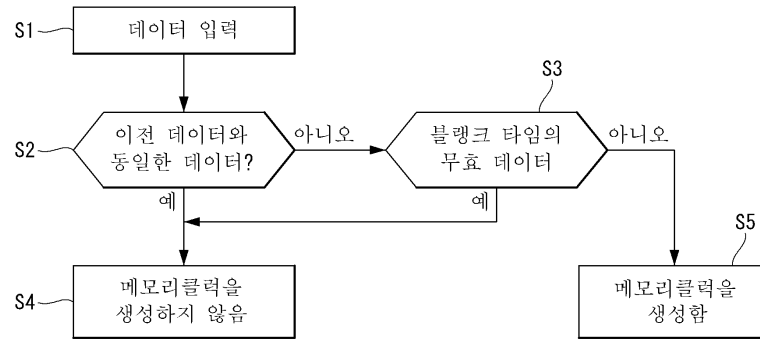
도면5



도면6



도면7



专利名称(译)	液晶显示器及其存储器控制方法		
公开(公告)号	KR1020100032110A	公开(公告)日	2010-03-25
申请号	KR1020080091093	申请日	2008-09-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JI HA YOUNG 지하영 KIM JIN SUNG 김진성		
发明人	지하영 김진성		
IPC分类号	G09G3/36 G09G3/20 G09G5/39 G02F1/133		
CPC分类号	G09G3/3648 G09G2360/18 G09G2330/021 G09G2310/08		
其他公开文献	KR101252090B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种降低定时控制器功耗的液晶显示器，包括数据，如先前数据，将输入数据与先前输入的先前数据进行比较，确定数据的相同与否，不输入数据的空白时间为检测到产生输入数据保持时间的数据比较和表示空白时间的标志信号和空白时间检测单元；存储器控制信号产生单元产生存储器时钟，并在产生标志信号时停止产生存储器时钟；存储单元：LCD面板：用于将扫描脉冲提供给所提供的数据驱动电路的栅极驱动电路和其中多条栅极线与多条数据线交叉的栅极线根据标志信号调节的存储器时钟进行操作。

