



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0006063
(43) 공개일자 2010년01월18일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0066228

(22) 출원일자 2008년07월08일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

권영근

경기 수원시 영통구 망포동 LG Xii3차 301동 1203호

김정일

충청남도 아산시 배방면 갈매리 배방자이1차아파트 106동 103호

(74) 대리인

권혁수, 송윤호, 오세준

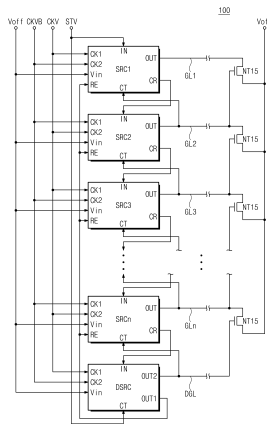
전체 청구항 수 : 총 18 항

(54) 게이트 드라이버 및 이를 갖는 표시장치

(57) 요약

게이트 드라이버 및 이를 갖는 표시장치에서, 더미 스테이지는 마지막 구동스태이지로부터 마지막 캐리신호를 입력받아서 리셋 신호와 더미 게이트 신호를 출력한다. 더미 스테이지로부터 출력된 리셋신호는 다수의 구동스태이지의 리셋단자로 입력되고, 더미 게이트 신호는 마지막 구동스태이지의 제어단자로 제공된다. 따라서, 마지막 구동스태이지로 공급되는 더미 게이트 신호의 왜곡을 방지할 수 있고, 그 결과 마지막 구동스태이지가 더미 게이트 신호에 의해서 정상적으로 턴-오프됨으로써 역정표시패널 상에 라인 불량 발생을 방지할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

이전 구동스테이지로부터 이전 캐리신호를 입력받는 입력단자, 다음 구동스테이지로부터 다음 게이트 신호를 입력받는 제어단자, 현재 게이트 신호를 출력하고 다음 구동스테이지의 제어단자에 연결된 출력단자, 현재 캐리신호를 출력하고 다음 구동스테이지의 입력단자에 연결된 캐리단자, 및 리셋신호를 입력받는 리셋단자를 포함하는 다수의 구동스테이지; 및

상기 마지막 구동스테이지로부터 마지막 캐리신호를 입력받는 입력단자, 제어신호를 입력받는 제어단자, 상기 다수의 구동스테이지의 리셋단자들로 상기 리셋신호를 제공하는 제1 출력단자 및 상기 다수의 구동스테이지 중 마지막 구동스테이지의 제어단자로 더미 게이트 신호를 제공하는 제2 출력단자를 포함하는 더미 스테이지를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 2

제1항에 있어서, 상기 더미 스테이지는,

상기 제1 출력단자를 통해 출력되는 상기 리셋 신호를 풀업시키는 제1 풀업부;

상기 제2 출력단자를 통해 출력되는 상기 더미 게이트 신호를 풀업시키는 제2 풀업부;

상기 마지막 캐리신호에 응답하여 상기 제1 및 제2 풀업부를 턴-온시키고, 상기 제어신호에 응답하여 상기 제1 및 제2 풀업부를 턴-오프시키는 풀업 구동부; 및

상기 제어신호에 응답하여 상기 리셋 신호 및 상기 더미 게이트 신호를 게이트 오프 전압까지 풀다운시키는 풀다운부를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 3

제2항에 있어서, 상기 제1 풀업부는 상기 풀업 구동부의 출력단에 연결된 제어전극, 클럭을 입력받는 입력전극 및 상기 제1 출력단자에 연결된 출력전극을 포함하는 제1 풀업 트랜지스터를 포함하고,

상기 제2 풀업부는 상기 풀업 구동부의 상기 출력단에 연결된 제어전극, 상기 클럭을 입력받는 입력전극 및 상기 제2 출력단자에 연결된 출력전극을 포함하는 제2 풀업 트랜지스터를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 4

제3항에 있어서, 상기 제2 풀업 트랜지스터는 상기 제1 풀업 트랜지스터보다 작은 사이즈(사이즈는 채널 길이(L)에 대한 채널폭(W)을 나타냄)를 갖는 것을 특징으로 하는 게이트 드라이버.

청구항 5

제2항에 있어서, 상기 풀다운부는,

상기 제어단자에 연결된 제어전극, 상기 게이트 오프전압을 입력받는 입력단자 및 상기 제1 출력단자에 연결된 출력전극을 포함하는 제1 풀다운 트랜지스터; 및

상기 제어단자에 연결된 제어전극, 상기 게이트 오프전압을 입력받는 입력단자 및 상기 제2 출력단자에 연결된 출력전극을 포함하는 제2 풀다운 트랜지스터를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 6

제5항에 있어서, 상기 제2 풀다운 트랜지스터는 상기 제1 풀다운 트랜지스터보다 작은 사이즈(사이즈는 채널 길이(L)에 대한 채널폭(W)을 나타냄)를 갖는 것을 특징으로 하는 게이트 드라이버.

청구항 7

제1항에 있어서, 상기 다수의 구동스테이지 중 첫번째 구동스테이지의 입력단자에는 상기 이전 캐리신호 대신 수직개시신호가 제공되고,

상기 더미 스테이지의 상기 제어단자로 제공되는 상기 제어신호는 상기 수직개시신호로 이루어진 것을 특징으로 하는 게이트 드라이버.

청구항 8

제1항에 있어서, 각 구동스테이지는,

상기 출력단자를 통해 출력되는 상기 현재 게이트 신호를 풀업시키는 풀업부;

상기 캐리단자를 통해 출력되는 상기 현재 캐리 신호를 풀업시키는 캐리부;

상기 이전 캐시신호에 응답하여 상기 풀업부 및 캐리부를 턴-온시키고, 상기 다음 게이트 신호에 응답하여 상기 풀업부 및 캐리부를 턴-오프시키는 풀업 구동부;

상기 다음 게이트 신호에 응답하여 상기 현재 게이트 신호 및 상기 현재 캐리 신호를 게이트 오프 전압까지 풀다운시키는 풀다운부; 및

상기 더미 스테이지의 제1 출력단자로부터 출력된 상기 리셋 신호에 응답하여 상기 풀업부 및 상기 캐리부를 턴-오프시키는 리셋부를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 9

제8항에 있어서, 상기 리셋부는 상기 제1 출력단자에 연결되어 상기 리셋 신호를 입력받는 제어전극, 상기 게이트 오프 전압을 입력받는 입력전극 및 상기 풀업부와 상기 캐리부의 제어전극에 연결된 출력전극을 포함하는 리셋 트랜지스터를 포함하는 것을 특징으로 하는 게이트 드라이버.

청구항 10

다수의 게이트 라인, 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 의해서 정의된 다수의 화소영역에 각각 구비된 다수의 화소를 포함하여 영상을 표시하는 표시패널;

상기 다수의 데이터 라인에 상기 데이터 신호를 제공하는 데이터 드라이버; 및

상기 다수의 게이트 라인에 상기 게이트 신호를 순차적으로 출력하는 게이트 드라이버를 포함하고,

상기 게이트 드라이버,

이전 구동스테이지로부터 이전 캐리신호를 입력받는 입력단자, 다음 구동스테이지로부터 다음 게이트 신호를 입력받는 제어단자, 현재 게이트 신호를 출력하고 다음 구동스테이지의 제어단자에 연결된 출력단자, 현재 캐리신호를 출력하고 다음 구동스테이지의 입력단자에 연결된 캐리단자, 및 리셋신호를 입력받는 리셋단자를 포함하는 다수의 구동스테이지; 및

상기 마지막 구동스테이지로부터 마지막 캐리신호를 입력받는 입력단자, 제어신호를 입력받는 제어단자, 상기 다수의 구동스테이지의 리셋단자들로 상기 리셋신호를 제공하는 제1 출력단자 및 상기 다수의 구동스테이지 중 마지막 구동스테이지의 제어단자로 더미 게이트 신호를 제공하는 제2 출력단자를 포함하는 더미 스테이지를 포함하는 것을 특징으로 하는 표시장치.

청구항 11

제10항에 있어서, 상기 더미 스테이지는,

상기 제1 출력단자를 통해 출력되는 상기 리셋 신호를 풀업시키는 제1 풀업부;

상기 제2 출력단자를 통해 출력되는 상기 더미 게이트 신호를 풀업시키는 제2 풀업부;

상기 마지막 캐시신호에 응답하여 상기 제1 및 제2 풀업부를 턴-온시키고, 상기 제어신호에 응답하여 상기 제1 및 제2 풀업부를 턴-오프시키는 풀업 구동부; 및

상기 제어신호에 응답하여 상기 리셋 신호 및 상기 더미 게이트 신호를 게이트 오프 전압까지 풀다운시키는 풀다운부를 포함하는 것을 특징으로 하는 표시장치.

청구항 12

제11항에 있어서, 상기 제1 풀업부는 상기 풀업 구동부의 출력단에 연결된 제어전극, 클럭을 입력받는 입력전극 및 상기 제1 출력단자에 연결된 출력전극을 포함하는 제1 풀업 트랜지스터를 포함하고,

상기 제2 풀업부는 상기 풀업 구동부의 상기 출력단에 연결된 제어전극, 상기 클럭을 입력받는 입력전극 및 상기 제2 출력단자에 연결된 출력전극을 포함하는 제2 풀업 트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

청구항 13

제11항에 있어서, 상기 풀다운부는,

상기 제어단자에 연결된 제어전극, 상기 게이트 오프전압을 입력받는 입력단자 및 상기 제1 출력단자에 연결된 출력전극을 포함하는 제1 풀다운 트랜지스터; 및

상기 제어단자에 연결된 제어전극, 상기 게이트 오프전압을 입력받는 입력단자 및 상기 제2 출력단자에 연결된 출력전극을 포함하는 제2 풀다운 트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

청구항 14

제10항에 있어서, 각 구동스테이지는,

상기 출력단자를 통해 출력되는 상기 현재 게이트 신호를 풀업시키는 풀업부;

상기 캐리단자를 통해 출력되는 상기 현재 캐리 신호를 풀업시키는 캐리부;

상기 이전 캐시신호에 응답하여 상기 풀업부 및 캐리부를 턴-온시키고, 상기 다음 게이트 신호에 응답하여 상기 풀업부 및 캐리부를 턴-오프시키는 풀업 구동부;

상기 다음 게이트 신호에 응답하여 상기 현재 게이트 신호 및 상기 현재 캐리 신호를 게이트 오프 전압까지 풀다운시키는 풀다운부; 및

상기 더미 스테이지의 제1 출력단자로부터 출력된 상기 리셋 신호에 응답하여 상기 풀업부 및 상기 캐리부를 턴-오프시키는 리셋부를 포함하는 것을 특징으로 하는 표시장치.

청구항 15

제14항에 있어서, 상기 각 구동스테이지의 출력단자는 상기 다수의 게이트 라인 중 대응하는 현재 게이트 라인의 제1 단부에 전기적으로 연결되고,

상기 각 구동스테이지는 상기 현재 게이트 라인의 제2 단부에 전기적으로 연결되고, 상기 다음 게이트 신호에 응답하여 상기 현재 게이트 라인으로 인가된 현재 게이트 신호를 방전시키는 방전부를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 16

제15항에 있어서, 상기 표시패널은 상기 더미 스테이지의 상기 제2 출력단자와 상기 방전부를 전기적으로 연결하는 더미 게이트 라인을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 17

제10항에 있어서, 상기 표시패널은 상기 데이터 라인들이 연장된 방향으로 긴 직사각형 구조로 이루어지고,

상기 다수의 게이트 라인의 개수는 상기 다수의 데이터 라인의 개수보다 많은 것을 특징으로 하는 표시장치.

청구항 18

제17항에 있어서, 상기 게이트 드라이버는 박막 공정을 통해서 상기 표시패널 상에 제공되는 것을 특징으로 하는 표시장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 게이트 드라이버 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 오동작을 방지할 수 있는 게이트 드라이버 및 이를 갖는 표시장치에 관한 것이다.

배경기술

<2> 일반적으로, 액정표시장치는 하부기관, 하부기관과 대향하여 구비되는 상부기관 및 하부기관과 상부기관과의 사이에 형성된 액정층으로 이루어져 영상을 표시하는 액정표시패널을 구비한다.

<3> 액정표시패널에는 다수의 게이트 라인, 다수의 데이터 라인, 다수의 게이트 라인과 다수의 데이터 라인에 연결된 다수의 화소가 구비된다. 액정표시패널에는 다수의 게이트 라인에 게이트 신호를 순차적으로 출력하기 위한 게이트 구동회로가 박막 공정을 통해 직접적으로 형성된다.

<4> 일반적으로, 게이트 구동회로는 종속적으로 연결된 다수의 구동스테이지로 이루어져 순차적으로 게이트 신호를 출력하는 쉬프트 레지스터로 이루어진다. 각 구동스테이지는 이전 스테이지로부터 캐리신호를 입력받아서 대응하는 게이트 라인에 게이트 신호를 출력하며, 다음 구동스테이지에 캐리 신호를 제공한다.

<5> 또한, 각 구동스테이지는 다음 구동스테이지의 게이트 신호에 의해서 턴-오프된다. 그러나, 마지막 구동스테이지는 다음 구동스테이지가 존재하지 않기 때문에 마지막 구동스테이지를 정상적으로 턴-오프시키기 위한 방안이 요구되고 있다.

발명의 내용

해결 하고자하는 과제

<6> 따라서, 본 발명의 목적은 마지막 구동스테이지의 출력특성을 개선하고, 각 구동스테이지를 정상적으로 리셋시키기 위한 게이트 드라이버를 제공하는 것이다.

<7> 본 발명의 다른 목적은 상기한 게이트 드라이버를 구비하는 표시장치를 제공하는 것이다.

과제 해결수단

<8> 본 발명에 따른 게이트 드라이버는 다수의 구동스테이지 및 더미 스테이지를 포함한다.

<9> 각 구동스테이지는 이전 구동스테이지로부터 이전 캐리신호를 입력받는 입력단자, 다음 구동스테이지로부터 다음 게이트 신호를 입력받는 제어단자, 현재 게이트 신호를 출력하고 다음 구동스테이지의 제어단자에 연결된 출력단자, 현재 캐리신호를 출력하고 다음 구동스테이지의 입력단자에 연결된 캐리단자, 및 리셋신호를 입력받는 리셋단자를 포함한다.

<10> 상기 더미 스테이지는 상기 마지막 구동스테이지로부터 마지막 캐리신호를 입력받는 입력단자, 제어신호를 입력받는 제어단자, 상기 다수의 구동스테이지의 리셋단자들로부터 상기 리셋신호를 제공하는 제1 출력단자 및 상기 다수의 구동스테이지 중 마지막 구동스테이지의 제어단자로 더미 게이트 신호를 제공하는 제2 출력단자를 포함한다.

<11> 본 발명에 따른 표시장치는 다수의 게이트 라인, 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 의해서 정의된 다수의 화소영역에 각각 구비된 다수의 화소를 포함하여 영상을 표시하는 표시패널, 상기 다수의 데이터 라인에 상기 데이터 신호를 제공하는 데이터 드라이버, 및 상기 다수의 게이트 라인에 상기 게이트 신호를 순차적으로 출력하는 게이트 드라이버를 포함한다.

<12> 상기 게이트 드라이버는 다수의 구동스테이지 및 더미 스테이지를 포함한다.

<13> 각 구동스테이지는 이전 구동스테이지로부터 이전 캐리신호를 입력받는 입력단자, 다음 구동스테이지로부터 다음 게이트 신호를 입력받는 제어단자, 현재 게이트 신호를 출력하고 다음 구동스테이지의 제어단자에 연결된 출력단자, 현재 캐리신호를 출력하고 다음 구동스테이지의 입력단자에 연결된 캐리단자, 및 리셋신호를 입력받는 리셋단자를 포함한다.

<14> 상기 더미 스테이지는 상기 마지막 구동스테이지로부터 마지막 캐리신호를 입력받는 입력단자, 제어신호를 입력받는 제어단자, 상기 다수의 구동스테이지의 리셋단자들로부터 상기 리셋신호를 제공하는 제1 출력단자 및 상기 다

수의 구동스태이지 중 마지막 구동스태이지의 제어단자로 더미 게이트 신호를 제공하는 제2 출력단자를 포함한다.

효 과

- <15> 이와 같은 게이트 드라이버 및 이를 갖는 표시장치에 따르면, 더미 스태이지는 마지막 구동스태이지로부터 마지막 캐리신호를 입력받아서 리셋 신호와 더미 게이트 신호를 출력한다. 더미 스태이지로부터 출력된 리셋신호는 다수의 구동스태이지의 리셋단자로 입력되고, 더미 게이트 신호는 마지막 구동스태이지의 제어단자로 제공된다.
- <16> 따라서, 마지막 구동스태이지로 공급되는 더미 게이트 신호의 왜곡을 방지할 수 있고, 그 결과 마지막 구동스태이지가 더미 게이트 신호에 의해서 정상적으로 턴-오프됨으로써 액정표시패널 상에 라인 불량 발생을 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- <17> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- <18> 도 1은 본 발명의 일 실시예에 따른 게이트 드라이버의 블록도이다.
- <19> 도 1을 참조하면, 게이트 드라이버(100)는 서로 종속적으로 연결된 다수의 구동스태이지(SRC1~SRCn) 및 더미 스태이지(DSRC)로 이루어진 하나의 쉬프트 레지스터를 포함한다. 상기 쉬프트 레지스터는 다수의 게이트 라인(GL1~GLn)의 제1 단부에 구비된다.
- <20> 각 구동스태이지(SRC1~SRCn)는 입력단자(IN), 제1 및 제2 클럭단자(CK1, CK2), 제어단자(CT), 전압입력단자(Vin), 리셋단자(RE), 출력단자(OUT) 및 캐리단자(CR)를 포함한다. 상기 더미 스태이지(DSRC)는 입력단자(IN), 제1 및 제2 클럭단자(CK1, CK2), 제어단자(CT), 전압입력단자(Vin), 제1 출력단자(OUT1) 및 제2 출력단자(OUT2)를 포함한다.
- <21> 상기 다수의 구동스태이지(SRC1~SRCn)의 입력단자(IN)는 이전 스태이지의 캐리단자(CR)에 전기적으로 연결되어 이전 캐리신호를 입력받는다. 단, 상기 다수의 구동스태이지(SRC1~SRCn) 중 첫번째 스태이지(SRC1)의 입력단자(IN)에는 이전 캐리신호 대신에 상기 게이트 드라이버(100)의 구동을 개시하는 수직개시신호(STV)가 제공된다. 상기 다수의 구동스태이지(SRC1~SRCn)의 제어단자(CT)는 다음 스태이지의 출력단자(OUT)에 전기적으로 연결되어 다음 게이트 신호를 입력받는다. 단, 상기 다수의 구동스태이지(SRC1~SRCn) 중 마지막 스태이지(SRCn)의 제어단자(CT)는 상기 더미 스태이지(DSRC)의 제2 출력단자(OUT2)에 전기적으로 연결된다. 본 발명의 일 예로, 상기 더미 스태이지(DSRC)의 제어단자(CT)에는 다음 게이트 신호 대신에 상기 수직개시신호(STV)가 제공된다.
- <22> 상기 다수의 구동스태이지(SRC1~SRCn) 중 홀수번째 스태이지(SRC1, SRC3, ... SRCn-1)의 제1 클럭단자(CK1)에는 제1 클럭(CKV)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)과 반전된 위상을 갖는 제2 클럭(CKVB)이 제공된다. 상기 다수의 구동스태이지(SRC1~SRCn) 중 짝수번째 스태이지(SRC2, ... SRCn)의 제1 클럭단자(CK1)에는 상기 제2 클럭(CKVB)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)이 제공된다. n이 짝수라고 가정하면, 상기 더미 스태이지(DSRC)의 제1 클럭단자(CK1)에는 상기 제1 클럭(CKV)이 제공되고, 제2 클럭단자(CK2)에는 상기 제2 클럭(CKVB)이 제공된다.
- <23> 상기 다수의 구동스태이지(SRC1~SRCn) 및 상기 더미 스태이지(DSRC)의 상기 전압입력단자(Vin)에는 게이트 오프 전압(Voff)이 제공된다. 상기 게이트 오프전압(Voff)은 그라운드 전압 또는 마이너스 전압으로 이루어진다.
- <24> 상기 다수의 구동스태이지(SRC1~SRCn)의 출력단자(OUT)들에는 다수의 게이트 라인(GL1~GLn)이 각각 전기적으로 연결된다. 따라서, 상기 다수의 구동스태이지(SRC1~SRCn)는 출력단자들(OUT)을 통해 게이트 신호를 순차적으로 출력하여 상기 다수의 게이트 라인(GL1~GLn)으로 인가한다.
- <25> 상기 각 구동스태이지(SRC1~SRCn)의 캐리단자(CR)는 다음 스태이지의 입력단자(IN)에 전기적으로 연결되어 다음 스태이지로 캐리신호를 제공한다. 마지막 구동스태이지(SRCn)의 캐리단자(CR)는 상기 더미 스태이지(DSRC)의 입력단자(IN)에 전기적으로 연결된다.
- <26> 상기 더미 스태이지(DSRC)의 제1 출력단자(OUT1)는 다수의 구동스태이지(SRC1~SRCn)의 리셋단자(RE)에 전기적으로 연결되고, 상기 더미 스태이지(DSRC)의 제2 출력단자(OUT2)는 상기 마지막 구동스태이지(SRCn)의 제어단자(CT)에 전기적으로 연결된다. 따라서, 상기 더미 스태이지(DSRC)는 상기 다수의 구동스태이지(SRC1~SRCn)의 리셋단자(RE)에 리셋신호를 제공하여 상기 다수의 구동스태이지(SRC1~SRCn)를 리셋시킨다. 또한, 상기 더미 스태

이지(DSRC)는 상기 마지막 구동스태이지(SRCn)의 제어단자(CT)에 더미 출력신호를 제공하여 상기 마지막 구동스태이지(SRCn)로부터 출력되는 게이트 신호를 다운시킨다.

- <27> 상기 각 구동스태이지(SRC1~SRCn)는 대응하는 게이트 라인(GL1 ~ GLn)의 제2 단부에 구비된 방전 트랜지스터(NT15)를 포함한다. 상기 방전 트랜지스터(NT15)는 다음 게이트 라인에 연결된 제어전극, 상기 게이트 오프전압(Voff)을 입력받는 입력전극 및 현재 게이트 라인에 연결된 출력전극으로 이루어진다. 따라서, 상기 방전 트랜지스터(NT15)는 다음 스테이지로부터 출력된 다음 게이트 신호에 응답하여 현재 게이트 라인을 상기 게이트 오프전압(Voff)으로 방전시킨다.
- <28> 여기서, 마지막 게이트 라인(GLn)을 방전시키는 방전 트랜지스터(NT15)의 제어전극은 더미 게이트 라인(DGL)을 통해서 더미 스테이지(DSRC)의 제2 출력단자(OUT2)에 전기적으로 연결된다. 따라서, 마지막 방전 트랜지스터(NT15)는 상기 더미 스테이지(DSRC)의 제2 출력단자(OUT2)로부터 출력된 더미 출력신호에 응답하여 상기 마지막 게이트 라인(GLn)을 상기 게이트 오프전압(Voff)으로 방전시킨다.
- <29> 도 2는 도 1에 도시된 마지막 구동스태이지의 회로도이다. 단, 게이트 드라이버에 구비되는 다수의 구동스태이지는 서로 동일한 내부 구성을 가지므로, 도 3에서는 마지막 구동스태이지를 도시하여 설명함으로써 나머지 구동스태이지들에 대한 설명을 대신한다.
- <30> 도 2를 참조하면, 마지막 구동스태이지(SRCn)는 풀업부(211), 캐리부(212), 풀다운부(213), 풀업 구동부(214), 리플 방지부(215), 홀딩부(216), 인버터부(217), 및 리셋부(218)를 포함한다.
- <31> 상기 풀업부(211)는 상기 풀업 구동부(214)의 출력단(이하, Q-노드)(QN)에 연결된 제어전극, 제1 클럭단자(CK1)에 연결된 입력전극 및 출력단자(OUT)에 연결된 출력전극으로 이루어진 풀업 트랜지스터(NT1)를 포함한다. 상기 풀업 트랜지스터(NT1)는 상기 풀업 구동부(214)로부터 출력된 전압에 응답하여 상기 출력단자(OUT)로 출력되는 현재 게이트 신호를 제1 클럭단자(CK1)를 통해 제공된 클럭(이하, 제1 클럭(CKV, 도 2에 도시됨))의 하이레벨까지 풀-업시킨다. 상기 풀업 트랜지스터(NT1)는 한 프레임 중 상기 제1 클럭(CKV)의 하이구간(이하, 제1 구간)동안 턴-온되어, 상기 제1 구간동안 상기 현재 게이트 신호를 하이 상태로 유지시킨다.
- <32> 상기 캐리부(212)는 상기 Q-노드(QN)에 연결된 제어전극, 상기 제1 클럭단자(CK1)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진 캐리 트랜지스터(NT2)를 포함한다. 상기 캐리 트랜지스터(NT2)는 상기 풀업 구동부(214)로부터 출력된 전압에 응답하여 상기 캐리단자(CR)로 출력되는 현재 캐리신호를 상기 제1 클럭(CKV)의 하이레벨까지 풀-업시킨다. 상기 캐리 트랜지스터(NT2)는 한 프레임 중 상기 제1 구간 동안 턴-온되어, 상기 제1 구간 동안 상기 현재 캐리신호를 하이 상태로 유지시킨다.
- <33> 상기 풀다운부(213)는 제어단자(CT)에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진 풀다운 트랜지스터(NT3)를 포함한다. 상기 풀다운 트랜지스터(NT3)는 다음 게이트 신호에 응답하여 상기 풀업된 현재 게이트 신호를 상기 전압입력단자(Vin)를 통해 공급된 게이트 오프전압(Voff, 도 1에 도시됨)까지 풀다운시킨다. 즉, 상기 풀다운 트랜지스터(NT3)는 상기 제1 구간 이후에 다음 게이트 신호에 의해서 턴온되어 상기 현재 게이트 신호를 로우상태로 다운시킨다.
- <34> 상기 풀업 구동부(214)는 버퍼 트랜지스터(NT4), 제1 커패시터(C1), 제2 커패시터(C2), 방전 트랜지스터(NT5)를 포함한다. 상기 버퍼 트랜지스터(NT4)는 상기 입력단자(IN)에 공통으로 연결된 입력전극과 제어전극 및 상기 Q-노드(QN)에 연결된 출력전극으로 이루어진다. 상기 제1 커패시터(C1)는 상기 Q-노드(QN)와 출력단자(OUT) 사이에 연결되고, 상기 제2 커패시터(C2)는 상기 캐리 트랜지스터(NT2)의 제어전극과 캐리단자(CR)와의 사이에 연결된다. 한편, 상기 방전 트랜지스터(NT5)는 상기 버퍼 트랜지스터(NT4)의 출력전극에 연결된 입력전극, 상기 제어단자(CT)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다.
- <35> 상기 버퍼 트랜지스터(NT4)가 이전 캐리신호에 응답하여 턴-온되면, 상기 Q-노드(QN)의 전위가 상승하여 상기 풀업 트랜지스터(NT1) 및 상기 캐리 트랜지스터(NT2)가 턴-온된다. 상기 턴-온된 풀업 트랜지스터(NT1) 및 상기 턴-온된 캐리 트랜지스터에 의해서 상기 출력단자(OUT) 및 상기 캐리단자(CR)의 전위가 상승하면, 상기 Q-노드(QN)의 전위는 상기 제1 및 제2 커패시터(C1, C2)에 의해서 부스트 업된다. 따라서, 상기 풀업 트랜지스터(NT1) 및 상기 캐리 트랜지스터(NT2)는 턴-온 상태를 계속 유지하여, 상기 현재 게이트 신호와 현재 캐리신호는 상기 제1 클럭(CKV)의 하이 구간 동안 하이 상태로 발생될 수 있다.
- <36> 상기 방전 트랜지스터(NT5)가 다음 게이트 신호에 응답하여 턴-온되면, 상기 제1 커패시터(C1)에 충전된 전하는 상기 방전 트랜지스터(NT5)를 통해 상기 게이트 오프전압(Voff)으로 방전된다. 따라서, 상기 Q-노드(QN)의 전위는 상기 게이트 오프전압(Voff)까지 다운되고, 그 결과 상기 풀업 트랜지스터(NT1) 및 캐리 트랜지스터(NT2)는

턴-오프된다. 따라서, 상기 출력단자(OUT) 및 캐리단자(CR)에는 하이 상태의 현재 게이트 신호 및 현재 캐리신호가 출력되지 않는다.

- <37> 상기 리플 방지부(215)는 제1 내지 제3 리플 방지 트랜지스터(NT6, NT7, NT8)로 이루어져 상기 한 프레임 중 상기 제1 구간을 제외한 나머지 제2 구간동안 상기 현재 게이트 신호 및 현재 캐리신호가 상기 제1 또는 제2 클럭(CKV, CKVB)에 의해서 리플되는 것을 방지한다.
- <38> 상기 제1 리플 방지 트랜지스터(NT6)는 상기 제1 클럭단자(CK1)에 연결된 제어전극, 상기 출력단자(OUT)에 연결된 입력전극 및 상기 Q-노드(QN)에 연결된 출력전극을 포함한다. 상기 제2 리플 방지 트랜지스터(NT7)는 제2 클럭단자(CK2)에 연결된 제어전극, 상기 입력단자(IN)에 연결된 입력전극 및 상기 Q-노드(QN)에 연결된 출력전극으로 이루어진다. 상기 제3 리플 방지 트랜지스터(NT8)는 상기 제2 클럭단자(CK2)에 연결된 제어전극, 상기 출력단자(OUT)에 연결된 입력전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다.
- <39> 상기 제2 구간동안 상기 제1 리플 방지 트랜지스터(NT6)는 상기 제1 클럭(CKV)에 응답하여 상기 출력단자(OUT)로부터 출력된 로우 상태의 현재 게이트 신호를 상기 Q-노드(QN)로 제공한다. 따라서, 상기 제2 구간 중 상기 제1 클럭(CKV)의 하이구간에서 상기 Q-노드(QN)의 전위는 로우 상태로 유지된다. 이로써, 상기 제1 리플 방지 트랜지스터(NT6)는 상기 제2 구간 중 상기 제1 클럭(CKV)의 하이구간동안 상기 풀업 및 캐리 트랜지스터(NT1, NT2)가 턴-온되는 것을 방지한다.
- <40> 상기 제2 구간동안 상기 제2 리플 방지 트랜지스터(NT7)는 제2 클럭단자(CK2)를 통해 제공된 클럭(이하, 제2 클럭(CKVB, 도 1에 도시됨))에 응답하여 입력단자(IN)를 통해 입력되는 로우 상태의 이전 캐리신호를 상기 Q-노드(QN)로 제공한다. 따라서, 상기 제2 구간 중 상기 제2 클럭(CKVB)의 하이구간에서 상기 Q-노드(QN)의 전위는 로우 상태로 유지된다. 이로써, 상기 제3 리플 방지 트랜지스터(NT8)는 상기 제2 구간 중 상기 제2 클럭(CKVB)의 하이구간동안 상기 풀업 및 캐리 트랜지스터(NT1, NT2)가 턴-온되는 것을 방지한다.
- <41> 상기 제3 리플 방지 트랜지스터(NT8)는 상기 제2 클럭(CKVB)에 응답하여 상기 현재 게이트 신호를 상기 게이트 오프전압(Voff)으로 방전시킨다. 따라서, 상기 제3 리플 방지 트랜지스터(NT8)는 상기 제2 구간 중 상기 제2 클럭(CKVB)의 하이구간동안 상기 현재 게이트 신호를 상기 게이트 오프전압(Voff)으로 유지시킨다.
- <42> 한편, 상기 홀딩부(216)는 상기 인버터부(217)의 출력단에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진 홀딩 트랜지스터(NT9)를 포함한다. 상기 인버터부(217)는 제1 내지 제4 인버터 트랜지스터(NT10, NT11, NT12, NT13), 제3 및 제4 커패시터(C3, C4)로 이루어져, 상기 홀딩 트랜지스터(NT9)를 턴-온 또는 턴-오프시킨다.
- <43> 상기 제1 인버터 트랜지스터(NT10)는 상기 제1 클럭단자(CK1)에 공통적으로 연결된 입력전극과 제어전극, 상기 제4 커패시터(C4)를 통해 상기 제2 인버터 트랜지스터(NT11)의 출력전극에 연결된 출력전극으로 이루어진다. 상기 제2 인버터 트랜지스터(NT11)는 상기 제1 클럭단자(CK1)에 연결된 입력전극, 상기 제3 커패시터(C3)를 통해 입력전극과 연결된 제어전극 및 상기 홀딩 트랜지스터(NT9)의 제어전극에 연결된 출력전극으로 이루어진다. 상기 제3 인버터 트랜지스터(NT12)는 상기 제1 인버터 트랜지스터(NT10)의 출력전극에 연결된 입력전극, 상기 출력단자(OUT)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다. 상기 제4 인버터 트랜지스터(NT13)는 상기 홀딩 트랜지스터(NT9)의 제어전극에 연결된 입력전극, 상기 출력단자(OUT)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다.
- <44> 상기 제3 및 제4 인버터 트랜지스터(NT12, NT13)가 상기 출력단자(OUT)로 출력되는 하이 상태의 현재 게이트 신호에 응답하여 턴-온되면, 상기 제1 및 제2 인버터 트랜지스터(NT10, NT11)로부터 출력된 상기 제1 클럭(CKV)은 상기 턴-온된 제3 및 제4 인버터 트랜지스터(NT12, NT13)에 의해서 상기 게이트 오프전압(Voff)으로 방전된다. 따라서, 상기 홀딩 트랜지스터(NT9)는 상기 현재 게이트 신호가 하이상태로 유지되는 제1 구간동안 턴-오프 상태로 유지된다.
- <45> 이후, 제2 구간에서 상기 현재 게이트 신호가 로우 상태로 전환되면, 상기 제3 및 제4 인버터 트랜지스터(NT12, NT13)는 턴-오프된다. 따라서, 상기 제1 및 제2 인버터 트랜지스터(NT10, NT11)로부터 출력된 상기 제1 클럭(CKV)은 상기 홀딩 트랜지스터(NT9)로 인가되어 상기 홀딩 트랜지스터(NT9)를 턴-온시킨다. 결과적으로, 상기 현재 게이트 신호는 상기 홀딩 트랜지스터(NT9)에 의해서 상기 제2 구간 중 상기 제1 클럭(CKV)의 하이구간동안 상기 게이트 오프전압(Voff)으로 홀딩될 수 있다.
- <46> 한편, 상기 리셋부(218)는 리셋단자(RE)에 연결된 제어전극, 상기 풀업 트랜지스터(NT1)의 제어전극에 연결된

입력전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진 리셋 트랜지스터(NT14)를 포함한다.

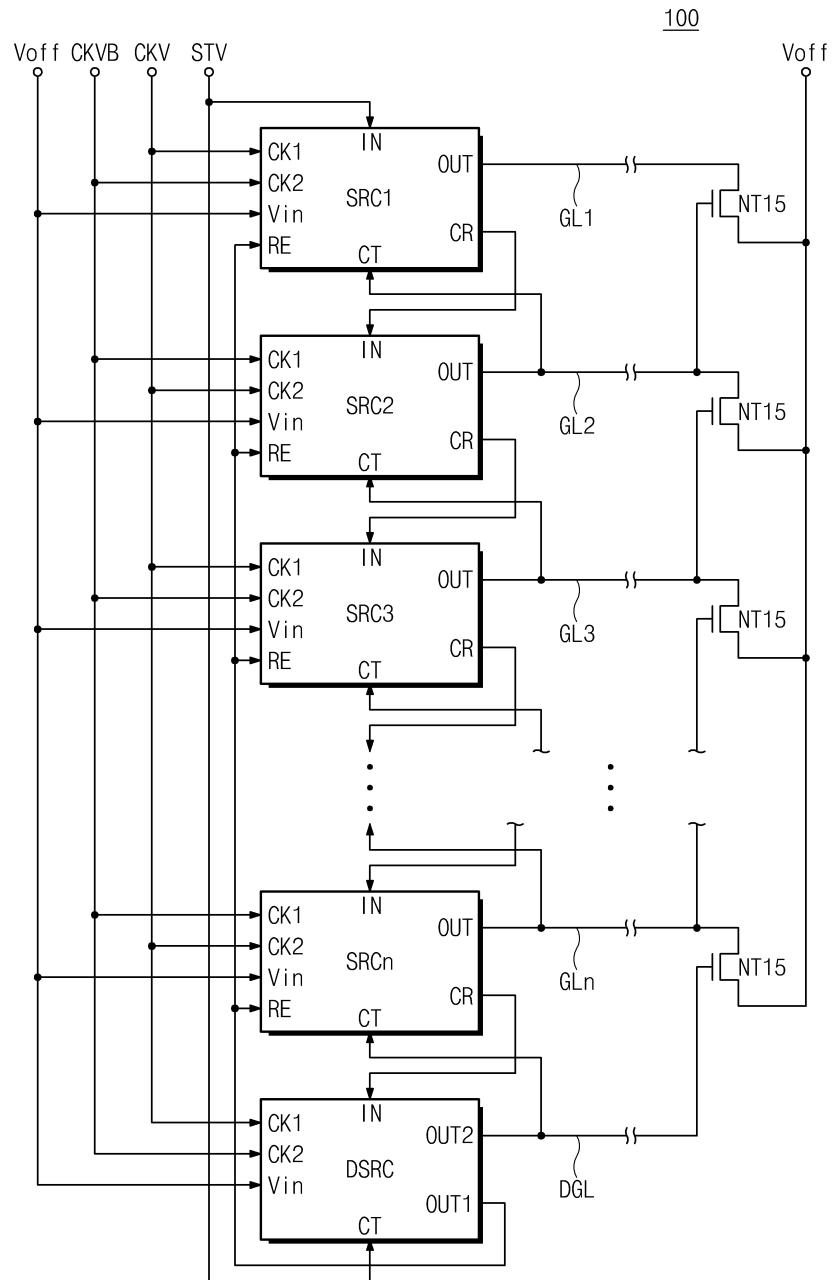
- <47> 상기 리셋 트랜지스터(NT14)는 상기 리셋단자(RE)를 통해 입력된 더미 스테이지(DSRC, 도 1에 도시됨)의 제1 출력단자로부터 출력된 리셋 신호에 응답하여 상기 Q-노드(QN)의 전위를 상기 게이트 오프전압(Voff)으로 방전시킨다. 따라서, 상기 풀업 및 캐리 트랜지스터(NT1, NT2)가 상기 더미 스테이지(DSRC)의 리셋 신호에 응답하여 턴-오프된다. 도 1에 도시된 바와 같이, 더미 스테이지(DSRC)의 리셋 신호는 n개의 구동스테이지(SRC1~SRCn)의 리셋단자(RE)로 제공되어, 각 구동스테이지에 구비된 풀업 및 캐리 트랜지스터(NT1, NT2)를 턴-오프시켜, n개의 구동스테이지(SRC1~SRCn)를 모두 리셋시킨다.
- <48> 도 3은 도 1에 도시된 더미 스테이지의 회로도이다. 단, 도 3에 도시된 구성요소 중 도 2에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- <49> 도 3을 참조하면, 더미 스테이지(DSRC)는 제1 풀업부(211), 제2 풀업부(219a), 폴다운부(219b), 풀업 구동부(214), 리플 방지부(215), 홀딩부(216), 및 인버터부(217)를 포함한다.
- <50> 상기 제1 풀업부(211)는 상기 풀업 구동부(214)의 출력단(이하, Q-노드)(QN)에 연결된 제어전극, 제1 클럭단자(CK1)에 연결된 입력전극 및 제1 출력단자(OUT1)에 연결된 출력전극으로 이루어진 제1 풀업 트랜지스터(NT1)를 포함한다. 상기 제1 풀업 트랜지스터(NT1)는 상기 풀업 구동부(213)로부터 출력된 전압에 응답하여 상기 제1 출력단자(OUT1)로 출력되는 리셋 전압을 제1 클럭단자(CK1)를 통해 제공된 클럭(이하, 제1 클럭(CKV, 도 2에 도시됨))의 하이레벨까지 풀-업시킨다.
- <51> 상기 제2 풀업부(219b)는 상기 Q-노드(QN)에 연결된 제어전극, 상기 제1 클럭단자(CK1)에 연결된 입력전극 및 상기 제2 출력단자(OUT2)에 연결된 출력전극으로 이루어진 제2 풀업 트랜지스터(NT16)를 포함한다. 상기 제2 풀업 트랜지스터(NT16)는 상기 풀업 구동부(213)로부터 출력된 전압에 응답하여 상기 제2 출력단자(OUT2)로 출력되는 더미 게이트 신호를 상기 제1 클럭(CKV)의 하이레벨까지 풀-업시킨다.
- <52> 여기서, 상기 제2 풀업 트랜지스터(NT16)는 상기 제1 풀업 트랜지스터(NT1)보다 작은 사이즈를 갖는다. 본 발명의 일 예로, 상기 제1 및 제2 풀업 트랜지스터(NT1, NT16)의 채널 길이가 서로 동일하다고 가정할 때, 상기 제1 풀업 트랜지스터(NT1)는 6030 μ m의 채널폭을 갖고, 상기 제2 풀업 트랜지스터(NT16)는 700 μ m의 채널폭을 갖는다.
- <53> 상기 폴다운부(213)는 제1 폴다운 트랜지스터(NT3) 및 제2 폴다운 트랜지스터(NT17)를 포함한다.
- <54> 상기 제1 폴다운 트랜지스터(NT3)는 제어단자(CT)에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 제1 출력단자(OUT1)에 연결된 출력전극으로 이루어진다. 상기 제2 폴다운 트랜지스터(NT17)는 상기 제어단자(CT)에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 제2 출력단자(OUT2)에 연결된 출력전극으로 이루어진다.
- <55> 상기 제1 및 제2 폴다운 트랜지스터(NT3, NT16)는 수직개시신호에 응답하여 각각 상기 리셋 전압 및 상기 더미 게이트 신호를 상기 전압입력단자(Vin)를 통해 공급된 상기 게이트 오프전압(Voff)까지 폴다운시킨다.
- <56> 여기서, 상기 제2 폴다운 트랜지스터(NT17)는 상기 제1 폴다운 트랜지스터(NT2)보다 작은 사이즈를 갖는다. 본 발명의 일 예로, 상기 제1 및 제2 폴다운 트랜지스터(NT2, NT17)의 채널 길이가 서로 동일하다고 가정할 때, 상기 제1 폴다운 트랜지스터(NT2)는 7000 μ m의 채널폭을 갖고, 상기 제2 폴다운 트랜지스터(NT16)는 700 μ m의 채널폭을 갖는다.
- <57> 이처럼, 상기 더미 스테이지(DSRC)에서 상기 다수의 구동스테이지(SRC1~SRCn)의 리셋단자(RE)에 연결되는 제1 출력단자(OUT1)와 상기 마지막 구동스테이지(SRCn)의 제어단자(CT)에 연결된 제2 출력단자(OUT2)가 분리되어 구비됨으로써, 마지막 구동스테이지(SRCn)로 인가되는 더미 게이트 신호의 출력 특성을 개선할 수 있고, 그 결과 마지막 구동스테이지(SRCn)로부터 출력되는 게이트 신호가 왜곡되는 것을 방지할 수 있다.
- <58> 도 4는 종래의 게이트 드라이버로부터 출력되는 게이트 신호를 나타낸 파형도이고, 도 5는 본 발명의 일 실시예에 따른 게이트 드라이버로부터 출력되는 게이트 신호를 나타낸 파형도이다.
- <59> 도 4를 참조하면, 더미 스테이지(DSRC)의 출력단자가 다수의 구동스테이지(SRC1~SRCn)의 리셋단자(RE)들과 상기 마지막 구동스테이지(SRCn)의 제어단자(CT)에 공통으로 연결된 경우, 마지막 구동스테이지(SRCn)의 게이트 신호(GSn)와 상기 더미 스테이지(DSRC)의 출력단자로부터 출력되는 더미 게이트 신호(DGS)가 도시된다.
- <60> 상기 더미 스테이지(DSRC)의 출력단자가 상기 리셋단자(RE)들과 제어단자(CT)에 공통으로 연결되면, 상기 출력단자에 연결된 부하가 증가한다. 부하로 인하여 더미 게이트 신호(DGS)는 원하는 레벨(즉, 마지막 구동스테이지

(SRCn)의 제어단자(CT)에 연결된 트랜지스터들(예를 들어, 풀다운 트랜지스터(NT2), 방전 트랜지스터(NT9, NT15, 도 1 및 도 2에 도시됨)을 턴-온시키는데 필요한 전압레벨)까지 상승하지 못한다. 그 결과, 마지막 구동스태이지(SRCn)의 게이트 신호(GSn)가 블랭크 구간(Tblank)에서 비정상적으로 출력된다.

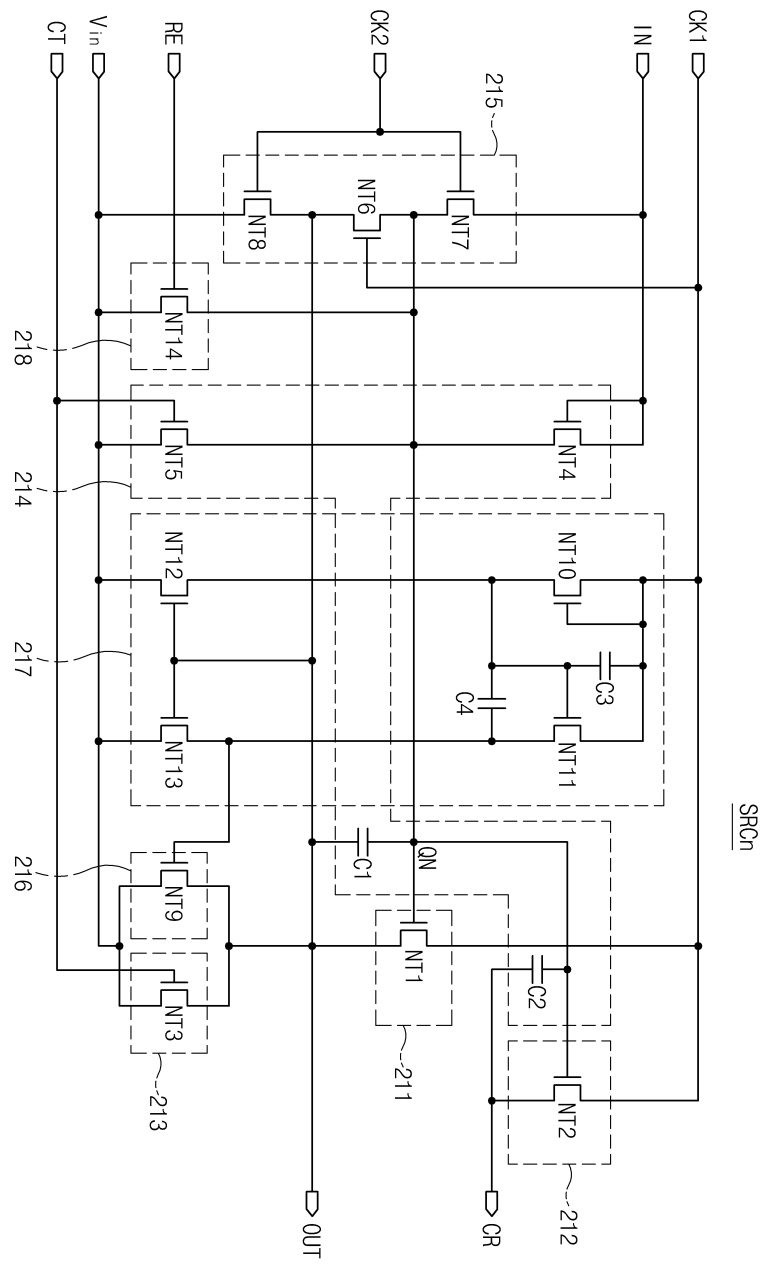
- <61> 그러나, 상기 더미 스테이지(DSRC)가 다수의 구동스태이지(SRC1~SRCn)의 리셋단자(RE)들에 연결된 제1 출력단자(OUT1)와 상기 마지막 구동스태이지(SRCn)의 제어단자(CT)에 연결된 제2 출력단자(OUT2)를 구비하면, 도 5에 도시된 바와 같이 상기 제2 출력단자(OUT2)로부터 출력되는 더미 게이트 신호(DGS)는 상기 마지막 구동스태이지(SRCn)의 제어단자(CT)에 연결된 트랜지스터들(NT2, NT9, NT15)의 문턱전압 이상으로 상승한다. 따라서, 블랭크 구간(Tblank)동안 마지막 구동스태이지(SRCn)의 게이트 신호(GSn)가 상기 더미 게이트 신호(DGS)에 의해서 정상적으로 방전될 수 있다.
- <62> 도 6은 본 발명의 다른 실시예에 따른 표시장치의 평면도이고, 도 7은 도 6에 도시된 게이트 라인으로 인가되는 게이트 신호를 나타낸 파형도이다.
- <63> 도 6을 참조하면, 표시장치(200)는 영상을 표시하는 표시패널(210), 상기 표시패널(210)에 게이트 신호를 출력하는 게이트 드라이버(220) 및 데이터 신호를 출력하는 데이터 드라이버(230)를 포함한다.
- <64> 상기 표시패널(210)은 하부기판, 상기 하부기판과 마주보는 상부기판 및 상기 하부기판과 상기 상부기판과의 사이에 개재된 액정층(미도시)으로 이루어진 액정표시패널일 수 있다.
- <65> 상기 표시패널(210)에는 다수의 게이트 라인(GL1~GL4n) 및 상기 다수의 게이트 라인(GL1~GL4n)과 절연되어 교차하는 다수의 데이터 라인(DL1~DLm)에 의해서 매트릭스 형태의 다수의 화소영역이 정의된다. 상기 각 화소영역에는 화소가 구비되고, 상기 화소에 대응하여 하나의 색화소가 배치된다. 상기 표시패널(210)에는 레드, 그린 및 블루 색화소들(R, G, B)이 구비될 수 있다.
- <66> 상기 표시패널(210)은 상기 데이터 라인들(DL1~DLm)이 연장된 방향으로 긴 직사각형 구조로 이루어져, 상기 표시패널(210)에 구비되는 상기 게이트 라인들(GL1~GL4n)의 개수가 상기 데이터 라인들(DL1~DLm)의 개수보다 많다. 상기 색화소들(R, G, B)은 상기 게이트 라인들(GL1~GL4n)이 연장된 방향으로 긴 세로픽셀 구조로 이루어진다.
- <67> 상기 게이트 드라이버(220)는 상기 다수의 게이트 라인(GL1~GL4n)에 전기적으로 연결되어 상기 다수의 게이트 라인(GL1~GL4n)에 게이트 신호를 순차적으로 인가한다. 상기 데이터 드라이버(230)는 다수의 데이터 라인(DL1~DLm)에 전기적으로 연결되어 상기 다수의 데이터 라인(DL1~DLm)에 데이터 신호를 인가한다.
- <68> 상기 게이트 드라이버(220)는 상기 표시패널(210)에 화소들을 형성하는 박막 공정을 통해 상기 표시패널(210)에 직접적으로 형성되고, 상기 데이터 드라이버(230)는 칩 형태로 이루어져 상기 표시패널(210) 상에 실장된다.
- <69> 도 7을 참조하면, 상기 게이트 드라이버(220)에는 제1 내지 제4 클럭(CKV1, CKV2, CKV3, CKV4), 제1 내지 제4 클럭바(CKVB1, CKVB2, CKVB3, CKVB4)가 제공된다.
- <70> 한 프레임을 1F 시간이라 하고, 상기 게이트 라인들(GL1~GL4n)이 4n개(n은 1이상의 정수)로 이루어질 때, 상기 제1 내지 제4 클럭(CKV1, CKV2, CKV3, CKV4)은 1F/n 시간(이하, 1H 시간) 동안 하이 상태를 유지하고, 상기 제2 클럭(CKV2)은 상기 제1 클럭(CKV1)보다 H/4 시간만큼 딜레이되고, 상기 제3 클럭(CKV3)은 상기 제2 클럭(CKV2)보다 H/4 시간만큼 딜레이되며, 상기 제4 클럭(CKV4)은 상기 제3 클럭(CKV3)보다 H/4 시간만큼 딜레이된다. 상기 제1 내지 제4 클럭바(CKVB1, CKVB2, CKVB3, CKVB4)는 상기 제1 내지 제4 클럭(CKV1, CKV2, CKV3, CKV4)과 각각 반전된 위상을 갖는다.
- <71> 제1 내지 제4 게이트 라인(GL1, GL2, GL3, GL4)에는 상기 제1 내지 제4 클럭(CKV1, CKV2, CKV3, CKV4)의 하이 구간에 각각 대응하여 발생된 게이트 신호가 순차적으로 인가되고, 상기 제5 내지 제8 게이트 라인(GL5, GL6, GL7, GL8)에는 상기 제1 내지 제4 클럭바(CKVB1, CKVB2, CKVB3, CKVB4)의 하이구간에 각각 대응하여 발생된 게이트 신호가 순차적으로 인가된다.
- <72> 도면에 도시하지는 않았지만, 상기 게이트 드라이버(220)는 상기 제1 내지 제4 클럭(CKV1, CKV2, CKV3, CKV4)을 각각 입력받고, 상기 제1 내지 제4 클럭바(CKVB1, CKVB2, CKVB3, CKVB4)를 각각 입력받는 4개의 쉬프트 레지스터로 이루어질 수 있다.
- <73> 게이트 라인의 개수가 증가할수록 상기 게이트 드라이버(220)에 구비되는 쉬프트 레지스터의 개수가 증가하는데, 이 경우에도 더미 스테이지(DSRC)는 다수의 구동스태이지의 리셋단자(RE)에 연결된 제1 출력단자

도면

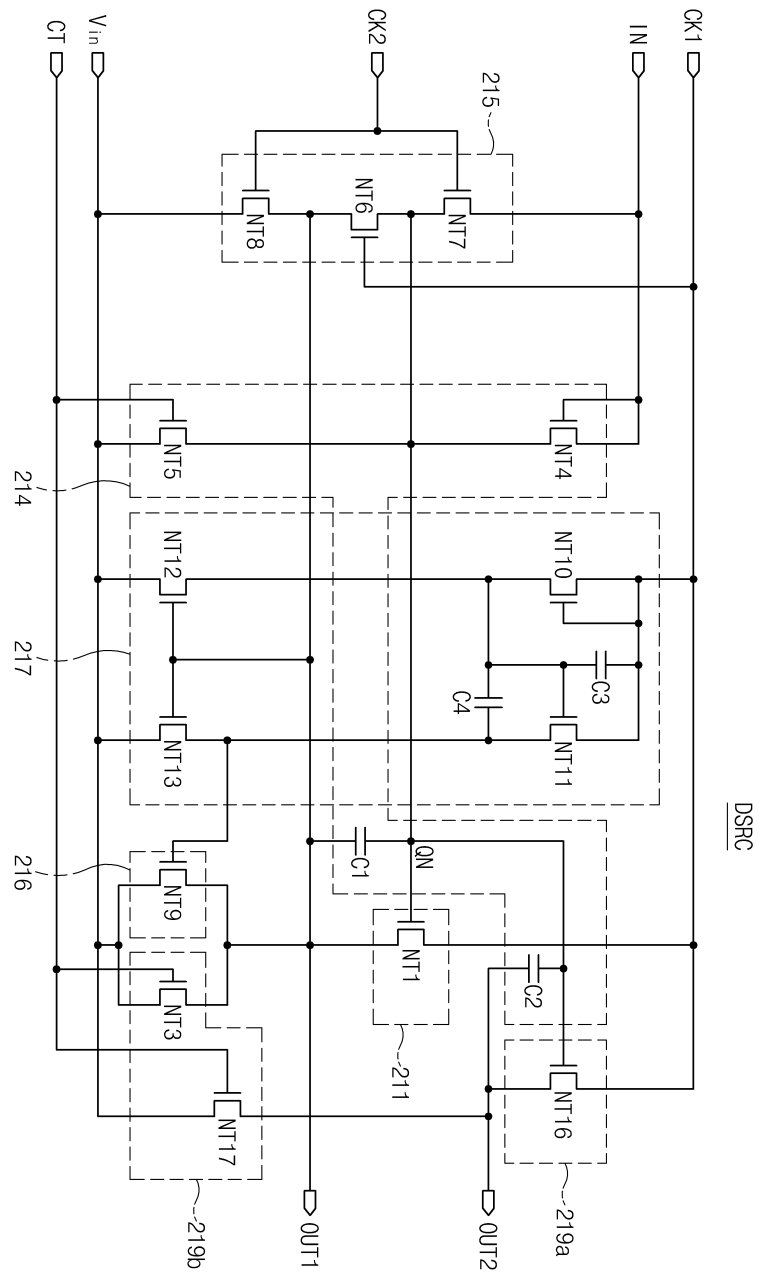
도면1



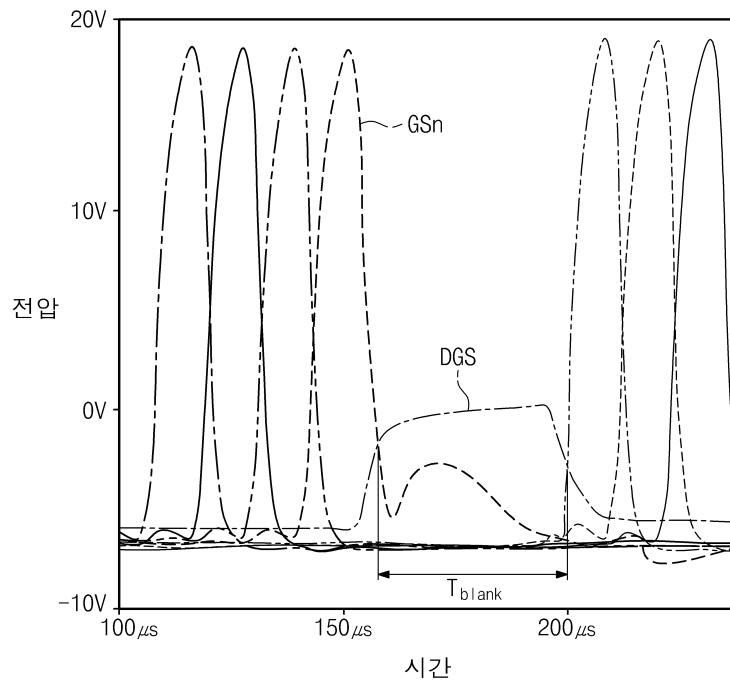
도면2



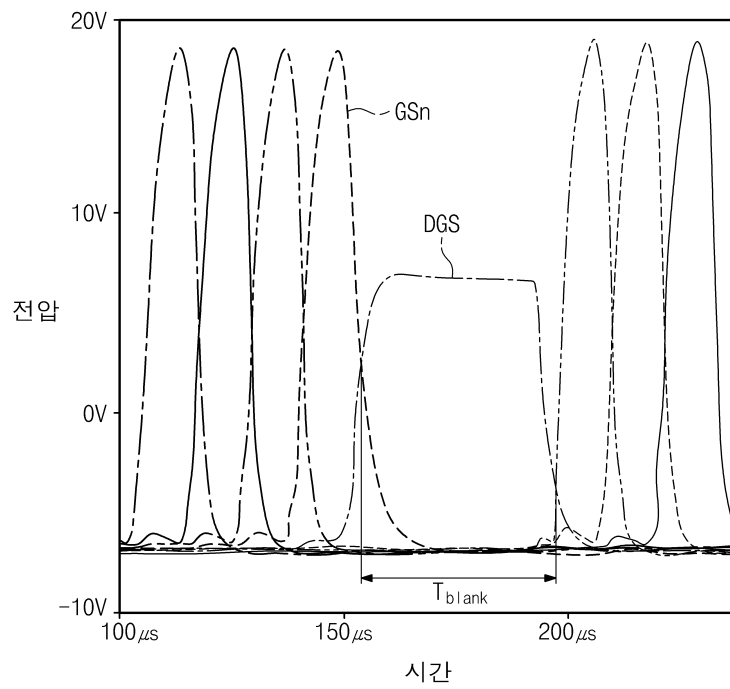
도면3



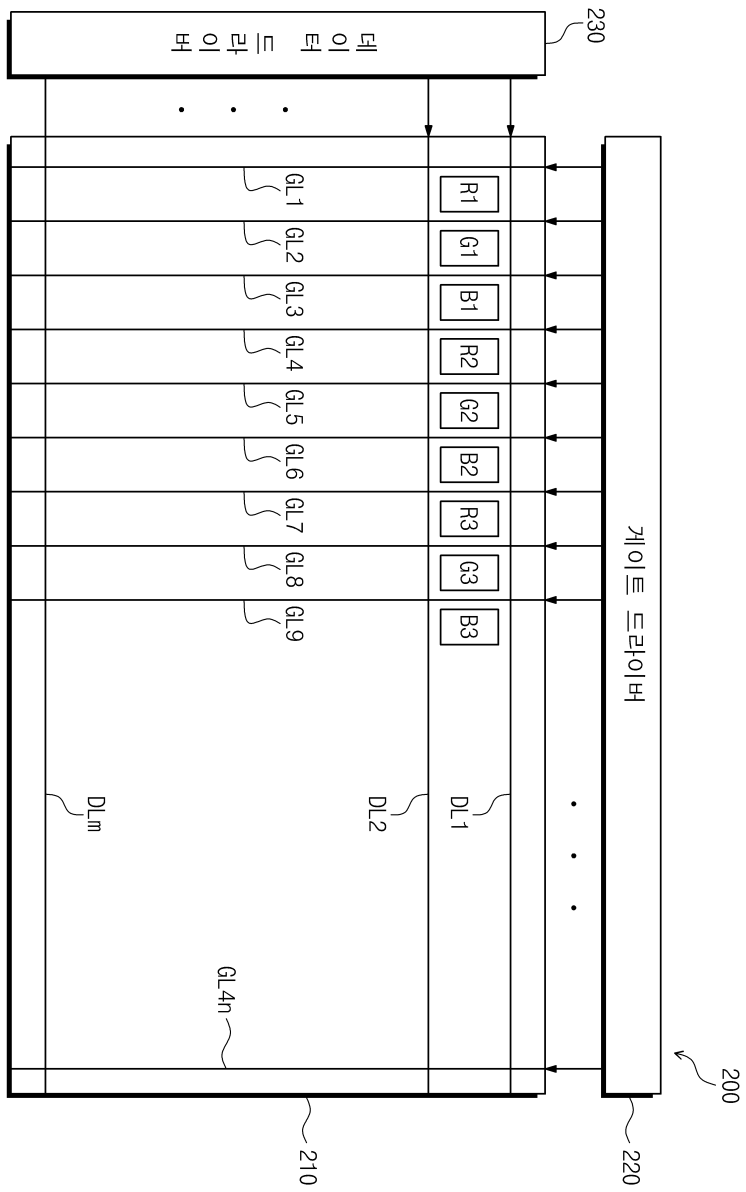
도면4



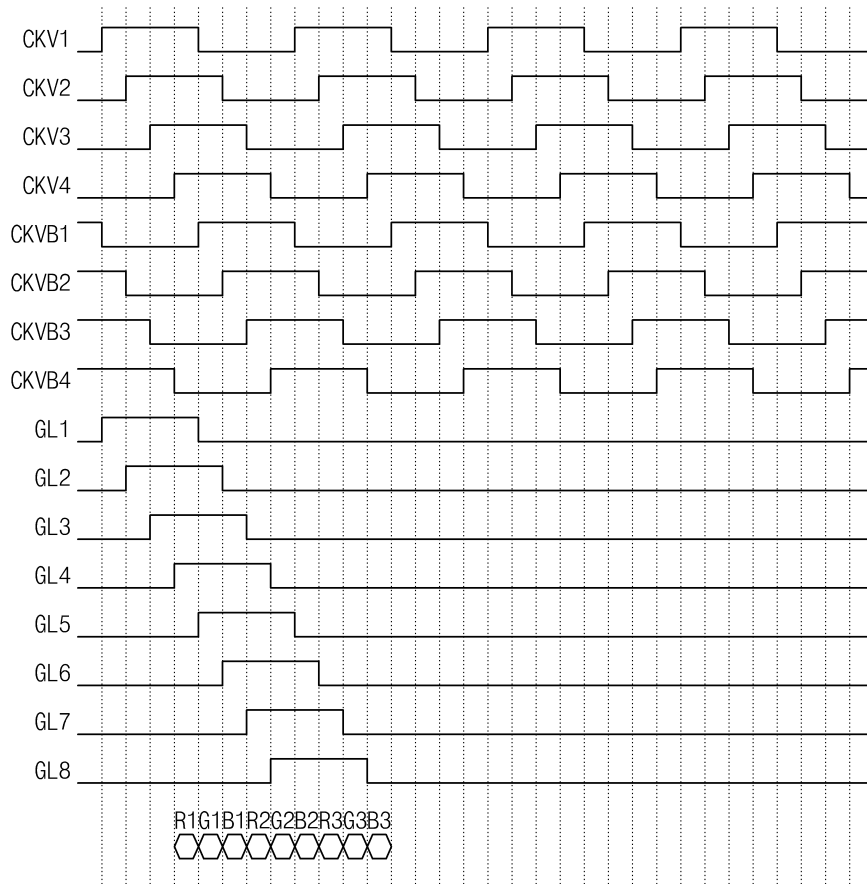
도면5



도면6



도면7



专利名称(译)	栅极驱动器和具有该栅极驱动器的显示装		
公开(公告)号	KR1020100006063A	公开(公告)日	2010-01-18
申请号	KR1020080066228	申请日	2008-07-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KWON YEONG KEUN 권영근 KIM JEONG IL 김정일		
发明人	권영근 김정일		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G11C19/28 G09G2310/0286 G09G3/3677		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋, 云何		
外部链接	Espacenet		

摘要(译)

在具有该栅极驱动器的栅极驱动器和显示装置中，从最终驱动级输出最终进位信号至虚设级，并输出复位信号和伪栅极信号。从虚设级输出的复位信号被输入到多个驱动级的复位端子。伪栅极信号被提供给最终驱动级的控制端子。因此，可以防止提供给最终驱动级的伪栅极信号的失真。因此，它可以防止在LCD面板上产生线缺陷，因为最终驱动阶段通过带有转向的伪栅极信号正常关闭。

