



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0075545
(43) 공개일자 2020년06월26일

- | | |
|---|--|
| (51) 국제특허분류(Int. Cl.) <i>G02F 1/1362</i> (2006.01) <i>G02F 1/1343</i> (2006.01) (52) CPC특허분류 <i>G02F 1/136213</i> (2013.01) <i>G02F 1/1343</i> (2013.01) (21) 출원번호 10-2018-0164340 (22) 출원일자 2018년12월18일 심사청구일자 없음 | (71) 출원인 엘지디스플레이 주식회사 서울특별시 영등포구 여의대로 128(여의도동) (72) 발명자 김도윤 경기도 파주시 월롱면 엘지로 245 이호준 경기도 파주시 월롱면 엘지로 245 (74) 대리인 특허법인 정안 |
|---|--|

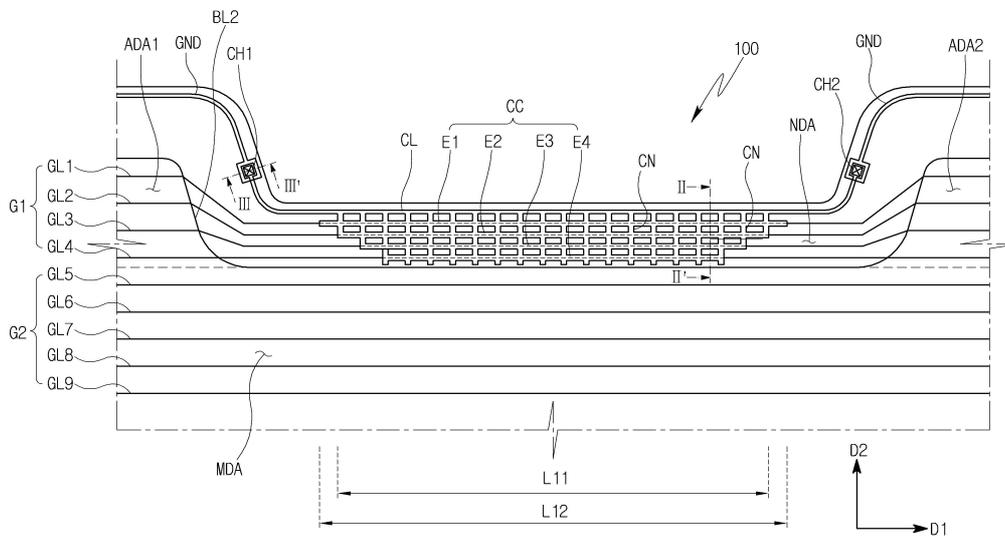
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 액정표시패널

(57) 요약

액정표시패널은 표시영역을 둘러싸는 비표시영역에 배치되어 다수의 게이트 라인들 중 일부의 게이트 라인들과 중첩되어 보상 커패시터들을 형성하는 다수의 커패시터 전극들을 포함한다. 다수의 게이트 라인들 중 적어도 제1 게이트 라인과 제2 게이트 라인은 제1 보조 표시영역으로부터 비표시영역을 경유하여 제2 보조 표시영역 측으로 연장된 형상을 갖고, 제1 게이트 라인이 제1 및 제2 보조 표시영역들에 중첩된 길이는 제2 게이트 라인이 제1 및 제2 보조 표시영역들에 중첩된 길이보다 짧다. 또한, 다수의 커패시터 전극들 중 제1 게이트 라인에 중첩된 커패시터 전극의 길이는 제2 게이트 라인에 중첩된 커패시터 전극의 길이보다 길다.

대표도



(52) CPC특허분류
G02F 1/136286 (2013.01)

명세서

청구범위

청구항 1

메인 표시영역, 상기 메인 표시영역의 일 측에 배치된 제1 보조 표시영역 및 상기 제1 보조 표시영역과 이격된 제2 보조 표시영역을 갖는 표시영역이 정의된 액정표시패널에 있어서,

제1 기관;

상기 제1 기관 위에 배치되는 다수의 게이트 라인들;

상기 다수의 게이트 라인들에 연결되어 상기 표시영역에 배치되는 다수의 화소들; 및

상기 표시영역을 둘러싸는 비표시영역에 배치되어 상기 다수의 게이트 라인들 중 일부의 게이트 라인들과 중첩되어 보상 커패시터들을 형성하는 다수의 커패시터 전극들;을 포함하고,

상기 다수의 게이트 라인들 중 적어도 제1 게이트 라인과 제2 게이트 라인은 상기 제1 보조 표시영역으로부터 상기 비표시영역을 경유하여 상기 제2 보조 표시영역 측으로 연장된 형상을 갖고, 상기 제1 게이트 라인이 상기 제1 및 제2 보조 표시영역들에 중첩된 길이는 상기 제2 게이트 라인이 상기 제1 및 제2 보조 표시영역들에 중첩된 길이보다 짧고,

상기 다수의 커패시터 전극들 중 상기 제1 게이트 라인에 중첩된 커패시터 전극의 길이는 상기 제2 게이트 라인에 중첩된 커패시터 전극의 길이보다 긴 것을 특징으로 하는 액정표시패널.

청구항 2

제 1 항에 있어서, 상기 다수의 게이트 라인들은 제1 그룹 및 제2 그룹으로 구분되고, 상기 제1 게이트 라인과 상기 제2 게이트 라인은 상기 제1 그룹에 속하고,

상기 제1 그룹에 속하는 다른 게이트 라인들의 각각은 상기 제1 보조 표시영역으로부터 상기 비표시영역을 경유하여 상기 제2 보조 표시영역 측으로 연장된 형상을 갖고, 상기 제2 그룹에 속하는 게이트 라인들의 각각은 상기 메인 표시영역을 가로지르는 형상을 갖고,

상기 보상 커패시터들은 상기 제2 그룹에 속하는 게이트 라인들이 갖는 로드(load)에 대응되도록 상기 제1 그룹에 속하는 게이트 라인들의 로드를 보상하는 것을 특징으로 하는 액정표시패널.

청구항 3

제 2 항에 있어서, 상기 제1 그룹에 속하는 게이트 라인의 상기 제1 및 제2 보조 표시영역들에 중첩된 길이는 상기 다수의 커패시터 전극들 중 상기 게이트 라인에 중첩된 커패시터 전극의 길이에 반비례하는 것을 특징으로 하는 액정표시패널.

청구항 4

제 2 항에 있어서, 상기 제1 보조 표시영역과 상기 제2 보조 표시영역의 외측에 비표시영역이 정의되고, 상기 제1 게이트 라인은 상기 제2 게이트 라인보다 상기 메인 표시영역으로부터 멀리 이격되어 상기 비표시영역에 인접한 것을 특징으로 하는 액정표시패널.

청구항 5

제 2 항에 있어서, 상기 제1 및 제2 보조 표시영역들 중 적어도 어느 하나를 정의하는 경계라인은 상기 제1 및 제2 게이트 라인들에 대해 경사진 것을 특징으로 하는 액정표시패널.

청구항 6

제 5 항에 있어서, 상기 제1 및 제2 보조 표시영역들의 각각을 정의하는 경계라인들 중 상기 제1 및 제2 게이트 라인들에 대해 경사진 경계라인은 라운드 형상을 갖는 것을 특징으로 하는 액정표시패널.

청구항 7

제 2 항에 있어서, 상기 다수의 커패시터 전극들은 서로 연결되어 등전위를 갖는 것을 특징으로 하는 액정표시패널.

청구항 8

제 7 항에 있어서,

상기 다수의 커패시터 전극들에 전기적으로 연결된 배선; 및

상기 비표시영역에 배치되어 그라운드 전압을 갖는 그라운드 배선;을 더 포함하고,

상기 배선은 상기 그라운드 배선에 콘택된 것을 특징으로 하는 액정표시패널.

청구항 9

제 7 항에 있어서, 상기 다수의 커패시터 전극들은,

상기 제1 게이트 라인과 나란한 선형의 형상을 가져 상기 제1 게이트 라인에 중첩된 제1 커패시터 전극; 및

상기 제2 게이트 라인과 나란한 선형의 형상을 가져 상기 제2 게이트 라인에 중첩된 제2 커패시터 전극;을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 10

제 9 항에 있어서,

상기 제1 커패시터 전극을 상기 제2 커패시터 전극에 연결하는 연결부를 더 포함하고,

상기 제1 커패시터 전극, 상기 제2 커패시터 전극 및 상기 연결부는 일체로 형성된 형상을 갖는 것을 특징으로 하는 액정표시패널.

청구항 11

제 10 항에 있어서, 상기 연결부는 다수로 제공되고, 다수의 연결부들은 상기 제1 게이트 라인과 상기 제2 게이트 라인의 사이에서 서로 이격되어 상기 다수의 연결부들과 상기 다수의 커패시터 전극들은 메쉬(mesh) 구조로 연결된 것을 특징으로 하는 액정표시패널.

청구항 12

제 9 항에 있어서,

상기 제1 커패시터 전극을 상기 제2 커패시터 전극에 전기적으로 연결시키는 브릿지 전극을 더 포함하고,

상기 브릿지 전극은 상기 제1 커패시터 전극과 상기 제2 커패시터 전극을 커버하는 절연막 위에 배치되고, 상기 브릿지 전극은 상기 절연막에 형성된 콘택홀들을 통해 상기 제1 및 제2 커패시터 전극들에 콘택된 것을 특징으로 하는 액정표시패널.

청구항 13

제 1 항에 있어서,

상기 제1 기관 위에 배치되어 상기 게이트 라인들에 교차하고, 상기 다수의 화소들에 연결된 다수의 데이터 라인들;

상기 제1 기관에 대향하는 제2 기관;

상기 제1 기관과 상기 제2 기관 사이에 배치된 액정층; 및

상기 비표시영역에 배치되어 상기 다수의 게이트 라인들에 게이트 신호들을 공급하는 게이트 구동부;를 더 포함하고,

상기 게이트 구동부는 상기 제1 기관에 내장된 것을 특징으로 하는 액정표시패널.

청구항 14

제 1 항에 있어서, 상기 다수의 커패시터 전극들은 상기 제1 및 제2 보조 표시영역들의 사이에 위치한 상기 비 표시영역의 일 영역에 배치되는 것을 특징으로 하는 액정표시패널.

청구항 15

메인 표시영역, 상기 메인 표시영역의 일 측에 배치된 제1 보조 표시영역 및 상기 제1 보조 표시영역과 이격된 제2 보조 표시영역을 갖는 표시영역이 정의된 액정표시패널에 있어서,

제1 기관;

상기 제1 기관 위에 배치되는 다수의 게이트 라인들;

상기 다수의 게이트 라인들에 연결되어 상기 표시영역에 배치되는 다수의 화소들; 및

상기 표시영역을 둘러싸는 비표시영역에 배치되어 상기 다수의 게이트 라인들 중 일부의 게이트 라인들과 중첩되어 보상 커패시터들을 형성하는 다수의 커패시터 전극들;을 포함하고,

상기 다수의 게이트 라인들은 제1 그룹 및 제2 그룹으로 구분되고, 상기 제1 그룹에 속하는 게이트 라인들의 각각은 상기 제1 보조 표시영역으로부터 상기 비표시영역을 경유하여 상기 제2 보조 표시영역 측으로 연장된 형상을 갖고, 상기 제2 그룹에 속하는 게이트 라인들의 각각은 상기 메인 표시영역을 가로지르는 형상을 갖고,

상기 제1 그룹은 제1 게이트 라인과 제2 게이트 라인을 포함하고, 상기 제1 게이트 라인은 상기 제2 게이트 라인보다 상기 제1 보조 표시영역과 상기 제2 보조 표시영역의 외측에 정의된 비표시영역에 인접하고,

상기 다수의 커패시터 전극들 중 상기 제1 게이트 라인에 중첩된 커패시터 전극의 길이는 상기 제2 게이트 라인에 중첩된 커패시터 전극의 길이보다 긴 것을 특징으로 하는 액정표시패널.

청구항 16

제 15 항에 있어서, 상기 보상 커패시터들은 상기 제2 그룹에 속하는 게이트 라인들이 갖는 로드(load)에 대응되도록 상기 제1 그룹에 속하는 게이트 라인들의 로드를 보상하는 것을 특징으로 하는 액정표시패널.

청구항 17

제 16 항에 있어서, 상기 제1 그룹에 속하는 게이트 라인의 상기 제1 및 제2 보조 표시영역들에 중첩된 길이는 상기 다수의 커패시터 전극들 중 상기 게이트 라인에 중첩된 커패시터 전극의 길이에 반비례하는 것을 특징으로 하는 액정표시패널.

청구항 18

제 15 항에 있어서, 상기 제1 및 제2 보조 표시영역들 중 적어도 어느 하나를 정의하는 경계라인은 상기 제1 및 제2 게이트 라인들에 대해 경사진 것을 특징으로 하는 액정표시패널.

청구항 19

메인 표시영역, 상기 메인 표시영역의 일 측에 배치된 제1 보조 표시영역 및 상기 제1 보조 표시영역과 이격된 제2 보조 표시영역을 갖는 표시영역이 정의된 액정표시패널에 있어서,

제1 기관;

상기 제1 기관 위에 배치되는 다수의 게이트 라인들;

상기 다수의 게이트 라인들에 연결되어 상기 표시영역에 배치되는 다수의 화소들; 및

상기 표시영역을 둘러싸는 비표시영역에 배치되어 상기 다수의 게이트 라인들 중 일부의 게이트 라인들과 중첩되어 보상 커패시터들을 형성하는 다수의 커패시터 전극들;을 포함하고,

상기 다수의 커패시터 전극들에 중첩된 게이트 라인들의 각각은 상기 제1 보조 표시영역으로부터 상기 비표시영역을 경유하여 상기 제2 보조 표시영역 측으로 연장된 형상을 갖고,

상기 다수의 커패시터 전극들 중 하나의 커패시터 전극의 길이는 상기 커패시터 전극에 대응되는 게이트 라인의

상기 제1 및 제2 보조 표시영역들에 중첩된 길이에 반비례하는 것을 특징으로 하는 액정표시패널.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시패널에 관한 것으로, 보다 상세하게는 표시품질이 향상된 액정표시패널에 관한 것이다.

배경 기술

[0002] 액정표시장치는 액정표시패널과 백라이트 어셈블리를 포함한다. 백라이트 어셈블리는 광을 출력하고, 액정표시패널은 백라이트 어셈블리로부터 출력되는 광을 이용하여 영상을 표시한다. 액정표시패널은 표시영역을 통해 영상을 표시하며, 액정표시패널은 표시영역에 대응하여 기판 위에 배열된 다수의 화소들을 포함한다.

[0003] 최근에는 다양한 디자인의 액정표시패널이 개발되고 있다. 예를 들어, 스마트폰에 적용되는 액정표시패널에 있어서, 스마트폰의 전체 면적에서 영상이 표시되는 화면의 면적을 최대화시키기 위하여 노치 디자인(notch design)이 적용된 스마트폰이 개발되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 표시품질이 향상된 액정표시패널을 제공하는 데 있다.

과제의 해결 수단

[0005] 상술한 본 발명의 목적을 달성하기 위하여, 메인 표시영역, 상기 메인 표시영역의 일 측에 배치된 제1 보조 표시영역 및 상기 제1 보조 표시영역과 이격된 제2 보조 표시영역을 갖는 표시영역이 정의된 액정표시패널은 제1 기판, 상기 제1 기판 위에 배치되는 다수의 게이트 라인들, 상기 다수의 게이트 라인들에 연결되어 상기 표시영역에 배치되는 다수의 화소들, 및 상기 표시영역을 둘러싸는 비표시영역에 배치되어 상기 다수의 게이트 라인들 중 일부의 게이트 라인들과 중첩되어 보상 커패시터들을 형성하는 다수의 커패시터 전극들을 포함하고,

[0006] 상기 다수의 게이트 라인들 중 적어도 제1 게이트 라인과 제2 게이트 라인은 상기 제1 보조 표시영역으로부터 상기 비표시영역을 경유하여 상기 제2 보조 표시영역 측으로 연장된 형상을 갖고, 상기 제1 게이트 라인이 상기 제1 및 제2 보조 표시영역들에 중첩된 길이는 상기 제2 게이트 라인이 상기 제1 및 제2 보조 표시영역들에 중첩된 길이보다 짧다. 또한, 상기 다수의 커패시터 전극들 중 상기 제1 게이트 라인에 중첩된 커패시터 전극의 길이는 상기 제2 게이트 라인에 중첩된 커패시터 전극의 길이보다 길다.

발명의 효과

[0007] 본 발명의 실시예에 따르면, 서로 다른 화소로드들을 갖는 게이트 라인들에 서로 다른 형상을 갖는 커패시터 전극들을 중첩시켜 화소로드들의 차이가 최소화되도록 보상 커패시터들을 형성할 수 있다. 따라서, 상기 게이트 라인들에 의해 구동되는 화소들의 휘도와 같은 구동특성이 균일해질 수 있다. 그 결과, 액정표시패널에 노치 디자인과 같이 다양한 디자인이 적용됨에 따라 발생될 수 있는 화소로드에 의한 표시품질이 저하되는 문제점을 해결할 수 있어, 보다 향상된 표시품질을 갖는 액정표시패널을 제공할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 일 실시예 따른 액정표시장치의 평면도이다.

도 2는 도 1에 도시된 액정표시장치의 일부 구성요소들의 결합 상태를 나타내는 분해도이다.

도 3은 도 2에 도시된 액정표시패널의 제1 보조 표시영역, 메인 표시영역 및 비표시영역을 확대하여 나타낸 도면이다.

도 4a는 도 3에 도시된 메인 표시영역 또는 제1 보조 표시영역에 구비되는 하나의 서브화소의 구조를 도시하는 평면도이다.

도 4b는 도 4a에 도시된 I-I'을 따라 절취된 면을 나타내는 단면도이다.

도 5는 도 2에 도시된 비표시영역에 배치된 커패시터 전극들을 나타내는 액정표시패널의 일 부분을 확대한 도면이다.

도 6a는 도 5의 II-II'을 따라 절취된 면을 나타내는 단면도이다.

도 6b는 도 5의 III-III'을 따라 절취된 면을 나타내는 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 액정표시패널의 비표시영역에 배치된 커패시터 전극들을 나타내는 도면이다. 도 8a는 도 7의 IV-IV'을 따라 절취된 면을 나타내는 단면도이다.

도 8b는 도 7의 V-V'을 따라 절취된 면을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 살펴보기로 한다. 상기한 본 발명의 목적, 특징 및 효과는 도면과 관련된 실시예들을 통해서 이해될 수 있을 것이다. 다만, 본 발명은 여기서 설명되는 실시예들에 한정되지 않고, 다양한 형태로 응용되어 변형될 수도 있다. 오히려 후술될 본 발명의 실시예들은 본 발명에 의해 개시된 기술 사상을 보다 명확히 하고, 나아가 본 발명이 속하는 분야에서 평균적인 지식을 가진 당업자에 본 발명의 기술 사상이 충분히 전달될 수 있도록 제공되는 것이다. 따라서, 본 발명의 범위가 후술될 실시예들에 의해 한정되는 것으로 해석되어서는 안될 것이다. 한편, 하기 실시예와 도면 상에 동일한 참조 번호들은 동일한 구성 요소를 나타낸다.
- [0010] 또한, 본 명세서에서 '제1' 및 '제2' 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 '위에' 또는 '상에' 있다고 할 때, 다른 부분 바로 위에 있는 경우 뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0011] 도 1은 본 발명의 일 실시예 따른 액정표시장치의 평면도이고, 도 2는 도 1에 도시된 액정표시장치의 일부 구성 요소들의 결합 상태를 나타내는 분해도이다.
- [0012] 도 1 및 도 2를 참조하면, 액정표시장치(500)는 영상을 표시하는 장치로, 이 실시예에서는 스마트폰에 장착된 액정표시장치(500)가 도시된다.
- [0013] 이 실시예에서는 액정표시장치(500)는 액정표시패널(100), 커버 윈도우(300) 및 모듈(10)을 포함한다. 액정표시장치(500)는 상술한 구성요소들 외에 액정표시패널(100) 측으로 광을 출력하는 백라이트 어셈블리(미도시), 배터리(미도시), 커버 윈도우(300)와 결합되는 하우징(미도시) 및 액정표시패널(100)과 전기적으로 연결되는 메인보드(미도시)와 같은 다른 구성요소들을 포함하나, 본 발명은 액정표시패널(100) 외 구성요소들에 한정되지 않으므로, 이하 액정표시장치(500)의 액정표시패널(100)의 구조에 대해 설명된다.
- [0014] 액정표시패널(100)에는 표시영역(DA)과 비표시영역(NDA)이 정의된다. 액정표시패널(100)은 표시영역(DA)에 대응하여 배열된 다수의 화소들을 포함한다. 상기 다수의 화소들의 각각에는 액정층의 액정분자의 방향자를 배열을 제어하는 화소전극(도 4a의 50)과 공통전극(도 4a의 52)이 배치되고, 액정표시패널(100)은 표시영역(DA)을 통해 출사되는 광을 이용하여 영상을 표시한다. 또한, 표시영역(DA)은 커버 윈도우(300)의 투과영역(TA)과 중첩되며, 표시영역(DA)을 통해 출사되는 광은 투과영역(TA)을 투과하여 커버 윈도우(300)의 외부로 출력될 수 있다.
- [0015] 액정표시패널(100)의 비표시영역(NDA)은 표시영역(DA)을 둘러싸는 형상을 갖는다. 비표시영역(NDA)에 대응하여서는 액정표시패널(100)에는 차광층이 배치될 수 있다. 또한, 비표시영역(NDA)은 커버 윈도우(300)의 비투과영역(NTA)에 중첩될 수 있다.
- [0016] 또한, 액정표시패널(100)의 외부에 노출된 패드부(PD)에는 데이터 구동부(DD)가 본딩될 수 있다. 데이터 구동부(DD)는 씨오에프(Chip on film, COF) 또는 씨오지(Chip on glass, COG) 방식으로 패드부(PD)에 본딩될 수 있으며, 데이터 구동부(DD)는 도 4a에 도시된 데이터 라인(도 4a의 DL)을 비롯한 다수의 데이터 라인들과 연결되어 상기 다수의 데이터 라인들 측으로 데이터 신호들을 제공한다.
- [0017] 이 실시예에서는, 액정표시패널(100)의 상단의 중앙에는 골(VA)이 형성될 수 있다. 따라서, 표시영역(DA)의 상단의 중앙은 골(VA)의 형상에 대응되도록 움푹 파인 형상인, 소위 노치(notch) 디자인을 가질 수 있다. 바꾸어 말하면, 이 실시예에 따른 액정표시패널(100)은 장방형의 일반적인 액정표시패널 대비 보다 확장된 표시영역(DA)을 가질 수 있다.

- [0018] 상술한 액정표시패널(100)의 표시영역(DA)의 형상에 따라, 이 실시예에서는 표시영역(DA)은 메인 표시영역(MDA), 제1 보조 표시영역(ADA1) 및 제2 보조 표시영역(ADA2)으로 구분될 수 있다.
- [0019] 메인 표시영역(MDA)은 액정표시패널(100)의 중앙부, 좌측부, 우측부, 하단부 및 상단부의 일 부분에 대응될 수 있다. 제1 보조 표시영역(ADA1)은 액정표시패널(100)의 상단부의 일 측에 대응될 수 있고, 제2 보조 표시영역(ADA2)은 제1 보조 표시영역(ADA1)에 이격되어 액정표시패널(100)의 상단부의 타 측에 대응될 수 있다. 따라서, 제1 보조 표시영역(ADA1)은 메인 표시영역(MDA)의 상단의 중앙의 일 측에 위치하고, 제2 보조 표시영역(ADA2)은 메인 표시영역(MDA)의 상단의 중앙의 타 측에 위치할 수 있다.
- [0020] 커버 윈도우(300)는 액정표시패널(100)을 커버한다. 이 실시예에서는, 커버 윈도우(300)는 커버 글라스일 수 있고, 커버 윈도우(300)는 외부 충격으로부터 액정표시패널(100)을 보호한다. 다른 실시예에서는, 커버 윈도우(300)는 아크릴 수지와 같이 광을 투과하는 특성을 갖는 플라스틱 재료로 형성될 수 있다.
- [0021] 커버 윈도우(300)에는 비투과영역(NTA)에 대응되어 차광층이 배치될 수 있고, 상기 차광층은 광을 차단하는 물질로 형성될 수 있다. 커버 윈도우(300)의 비투과영역(NTA)은 액정표시패널(100)의 비표시영역(NDA)에 중첩될 수 있고, 커버 윈도우(300)의 투과영역(TA)은 액정표시패널(100)의 표시영역(DA)에 중첩될 수 있다.
- [0022] 모듈(10)은 액정표시패널(100)에 형성된 골(VA)의 내부에 배치된다. 이 실시예에서는, 모듈(10)은 카메라(11)와 스피커(12)를 포함할 수 있으나, 본 발명이 모듈(10)에 구비된 소자들의 종류에 한정되지는 않는다.
- [0023] 또한, 액정표시패널(100)에 형성된 골(VA)의 내부에 배치된 모듈(10)은 커버 윈도우(300)에 의해 커버된다. 액정표시패널(100), 모듈(10) 및 커버 윈도우(300)가 결합된 상태에서는, 모듈(10)의 일 측에 제1 보조 표시영역(ADA1)이 위치하고, 모듈(10)의 타 측에 제2 보조 표시영역(ADA2)이 위치한다. 따라서, 제1 및 제2 보조 표시영역들(ADA1, ADA2)은 상술한 위치적 특성에 부합되도록 제1 및 제2 보조 표시영역들(ADA1, ADA2)에는 시간, 날짜, 배터리 용량 및 와이파이 상태와 같은 부가적인 정보가 표시될 수 있다.
- [0024] 도 3은 도 2에 도시된 액정표시패널의 제1 보조 표시영역(ADA1), 메인 표시영역(MDA) 및 비표시영역(NDA)을 확대하여 나타낸 단면이다.
- [0025] 도 3을 참조하면, 비표시영역(NDA)에 대응하여 액정표시패널(100)에는 차광층(도 6a의 BM)이 구비되며, 상기 차광층은 광을 차단하는 물질을 포함한다. 또한, 메인 표시영역(MDA)과 제1 보조 표시영역(ADA1)에 대응하여 액정표시패널(100)에는 다수의 화소들이 구비된다.
- [0026] 이 실시예에서는, 상기 다수의 화소들의 각각은 3개의 서브화소들을 포함할 수 있고, 상기 3개의 서브화소들은 적색 서브화소, 녹색 서브화소 및 청색 서브화소일 수 있다. 상기 3개의 서브화소들에 구비되는 컬러필터들의 구조를 제외하면, 상기 3개의 서브화소들은 서로 동일한 구조를 가질 수 있다. 따라서, 이하 도 4a 및 도 4b를 참조하여 상기 3개의 서브화소들 중 적색광을 출력하는 적색 서브화소의 구조를 예를 들어 설명하면 다음과 같다.
- [0027] 도 4a는 도 3에 도시된 메인 표시영역(MDA) 또는 제1 보조 표시영역(ADA1)에 구비되는 하나의 서브화소의 구조를 도시하는 평면도이고, 도 4b는 도 4a에 도시된 I-I'을 따라 절취된 면을 나타내는 단면도이다.
- [0028] 도 4a 및 도 4b를 참조하면, 서브화소(SPX)는 제1 기관(20), 제2 기관(60), 게이트 라인(GL), 데이터 라인(DL), 구동 트랜지스터(TR), 화소 전극(50), 공통 전극(52), 액정층(70) 및 오버코트층(66)을 포함한다.
- [0029] 제1 기관(20)과 제2 기관(60)의 각각은 글라스 기관과 같이 투명기관일 수 있고, 게이트 라인(GL)은 제1 기관(20) 위에 배치된다. 데이터 라인(DL)은 게이트 절연막(16)에 의해 게이트 라인(GL)에 절연되어 게이트 라인(GL)에 교차한다.
- [0030] 구동 트랜지스터(TR)는 게이트 전극(GE), 액티브 패턴(AP), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다. 게이트 전극(GE)은 게이트 라인(GL)에 전기적으로 연결되고, 액티브 패턴(AP)은 게이트 절연막(16)을 사이에 두고 게이트 전극(GE)에 중첩된다. 소스 전극(SE)은 데이터 라인(DL)에 전기적으로 연결되어 액티브 패턴(AP)에 콘택된다. 드레인 전극(DE)은 소스 전극(SE)에 이격되어 액티브 패턴(AP)에 콘택되며, 드레인 전극(DE)은 콘택홀(CH)을 통해 화소 전극(50)에 콘택된다.
- [0031] 절연층(40)은 제1 기관(20) 위에 배치되어 구동 트랜지스터(TR)를 커버하고, 절연층(40) 위에는 화소 전극(50)과 공통 전극(52)이 서로 이격되어 수평하게 배열된다. 이 실시예에서는 화소 전극(50)과 공통 전극(52)의 각각은 다수의 바 형상을 갖는 분기부들을 포함하고, 절연층(40) 위에 화소 전극(50)의 분기부들과 공통 전극(5

2)의 분기부들이 서로 이격되어 교번적으로 배열된다. 따라서, 화소 전극(50)과 공통 전극(52) 간에 프린지 필드가 생성되어 액정층(70)의 액정분자의 방향자의 방향이 조절될 수 있다.

- [0032] 제2 기관(60) 위에는 차광층(BM)이 배치될 수 있다. 차광층(BM)은 광을 차단하는 물질을 포함하고, 차광층(BM)은 서브화소(SPX)와 서브화소(SPX)에 인접한 다른 서브화소의 경계에 대응하여 제2 기관(60) 위에 배치될 수 있다. 또한, 전술된 바와 같이, 서브화소들의 경계 외에 차광층(BM)은 비표시영역(도 2 및 도 3의 NDA)에 대응하여 제2 기관(60) 위에 배치된다.
- [0033] 제1 컬러필터(CF1), 제2 컬러필터(CF2) 및 제3 컬러필터(CF3)는 제2 기관(60) 위에 배치된다. 이 실시예에서는 제1 컬러필터(CF1)는 적색 필터일 수 있고, 제2 컬러필터(CF2)는 녹색 필터일 수 있고, 제3 컬러필터(CF3)는 청색 필터일 수 있다. 도 4b에서는 서브화소(SPX)에 대응되어 제2 기관(60) 위에 제1 컬러필터(CF1)가 배치될 수 있으며, 서브화소(SPX)에 인접한 다른 서브화소들에 일대일 대응되어 제2 컬러필터(CF2)와 제3 컬러필터(CF3)가 제2 기관(60) 위에 각각 배치될 수 있다.
- [0034] 오버코트층(66)은 제2 기관(60) 위에 배치되어 차광층(BM)과 제1 내지 제3 컬러필터들(CF1,CF2,CF3)을 커버한다. 이 실시예에서는 오버코트층(66)은 제2 기관(60) 위에 적층된 층들 중 최 외층에 적층되어 액정층(70)에 노출될 수 있다.
- [0035] 오버코트층(66)의 제조 방법적인 관점에서는, 제2 기관(60) 위에 차광층(BM)과 제1 내지 제3 컬러필터들(CF1,CF2,CF3)을 형성한 이후에, 제2 기관(60)의 전체 면적에 대해 절연물질을 도포하고, 상기 도포된 절연물질이 열 또는 광에 의해 경화되어 오버코트층(66)이 형성될 수 있다.
- [0036] 다시 도 3을 참조하여 액정표시패널(100)의 구성요소들을 설명하면 다음과 같다.
- [0037] 도 3을 참조하면, 액정표시패널(100)은 비표시영역(NDA)에 대응하여 배치되는 게이트 구동부(GD)와 그라운드 라인(GND)를 포함한다.
- [0038] 이 실시예에서는 게이트 구동부(GD)는 게이트 인 패널(gate in panel, GIP) 방식으로 비표시영역(NDA)에 대응하여 액정표시패널(100)의 내부에 내장될 수 있다. 또한, 게이트 구동부(GD)는 다수로 액정표시패널(100)에 내장될 수 있으며, 다수의 게이트 구동부들은 액정표시패널(100)에 구비되는 전체 게이트 라인들 중 일부의 게이트 라인들에 연결되어 상기 게이트 라인들 측으로 게이트 신호를 제공할 수 있다. 예를 들어, 도 3에서는 하나의 게이트 구동부(GD)가 비표시영역(NDA)에 배치되며, 게이트 구동부(GD)는 제1 내지 제9 게이트 라인들(GL1~GL9)에 연결되어 제1 내지 제9 게이트 라인들(GL1~GL9) 측으로 게이트 신호를 제공할 수 있다.
- [0039] 그라운드 라인(GND)은 비표시영역(NDA)에 대응하여 제1 기관(도 4b의 20) 위에 배치될 수 있다. 이 실시예에서는, 제1 내지 제9 게이트 라인들(GL1~GL9)의 각각이 게이트 메탈로 형성되는 경우에, 그라운드 라인(GND)은 상기 게이트 메탈로 형성될 수 있고, 그라운드 라인(GND)은 제1 내지 제9 게이트 라인들(GL1~GL9)으로부터 이격되도록 제1 기관 위에 배치될 수 있다.
- [0040] 이 실시예에서는, 그라운드 라인(GND)은 게이트 라인(도 4a의 GL)을 통해 박막 트랜지스터(도 4a의 TR)의 게이트 전극(도 4a의 GE)에 제공되는 게이트신호의 하이전압과 로우전압 중 상기 하이전압보다 낮은 그라운드 전압을 가질 수 있다. 보다 상세하게는 그라운드 라인(GND)은 상기 로우전압에 준하는 그라운드 전압을 가질 수 있다.
- [0041] 이 실시예에서는, 그라운드 라인(GND)은 제1 콘택홀(CH1)을 통해 다수의 커패시터 전극들(도 5의 CC)에 연결된 배선(도 5의 CL)에 콘택될 수 있다. 따라서, 그라운드 라인(GND)이 갖는 상기 그라운드 전압이 상기 다수의 커패시터 전극들 측으로 제공될 수 있다.
- [0042] 이 실시예에서는, 제1 보조 표시영역(ADA1)은 제1 경계라인(BL1), 제2 경계라인(BL2), 제3 경계라인(BL3) 및 제4 경계라인(BL4)에 의해 정의될 수 있다. 보다 상세하게는, 제1 내지 제3 경계라인들(BL1,BL2,BL3)에 의해 제1 보조 표시영역(ADA1)과 비표시영역(NDA)이 구분될 수 있고, 제4 경계라인(BL4)에 의해 제1 보조 표시영역(ADA1)과 메인 표시영역(MDA)이 구분될 수 있다.
- [0043] 이 실시예에서는, 제3 및 제4 경계라인들(BL3,BL4)의 각각은 제1 방향(D1)과 평행한 직선의 형상을 가질 수 있고, 제1 및 제2 경계라인들(BL1,BL2)의 각각은 제1 방향(D1)에 경사진 곡선의 형상을 가질 수 있다.
- [0044] 이 실시예에서는, 제1 내지 제9 게이트 라인들(GL1~GL9)은 제1 그룹(G1)과 제2 그룹(G2)으로 구분될 수 있고, 제1 그룹(G1)은 제1 내지 제4 게이트 라인들(GL1~GL4)을 포함하고, 제2 그룹(G2)은 제5 내지 제9 게이트 라인들

(GL5~GL9)을 포함한다.

- [0045] 제1 내지 제4 게이트 라인들(GL1~GL4)의 각각은 제1 보조 표시영역(ADA1)으로부터 비표시영역(NDA)을 경유하여 제2 보조 표시영역(ADA2) 측으로 연장된 형상을 갖는다. 즉, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)은 제1 및 제2 보조 표시영역들(ADA1, ADA2)에 배열된 화소들을 구동시키기 위한 것으로, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)은 제1 및 제2 보조 표시영역들(ADA1, ADA2)에 배열된 화소들에 구비된 박막 트랜지스터들 측으로 게이트 신호들을 제공한다.
- [0046] 이와 반면에, 제2 그룹(G2)에 속하는 제5 내지 제9 게이트 라인들(GL5~GL9)은 메인 표시영역(MDA)에 배열된 화소들을 구동시키기 위한 것으로, 제2 그룹(G2)에 속하는 제5 내지 제9 게이트 라인들(GL5~GL9)은 메인 표시영역(MDA)에 배열된 화소들에 구비된 박막 트랜지스터들 측으로 게이트 신호들을 제공한다.
- [0047] 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)은 제1 및 제2 보조 표시영역들(ADA1, ADA2)의 사이에 위치한 비표시영역(NDA)을 지나게 된다. 이와 반면에, 제2 그룹(G2)에 속하는 제5 내지 제9 게이트 라인들(GL5~GL9)은 메인 표시영역(MDA)을 가로지르는 것으로, 즉 제2 그룹(G2)에 속하는 제5 내지 제9 게이트 라인들(GL5~GL9)의 각각은 메인 표시영역(MDA)의 일 예지로부터 상기 예지에 대항하는 다른 예지 측으로 연장된 형상을 갖는다. 따라서, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4) 각각에 연결된 화소의 개수는 제2 그룹(G2)에 속하는 제5 내지 제9 게이트 라인들(GL5~GL9) 각각에 연결된 화소의 개수보다 적다.
- [0048] 한편, 제1 내지 제9 게이트 라인들(GL1~GL9)에 연결된 다수의 화소들은 제1 내지 제9 게이트 라인들(GL1~GL9)에 로드(load)로 작용할 수 있다. 따라서, 어떤 게이트 라인에 연결된 화소에 의해 상기 게이트 라인에 작용하는 로드를 화소 로드로 정의하면, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)의 각각은 비표시영역(NDA)을 경유하므로, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)의 각각에 작용하는 화소로드는 제2 그룹(G2)에 속하는 제5 내지 제9 게이트 라인들(GL5~GL9)의 각각에 작용하는 화소로드보다 작다.
- [0049] 또한, 전술된 바와 같이 제1 및 제2 보조 표시영역들(ADA1, ADA2) 각각을 정의하는 제1 경계라인(BL1)과 제2 경계라인(BL2)의 각각은 제1 방향(D1)에 대해 경사진 형상을 가지므로, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)이 제1 및 제2 보조 표시영역들(ADA1, ADA2) 각각에 증첩된 길이는 서로 상이하다.
- [0050] 예를 들어, 제1 게이트 라인(GL1)이 제1 보조 표시영역(ADA1)에 증첩된 제1 길이(L1)는 제2 게이트 라인(GL2)이 제1 보조 표시영역(ADA1)에 증첩된 제2 길이(L2)보다 짧다. 이는 곧, 제1 게이트 라인(GL1)에 연결된 화소의 개수는 제2 게이트 라인(GL2)에 연결된 화소의 개수보다 적은 것을 의미하므로, 제1 게이트 라인(GL1)에 작용하는 화소로드는 제2 게이트 라인(GL2)에 작용하는 화소로드보다 적다.
- [0051] 이하, 제2 그룹(G2)에 속하는 게이트 라인들 각각에 작용하는 화소로드에 대응되도록 제1 그룹(G1)에 속하는 게이트 라인들 각각에 화소로드를 보상하는 방법과, 제1 그룹(G1)에 속하는 게이트 라인들에 균일하게 로드들을 작용시키는 구조에 대해 설명하면 다음과 같다.
- [0052] 도 5는 도 2에 도시된 비표시영역에 배치된 커패시터 전극들을 나타내는 액정표시패널의 일 부분을 확대한 도면이고, 도 6a는 도 5의 II-II'을 따라 절취된 면을 나타내는 단면도이고, 도 6b는 도 5의 III-III'을 따라 절취된 면을 나타내는 단면도이다.
- [0053] 도 5, 도 6a 및 도 6b를 참조하면, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)의 각각은 제1 보조 표시영역(ADA1)으로부터 비표시영역(NDA)을 경유하여 제2 보조 표시영역(ADA2) 측으로 연장된 형상을 갖는다. 또한, 제2 그룹(G2)에 속하는 제5 내지 제9 게이트 라인들(GL5~GL9)의 각각은 메인 표시영역(MDA)을 가로지른다.
- [0054] 이 실시예에서는, 비표시영역(NDA)에 대응하여 액정표시패널(100)에 다수의 커패시터 전극들(CC)이 배치된다. 보다 상세하게는 제1 및 제2 보조 표시영역들(ADA1, ADA2)의 사이에 위치한 비표시영역(NDA)의 일 영역에 다수의 커패시터 전극들(CC)이 배치된다.
- [0055] 이 실시예에서는, 다수의 커패시터 전극들(CC)은 다수의 연결부들(CN)에 의해 배선(CL)에 전기적으로 연결된다. 배선(CL)은 비표시영역(NDA)을 따라 연장되어 그라운드 배선(GND)에 콘택된다.
- [0056] 보다 상세하게는, 이 실시예에서는 전술된 바와 같이 그라운드 라인(GND)이 게이트 메탈로 형성될 수 있고, 배선(CL)은 다수의 커패시터 전극들(CC)과 다수의 연결부들(CN)과 같이 소오스-드레인 메탈로 형성될 수 있다. 따라서, 도 6b에 도시된 바와 같이, 게이트 절연막(16)에 제1 콘택홀(CH1)이 형성되며, 제1 콘택홀(CH1)을 통해 그라운드 라인(GND)은 배선(CL)에 전기적으로 연결된다. 그 결과, 다수의 커패시터 전극들(CC)은 배선(CL)을

통해 그라운드 라인(GND)의 그라운드 전압을 제공받을 수 있다.

- [0057] 이 실시예에서는, 상기 그라운드 전압은 박막 트랜지스터(도 4a의 TR)의 게이트 전극(도 4a의 GE)에 제공되는 게이트신호의 하이전압과 로우전압 중 상기 하이전압보다 낮을 수 있고, 보다 상세하게는 상기 그라운드 전압은 상기 로우전압에 준하는 전압일 수 있다.
- [0058] 다수의 커패시터 전극들(CC)은 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)과 중첩되어 보상 커패시터들을 형성한다. 이 실시예에서는 다수의 커패시터 전극들(CC)은 제1 게이트 라인(GL1)에 중첩되는 제1 커패시터 전극(E1), 제2 게이트 라인(GL2)에 중첩되는 제2 커패시터 전극(E2), 제3 게이트 라인(GL3)에 중첩되는 제3 커패시터 전극(E3) 및 제4 게이트 라인(GL4)에 중첩되는 제4 커패시터 전극(E4)을 포함한다.
- [0059] 또한, 제1 내지 제4 게이트 라인들(GL1~GL4)과 제1 내지 제4 커패시터 전극들(E1~E4)의 사이에는 게이트 절연막(16)이 개재되므로, 제1 게이트 라인(GL1)과 제1 커패시터 전극(E1) 간에 제1 보상 커패시터(C1)가 형성되며, 제2 게이트 라인(GL2)과 제2 커패시터 전극(E2) 간에 제2 보상 커패시터(C2)가 형성되며, 제3 게이트 라인(GL3)과 제3 커패시터 전극(E3) 간에 제3 보상 커패시터(C3)가 형성되며, 제4 게이트 라인(GL4)과 제4 커패시터 전극(E4) 간에 제4 보상 커패시터(C4)가 형성된다.
- [0060] 이 실시예에서는 다수의 연결부들(CN)에 의해 다수의 커패시터 전극들(CC)이 상호 간에 연결될 수 있다. 다수의 연결부들(CN)의 각각은 다수의 커패시터 전극들(CC)에 교차하는 방향으로 연장되어 다수의 커패시터 전극들(CC)을 상호 간에 연결시킨다. 보다 상세하게는, 이 실시예에서는 제1 내지 제4 커패시터 전극들(E1,E2,E3,E4)의 각각은 제1 방향(D1)으로 연장된 선형의 형상을 가질 수 있고, 다수의 연결부들(CN)의 각각은 제1 방향(D1)에 교차하는 제2 방향(D2)으로 연장된 선형의 형상을 가질 수 있다.
- [0061] 또한, 다수의 연결부들(CN)은 서로 이격되어 다수의 커패시터 전극들(CC)에 중첩되며, 다수의 연결부들(CN)은 다수의 커패시터 전극들(CC)과 일체로 형성된 형상을 가질 수 있다. 따라서, 평면상에서 볼 때 다수의 연결부들(CN)과 다수의 커패시터 전극들(CC)은 메쉬(mesh) 구조로 연결될 수 있고, 상기 메쉬 구조에 의해 다수의 커패시터 전극들(CC)은 등전위를 가질 수 있다.
- [0062] 다수의 연결부들(CN)과 다수의 커패시터 전극들(CC)이 메쉬(mesh) 구조로 연결되는 경우에, 상기 메쉬 구조에 정의되는 다수의 개구부들을 통해 실린트(ST)를 경화시키는 광이 통과할 수 있다. 따라서, 실린트(ST)를 경화시켜 제1 기관(20)과 제2 기관(60)을 합착하는 공정이 용이하게 진행될 수 있다.
- [0063] 한편, 앞서 도 5를 참조하여 설명된 바와 같이, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)에 작용하는 화소로드들의 크기가 서로 상이할 수 있으므로, 제1 그룹(G1)에 속하는 제1 내지 제4 게이트 라인들(GL1~GL4)에 작용하는 화소로드들을 보상하는 보상 커패시터의 전기용량들도 서로 상이할 수 있다. 따라서, 제1 내지 제4 게이트 라인들(GL1~GL4)에 작용하는 화소로드들을 보상하는 제1 내지 제4 커패시터 전극들(E1,E2,E3,E4)의 구조도 서로 상이할 수 있다.
- [0064] 제1 게이트 라인(GL1)에 작용하는 제1 화소로드를 보상하는 제1 보상 커패시터(C1)의 제1 커패시턴스가 정의되고, 제2 게이트 라인(GL2)에 작용하는 제2 화소로드를 보상하는 제2 보상 커패시터(C2)의 제2 커패시턴스가 정의되면, 도 3을 참조하여 설명된 제1 길이(도 3의 L1)가 제2 길이(도 3의 L2)보다 짧으므로 상기 제1 화소로드의 크기는 상기 제2 화소로드의 크기보다 작다. 따라서, 제1 게이트 라인(GL1)에 작용하는 제1 로드와 제2 게이트 라인(GL2)에 작용하는 제2 로드와 제1 로드와 제2 로드의 크기의 차이를 최소화시키기 위해서는, 상기 제1 커패시턴스의 크기는 상기 제2 커패시턴스의 크기보다 클 수 있다.
- [0065] 이 실시예에서는, 상기 제1 커패시턴스의 크기를 상기 제2 커패시턴스의 크기보다 크게 하기 위해서는, 제1 커패시터 전극(E1)의 제1 전극 길이(L11)는 제2 커패시터 전극(E2)의 제2 전극 길이(L12)보다 길 수 있다. 상기 제1 로드가 상기 제1 화소로드와 상기 제1 커패시턴스의 합으로 정의되고, 상기 제2 로드가 상기 제2 화소로드와 상기 제2 커패시턴스의 합으로 정의될 수 있으므로, 상술한 바와 같이 제1 및 제2 커패시터 전극들(E1,E2)의 길이를 서로 상이하게 설계하는 경우에 상기 제1 로드와 상기 제2 로드 간의 차이가 최소화될 수 있다.
- [0066] 이 실시예에서는, 제3 게이트 라인(GL3)에 작용하는 제3 화소로드를 보상하는 제3 보상 커패시터(C3)의 제3 커패시턴스가 정의되고, 제4 게이트 라인(GL4)에 작용하는 제4 화소로드를 보상하는 제4 보상 커패시터(C4)의 제4 커패시턴스가 정의되면, 제3 게이트 라인(GL3)의 제1 및 제2 보조 표시영역들(ADA1,ADA2)에 중첩된 길이는 제4 게이트 라인(GL4)의 제1 및 제2 보조 표시영역들(ADA1,ADA2)에 중첩된 길이보다 짧을 수 있고, 이에 따라 상기 제3 화소로드의 크기는 상기 제4 화소로드의 크기보다 작다. 따라서, 제3 게이트 라인(GL3)에 작용하는 제3 로드의 크기와 제4 게이트 라인(GL4)에 작용하는 제4 로드의 크기의 차이를 최소화시키기 위해서는, 상기 제3 커패시턴스의 크기는 상기 제4 커패시턴스의 크기보다 클 수 있다.

패시턴스의 크기는 상기 제4 커패시턴스의 크기보다 클 수 있다.

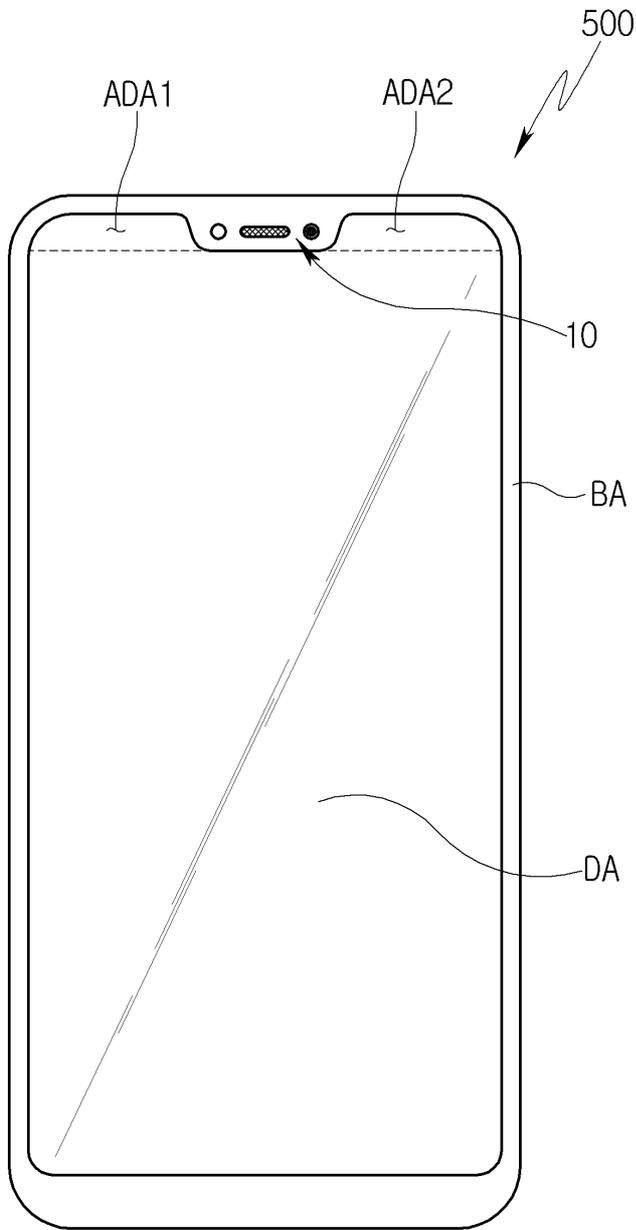
- [0067] 이 실시예에서는, 상기 제3 커패시턴스의 크기를 상기 제4 커패시턴스의 크기보다 크게 하기 위해서는, 제3 커패시터 전극(E3)의 제3 전극 길이는 제4 커패시터 전극(E4)의 제4 전극 길이보다 길 수 있다. 상기 제3 로드가 상기 제3 화소로드와 상기 제3 커패시턴스의 합으로 정의되고, 상기 제4 로드가 상기 제4 화소로드와 상기 제4 커패시턴스의 합으로 정의될 수 있으므로, 상술한 바와 같이 제3 및 제4 커패시터 전극들(E3,E4)의 길이를 서로 상이하게 설계하는 경우에 상기 제3 로드와 상기 제4 로드 간의 차이가 최소화될 수 있다.
- [0068] 도 7은 본 발명의 다른 실시예에 따른 액정표시패널의 비표시영역에 배치된 커패시터 전극들을 나타내는 도면이고, 도 8a는 도 7의 IV-IV'을 따라 절취된 면을 나타내는 단면도이고, 도 8b는 도 7의 V-V'을 따라 절취된 면을 나타내는 단면도이다. 도 7, 도 8a 및 도 8b를 설명함에 있어서, 앞서 설명된 구성요소들에 대해서는 도면 부호를 병기하고, 상기 구성요소들에 대한 중복된 설명은 생략된다.
- [0069] 도 7, 도 8a 및 도 8b를 참조하면, 액정표시패널(101)의 다수의 브릿지 전극들에 의해 다수의 커패시터 전극들(CC)이 서로 연결되고, 이와 동시에 다수의 커패시터 전극들(CC)이 배선(CL)에 연결된다.
- [0070] 이 실시예에서는 상기 다수의 브릿지 전극들은 제1 브릿지 전극(BE1), 제2 브릿지 전극(BE2), 제3 브릿지 전극(BE3) 및 제4 브릿지 전극(BE4)을 포함한다. 제1 브릿지 전극(BE1)은 절연층(40)에 형성된 콘택홀들을 통해 배선(CL)과 제1 커패시터 전극(E1)에 콘택된다. 제2 브릿지 전극(BE2)은 절연층(40)에 형성된 다른 콘택홀들을 통해 제1 및 제2 커패시터 전극들(E1,E2)에 콘택된다. 제3 브릿지 전극(BE3)은 절연층(40)에 형성된 다른 콘택홀들을 통해 제2 및 제3 커패시터 전극들(E2,E3)에 콘택된다. 제4 브릿지 전극(BE4)은 절연층(40)에 형성된 다른 콘택홀들을 통해 제3 및 제4 커패시터 전극들(E3,E4)에 콘택된다.
- [0071] 상술한 구성에 따르면, 제1 내지 제4 브릿지 전극들(BE1,BE2,BE3,BE4)에 의해 배선(CL), 제1 커패시터 전극(E1), 제2 커패시터 전극(E2), 제3 커패시터 전극(E3) 및 제4 커패시터 전극(E4)이 서로 전기적으로 연결될 수 있다. 따라서, 배선(CL)이 그라운드 라인(GND)에 콘택됨에 따라, 그라운드 라인(GND)의 그라운드 전압이 배선(CL)을 통해 제1 내지 제4 커패시터 전극들(E1,E2,E3,E4)에 제공될 수 있으므로, 제1 내지 제4 커패시터 전극들(E1,E2,E3,E4)과 일대일 대응하여 중첩되는 제1 내지 제4 게이트 라인들(GL1,GL2,GL3,GL4)에 의해 제1 내지 제4 게이트 라인들(GL1,GL2,GL3,GL4)을 로드들을 보상하는 보상 커패시터들이 형성될 수 있다.
- [0072] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

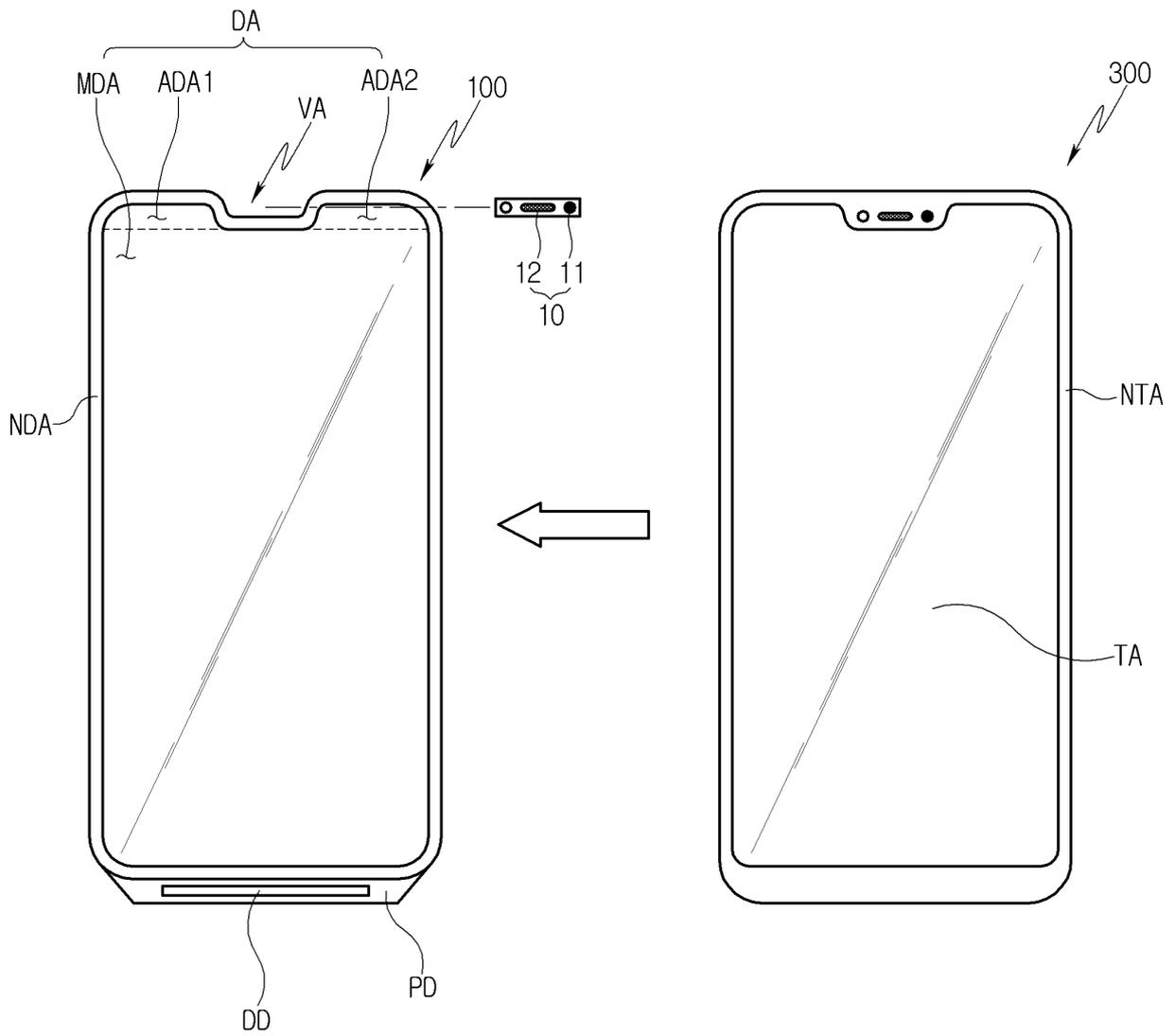
- [0073] 100: 액정표시패널 300: 커버 윈도우
- 500: 액정표시장치 CC: 다수의 커패시터 전극들
- E1: 제1 커패시터 전극 C1: 제1 보상 커패시터
- ADA21 제1 보조 표시영역 NDA: 비표시 영역
- TA: 투과영역 NTA: 비투과 영역
- BL1: 제1 경계라인 SPX: 서브화소
- G1: 제1 그룹 GL1: 제1 게이트 라인
- BE1: 제1 브릿지 전극 GND: 그라운드 라인
- CL: 배선

도면

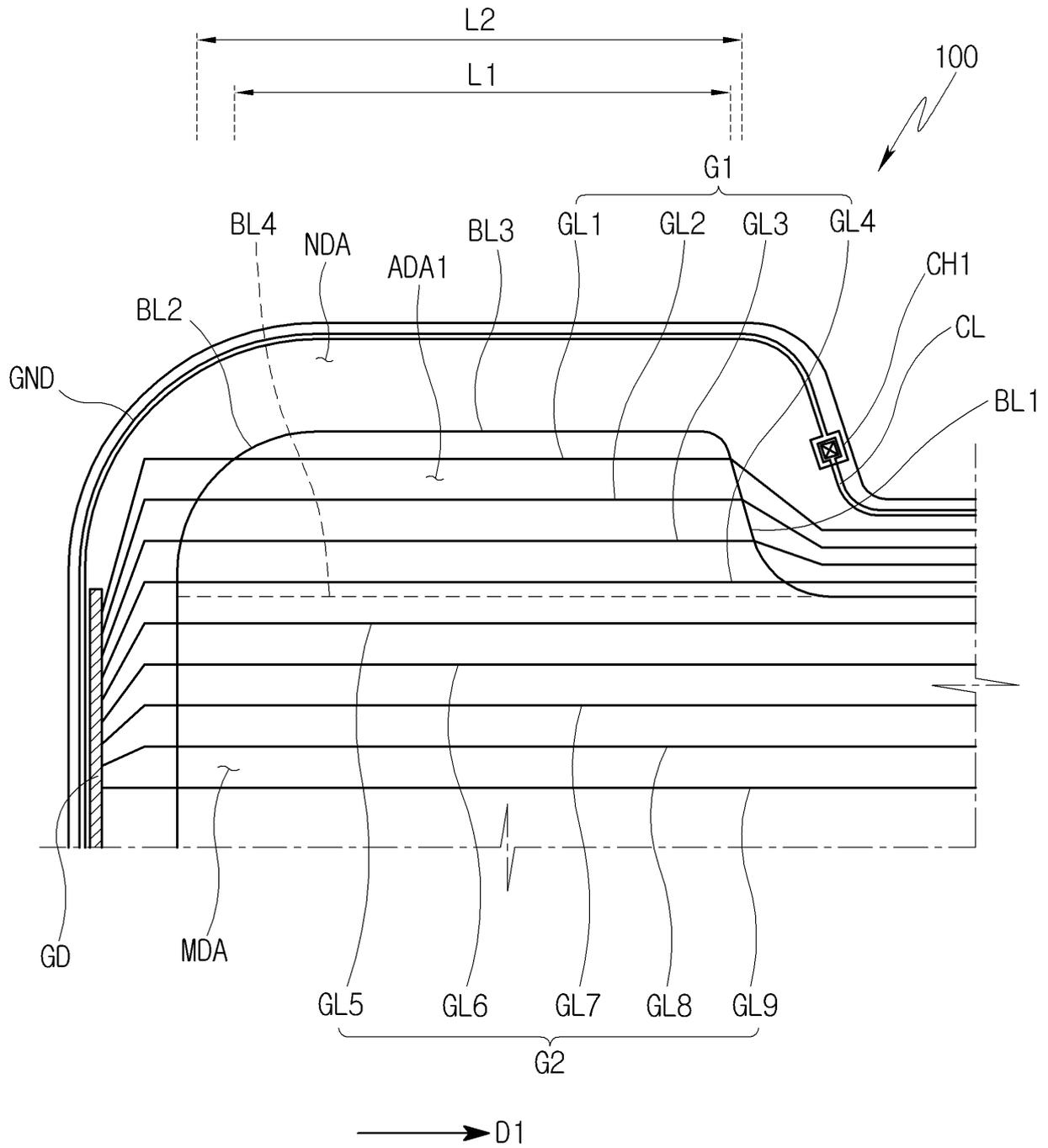
도면1



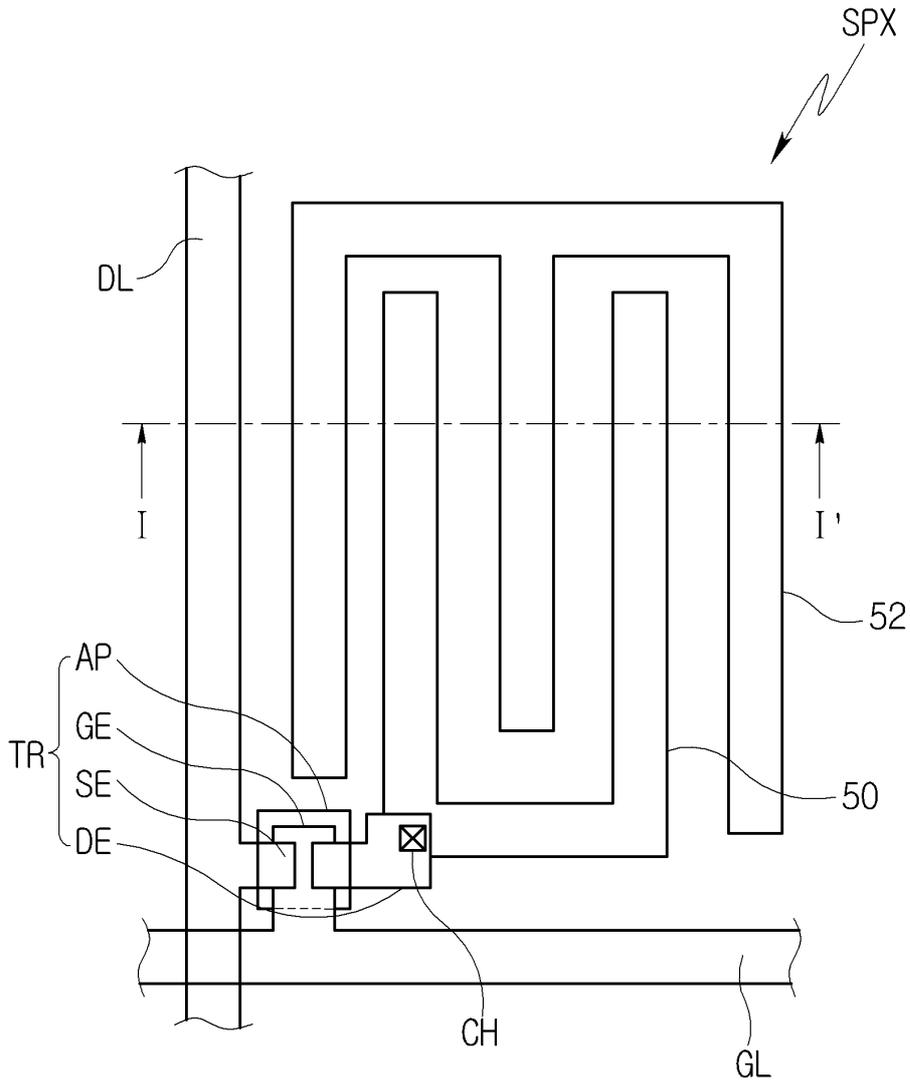
도면2



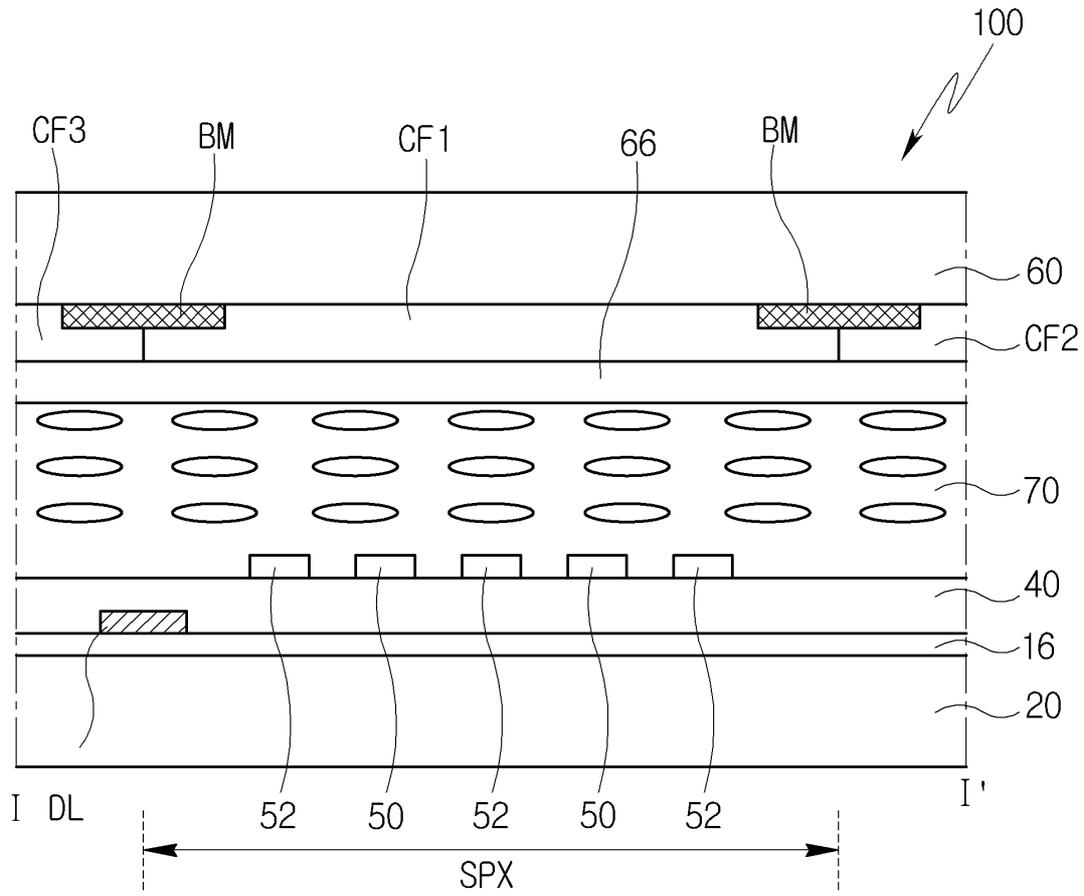
도면3



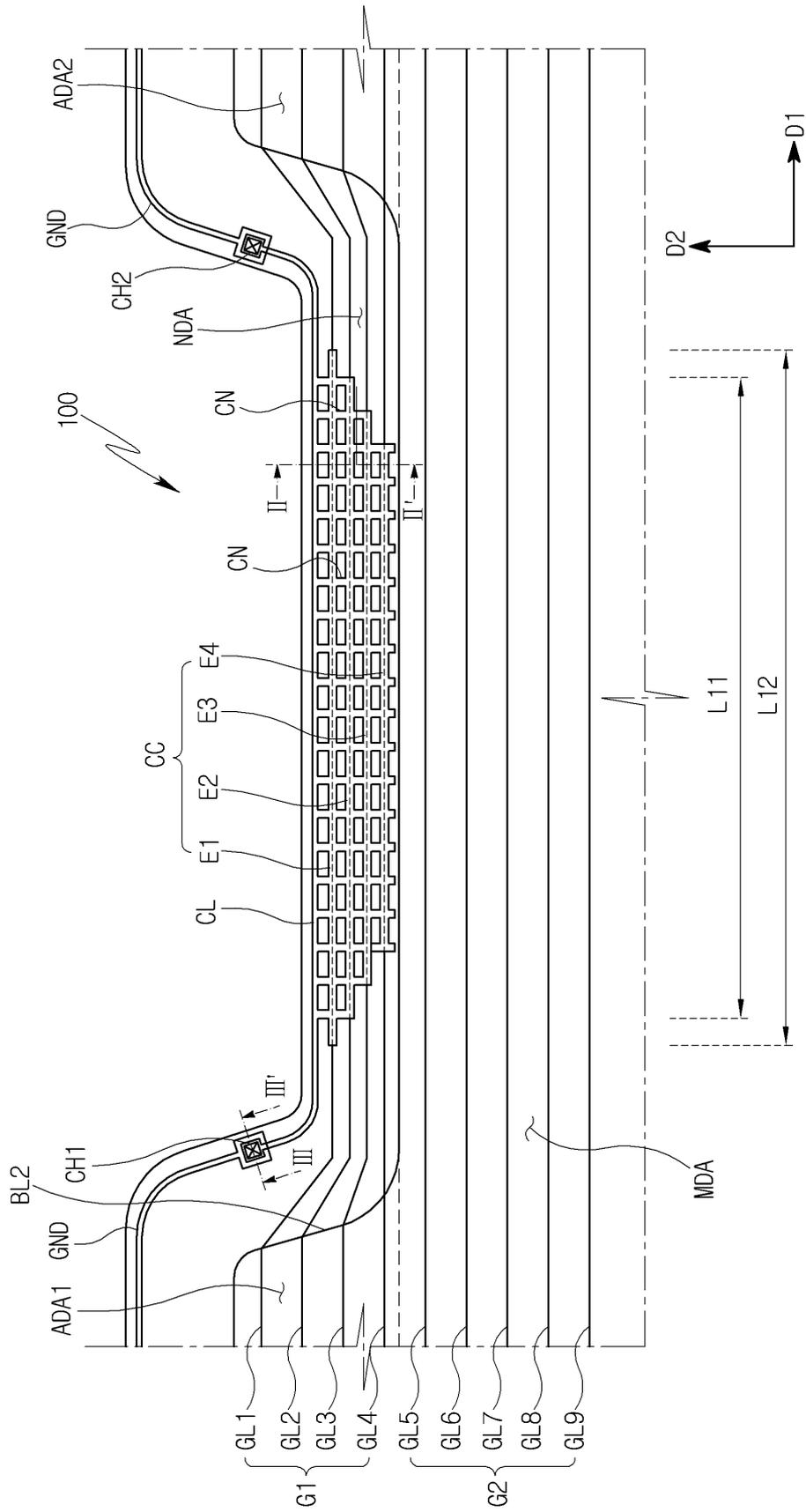
도면4a



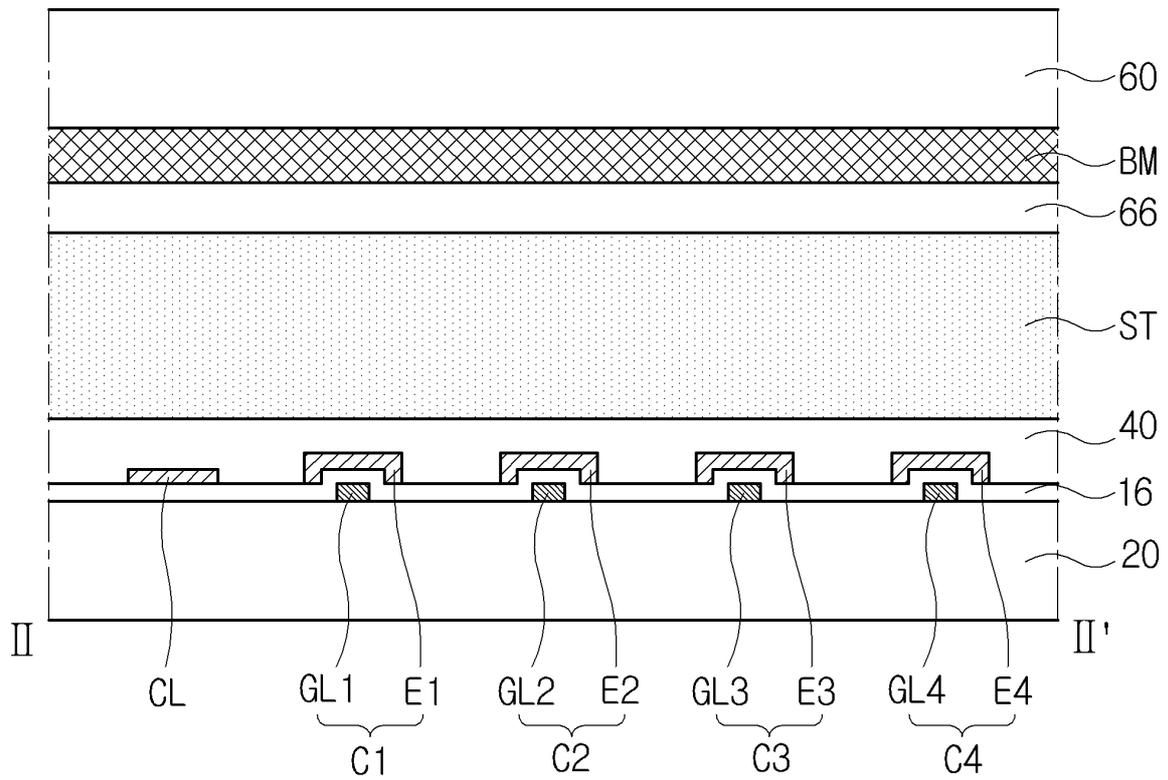
도면4b



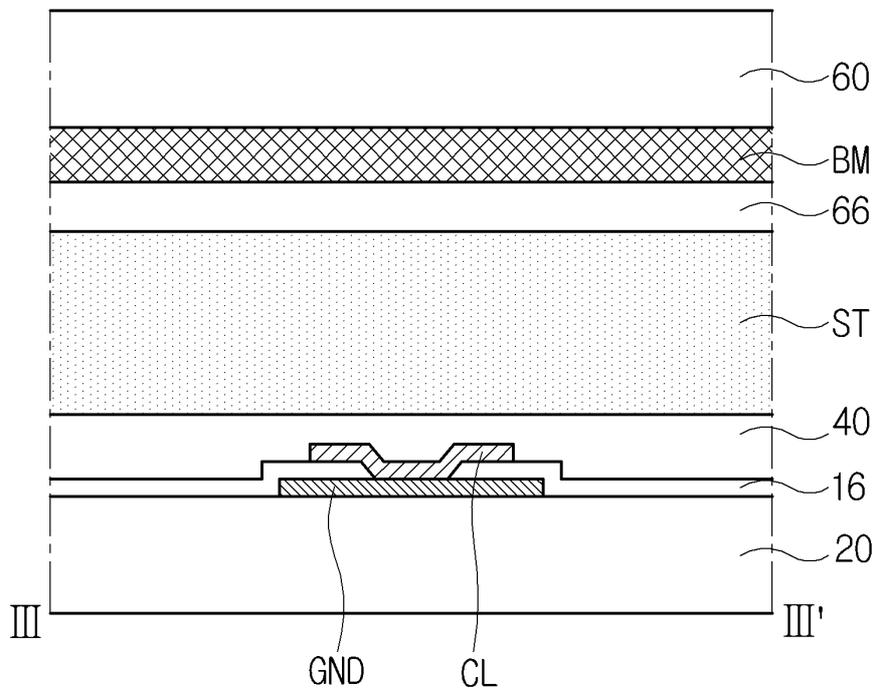
도면5



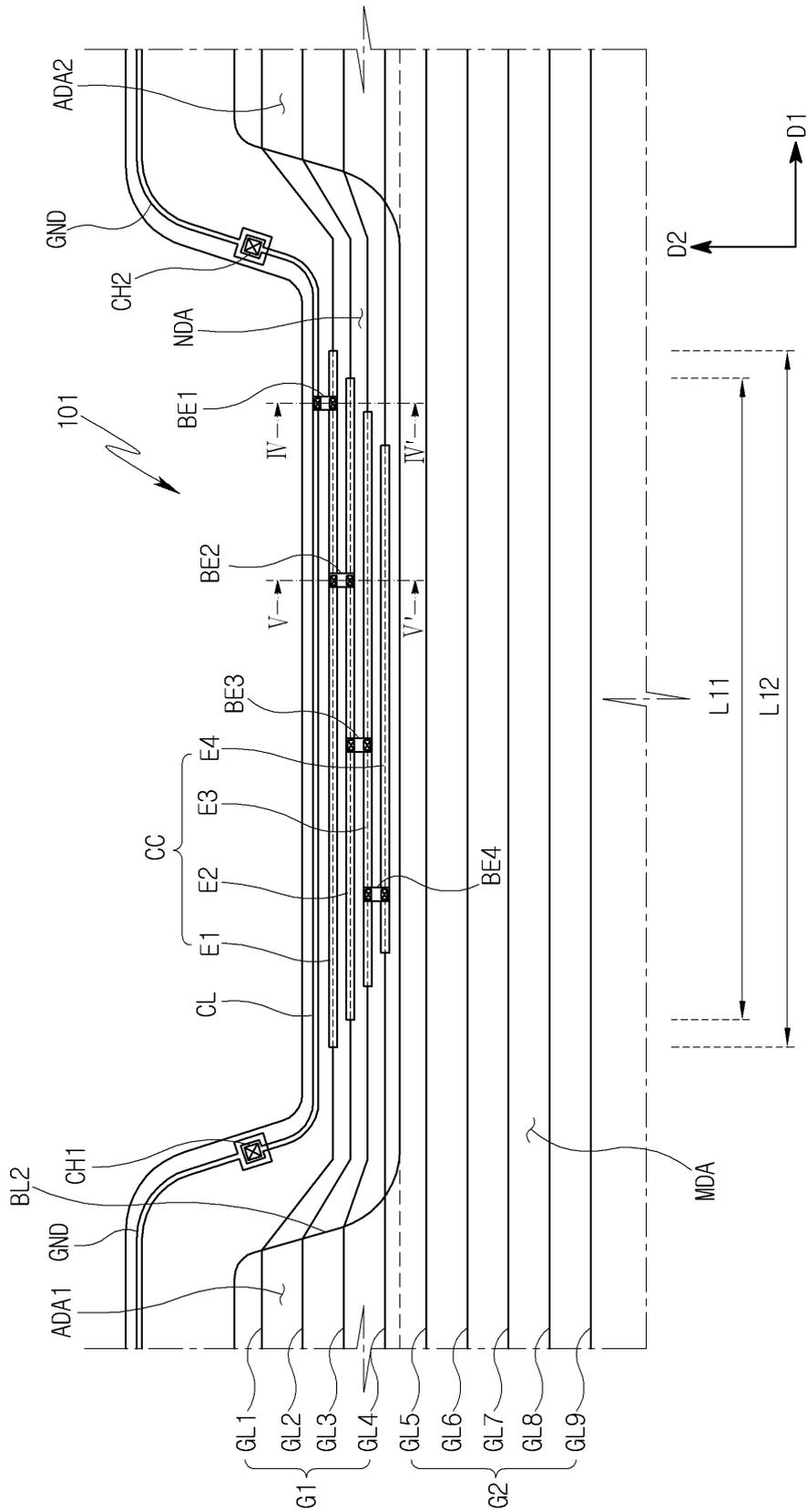
도면6a



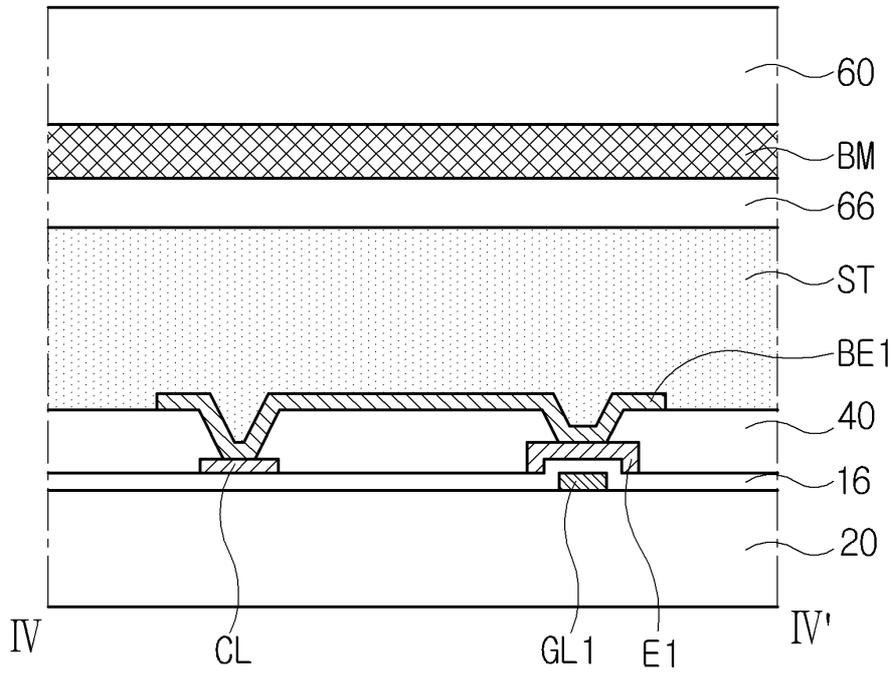
도면6b



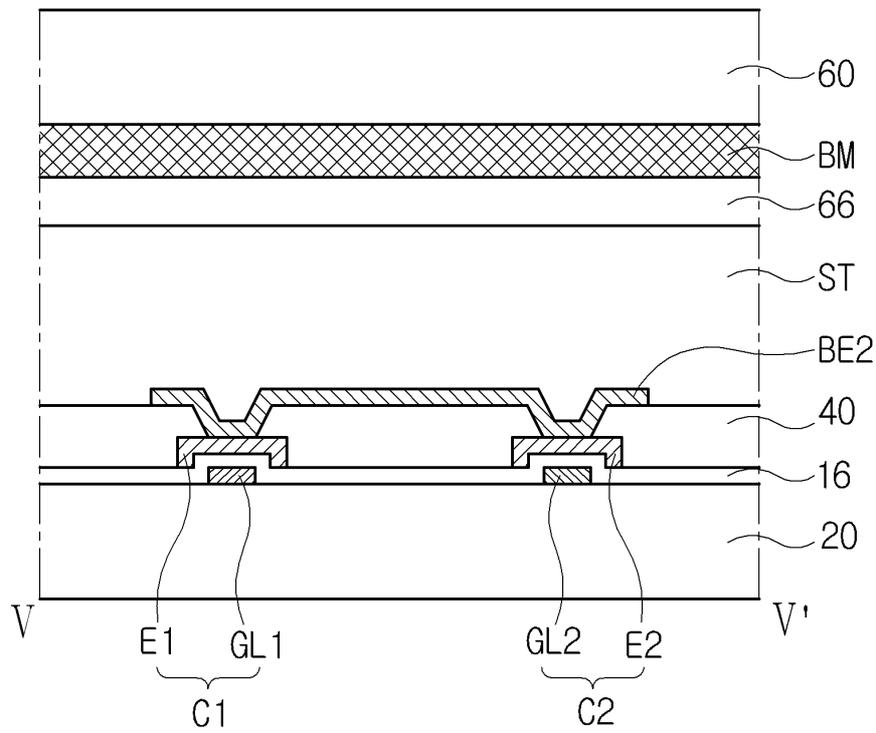
도면7



도면8a



도면8b



| | | | |
|----------------|--------------------------------------|---------|------------|
| 专利名称(译) | 液晶面板 | | |
| 公开(公告)号 | KR1020200075545A | 公开(公告)日 | 2020-06-26 |
| 申请号 | KR1020180164340 | 申请日 | 2018-12-18 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | 김도윤 이호준 | | |
| 发明人 | 김도윤 이호준 | | |
| IPC分类号 | G02F1/1362 G02F1/1343 | | |
| CPC分类号 | G02F1/136213 G02F1/1343 G02F1/136286 | | |
| 外部链接 | Espacenet | | |

摘要(译)

液晶显示面板包括多个电容器电极,该电容器电极设置在围绕显示区域的非显示区域中并且与一些栅极线重叠以形成补偿电容器。多条栅极线中的至少第一栅极线和第二栅极线具有从第一辅助显示区域经由非显示区域延伸到第二辅助显示区域的形状,并且第一栅极线是第一和第二栅极线。与第二辅助显示区域重叠的长度比第二栅极线与第一辅助显示区域和第二辅助显示区域重叠的长度短。此外,在多个电容器电极中与第一栅极线重叠的电容器电极的长度比与第二栅极线重叠的电容器电极的长度长。

