(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0081066
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) *G02F 1/1362* (2006.01)
(52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/1362 (2013.01)
(21) 출원번호 10-2015-0191795
(22) 출원일자 2015년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김원택
경기도 파주시 월롱면 엘씨디로 201
조재형
경기도 파주시 책향기로 448 (동패동, 책향기마을 진흥효자아파트) 1205동 1104호
엄유현
경기도 고양시 일산서구 킨텍스로 456 102동 503호 (일산동,후곡마을1단지아파트)
(74) 대리인
특허법인로알

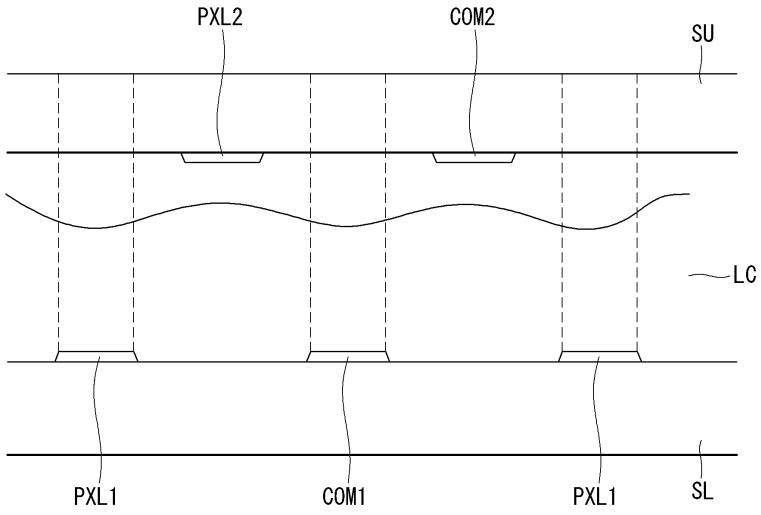
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **초고투과율을 갖는 수평 전계 액정 표시장치**

(57) 요 약

본 발명은 초고투과율을 갖는 수평 전계 방식의 액정 표시장치에 관한 것이다. 본 발명에 의한 수평 전계형 액정 표시장치는, 하부 기판, 하부 화소 전극 및 하부 공통 전극, 상부 기판, 상부 화소 전극 및 상부 공통 전극, 그리고 액정 층을 포함한다. 하부 화소 전극 및 하부 공통 전극은, 하부 기판 위의 동일한 평면 상에서 교대로 배치된다. 상부 기판은, 하부 기판과 일정 거리 이격하여 면 합착된다. 상부 화소 전극 및 상부 공통 전극은, 상부 기판 위의 동일한 평면 상에서 교대로 배치된다. 액정 층은, 하부 기판과 상부 기판 사이에 개재된다. 하부 화소 전극 및 하부 공통 전극, 그리고 상부 화소 전극 및 상부 공통 전극은 0.5㎛ 내지 2.0㎛의 선 폭과 2.0㎛ 내지 6.0㎛의 배열 피치를 갖고 교대로 배치된다. 상부 화소 전극은, 하부 화소 전극과 하부 공통 전극 사이의 중앙부에 대응하여 배치된다.

대 표 도 - 도12



명 세 서

청구범위

청구항 1

하부 기판;

상기 하부 기판 위의 동일한 평면 상에서 교대로 배치된 하부 화소 전극 및 하부 공통 전극;

상기 하부 기판과 일정 거리 이격하여 면 합착된 상부 기판;

상기 상부 기판 위의 동일한 평면 상에서 교대로 배치된 상부 화소 전극 및 상부 공통 전극; 그리고

상기 하부 기판과 상기 상부 기판 사이에 개재된 액정 층을 포함하되,

상기 하부 화소 전극 및 상기 하부 공통 전극, 그리고 상기 상부 화소 전극 및 상기 상부 공통 전극은 0.5㎛ 내지 2.0㎛의 선 폭과 2.0㎛ 내지 6.0㎛의 배열 피치를 갖고 교대로 배치되며,

상기 상부 화소 전극은 상기 하부 화소 전극과 상기 하부 공통 전극 사이의 중앙부에 대응하여 배치된 수평 전계 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 하부 화소 전극, 상기 하부 공통 전극, 상기 상부 화소 전극 및 상기 상부 공통 전극은,

인듐-주석 산화물 및 인듐-아연 산화물과 같은 투명 도전 물질을 포함하는 수평 전계 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 하부 화소 전극 및 상기 하부 공통 전극, 그리고 상기 상부 화소 전극 및 상기 상부 공통 전극은,

상기 선 폭이 1.0㎛이고,

그 사이의 간격이 1.0㎛ 내지 5.0㎛인 수평 전계 액정 표시장치.

청구항 4

제 1 항에 있어서,

상기 액정 층은 단축 유전율과 장축 유전율의 차이가 -5보다 큰 네가티브 형 액정 물질을 포함하는 수평 전계 액정 표시장치.

청구항 5

제 1 항에 있어서,

상기 상부 공통 전극은, 상기 하부 공통 전극과 상기 하부 화소 전극 사이의 중앙부에 대응하여 배치된 수평 전계 액정 표시장치.

청구항 6

하부 기판;

상기 하부 기판 위에 매트릭스 방식으로 배열된 다수 개의 화소 영역;

상기 화소 영역 내에서 동일한 평면 상에서 교대로 배치된 하부 화소 전극 및 하부 공통 전극;

상기 화소 영역 내에서 연속으로 배치된 다수 개의 블록 영역;

상기 하부 기판과 일정 거리 이격하여 면 합착된 상부 기판;

상기 상부 기판 위, 동일한 평면 상에서, 상기 블록 영역의 중앙부에 대응하며 서로 교대로 배치된 상부 화소 전극 및 상부 공통 전극;

상기 하부 기판과 상기 상부 기판 사이에 개재된 액정 층을 포함하되,

상기 블록 영역은 전극 영역과 간격 영역을 구비하고, 상기 전극 영역은 상기 하부 화소 전극 및 상기 하부 공통 전극 중 어느 하나에 해당하며, 상기 간격 영역은 이웃하는 두 전극들 사이에 해당하고,

상기 블록 영역 하나의 폭은 2.0㎛ 내지 6.0㎛인 수평 전계 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 화소 영역의 폭이 20~65㎛인 경우, 상기 화소 영역에 대한 상기 블록 영역의 폭 비율은 10% 이하인 수평 전계 액정 표시장치.

청구항 8

제 6 항에 있어서,

상기 화소 영역의 폭이 65~125㎛인 경우, 상기 화소 영역에 대한 상기 블록 영역의 폭 비율은 6% 이하인 수평 전계 액정 표시장치.

청구항 9

제 6 항에 있어서,

상기 화소 영역의 폭이 125~210㎛인 경우, 상기 화소 영역에 대한 상기 블록 영역의 폭 비율은 4% 이하인 수평 전계 액정 표시장치.

청구항 10

제 6 항에 있어서,

상기 하부 화소 전극, 상기 공통 전극, 상기 상부 화소 전극 및 상기 상부 공통 전극은,

인듐-주석 산화물 및 인듐-아연 산화물과 같은 투명 도전 물질을 포함하는 수평 전계 액정 표시장치.

청구항 11

제 6 항에 있어서,

상기 하부 화소 전극, 상기 하부 공통 전극, 상기 상부 화소 전극 및 상기 상부 공통 전극은,

상기 선 폭이 1.0㎛이고,

그 사이의 간격이 1.0㎛ 내지 5.0㎛인 수평 전계 액정 표시장치.

청구항 12

제 6 항에 있어서,

상기 액정 층은 단축 유전율과 장축 유전율의 차이가 -5보다 큰 네가티브 형 액정 물질을 포함하는 수평 전계 액정 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 초고투과율을 갖는 수평 전계 방식의 액정 표시장치에 관한 것이다. 특히, 본 발명은 동일 평면상에 공통 전극과 화소 전극이 배열되며, 전극 상부에도 수평 전계가 인가되어 초고투과율을 갖는 수평 전계형 액정 표시장치에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 방식과 수평 전계 방식으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기판 상에 형성된 공통전극과 하부기판 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동한다. 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계 방식의 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위칭(In Plane Switching; IPS) 모드로 액정을 구동하는 방식이 있다. 수평 전계 방식의 액정 표시 장치는 시야각이 160도 정도로 수직 전계 방식에 비해 넓으며, 구동 속도가 빠르다는 장점을 가진다. 따라서, 더 좋은 표시 품질을 제공하는 수평 전계 방식의 액정 표시 장치에 대한 요구가 날로 증가하고 있다.

[0005] 이하, IPS 모드 수평 전계 방식의 액정 표시 장치에 대하여 상세히 살펴보기로 한다. 종래 기술에 의한 IPS 모드 수평 전계형 액정 표시패널은, 박막 트랜지스터(Thin Film Transistor; TFT) 어레이 기판, 칼라 필터 어레이 기판, 그리고 이 두 기판 사이에 개재된 액정 층을 포함한다. 도 1은 종래 기술에 의한 IPS 모드 수평 전계 액정 표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이다. 도 2는 도 1에서 절취선 I-I'으로 자른 IPS 모드 수평 전계 액정표시패널용 박막 트랜지스터 기판의 구조를 나타내는 단면도이다.

[0006] 도 1 및 2에 도시한, 박막 트랜지스터 기판을 구비한 IPS 모드 수평 전계 방식의 액정 표시장치는 화소 전극과 공통 전극이 동일 평면 상에서 서로 일정 거리 이격하여 배치함으로써, 그 사이에 형성되는 수평 전계로 액정층을 구동하여 화상 데이터를 표시한다. 도 1 및 2를 참조하면, 종래 기술에 의한 IPS 모드 수평 전계 액정 표시 패널의 박막 트랜지스터 어레이 기판은 하부 기판(SUB) 상에 교차하도록 형성된 게이트 배선(GL) 및 데이터 배선(DL)과, 그 교차부마다 형성된 박막 트랜지스터(T)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(PXL) 및 공통 전극(COM)과, 그리고 공통 전극(COM)과 접속되며 게이트 배선(GL)과 나란하게 진행하는 공통 배선(CL)을 구비한다.

[0007] 게이트 배선(GL)은 박막 트랜지스터(T)의 게이트 전극(G)에 게이트 신호를 공급한다. 데이터 배선(DL)은 박막 트랜지스터(T)의 드레인 전극(D)을 통해 화소전극(PXL)에 화소 신호를 공급한다. 게이트 배선(GL)과 데이터 배선(DL)은 교차구조로 형성되어 화소 영역을 정의한다. 공통 배선(CL)은 화소 영역 내의 일측변에 게이트 배선(GL)과 나란하게 배열되며 액정 구동을 위한 기준전압을 공통 전극(COM)에 공급한다.

[0008] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전, 유지되도록 한다. 이를 위하여, 박막 트랜지스터(T)는 게이트 배선(GL)에 접속된 게이트 전극(G)과, 데이터 배선(DL)에 접속된 소스 전극(S)과, 화소 전극(PXL)에 접속된 드레인 전극(D)을 구비한다. 또한, 박막 트랜지스터(T)는 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 활성 채널층(A)과, 소스

전극(S) 및 드레인 전극(D)과 오믹 접촉을 위한 오믹 접촉층(도시하지 않음)을 더 포함한다.

[0009] 화소 전극(PXL)은 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 드레인 콘택홀(DH)을 통해 박막 트랜지스터(T)의 드레인 전극(D)과 접속되어 화소 영역에 형성된다. 특히, 화소 전극(PXL)은 드레인 전극(D)과 접속되고 인접한 게이트 라인(GL)과 나란하게 형성된 수평 화소 전극(PXLh)과, 이 수평 화소 전극(PXLh)에서 분기하여 화소 영역 내에서 수직 방향으로 형성된 다수 개의 수직 화소 전극(PXLv)을 구비한다.

[0010] 공통 전극(COM)은 게이트 절연막(GI), 보호막(PAS) 및 평탄화 막(PAC)을 관통하는 공통 컨택홀(CH)을 통해 공통 배선(CL)과 접속된다. 게이트 배선(GL)과 평행하게 진행하는 일부분은 좀 더 넓은 폭을 가지며 수평 공통 전극(COMh)을 형성한다. 그리고 수평 공통 전극(COMh)에서 분기하여 화소 영역 내에서 수직 방향으로 형성된 다수 개의 수직 공통 전극(COMv)을 형성한다. 특히, 수직 공통 전극(COMv)은 화소 영역 내에서 수직 화소 전극(PXLv)과 일정 거리 떨어져서 나란하게 배치된다.

[0011] 이에 따라, 박막 트랜지스터(T)를 통해 화소 신호가 공급된 수직 화소 전극(PXLv)과 공통 배선(CL)을 통해 기준 전압이 공급된 수직 공통 전극(COMv) 사이에 수평 전계가 형성된다. 이 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현한다.

[0012] (수직) 화소 전극(PXL)과 (수직) 공통 전극(COM)이 동일 평면상에서 서로 일정 거리 이격된 구조를 갖는 수평 전계 액정표시패널은 화소 영역 내에서 액정 구동을 위한 충전 용량을 확보하기 위해서는 수평 공통 전극(COMh)과 드레인 전극(D)에서 연장된 부분을 중첩하여 보조 용량(STG)을 형성한다. 또 다른 방법으로는, 수평 공통 전극(COMh)과 수평 화소 전극(PXLh)에서 연장된 부분과 중첩하여 보조 용량을 형성할 수도 있다. 도 2에서는 보조 용량(STG)은 중첩된 수평 공통 전극(COMh)과 연장된 드레인 전극(D) 사이에 개재된 게이트 절연막(GI) 및 채널 층(A)이 이루는 공간 내에 형성된 경우를 나타낸다.

[0013] 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)이 동일 평면 상에서 일정 간격 이격하여 수평 전계를 이루도록 하기 위해, 박막 트랜지스터(T)를 덮는 보호막(PAS) 위에 평탄화 막(PAC)을 더 포함한다. 평탄화 막(PAC)은 폴리아크릴과 같은 유기 물질이 10,000Å 정도의 두께로 형성되는 데, 이 경우, 수평 화소 전극(PXLh)과 수평 공통 전극(COMh) 사이 공간에서 보조 용량을 구축하기가 어렵다. 따라서, 이와 같은 구조에서는, 도 2에서와 같이, 수평 화소 전극(PXLh)과 연결되는 드레인 전극(D)을 연장하여 수평 공통 전극(COMh)과 중첩하도록 형성함으로써, 보조 용량(STG)을 형성하는 것이 바람직하다.

[0014] 하지만, 수평 공통 전극(COMh)과 드레인 전극(D) 사이에는 4,000Å 이상의 두께를 갖는 게이트 절연막(GI)과 2,000Å 이상의 두께를 갖는 채널 층(A)이 개재된다. 따라서, 보조 용량(STG)은 6,000Å 이상의 두께를 갖는 공간 내에 형성된다. 하여, 아직도 충분한 보조 용량(STG)을 형성하기에는 두 전극(수평 공통 전극(COMh)과 드레인 전극(D))사이의 거리가 먼 편이다. 그 결과, 충분한 보조 용량(STG)을 확보하기 위해서, 수평 공통 전극(COMh)과 드레인 전극(D)이 중첩하는 면적을 넓게 형성하여야 한다. 예를 들어, 도 1에 도시한 것과 같이, 데이터 배선(DL)과 데이터 배선(DL) 사이에 걸친 공간에 거의 꽉 차는 긴 길이와 공통 배선(CL)보다도 넓을 폭을 갖도록 형성하는 것이 바람직하다.

[0015] 보조 용량(STG)은 화소 영역 내에서 빛을 투과하지 못하는 영역이 된다. 즉, 보조 용량(STG)은 액정 표시 패널을 구동하는 데 있어서, 반드시 필요한 구성 요소이지만, 화소의 개구율을 감소하는 주된 원인이 되고 있다.

[0016] 상기 설명한 바와 같은 IPS 모드 수평 전계형 액정 표시장치에서 액정 층을 구동하는 수평 전계 형성에 대하여 상세히 살펴보면 다음과 같다. 도 3은 도 1에서 화소 영역 일부인 절취선 II-II'으로 자른 확대 단면도로서, IPS 모드 수평 전계형 액정표시장치의 화소 전극과 공통전극 사이에서 형성되는 수평 전계 및 액정분자의 구동 상태를 나타내는 개략도이다.

[0017] 도 3을 참조하면, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)이 동일 평면상에서 수평 방향으로 나란하게 형성되어 있다. 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 사이에 직류 전압차이가 발생하면, 도 3의 곡선과 같이 전기장이 형성된다.

[0018] 현재 주력으로 생산하고 있는 IPS 모드 수평 전계형 액정표시장치는, 도 3에 도시한 바와 같이, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)은 대략 2.5㎛ 정도의 선 폭을 갖는 막대 형상을 갖는다. 그리고 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)은 선 폭의 5~8배에 해당하는 12~20㎛ 정도의 간격을 갖도록 배열된다. 그리고 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 위에는 액정 층을 구성하는 액정 분자(LCM)들의 초기 배향 상

태를 결정하는 배향막(ALG)이 형성되어 있다.

[0019] 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 사이에 전계가 형성되면, 액정 분자(LCM)들은 전계의 영향으로 재 정렬한다. 이와 같은 상태에서, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 사이에 수평 전계가 인가될 경우, 수평 전계는 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 서로 가장 인접한 측면 사이에서 형성된다. 반면에, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 바로 상부 공간에서는 수평 전계가 형성되지 않고, 거의 수직 방향으로만 약한 전계가 발생한다.

[0020] 이러한 상태에서는, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 위에 놓여 있는 액정 분자(LCM)들 대부분은 수평 전계의 영향을 받을 수 없으므로 재배열되지 않고, 배향막(ALG)에 의한 초기 배열 상태를 유지하게 된다. 즉, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 사이의 액정 분자(LCM)들은 수평 전계에 의해 구동되어 표시 기능을 발휘 하지만, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 바로 위에 놓인 액정 분자(LCM)들은 수평 전계에 의한 구동이 이루어지지 않아 표시 기능을 발휘하지 못한다. 따라서, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)이 차지하는 부분은 비 개구 영역(NDA)이 되며, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 사이 공간만이 개구 영역(DA)이 된다.

[0021] 이와 같이, IPS 모드 수평 전계형에서는 화소 영역 중에서도 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)이 차지하는 면적은 개구율 및 휘도에 기여하지 않는 영역이 된다. 이와 같이, 수평 전계형 액정표시장치에서는 화소 전극(PXL) 및 공통 전극(COM)을 투명 도전물질로 제조하더라도, 개구율 및 휘도를 저해하는 요인이 되고 있다.

[0022] 또한, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)을 투명 전극을 사용할 경우, 이 전극들 상부에 배치된 액정이 구동하지 않기 때문에 빛 샘의 원인이 된다. 예를 들어, 노멀리 블랙(Normally Black) 모드의 액정 표시장치에서 전계가 인가되지 않은 상태에서 흑색 계조를 나타내고, 전계가 인가된 상태에서는 백색 계조를 나타낸다. 하지만, IPS 모드 액정 표시장치에서 전극들을 투명 전극을 사용할 경우, 전계가 인가된 상태에서도 전극 상부의 액정들이 초기 상태인 블랙 계조 상태가 된다. 따라서, 완전 백색을 구현하는 데 장애가 된다. 반대로 노멀리 화이트(Normally White) 모드의 액정 표시장치에서는 완전 흑색을 구현하고자 할 때, 전극들 상부의 액정들은 백색 계조 상태를 유지하므로, 완전 흑색을 구현하는 데 장애가 된다.

[0023] 따라서, IPS 모드 수평 전계형에서는 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)을 불투명한 금속 물질로 형성하는 것이 바람직하다. 즉, IPS 모드 액정 표시장치에서는 액정이 구동되지 않는 전극 상부 영역이 빛 샘의 원인이 되므로, 이 부분을 불투과 영역으로 만들어야 한다. 결과적으로 IPS 모드에서는 전극들에 투명 도전 물질을 사용하는 것은 바람직하지 못하다.

[0024] IPS 모드 수평 전계형 액정 표시장치는 액정을 고속으로 구동할 수 있다는 장점이 있지만, 전극 영역이 불투과 영역이 되어, 투과율을 향상하는 데 한계가 있다. 고속 구동 특성을 가져 동영상 표시에 유리하면서, 아주 높은 투과율을 확보할 수 있는 수평 전계형 액정 표시장치의 개발이 필요하다.

발명의 내용

해결하려는 과제

[0025] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, IPS 모드에 의한 수평 전계 방식 액정표시 패널에서 발생하는 문제점을 극복하여, 초고투과율을 갖는 수평 전계 방식 액정 표시장치를 제공하는 데 있다. 본 발명의 다른 목적은, 동일 평면상에서 화소 전극과 공통 전극이 서로 이웃하는 구조를 가져 고속 구동 특성을 갖는 박막 트랜지스터 기판을 구비한 수평 전계 방식 액정 표시장치를 제공하는 데 있다. 본 발명의 또 다른 목적은, 전극부의 상부에도 수평 전계가 인가되어 전극 영역도 개구 영역이 되어, 화소 영역을 거의 모두 개구 영역으로 활용함으로써 초고투과율을 갖는 수평 전계형 액정 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0026] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 수평 전계형 액정 표시장치는, 하부 기판, 하부 화소 전극 및 하부 공통 전극, 상부 기판, 상부 화소 전극 및 상부 공통 전극, 그리고 액정 층을 포함한다. 하부 화소 전극 및 하부 공통 전극은, 하부 기판 위의 동일한 평면 상에서 교대로 배치된다. 상부 기판은, 하부 기판과 일정 거리 이격하여 면 합착된다. 상부 화소 전극 및 상부 공통 전극은, 상부 기판 위의 동일한 평면 상에서 교대로 배치된다. 액정 층은, 하부 기판과 상부 기판 사이에 개재된다. 하부 화소 전극 및 하부 공통 전극,

그리고 상부 화소 전극 및 상부 공통 전극은 0.5㎛ 내지 2.0㎛의 선 폭과 2.0㎛ 내지 6.0㎛의 배열 피치를 갖고 교대로 배치된다. 상부 화소 전극은, 하부 화소 전극과 하부 공통 전극 사이의 중앙부에 대응하여 배치된다.

[0027] 일례로, 하부 화소 전극, 하부 공통 전극, 상부 화소 전극 및 상부 공통 전극은, 인듐-주석 산화물 및 인듐-아연 산화물과 같은 투명 도전 물질을 포함한다.

[0028] 일례로, 하부 화소 전극 및 하부 공통 전극, 그리고 상부 화소 전극 및 상부 공통 전극은, 선 폭이 1.0㎛이고, 그 사이의 간격이 1.0㎛ 내지 5.0㎛이다.

[0029] 일례로, 액정 층은, 단축 유전율과 장축 유전율의 차이가 -5보다 큰 네가티브 형 액정 물질을 포함한다.

[0030] 일례로, 상부 공통 전극은, 하부 공통 전극과 하부 화소 전극 사이의 중앙부에 대응하여 배치된다.

[0031] 또한, 본 발명에 의한 수평 전계형 액정 표시장치는, 하부 기판, 화소 영역들, 하부 화소 전극 및 하부 공통 전극, 다수 개의 블록 영역, 상부 기판, 상부 화소 전극 및 상부 공통 전극, 액정 층을 포함한다. 화소 영역들은, 하부 기판 위에 매트릭스 방식으로 배열된다. 하부 화소 전극 및 하부 공통 전극은, 화소 영역 내에서 동일한 평면 상에서 교대로 배치된다. 상부 화소 전극 및 상부 공통 전극은, 상부 기판 위, 동일한 평면 상에서, 블록 영역의 중앙부에 대응하며 서로 교대로 배치된다. 액정 층은, 하부 기판과 상부 기판 사이에 개재된다. 블록 영역들은, 화소 영역 내에서 연속으로 배치된다. 블록 영역은, 전극 영역과 간격 영역을 구비한다. 전극 영역은, 하부 화소 전극 및 하부 공통 전극 중 어느 하나에 해당한다. 간격 영역은, 이웃하는 두 전극들 사이에 해당한다. 블록 영역 하나의 폭은 2.0㎛ 내지 6.0㎛이다.

[0032] 일례로, 화소 영역의 폭이 20~65㎛인 경우, 화소 영역에 대한 블록 영역의 폭 비율은 10% 이하이다.

[0033] 일례로, 화소 영역의 폭이 65~125㎛인 경우, 화소 영역에 대한 블록 영역의 폭 비율은 6% 이하이다.

[0034] 일례로, 화소 영역의 폭이 125~210㎛인 경우, 화소 영역에 대한 블록 영역의 폭 비율은 4% 이하이다.

[0035] 일례로, 하부 화소 전극, 하부 공통 전극, 상부 화소 전극 및 상부 공통 전극은, 인듐-주석 산화물 및 인듐-아연 산화물과 같은 투명 도전 물질을 포함한다.

[0036] 일례로, 하부 화소 전극, 하부 공통 전극, 상부 화소 전극 및 상부 공통 전극은, 선 폭이 1.0㎛이고, 그 사이의 간격이 1.0㎛ 내지 5.0㎛이다.

[0037] 일례로, 액정 층은 단축 유전율과 장축 유전율의 차이가 -5보다 큰 네가티브 형 액정 물질을 포함한다.

발명의 효과

[0038] 본 발명은 공통 전극과 화소 전극의 상부 공간도 투과 영역으로 활용할 수 있는 U-IPS(ltra high transmissive In Plane Switching) 모드 수평 전계형 액정 표시장치를 제공한다. 특히, 본 발명은 전극 영역에서 무 전계 영역을 최소화 할 수 있는 최적화된 전극 폭 값과, 최대 투과율을 확보할 수 있는 최적화된 전극들 사이의 간격 또는 전극 배열 피치 값을 갖는 수평 전계형 액정 표시장치를 제공한다. 그 결과, 본 발명에 의한 수평 전계형 액정 표시장치는, 공통 전극과 화소 전극의 상층 영역에도 수평 전계를 형성할 수 있다. 또한, 공통 전극과 화소 전극의 이격 간격이 충분히 가까이 배열되어 액정 용량이 증가하여, 액정 구동에 필요한 전체 용량이 보조 용량을 필요로 하지 않을 정도로 큰 값을 갖는다. 따라서, 화소 영역 내에 비 개구 영역인 보조 용량을 형성할 필요가 없다. 본 발명에 의한 수평 전계형 액정 표시장치는, 화소 영역의 거의 모든 부분을 개구 영역으로 활용할 수 있는 고 개구율 및 고 휘도를 갖는 수평 전계형 액정 표시장치용 박막 트랜지스터 기판을 제공한다.

도면의 간단한 설명

[0039] 도 1은 종래 기술에 의한 IPS(In Plane Switching) 모드 액정 표시 장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도.

도 2는 도 1에서 절취선 I-I'으로 자른 IPS 모드 액정 표시 장치용 박막 트랜지스터 기판의 구조를 나타내는 단면도.

도 3은 도 1에서 화소 영역 일부인 절취선 I-I'으로 자른 확대 단면도로서, IPS 모드 액정 표시 장치의 화소 전극과 공통전극 사이에서 형성되는 수평 전계 및 액정 분자의 구동상태를 나타내는 개략도.

도 4는 본 발명에 의한 초고투과율을 갖는 수평 전계 방식(U-IPS 모드) 액정 표시 장치용 박막 트랜지스터 기판

의 구조를 나타내는 평면도.

도 5는 도 4에서 화소 영역 일부인 절취선 II-II'으로 자른 확대 단면도로서, 화소 전극과 공통 전극의 배열 구조를 나타내는 도면.

도 6은 본 발명의 사상을 종래 기술에 적용한 수평 전계 방식 액정 표시 장치에서, 화소 전극과 공통 전극 사이에서 형성되는 전계의 형상을 나타내는 비교 도면.

도 7은 본 발명에 의한 U-IPS 모드 액정 표시 장치의 화소 전극과 공통 전극의 배열 구조에서 형성되는 전계의 형상을 나타내는 단면도.

도 8은 본 발명에 의한 U-IPS 모드 액정 표시 장치의 전극 배열 피치에 따른 투과율을 나타내는 그래프.

도 9는 종래 기술에 의한 IPS 모드 액정 표시장치에서 하나의 화소를 구성한 화소 전극과 공통 전극의 구조를 나타낸 단면도.

도 10은 본 발명에 의한 U-IPS 모드 액정 표시장치에서 하나의 화소를 구성한 화소 전극과 공통 전극의 구조를 나타낸 단면도.

도 11은 본 발명에 의한 수평 전계형 액정 표시장치에서, 액정 종류에 따른 광 투과도를 비교하는 도면.

도 12는 본 발명의 응용 예에 의한 U-IPS 모드 액정 표시장치의 구조 및 광 투과도 분포를 나타내는 도면.

도 13은 본 발명의 응용 예에 의한 U-IPS 모드 액정 표시장치에서 하부 기판 전극과 상부 기판 전극의 연결 구조를 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

[0040] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예를 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0041] 본 발명에 의한 수평 전계 방식의 액정 표시장치는, 일정 거리 이격하여 서로 면 대향하여 합착된 하부 기판과 상부 기판 그리고 그 사이에 개재된 액정 층을 포함한다. 하부 기판에는 박막 트랜지스터들이 배치되므로 박막 트랜지스터 기판이라고 부르기도 한다. 하부 기판에는, 선분 모양의 화소 전극과 선분 모양의 공통 전극이 동일 평면상에서 교대로 배치된 구조를 갖는다. 특히, 화소 전극과 공통 전극의 간격을 좁혀 전극의 상층 공간에도 프린지 필드에 의한 수평 전계를 형성한다. 따라서, 본 발명에 의한 수평 전계 방식의 액정 표시장치는, 전극 영역도 투과 영역으로 사용함으로써, 초고투과율을 확보할 수 있어, U-IPS 모드 액정 표시장치라고 부르기도 한다.

[0042] 이하, 도 4 및 5를 참조하여 상세히 설명한다. 도 4는 본 발명에 의한 초고투과율을 갖는 수평 전계 방식(U-IPS 모드) 액정 표시 장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도이다. 도 5는 도 4에서 화소 영역 일부인 절취선 II-II'으로 자른 확대 단면도로서, 화소 전극과 공통 전극의 배열 구조를 나타내는 도면이다.

[0043] 도 4를 참조하면, 본 발명에 의한 U-IPS 모드 액정 표시 패널의 박막 트랜지스터 기판은 하부 기판(SUB) 상에 교차하도록 형성된 게이트 배선(GL) 및 데이터 배선(DL)과, 그 교차부마다 형성된 박막 트랜지스터(T)를 구비한다. 또한, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(PXL) 및 공통 전극(COM)을 구비한다. 도면으로 도시하지 않았지만, 공통 전극(COM)에 공통 전압을 인가하기 위한 공통 배선이 더 배치될 수 있다. 여기서는, 별도의 공통 배선 없이, 데이터 배선(DL)과 중첩하는 최외각 공통 전극(COMo)이 각 화소의 공통 전극(COM)들을 연결하는 공통 배선의 기능을 하는 구조를 갖는다.

[0044] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전, 유지되도록 한다. 이를 위하여, 박막 트랜지스터(T)는 게이트 배선(GL)에 접속된 게이트 전극(G)과, 데이터 배선(DL)에 접속된 소스 전극(S)과, 화소 전극(PXL)에 접속된 드레인 전극(D)을 구비한다. 또한, 박막 트랜지스터(T)는 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 활성 채널층(도시하지 않음)과, 소스 전극(S) 및 드레인 전극(D)과 오믹 접촉을 위한 오믹 접촉층(도시하지 않음)을 더 포함한다.

[0045] 화소 전극(PXL)은 보호막 및/또는 평탄화 막을 관통하는 드레인 콘택홀(DH)을 통해 박막 트랜지스터(T)의 드레인 전극(D)과 접속되어 화소 영역에 형성된다. 특히, 화소 전극(PXL)은 드레인 전극(D)과 접속되고 인접한 게

이트 라인(GL)과 나란하게 형성된 수평 화소 전극(PXLh)과, 이 수평 화소 전극(PXLh)에서 분기하여 화소 영역 내에서 수직 방향으로 형성된 다수 개의 수직 화소 전극(PXLv)을 포함한다.

[0046] 공통 전극(COM)은 최 외각 공통 전극(COMo), 수평 공통 전극(COMh) 및 수직 공통 전극(COMv)을 포함할 수 있다. 최 외각 공통 전극(COMo)은 게이트 절연막(GI), 보호막(PAS) 및 평탄화 막(PAC)을 사이에 두고 데이터 배선(DL)을 완전히 덮는 구조를 가져, 각 화소 영역에 배치된 공통 전극(COM)들을 전기적으로 모두 연결한다. 수평 공통 전극(COMh)은 최외각 공통 전극(COMo)와 연결되며 화소를 가로 질러 배치된 막대 형상을 갖는다. 수직 공통 전극(COMv)은 수평 공통 전극(COMh)에서 분기하여 화소 영역 내에서 수직 방향으로 배치된 다수 개의 선분 형상을 갖는다.

[0047] 특히, 수직 공통 전극(COMv)은 화소 영역 내에서 수직 화소 전극(PXLv)과 교대로 나란하게 배치된다. 또한, 최 외각 공통 전극(COMo) 바로 옆에는 첫 번째 혹은 마지막 번째 수직 화소 전극(PXLv)이 배치된다.

[0048] 이에 따라, 박막 트랜지스터(T)를 통해 화소 신호가 공급된 수직 화소 전극(PXLv)과 최 외각 공통 전극(COMo)을 통해 기준 전압이 공급된 수직 공통 전극(COMv) 사이에 수평 전계가 형성된다. 이 수평 전계에 의해 박막 트랜지스터 어레이 기판과 칼라 필터 어레이 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현한다.

[0049] 본 발명에 의한 U-IPS 모드 액정 표시장치의 구조를 나타내는 도 4와 종래 기술에 의한 IPS 모드 액정 표시장치의 구조를 나타내는 도 1을 비교하면, 대부분의 구성 요소들이 유사하다. 차이가 있다면, 도 4에서는 보조 용량 전극이 포함되어 있지 않다. 또 다른 중요한 차이점으로는 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 배열 구조에 차이가 있다. 하지만, 도면상으로 전극들의 배열 구조에 대한 차이점은 나타나지 않는다. 하여, 이하에서는 도 5를 더 참조하여, 본 발명에 의한 U-IPS 모드 액정 표시장치의 구조를 상세히 설명한다.

[0050] 도 5를 참조하면, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)이 동일 평면상에서 수평 방향으로 나란하게 형성되어 있다. 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 하부에는 평탄화 막, 보호막 및 게이트 절연막이 적층되어 있을 수 있다. 여기서는 전극들의 배치 구조를 중심으로 설명한다.

[0051] 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)은 교대로 배치되어 있다. 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)은 각각 동일한 선폭(CD)을 갖는다. 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)은 일정 간격(GAP)을 두고 평행하게 배치되어 있다.

[0052] 예를 들어, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD)은 0.5㎛ 내지 2.0㎛의 값을 갖는다. 또한, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 배열 피치(Pitch)는 2.0㎛ 내지 6.0㎛의 값을 갖는다. 따라서, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 간격(GAP)은 1.5㎛ 내지 4.0㎛의 값을 가질 수 있다. 가장 바람직하게는 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD)은 1.0㎛인 것이 좋다. 이 조건하에서, 전극 피치(Pitch)를 고려하면, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 간격(GAP)은 1.0㎛ 내지 5.0㎛의 값을 갖는 것이 바람직하다.

[0053] 이와 같은, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD) 그리고 피치(Pitch) 값들은 임의적으로, 설계자의 임의 변경으로 결정된 것이 아니다. 본 발명에서는, 초고투과율을 확보할 수 있는 U-IPS 모드 액정 표시장치를 고안하기 위해 다양한 실험 및 시뮬레이션을 통해 위와 같은 값들을 결정하였다.

[0054] 첫 번째로, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 상부 공간에도 수평 전계를 형성하기 위해, 전극 간격(GAP)을 좁게 설계하였다. 즉, 전극 간격(GAP)을 좁게 설계하면, 수평 전계가 전극과 전극 사이에만 형성되는 것이 아니고, 전극의 상부 표면에도 프린지 필드에 의한 수평 전계를 형성할 수 있다.

[0055] 하지만, 전극 간격을 좁혀서 전극 상부 표면에 수평 전계를 형성하더라도, 전극 영역을 항상 투과 영역으로 사용할 수 있는 것은 아니다. 종래 기술에 의한 IPS 모드 액정 표시장치에서, 전극의 간격을 전극의 폭에 가깝게 줄이더라도, 전극 상부 영역을 모두 투과 영역으로 사용할 수 있는 것은 아니다.

[0056] 그 이유에 대해 도 6을 참조하여 설명한다. 도 6은 본 발명의 사상을 종래 기술에 적용한 수평 전계 방식 액정 표시 장치에서, 화소 전극과 공통 전극 사이에서 형성되는 전계의 형상을 나타내는 비교 도면이다. 도 6은, 종래 기술에 의한 IPS 모드 액정 표시장치에서 전극의 간격을, 본 발명의 경우에 대응하여, 좁힌 상태에서의 수평 전계 형상을 나타낸다.

[0057] 예를 들어, 전극들의 폭(CD)이 2.3㎛ 이상인 값을 갖는 경우, 전극 간격(GAP)을 3.0㎛ 정도로 좁히면, 수직 화

소 전극(PXLv)과 수직 공통 전극(COMv) 사이뿐 아니라, 전극 상층부에도 수평 전계가 형성될 수 있다. 전극들(PXLv, COM) 상부에 표시된 반원형 실선은 전극들 사이에 형성된 수평 전계를 나타낸다. 그리고, 그 위에 도시한 그래프 곡선은, 액정 셀에 인가되는 수평 전계의 전체적인 프로파일을 나타낸다.

[0058] 도 6을 참조하면, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 사이에서는 최대 전계가 형성된다. 또한, 전극들의 상부 공간에서도, 어느 정도의 전계가 형성된다. 하지만, 전극의 중앙부 일정 영역에는 전계 값이 급격히 저하되는 데드 존(Dead Zone)이 발생한다. 전극들의 폭(CD)이 2.3㎛ 이상인 경우, 이 데드 존의 영역은 적어도 1.0㎛ 이상 차지한다. 따라서, 도 6에서와 같이 수평 전계는 전극들의 상층부 중간 영역에서 급격히 저하되는 형상을 갖고, 이 부분은 여전히 비 투과 영역으로 남는다.

[0059] 하지만, 본 발명에서와 같이, 전극들의 폭(CD)을 0.5㎛ 내지 2.0㎛의 값으로 설계한 경우, 전계의 데드 존(Dead Zone)을 극소화 할 수 있다. 도 7을 참조하여 설명한다. 도 7은 본 발명에 의한 U-IPS 모드 액정 표시 장치의 화소 전극과 공통 전극의 배열 구조에서 형성되는 전계의 형상을 나타내는 단면도이다.

[0060] 도 7에서, 전극들(PXLv, COM) 상부에 표시된 반원형 실선은 전극들 사이에 형성된 수평 전계를 나타낸다. 그리고 그 위에 도시한 그래프 곡선은, 액정 셀에 인가되는 수평 전계의 전체적인 프로파일을 나타낸다. 도 7에 도시한 바와 같이, 전극의 선폭(CD)가 2.0㎛ 이하인 경우, 전극 상층부에 형성된 수평 전계의 데드 존(Dead Zone)은 0.5㎛ 이하의 영역으로 줄어들 수 있다. 또한, 전극들의 폭이 상대적으로 좁기 때문에, 전극들의 정 중앙부에도 프리지 필드가 형성된다. 따라서, 본 발명에서 목표로 하는 초고투과율을 달성하기 위해서는, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD)이 2.0㎛이하인 것이 바람직하다. 현재의 포토리소그래피 공정으로 2.0㎛보다 작은 선폭의 전극을 형성하는 것은 그리 어렵지않다. 이보다도 훨씬 좁은 선폭의 전극도 충분히 제작할 수 있다. 하지만, 더 좁은 선폭의 배선을 형성하는 것은, 제조 시간 및 제조 비용이 기하 급수적으로 증가할 수 있다..

[0061] 이상 설명한 바와 같이, 다양한 크기의 액정 표시장치들의 생산 조건 및 고 품질을 제공할 수 있는 초고투과율을 고려하여, 본 발명에 의한 수평 전계형 액정 표시장치에서, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD)은, 0.5㎛ 내지 2.0㎛의 값을 갖는 것이 바람직하다. 특히, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD)은 1.0㎛의 값을 갖는 것이 가장 바람직하다.

[0062] 두 번째로, 전극들의 선폭(CD)을 결정한 상태에서, 전극들의 피치(Pitch)를 결정하였다. 전극들의 피치(Pitch)는 투과율과 밀접한 관계가 있을 수 있다. 따라서, 전극들의 배열 피치(Pitch)에 따른 투과율의 변화값을 측정하여, 가장 바람직한 전극 배열 피치(Pitch) 값을 결정하였다.

[0063] 예를 들어, 가장 바람직한 전극 선폭(CD)인 1.0㎛의 값을 갖도록 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)를 설계하되, 전극들의 배열 피치(Pitch)를 12.0㎛에서 0.5㎛ 단위로 좁혀가면서, 투과율을 측정한다. 전극 배열 피치(Pitch)를 좁히면, 전극의 개수가 늘어날 수 있기 때문에 투과율은 어느 정도 줄어드는 것을 충분히 예상할 수 있다. 하여, 어느 정도까지 전극 피치(Pitch)를 좁힐 수 있는가를 알아내기 위한 실험이었다.

[0064] 하지만, 실험 결과는 도 8에 도시한 바와 같이, 예상 밖의 결과가 나왔다. 도 8은 본 발명에 의한 U-IPS 모드 액정 표시 장치의 전극 배열 피치에 따른 투과율을 나타내는 그래프이다.

[0065] 종래 기술에 의한 IPS 모드에서 전극 배열 피치(Pitch)는 현재 12.5㎛가 최소 값에 해당한다. 따라서, 12.0㎛부터 시작하여 전극 배열 피치(Pitch)를 줄여가면서 투과율을 측정하였다. 전극 배열 피치(Pitch)가 줄어들 수록 빛의 투과율(Transmittance)은 점차 감소하였다. 그리고, 약 8.5㎛에서는 제품으로 허용 가능한 최소 투과율의 값인 0.380(a.u.)을 나타내었다. 여기까지의 결과만으로 보면, 전극 피치는 8.5㎛를 최하 값으로 설계하는 것이 바람직하다. 도 8에서는 편의상 전극 피치가 8.5㎛ 이하인 경우의 투과도만을 나타내었다. 8.5㎛ 이상의 범위에서는 거의 선형적으로 투과도가 증가한다.

[0066] 하지만, 우리는 전극 배열 피치(Pich)를 더 좁혀서 실험을 계속 실시하였다. 그 결과, 전극 배열 피치(Pitch)가 7.0㎛에서 최소 값을 나타낸 후, 점차 증가하는 경향을 나타내었다. 심지어 6.0㎛에서 제품으로 허용 가능한 최소 투과율 값인, 0.380(a.u.)이 다시 나타났으며, 그 이후로도 투과율은 계속 증가하였다.

[0067] 앞에서 설정한 전극 폭(CD)가 1.0㎛인 것을 고려하여, 전극 배열 피치(Pitch)를 2.0㎛까지 좁혀서 실험한 결과, 투과율은 계속 증가하는 추세를 나타내었다. 물론, 전극 배열 피치(Pitch)를 2.0㎛ 이하로 작게 만드는 것도 가능하다. 하지만, 다양한 크기의 액정 표시장치들의 생산 조건 및 고 품질을 제공할 수 있는 초고투과율을 고려하여, 본 발명에 의한 수평 전계형 액정 표시장치에서, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 배열 피치(Pitch)는, 2.0㎛ 내지 6.0㎛ 인 것이 바람직하다. 이 경우, 전극들 사이의 간격(GAP)은 1.0㎛ 내지 5.0㎛

가 된다.

[0068] 다양한 실험과 시뮬레이션을 통해, 본 발명에 의한 초고투과율을 갖는 수평 전계 방식의 액정 표시장치는, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD)은 1.0㎛이며, 배열 피치(Pitch)는 3.0㎛ 인 것이 가장 바람직하다. 이 경우, 전극들 사이의 간격(GAP)은 2.0㎛가 된다. 또한, 위 시뮬레이션 및 실험 결과를 바탕으로 실제 U-IPS 모드 액정 표시장치를 제조할 때, 현재의 생산 설비 및 공정 조건들을 고려했을 때, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv)의 선폭(CD)은 1.9㎛이며, 배열 피치(Pitch)는 5.6㎛로 제조하였다. 이 경우, 전극들 사이의 간격(GAP)은 3.7㎛가 된다.

[0069] 이와 같이 전극들을 설계할 경우, 전극 상층 영역도 모두 투과 영역으로 활용할 수 있다. 따라서, 화소 전극(PXL)과 공통 전극(COM) 모두를 투명 도전 물질로 형성하더라도, 빛 샘이 발생하지 않고, 초고투과율을 확보할 수 있다. 여기서, 투명 도전 물질은, 인듐-주석 산화물(Indium-Tin-Oxide; ITO) 혹은 인듐-갈륨-산화물(Indium-Zinc-Oxide; IZO)과 같은 산화물을 포함한다.

[0070] 마지막으로, 이와 같이 전극들의 간격이 좁게 배치된 경우, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 사이에 형성되는 수평 전계는 종래 기술에 의한 IPS 모드에서와 다른 특성을 가질 수 있다. 즉, 본 발명에 의한 수평 전계형 액정 표시장치에서는 종래 기술과 다른 성질의 액정 물질을 사용하는 것이 바람직하다.

[0071] 본 발명에서 제안한 전극 구조를 다양한 액정 물질에 적용하여 실험한 결과, 액정의 유전율 차이($\Delta\varepsilon$)가 -5 내지 5 범위 이내인 액정 물질이 최대 투과율을 보였다. 액정의 유전율 차이란, 액정 분자의 단축 유전율($\varepsilon_{\perp}$)과 장축 유전율($\varepsilon_{\parallel}$)의 차이를 의미한다. 예를 들어, 유전율 차이가 양수이면 포지티브 형(Positive Type) 액정으로, 음수이면 네가티브 형(Negative Type) 액정으로 구분한다. 본 발명에서는, 액정의 종류에 상관 없이 유전율의 차이가 5 이하인 것이 좋다. 또한, 유전율의 차이가 5이하인 네가티브 형 액정이 더 바람직하다. 즉, 유전율의 차이가 -5 보다 큰 네가티브 형 액정이 바람직하다.

[0072] <비교 예>

[0073] 지금까지는 본 발명에 의한 초고투과율을 갖는 수평 전계 액정 표시장치에서 액정 층을 구동하기 위한 수평 전계의 측면에서 구조적인 특징을 중심으로 설명하였다. 이하, 도 9 및 10을 더 참조하여, 본 발명에 의한 U-IPS 모드 액정 표시장치를 구성한 응용 예에서, 초고투과율을 구현하기 위한 화소 구성의 특징에 대한 특징을 설명한다. 효과적으로 설명하기 위해 종래 기술과 비교 설명을 한다.

[0074] <종래기술의 경우>

[0075] 먼저, 도 1 내지 3 및 도 9를 참조하여, 종래 기술에 의한 IPS 모드 액정 표시장치의 화소 구성의 특징에 대해서 먼저 설명한다. 도 9는 종래 기술에 의한 IPS 모드 액정 표시장치에서 하나의 화소를 구성한 화소 전극과 공통 전극의 구조를 나타낸 단면도이다.

[0076] 도 1 내지 3 및 9를 참조하면, 종래 기술에 의한 IPS 모드 액정 표시장치는 다수 개의 단위 화소들이 매트릭스 방식으로 배치되어 있다. 여기서, 단위 화소라함은, 화상 전체를 구성하는 단위 점을 표시하는 화소를 의미한다. 칼라 표시장치의 경우, 단위 화소는 더 작은 서브 화소들로 이루어진다. 예를 들어, 하나의 단위 화소는 적색 서브 화소, 녹색 서브 화소 및 청색 서브 화소를 포함할 수 있다. 또는 적색 서브 화소, 녹색 서브 화소, 청색 서브 화소 및 백색 서브 화소를 포함할 수도 있다. 본 발명에서 설명하는 '화소'는 특별한 설명이 없는 한 '서브 화소'를 의미한다.

[0077] 하나의 화소들은 기판 위에서 서로 직교하는 게이트 배선(GL)들과 데이터 배선(DL)들에 의해 정의된다. 하나의 화소 영역 내에는 여러 가지 구성 요소들이 배치된다. 박막 트랜지스터(T), 보조 용량(STG) 및/또는 배선들(GL, DL, CL)과 같은 구동에 필요한 소자들 그리고 화소 전극(PXL) 및 공통 전극(COM)들이 배치된다.

[0078] 이들 구성 요소들 중에서 수직 화소 전극(PXLv) 및 수직 공통 전극(COMv)들이 배치된 영역은, 화소 영역(EPA)으로 정의할 수 있다. 화소 영역(EPA)에서, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 각각은 폭이 대략 3㎛인 선분 형상을 갖고, 대략 15㎛의 간격으로 나란하게 배치되어 있다. 전극들(PXLv, COMv)이 교대로 배치된 기본 단위를 블록이라고 정의하고, 블록이 차지하는 영역을 블록 영역(BA)이라고 정의한다. 또한, 전극들(PXLv, COMv) 사이의 공간을 간격 영역(GA)이라고 정의한다. 도 9에서는 하나의 화소에 블록 영역들(B1, B2, B3, B4)이 4개가 배치된 경우를 나타낸다.

[0079] 종래 기술에 의한 IPS 모드 액정 표시장치에서는, 전극들(PXLv, COMv)이 차지하는 영역에는 수평 전계가 형성되

지 않으므로, 액정에 의해 빛 투과율을 조절할 수 없다. 따라서, 빛샘을 방지하기 위해 전극들(PXLv, COMv)을 불투명 금속으로 형성하여 불 투과 영역으로 만든다. 따라서, 화소 영역(EPA)을 구성하는 단위 블록 영역(BA)에서 간격 영역(GA) 만이 투과 영역이 된다. 예를 들어, 도 9에서 화소 영역(EPA) 내에서의 개구율은 {(네 개의 간격 영역(GA)들의 합) / (화소 영역(EPA))}으로 정해진다. 즉, 종래 기술에 의한 IPS 표시장치에서 개구율은 항상 1보다 작은 값을 갖는다.

[0080] 또한, 전극들(PXLv, COMv)의 폭보다 간격 영역(GA)의 폭이 적어도 5배 정도 더 큰 구조를 갖는다. 따라서, 화소 영역(EPA) 내에서 단위 블록 영역(BA)이 차지하는 비율도 상당히 큰 값을 갖는다. 특히, 해상도가 높을수록 화소의 크기가 점점 작아진다. 화소의 크기가 작아지더라도, 배선의 폭을 좁히는 데는 한계가 있으므로, 화소를 작게 만들기 위해서는 블록의 개수를 줄이는 방법을 사용한다. 즉, 동일한 화면 크기를 갖는 경우, 고 해상도 액정 표시장치는 저 해상도 액정 표시장치보다 작은 크기의 화소들을 가지며, 한 화소 내에서 블록의 개수가 더 적다.

[0081] 예를 들어, 도 9와 같은 화소 구조를 갖는 액정 표시장치에서 해상도를 높이기 위한 가장 효율적인 방법은, 블록의 개수를 네 개에서 세 개 혹은 두 개로 줄이는 것이다. 특히, 화소 영역(EPA) 내에서 수직 공통 전극(COMv)을 항상 최외곽에 배치하기 위해서는, 블록을 2개로 줄이는 것이 바람직하다. 즉, 세 번째 블록(B3)과 네 번째 블록(B4)을 삭제하면, 해상도를 2배 이상 높일 수 있다.

[0082] 좀 더 구체적으로 설명하면, 종래 기술에 의한 IPS 모드 액정 표시장치에서, 해상도 및 액정 표시 패널의 크기에 따라 화소 영역의 크기가 다르다. 현재 생산되고 있는 대표적인 액정 표시 패널의 경우에서, 화소 영역(EPA) 대비 단위 블록 영역(BA)의 면적 비율을 계산하면 다음 표와 같다.

[0083] 해상도에 대한 정의는, 현재 일반적으로 사용하는 것을 기준으로 하였다. 예를 들어, Full HD(FHD)는 (가로 단위 화소 수×세로 단위 화소 수)가 1920×1080으로 2K로 표시하였고, QHD는 3840×2160 혹은 4096×2160으로 4K로, UHD는 7680×4320으로 8K로 표시하였다. 여기서, K는 1,000을 의미한다. 이상 해상도 별로 나타나는 단위 화소 수는 색상 기본 화소로서, 하나의 단위 화소는 3개(적-녹-청) 혹은 4개(적-녹-청-백)의 서브 화소들을 포함한다. 따라서, 서브 화소의 개수로 보면, 가로 서브 화소수는 적어도 가로 단위 화소수의 3배수가 된다.

표 1

[0084]

모드	해상도 (픽셀수)	패널 대각 크기 (Inch)	서브 화소 크기(폭:㎛)	BA/EPA 면적비율(%)
IPS 모드	FHD (2K)	55	210	6.20
		49	186.42	7.11
		43	161.1	8.41
	QHD (4K)	65	124	14.38
		55	105	14.31
	UHD (8K)	98	93.7	14.28
	QHD (4K)	49	93.21	14.39
		43	81.7	13.70
	UHD (8K)	65	62	21.79
		55	52.5	45.34

[0085] 표 1은, IPS 모드 액정 표시장치에서 주로 생산되고 있는 패널 크기와 해상도에 따라 정리한 도표이다. 여기서, 서브 화소의 크기 순으로 화소 영역(EPA) 대비 단위 블록 영역(BA)의 면적 비율을 나타내었다. (서브) 화소의 크기별로 보았을 때, 다음과 같이 세 그룹으로 나눌 수 있다.

[0086] 첫 번째로, 화소 영역의 폭이 210 ~ 130㎛ 인 경우에는, 면적 비율이 6% 이상이다. 두 번째로, 화소 영역의 폭이 125 ~ 80㎛ 인 경우에는, 면적 비율이 13% 이상이다. 그리고 세 번째로, 화소 영역의 폭이 65 ~ 20㎛ 인 경우에는 면적 비율이 20% 이상이다.

[0087] 동일한 대각 크기를 갖는 액정 표시 패널에서, 해상도를 높일 수록 화소의 면적은 작아진다. 이 때, 화소 영역이 가로 대비 세로의 길이가 1:3인 장방형의 형상을 갖는 경우, 블록 영역(BA)들이 세로 방향으로 길쭉한 형상을 갖고, 가로 방향으로 나열된다. 이 상태에서, 해상도를 높이려면, 가로 방향으로 나열된 블록 영역(BA)의 갯수를 줄인다. 따라서, 줄어드는 화소의 크기는 길이보다는 폭에 대한 의존도가 더 크다.

[0088] 표 2에서는 현재 생산되고 있는 대표적인 액정 표시 패널의 경우에서, 화소 영역(EPA)의 폭 대비 단위 블록 영

역(BA)의 폭 비율을 계산하였다.

표 2

[0089]

모드	해상도 (픽셀수)	패널 대각 크기 (Inch)	서브 화소 크기(폭:㎛)	BA/EPA 폭 비율(%)
IPS 모드	FHD (2K)	55	210	5.6
		49	186.42	6.4
		43	161.1	7.6
	QHD (4K)	65	124	8.9
		55	105	11.8
	UHD (8K)	98	93.7	10.5
	QHD (4K)	49	93.21	11.7
		43	81.7	11.1
	UHD (8K)	65	62	14.6
		55	52.5	24.5

[0090] 마찬가지로, 화소의 크기별로 보았을 때, 다음과 같이 세 그룹으로 나눌 수 있다. 첫 번째로, 화소 영역의 폭이 210 ~ 130㎛ 인 경우에는, 폭 비율이 5% 이상이다. 두 번째로, 화소 영역의 폭이 125 ~ 80㎛ 인 경우에는, 폭 비율이 8% 이상이다. 그리고 세 번째로, 화소 영역의 폭이 65 ~ 20㎛ 인 경우에는 폭 비율이 14% 이상이다.

[0091] <본 발명의 경우>

[0092] 다음으로, 도 4, 5 및 도 10을 참조하여, 본 발명에 의한 U-IPS(Ultra high transmittive In-Plane Switching) 방식의 액정 표시장치의 화소 구성의 특징에 대해서 먼저 설명한다. 도 10은 본 발명에 의한 U-IPS 모드 액정 표시장치에서 하나의 화소를 구성한 화소 전극과 공통 전극의 구조를 나타낸 단면도이다.

[0093] 도 4, 5 및 10을 참조하면, 본 발명에 의한 U-IPS 모드 액정 표시장치는 다수 개의 화소들이 매트릭스 방식으로 배치되어 있다. 화소들은 기판 위에서 서로 직교하는 게이트 배선(GL)들과 데이터 배선(DL)들에 의해, 정의된다. 하나의 화소 영역 내에는 여러 가지 구성 요소들이 배치된다. 박막 트랜지스터(T) 및/또는 배선들(GL, DL)과 같은 구동에 필요한 소자들 그리고 화소 전극(PXL) 및 공통 전극(COM)들이 배치된다.

[0094] 이들 구성 요소들 중에서 수직 화소 전극(PXLv) 및 수직 공통 전극(COMv)들이 배치된 영역은, 화소 영역(EPA)으로 정의할 수 있다. 화소 영역(EPA)에서, 수직 화소 전극(PXLv)과 수직 공통 전극(COMv) 각각은 폭이 대략 0.5~2.0㎛인 선분 형상을 갖고, 대략 1.5~4.0㎛의 간격으로 나란하게 배치되어 있다. 가장 바람직하게는, 폭이 대략 1.0㎛인 선분 형상을 갖고, 대략 3.0㎛의 간격으로 나란하게 배치되어 있다. 전극들(PXLv, COMv)이 교대로 배치된 기본 단위를 블록이라고 정의하고, 블록이 차지하는 영역을 블록 영역(BA)이라고 정의한다. 또한, 전극들(PXLv, COMv) 사이의 공간을 간격으로 정의하고, 간격이 차지하는 영역을 간격 영역(GA)이라고 정의한다. 도 10에서는 한 화소에 블록 영역들(B1~B10)이 10개인 경우를 나타낸다.

[0095] 본 발명에 의한 U-IPS 모드 액정 표시장치에서는, 전극들(PXLv, COMv)이 차지하는 영역에도 수평 전계가 형성되므로, 액정에 의해 빛 투과율을 조절할 수 있다. 따라서, 투과율을 극대화하기 위해 전극들(PXLv, COMv)을 투명 도전 물질로 형성하여 투과 영역으로 만든다. 따라서, 화소 영역(EPA)을 구성하는 단위 블록 영역(BA) 전체가 투과 영역이 된다. 예를 들어, 도 10에서 화소 영역(EPA) 내에서의 개구율은 {(열 개의 블록 영역(BA)들의 합) / (화소 영역(EPA))}으로 정해진다. 즉, 본 발명에 의한 U-IPS 모드 액정 표시장치에서 개구율은 1과 실질적으로 같은 값을 갖는다.

[0096] 또한, 전극들(PXLv, COMv)의 폭에 대해 간격 영역(GA)의 폭이 3배 이하의 값을 갖는다. 따라서, 화소 영역(EPA) 내에서 단위 블록 영역(BA)이 차지하는 비율이 종래 기술에 의한 IPS 모드 액정 표시장치에 비해 상당히 작은 값을 갖는다. 따라서, 해상도를 높이기 위해 블록의 갯수를 줄이더라도, 한 화소 내에는 종래 기술에 비해서 블록 개수가 상당히 많이 포함된다.

[0097] 예를 들어, 도 10과 같은 화소 구조를 갖는 액정 표시장치에서 해상도를 높이기 위한 가장 효율적인 방법은, 블록의 갯수를 열 개에서 여덟 개, 여섯 개 혹은 네 개로 줄이는 것이다. 예를 들어, 일곱 번째 블록(B7) 내지 열 번째 블록(B10)들을 삭제하면, 해상도를 2배 이상 높일 수 있다.

[0098] 좀 더 구체적으로 설명하면, 본 발명에 의한 U-IPS 모드 액정 표시장치에서, 해상도 및 액정 표시 패널의 크기

에 따라 화소 영역의 크기가 다르다. 현재 생산되고 있는 대표적인 IPS 액정 표시 패널을 U-IPS 액정 표시 패널로 개발하는 경우, 화소 영역(EPA) 대비 단위 블록 영역(BA)의 면적 비율을 계산하면 다음 표 3과 같다.

표 3

[0099]

모드	해상도 (픽셀수)	패널 대각 크기 (Inch)	서브 화소 크기(폭:㎛)	BA/EPA 면적비율(%)
U-IPS 모드	FHD (2K)	55	210	1.65
		49	186.42	1.99
		43	161.1	2.28
	QHD (4K)	65	124	4.63
		55	105	3.54
	UHD (8K)	98	93.7	4.66
	QHD (4K)	49	93.21	4.71
		43	81.7	5.53
	UHD (8K)	65	62	8.63
		55	52.5	11.86

[0100] 표 3은, U-IPS 모드 액정 표시장치를 구현하고자 하는 패널 크기와 해상도에 따라 정리한 도표이다. 여기서, 화소 영역의 크기 순으로 화소 영역(EPA) 대비 단위 블록 영역(BA)의 면적 비율을 나타내었다. 화소의 크기별로 보았을 때, 다음과 같이 세 그룹으로 나눌 수 있다.

[0101] 첫 번째로, 화소 영역의 폭이 210 ~ 130㎛ 인 경우에는, 면적 비율이 3% 이하이다. 두 번째로, 화소 영역의 폭이 125 ~ 80㎛ 인 경우에는, 면적 비율이 8% 이하이다. 그리고 세 번째로, 화소 영역의 폭이 65 ~ 20㎛ 인 경우에는 면적 비율이 15% 이하이다.

[0102] 동일한 대각 크기를 갖는 액정 표시 패널에서, 해상도를 높일 수록 화소의 면적은 작아진다. 이 때, 화소 영역이 가로 대비 세로의 길이가 1:3인 장방형의 형상을 갖는 경우, 블록 영역(BA)들이 세로 방향으로 길쭉한 형상을 갖고, 가로 방향으로 나열된다. 이 상태에서, 해상도를 높이려면, 가로 방향으로 나열된 블록 영역(BA)의 개수를 줄인다. 따라서, 줄어드는 화소의 크기는 길이보다는 폭에 대한 의존도가 더 크다.

[0103] 표 4에서는 현재 생산되고 있는 대표적인 액정 표시 패널의 규격에 U-IPS 모드를 구현하고자 하는 경우에서, 화소 영역(EPA)의 폭 대비 단위 블록 영역(BA)의 폭 비율을 계산하였다.

표 4

[0104]

모드	해상도 (픽셀수)	패널 대각 크기 (Inch)	서브 화소 크기(폭:㎛)	BA/EPA 폭 비율(%)
U-IPS 모드	FHD (2K)	55	210	1.5
		49	186.42	1.7
		43	161.1	1.9
	QHD (4K)	65	124	2.5
		55	105	3.0
	UHD (8K)	98	93.7	3.3
	QHD (4K)	49	93.21	3.3
		43	81.7	3.8
	UHD (8K)	65	62	5.0
		55	52.5	5.9

[0105] 마찬가지로, 화소의 크기별로 보았을 때, 다음과 같이 세 그룹으로 나눌 수 있다. 첫 번째로, 화소 영역의 폭이 210 ~ 130㎛ 인 경우에는, 폭 비율이 4% 이하이다. 두 번째로, 화소 영역의 폭이 125 ~ 80㎛ 인 경우에는, 폭 비율이 6% 이하이다. 그리고 세 번째로, 화소 영역의 폭이 65 ~ 20㎛ 인 경우에는 폭 비율이 10% 이하이다.

[0106] 이상 설명한 종래 기술에 의한 IPS 모드 액정 표시장치와 본 발명에 의한 U-IPS 모드 액정 표시장치의 구조적인 특징에 대한 비교 예에서는, 화소의 모양이 가로 대비 세로의 비율이 1:3인 직사각형 형상을 갖는 경우를 중심으로 설명하였다. 하지만, 화소 영역이 가로 방향의 폭 대비 세로 방향의 길이가 3:1의 비율을 갖는 직사각형 형상을 갖고, 화소 전극 및 공통 전극이 가로 방향으로 진행하는 선분이 세로 방향으로 나열된 경우에는 블록들

이 세로 방향으로 나열될 수 있다. 이 경우에는, 세로 길이 대비 단위 블록의 길이 비율로 계산할 수 있는데, 그 값은 앞에서 설명한 값과 실질적으로 동일하다.

[0107] <응용 예>

[0108] 이상 본 발명에 의한 수평 전계형 액정 표시장치의 기본적인 구조적 특징들에 대해 설명하였다. 이하, 도 11 내지 13을 참조하여, 본 발명의 특징을 모두 적용한 실제 수평 전계형 액정 표시장치의 응용 예에 대하여 설명한다. 먼저, 도 11을 참조하여, 본 발명에 의한 수평 전계형 액정 표시장치에서 액정 물질의 종류에 따른 광 투과도 변화에 대해 상세하게 설명한다. 특히, 수평 전계에 의한 포지티브 형(Positive Type) 액정 물질과 네가티프 형(Negative Type) 액정 물질에 대한 광 투과도에 대해 설명한다. 도 11은 본 발명에 의한 수평 전계형 액정 표시장치에서, 액정 종류에 따른 광 투과도를 비교하는 도면이다.

[0109] 도 11에서는, 본 발명에 의한 U-IPS 모드 액정 표시장치에서 형성되는 수평 전계에 의해 액정 층이 구동되고, 그 결과 나타나는 광 투과율을 함께 표시하였다. 실선은 포지티브 형 액정 물질을 사용하는 경우의 광 투과율이고, 점선은 네가티브 형 액정 물질을 사용한 경우의 광 투과율이다. 포지티브 형 액정 물질의 경우, 전극들(PXL, COM) 사이의 블록 영역에서는 높은 투과율을 나타내고, 전극들(PXL, COM) 영역에서는 좀 낮은 투과율을 나타낸다. 즉, 포지티브 형 액정 물질을 사용한 경우, 광 투과율 분포는 단면 구조에서 기판(SUB) 전체 영역에 걸쳐 사인(sine) 분포를 갖는다.

[0110] 한편, 네가티브 형 액정 물질을 사용하는 경우, 전극들(PXL, COM) 영역에서는 포지티브 형 액정 물질의 경우와 유사한 광 투과율을 갖는다. 하지만, 전극들(PXL, COM) 사이의 블록 영역에서는 포지티브의 경우와 달리 광 투과율(혹은, 휘도)이 저하되는 경향이 있다. 즉, 네가티브 형 액정 물질을 사용한 경우, 포지티브 형 액정 물질을 사용하는 경우와 비교하여, 최대 광 투과율을 나타내는 영역에서 오히려 낮은 광 투과율을 갖는다.

[0111] 이러한 문제점을 해결하기 위해서, 본 발명의 응용 예에서는, 도 12와 같은 구조를 갖는 U-IPS 모드 액정 표시장치를 제공한다. 도 12는 본 발명의 응용 예에 의한 U-IPS 모드 액정 표시장치의 구조 및 광 투과도 분포를 나타내는 도면이다.

[0112] 도 12를 참조하면, 본 발명의 응용 예에 의한 U-IPS 액정 표시장치는, 액정 층(LC)을 사이에 두고 서로 대향하는 하부 기판(SL)과 상부 기판(SU)을 포함한다. 액정 층(LC)은 단축 유전율과 장축 유전율의 차이가 -5보다 큰 네가티브 형 액정 물질을 포함한다.

[0113] 하부 기판(SL)에는 서로 교차하는 게이트 배선 및 데이터 배선에 의해 정의된 다수 개의 하부 화소 영역들이 매트릭스 방식으로 배열되어 있다. 하부 화소 영역 내에는 박막 트랜지스터가 배치되어 있다. 또한, 하부 화소 영역 내에는 선분 형상을 갖고, 일정 간격으로 이격되어 배치된 하부 화소 전극(PXL1)과 하부 공통 전극(COM1)이 배치되어 있다. 하부 화소 전극(PXL1)과 하부 공통 전극(COM1)은 박막 트랜지스터를 덮는 보호막 위에서 동일한 평면 상에 배치되어 있다. 하부 화소 전극(PXL1)은 박막 트랜지스터와 연결되어 있으며, 하부 공통 전극(COM1)은 공통 전압을 전송하는 공통 배선에 연결되어 있다.

[0114] 상부 기판(SL)에는 하부 기판(SL)에 정의된 하부 화소 영역과 대응하도록 상부 화소 영역이 정의되어 있다. 상부 화소 영역 내에는 선분 형상을 갖고, 일정 간격으로 이격되어 배치된 상부 화소 전극(PXL2)과 상부 공통 전극(COM2)이 배치되어 있다. 상부 화소 전극(PXL2)과 상부 공통 전극(COM2) 사이의 이격 간격은, 하부 화소 전극(PXL1)과 하부 공통 전극(COM1) 사이의 이격 간격과 동일하다. 특히, 상부 화소 전극(PXL2)는 하부 화소 전극(PXL1)과 하부 공통 전극(COM1) 사이 공간인 블록의 중앙부와 대응하는 위치에 배치된다. 마찬가지로 상부 공통 전극(COM2)은 하부 공통 전극(COM1)과 하부 화소 전극(PXL1) 사이 공간인 블록의 중앙부와 대응하도록 배치된다.

[0115] 그 결과, 상부 기판(SU)과 하부 기판(SL) 사이에 배치된 액정 층(LC)의 거동에 따른 광 투과율 분포는, 도 12에 도시한 바와 같이, 단면 구조에서 기판(SUB) 전체 영역에 걸쳐 거의 고른 분포를 갖는다. 도 11에서 네가티브 형 액정 물질의 경우에 해당하는 광 투과율 분포와 비교 했을 때, 전체적으로 광 투과율이 상승한다. 이와 동시에, 블록 영역에서 광 투과율이 저하되는 문제도 해결할 수 있다.

[0116] 도 12에서는 하부 기판(SL) 및 상부 기판(SU) 모두에 전극들(PXL, COM)을 모두 배치하여 액정 층(LC)의 광 투과율을 균일하게 확보하는 기본 구조에 대해 설명하였다. 도 13을 참조하여, 본 발명의 응용 예에 의한 U-IPS 모드 액정 표시장치에서, 하부 기판의 전극들과 상부 기판의 전극들을 연결하는 상세한 구조에 대해 설명한다. 도 13은 본 발명의 응용 예에 의한 U-IPS 모드 액정 표시장치에서 하부 기판 전극과 상부 기판 전극의 연결 구

조를 나타내는 단면도이다.

[0117] 하부 기판(SL)은, 하부 화소 전극(PXL1), 하부 공통 전극(COM1), 제1 하부 컬럼 스페이서(CSL1), 제2 하부 컬럼 스페이서(CSL2) 그리고 하부 배향막(PIL)을 포함한다. 하부 화소 전극(PXL1)과 하부 공통 전극(COM1)은 동일한 평면 위에서 일정 간격 이격하여 배치된다. 제1 하부 컬럼 스페이서(CSL1)와 제2 하부 컬럼 스페이서(CSL2)는 상당한 높이를 갖고 상부 기판(SU)을 향해 돌출되어 있다. 하부 화소 전극(PXL1) 중 일부는 제1 하부 컬럼 스페이서(CSL1)의 표면 위에 적층된다. 하부 공통 전극(COM1) 중 일부는 제2 하부 컬럼 스페이서(CSL2)의 표면 위에 적층된다. 하부 기판(SL)의 전체 표면 위에는 하부 배향막(PIL)이 도포된다. 하지만, 제1 하부 컬럼 스페이서(CSL1) 및 제2 하부 컬럼 스페이서(CSL2)의 상부 표면 위에는 하부 배향막(PIL)이 도포되지 않는다.

[0118] 상부 기판(SU)은, 상부 화소 전극(PXL2), 상부 공통 전극(COM2), 제1 상부 컬럼 스페이서(CSU1), 제2 상부 컬럼 스페이서(CSU2) 그리고 상부 배향막(PIU)을 포함한다. 상부 화소 전극(PXL2)과 상부 공통 전극(COM2)은 동일한 평면 위에서 일정 간격 이격하여 배치된다. 제1 상부 컬럼 스페이서(CSU1)와 제2 상부 컬럼 스페이서(CSU2)는 상당한 높이를 갖고 하부 기판(SL)을 향해 돌출되어 있다. 상부 화소 전극(PXL2) 중 일부는 제1 상부 컬럼 스페이서(CSU1)의 표면 위에 적층된다. 상부 공통 전극(COM2) 중 일부는 제2 상부 컬럼 스페이서(CSU2)의 표면 위에 적층된다. 상부 기판(SU)의 전체 표면 위에는 상부 배향막(PIU)이 도포된다. 하지만, 제1 상부 컬럼 스페이서(CSU1) 및 제2 상부 컬럼 스페이서(CSU2)의 상부 표면 위에는 상부 배향막(PIU)이 도포되지 않는다.

[0119] 상부 기판(SU)과 하부 기판(SL)은 셀 갭(Cell Gap)이라 부르는, 일정 간격을 유지하며 합착되어 있다. 상부 기판(SU)과 하부 기판(SL) 사이에는 액정 층(LC)이 주입되어 있다. 상부 기판(SU)과 하부 기판(SL) 사이의 셀 갭을 일정하게 유지하기 위해서, 상부 컬럼 스페이서(CSU)와 하부 컬럼 스페이서(CSL)은 서로 접촉하도록 배치되는 것이 바람직하다. 특히, 제1 상부 컬럼 스페이서(CSU1)는 제1 하부 컬럼 스페이서(CSL1)와 접촉하고, 제2 상부 컬럼 스페이서(CSU2)는 제2 하부 컬럼 스페이서(CSL2)와 접촉하는 것이 바람직하다.

[0120] 제1 상부 컬럼 스페이서(CSU1)가 제1 하부 컬럼 스페이서(CSL1)와 접촉함에 따라, 상부 기판(SU)의 상부 화소 전극(PXL2)과 하부 기판(SL)의 하부 화소 전극(PXL1)이 서로 접촉한다. 따라서, 하부 기판(SL)에 배치된 하부 화소 전극(PXL1)에 인가되는 화소 전압은 상부 기판(SU)에 배치된 상부 화소 전극(PXL2)으로 인가된다. 또한, 제2 상부 컬럼 스페이서(CSU2)가 제2 하부 컬럼 스페이서(CSL2)와 접촉함에 따라, 상부 기판(SU)의 상부 공통 전극(COM2)과 하부 기판(SL)의 하부 공통 전극(COM1)이 서로 접촉한다. 따라서, 하부 기판(SL)에 배치된 하부 공통 전극(COM1)에 인가되는 공통 전압은 상부 기판(SU)에 배치된 상부 공통 전극(COM2)으로 인가된다.

[0121] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

[0122] GL: 게이트 배선 DL: 데이터 배선

CL: 공통 배선 T: 박막 트랜지스터

G: 게이트 전극 S: 소스 전극

D: 드레인 전극 A: 반도체 채널 층

GI: 게이트 절연막 SUB: 기판

Cst, STG: 보조 용량 PAS: 보호막

PXL: 화소 전극 COM: 공통 전극

PXLh: 수평 화소 전극 PXLv: 수직 화소 전극

COMh: 수평 공통 전극 COMv: 수직 공통 전극

DH: 드레인 콘택홀 CH: 공통 콘택홀

SL: 하부 기판 SU: 상부 기판

PXL1: 하부 화소 전극 PXL2: 상부 화소 전극

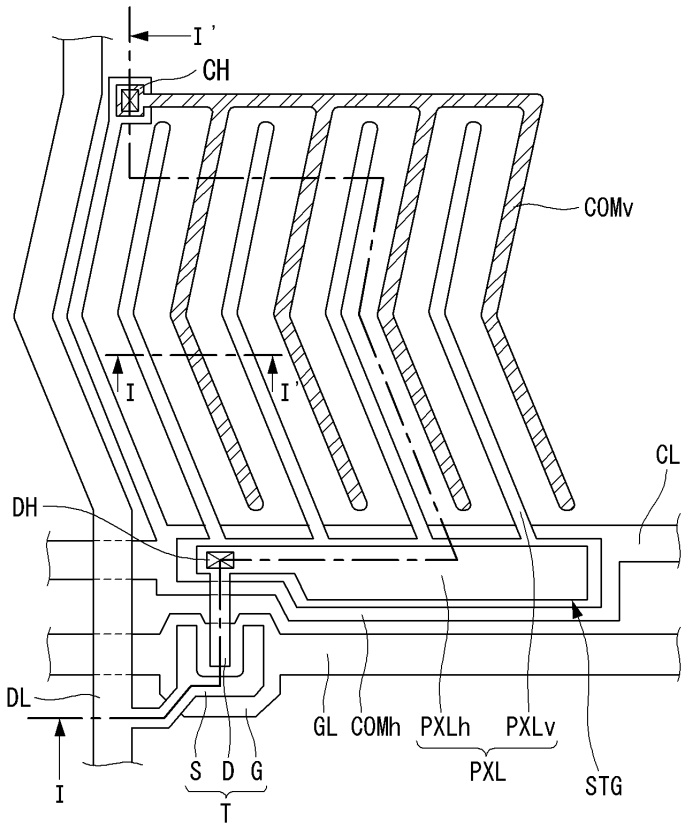
COM1: 하부 공통 전극 COM2: 상부 공통 전극

CSL1: 제1 하부 컬럼 스페이서 CSU1: 제1 상부 컬럼 스페이서

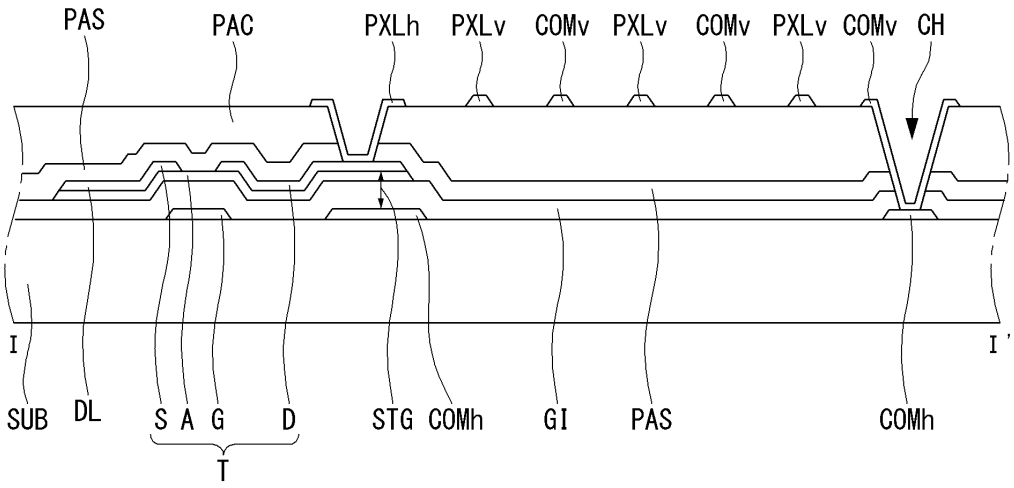
CSL2: 제2 하부 컬럼 스페이서 CSU2: 제2 상부 컬럼 스페이서

도면

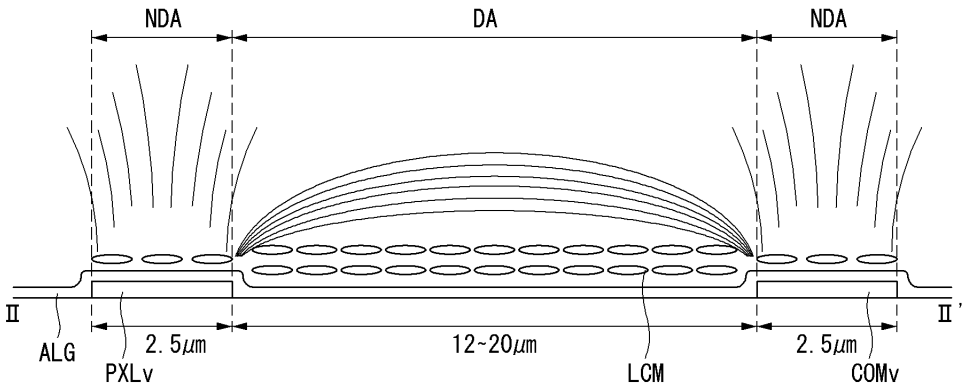
도면1



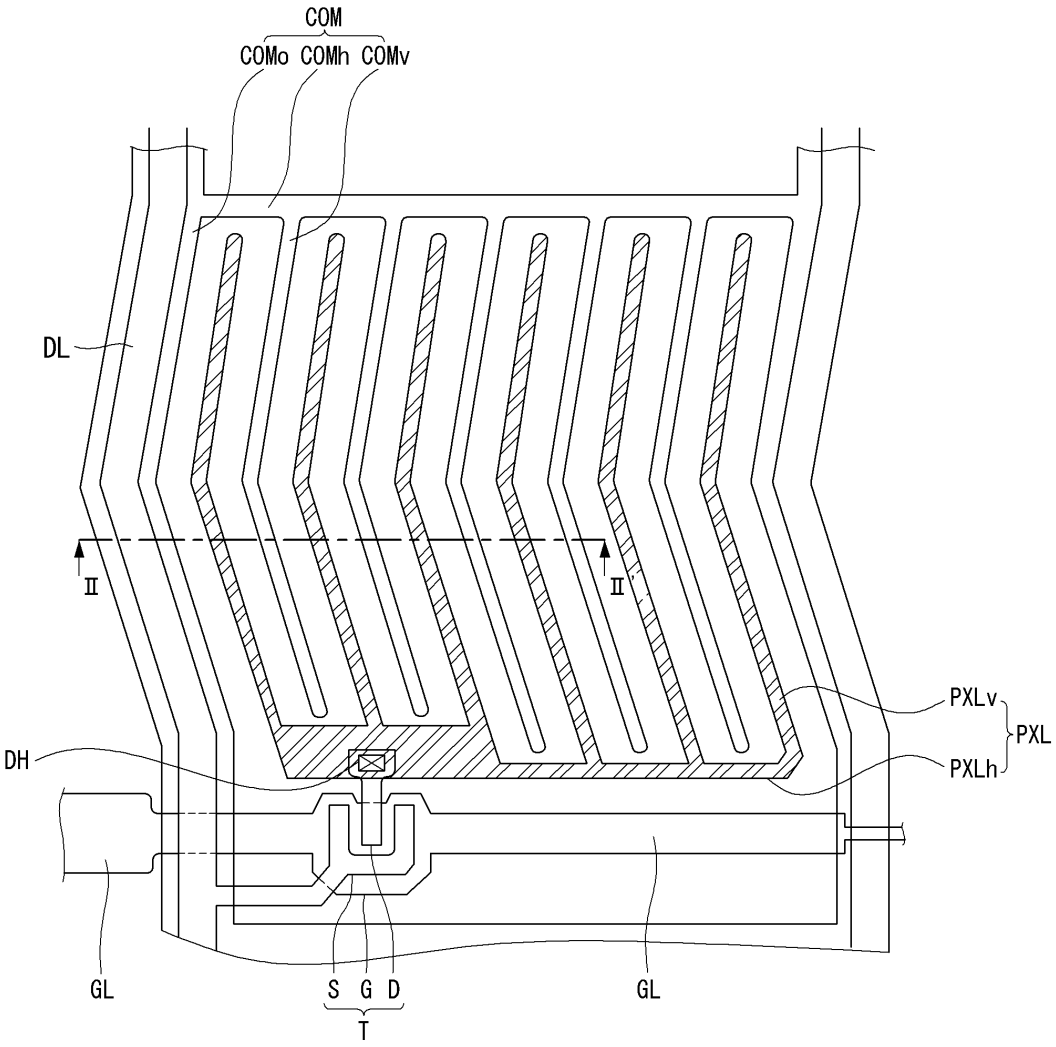
도면2



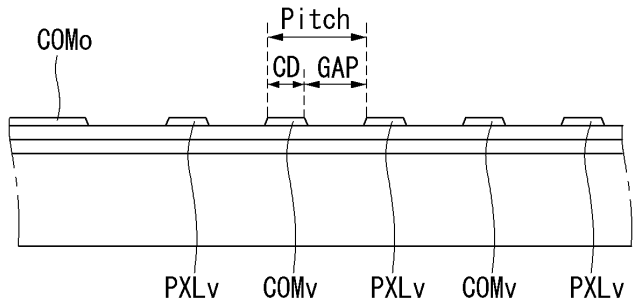
도면3


NDA
DA
NDA
Ⅱ
Ⅱ'
ALG
2.5㎛
12~20㎛
2.5㎛
PXLv
LCM
COMv

도면4


COM
COMo COMh COMv
DL
Ⅱ
Ⅱ'
PXLv
PXL
PXLh
DH
GL
S G D
T
GL

도면5

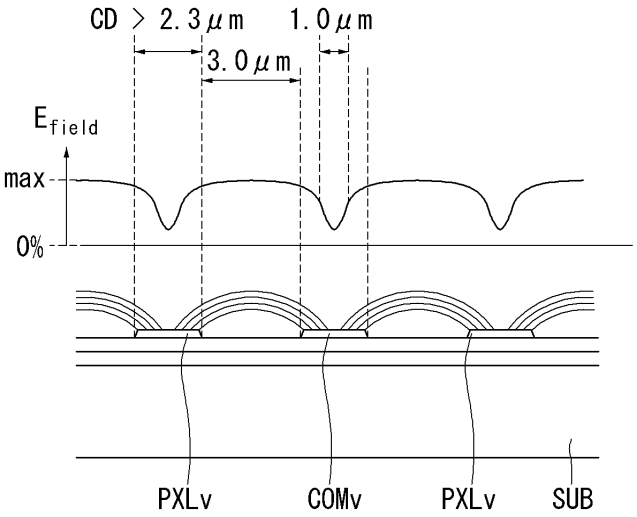


$0.5\mu m \leq CD \leq 2.0\mu m \Rightarrow CD \approx 1.0\mu m$

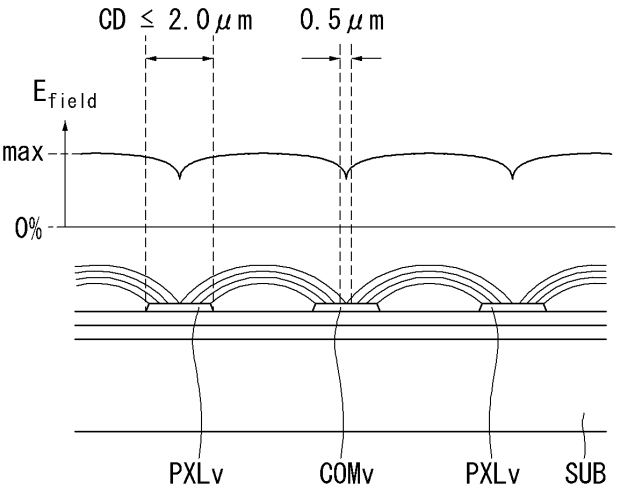
$2.0\mu m \leq Pitch \leq 6.0\mu m$

$1.5\mu m \leq GAP \leq 4.0\mu m$

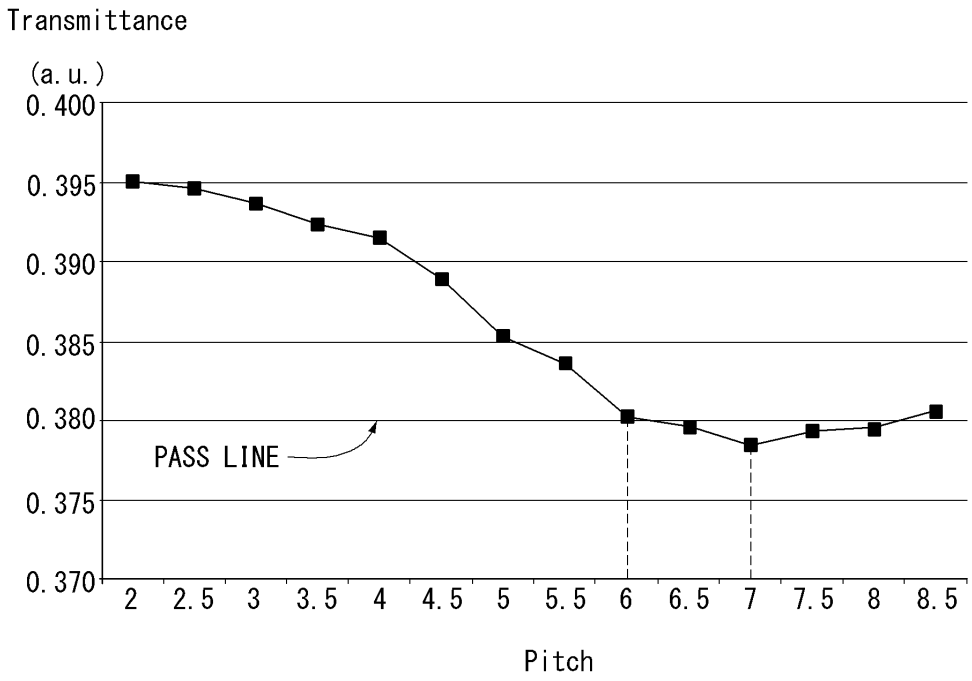
도면6



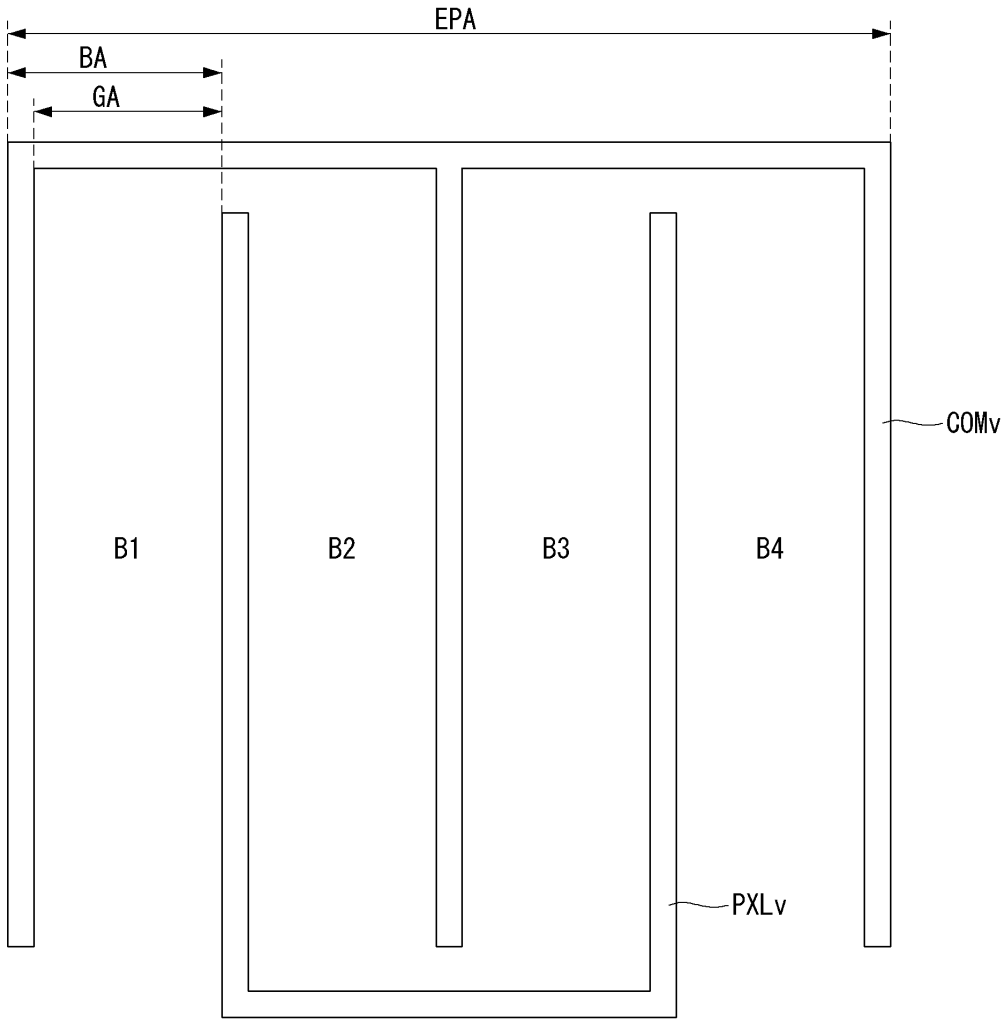
도면7



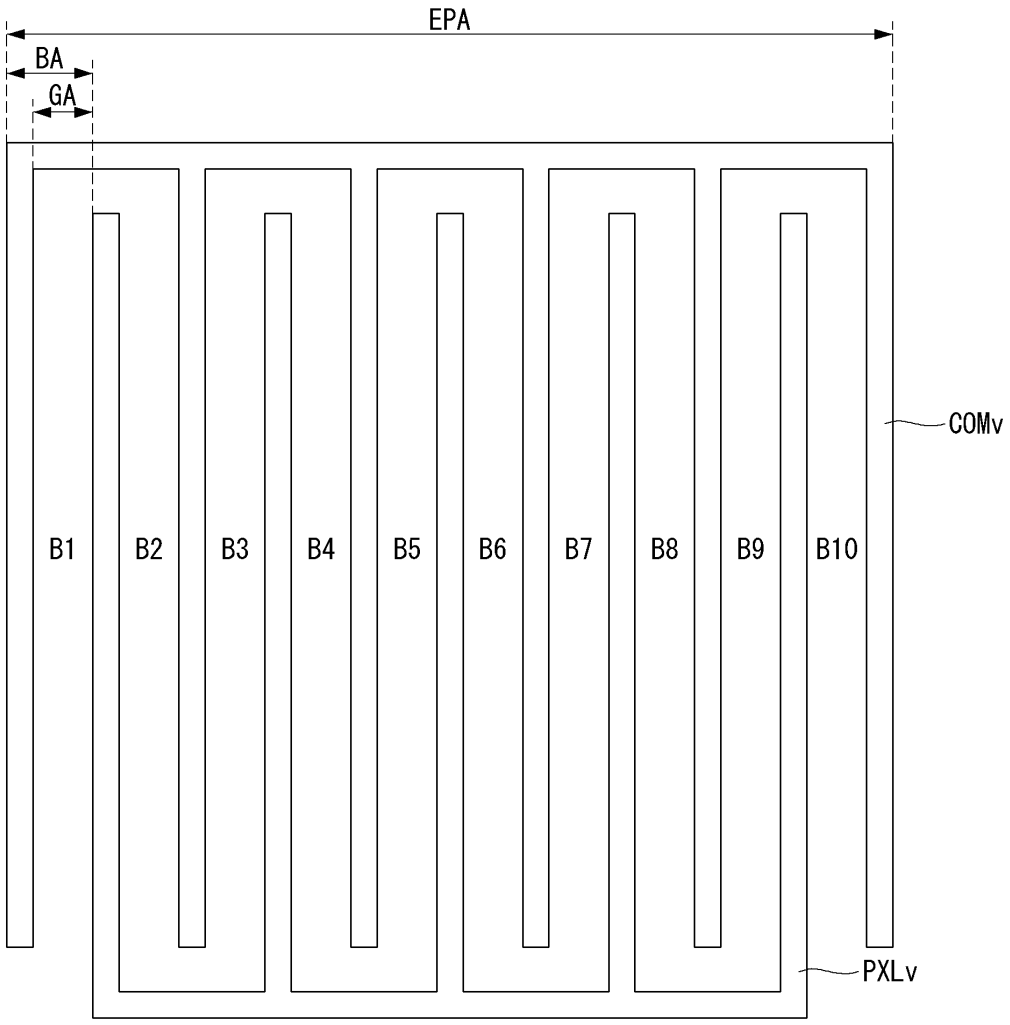
도면8


Transmittance
(a.u.)
0.400
0.395
0.390
0.385
0.380
0.375
0.370
PASS LINE
2
2.5
3
3.5
4
4.5
5
5.5
6
6.5
7
7.5
8
8.5
Pitch

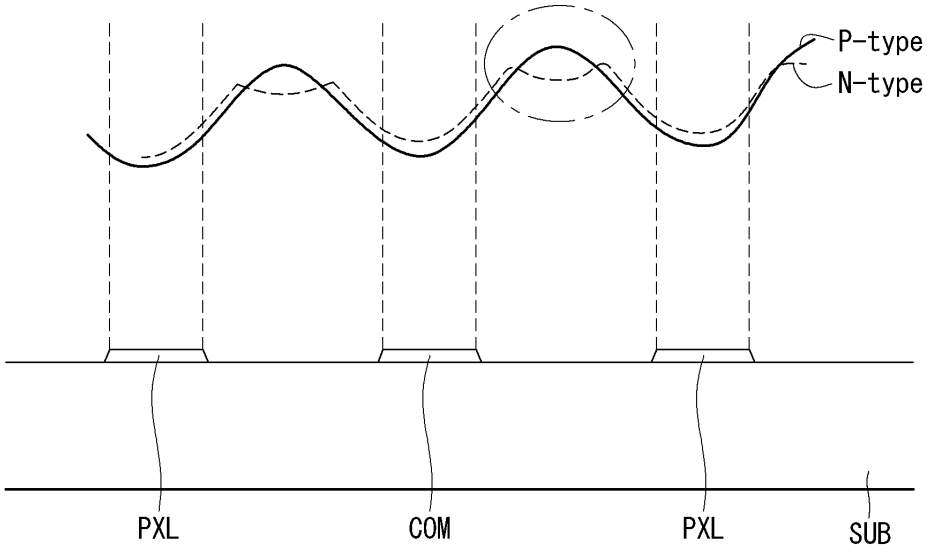
도면9



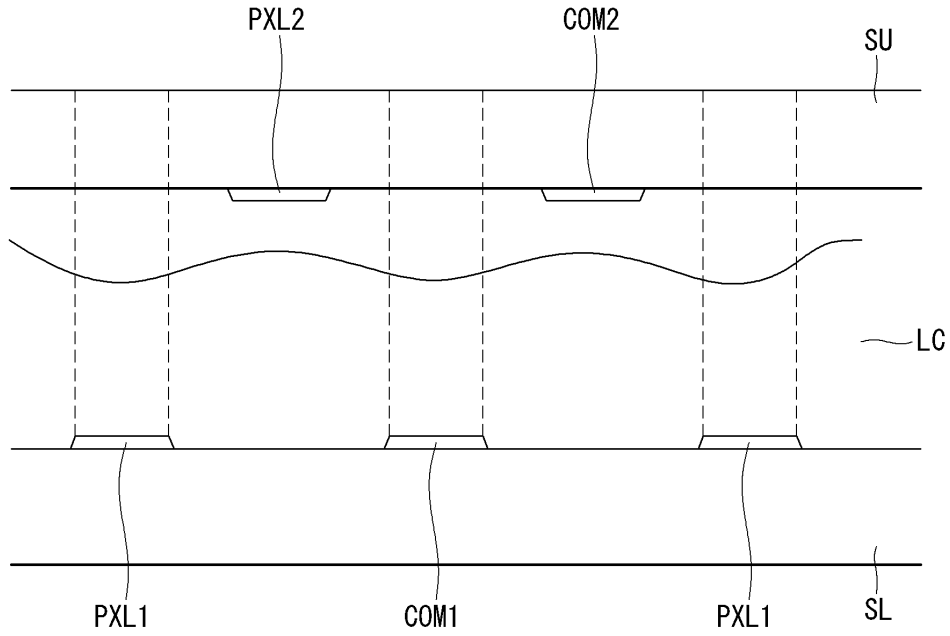
도면10


EPA
BA
GA
COMv
B1
B2
B3
B4
B5
B6
B7
B8
B9
B10
PXLv

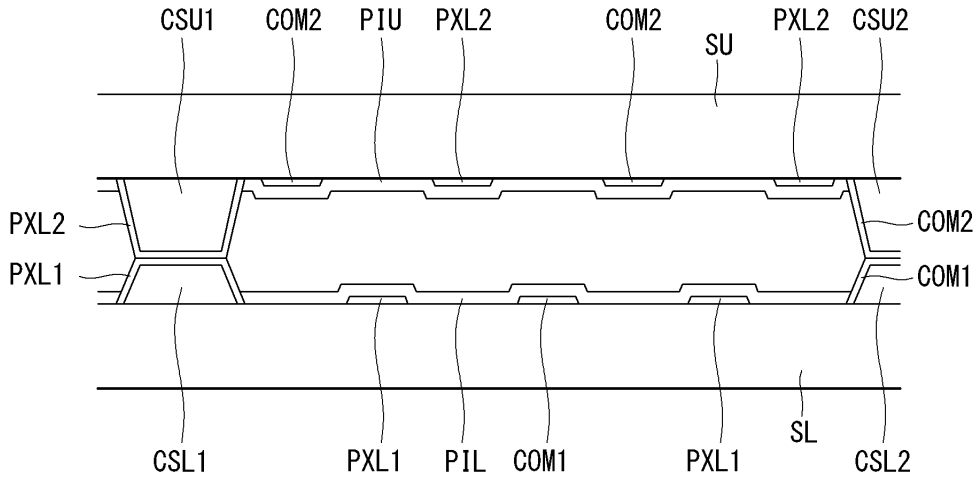
도면11


P-type
N-type
PXL
COM
PXL
SUB

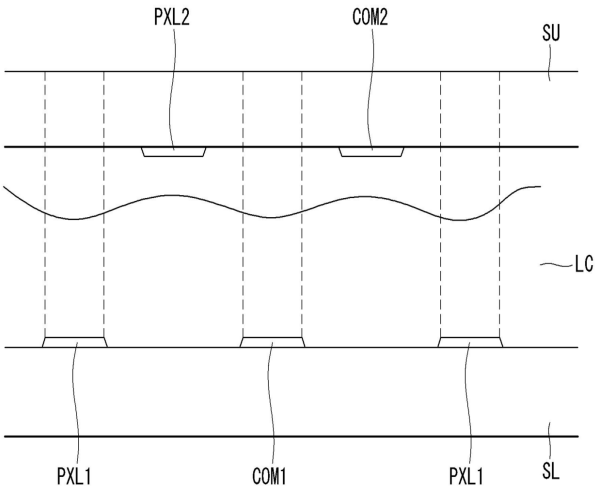
도면12


PXL2
COM2
SU
LC
PXL1
COM1
PXL1
SL

도면13


CSU1
COM2
PIU
PXL2
COM2
SU
PXL2
CSU2
PXL2
PXL1
COM2
COM1
SL
CSL1
PXL1
PIL
COM1
PXL1
CSL2

专利名称(译)	一种具有超高透射率的水平电场液晶显示装置		
公开(公告)号	KR1020170081066A	公开(公告)日	2017-07-11
申请号	KR1020150191795	申请日	2015-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM WON TAECK 김원택 JO JAE HYUNG 조재형 EOM YOU HYUN 엄유현		
发明人	김원택 조재형 엄유현		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134363 G02F1/1362		
外部链接	Espacenet		

摘要(译)

本发明涉及具有牵伸透射率的水平电场型液晶显示器。根据本发明的水平场型液晶显示器包括下板，下像素电极，下公共电极，上板和上像素电极，以及上公共电极和液晶层。下部像素电极和底部公共电极交替地布置在下板上方的同一平面上。上板隔离距离，侧面连接。上部像素电极和上部公共电极交替地布置在上板上方的同一平面上。液晶层介于下板和上板之间。下像素电极，下公共电极，上像素电极和上公共电极具有0.5μm至2.0μm和2.0μm至6.0μm的线宽的阵列间距，并且它被排列。上像素电极对应于底部公共电极和下部像素电极之间的中心部分并且被布置。