



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0083043
(43) 공개일자 2015년07월16일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1362 (2006.01)
G02F 1/1368 (2006.01)</p> <p>(52) CPC특허분류
G02F 1/136 (2013.01)
G02F 1/136286 (2013.01)</p> <p>(21) 출원번호 10-2015-0002490</p> <p>(22) 출원일자 2015년01월08일
심사청구일자 2015년01월08일</p> <p>(30) 우선권주장
14/150,458 2014년01월08일 미국(US)</p> | <p>(71) 출원인
애플 인크.
미합중국 95014 캘리포니아 쿠퍼티노 인피니트 루프 1</p> <p>(72) 발명자
첸, 유 첸
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 83-오 인피니트 루프 1</p> <p>창, 시호-창
미국 95014 캘리포니아주 쿠퍼티노 엠/에스 83-오 인피니트 루프 1
(뒷면에 계속)</p> <p>(74) 대리인
양영준, 백만기</p> |
|---|--|

전체 청구항 수 : 총 20 항

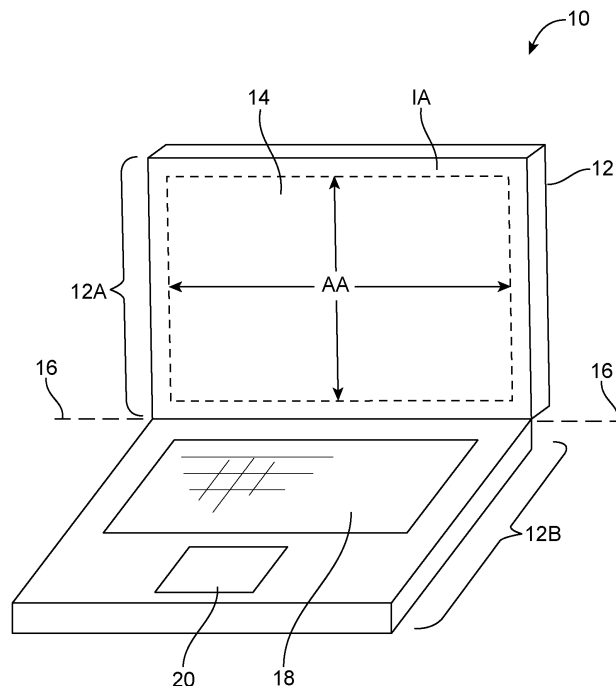
(54) 발명의 명칭 금속 라우팅 저항이 감소된 디스플레이 회로

(57) 요약

디스플레이는 컬러 필터층 및 박막 트랜지스터층을 구비할 수 있다. 액정 재료의 층은 컬러 필터층과 박막 트랜지스터(TFT)층 사이에 위치될 수 있다. TFT 층은 유리 기판의 상부에 형성되는 박막 트랜지스터들을 포함할 수 있다. 박막 트랜지스터층들 상에 패시베이션층이 형성될 수 있다. 패시베이션층 상에 산화물 라이너가 형성될

(뒷면에 계속)

대표도 - 도1



수 있다. 산화물 라이너 상에 제1 저유전율 유전체층이 형성될 수 있다. 제1 저유전율 유전체층 상에 제2 저유전율 유전체층이 형성될 수 있다. 제2 저유전율 유전체층 상에 공통 전압 전극 및 관련 스토리지 커패시턴스가 형성될 수 있다. 패시베이션층에 박막 트랜지스터 게이트 구조들이 형성될 수 있다. 산화물 라이너 상에, 제1 저유전율 유전체층 상에, 및 제2 저유전율 유전체층 상에 도전성 라우팅 구조들이 형성될 수 있다. 산화물 라이너 상의 라우팅 구조들의 사용은, 전체 라우팅 저항을 감소시키고, 인터레이스된 금속 라우팅을 가능하게 하며, 이는 활성 디스플레이 영역들 외부의 비활성 경계 영역을 감소시키는데 도움을 줄 수 있다.

(52) CPC특허분류

G02F 1/1368 (2013.01)

(72) 발명자

오사와, 히로시

미국 95014 캘리포니아주 쿠파티노 엠/에스 83-오
인피니트 루프 1

창, 텅-쿠오

미국 95014 캘리포니아주 쿠파티노 엠/에스 83-오
인피니트 루프 1

명세서

청구범위

청구항 1

디스플레이 회로로서,

기판;

상기 기판 위에 형성되는 박막 트랜지스터;

상기 박막 트랜지스터 상에 형성되는 패시베이션층;

상기 패시베이션층 상에 형성되는 유전체 라이너(dielectric liner); 및

상기 유전체 라이너 상에 형성되는 도전성 라우팅 구조들(conductive routing structures)

을 포함하는 디스플레이 회로.

청구항 2

제1항에 있어서,

상기 패시베이션층은 실리콘 질화물을 포함하는 디스플레이 회로.

청구항 3

제1항에 있어서,

상기 유전체 라이너는 에치-스톱 재료를 포함하는 디스플레이 회로.

청구항 4

제1항에 있어서,

상기 유전체 라이너 상에서 상기 도전성 라우팅 구조들 위에 형성되는 유전체층을 더 포함하는 디스플레이 회로.

청구항 5

제4항에 있어서,

상기 유전체층은 저유전율(low-k) 유전체 재료를 포함하는 디스플레이 회로.

청구항 6

제4항에 있어서,

상기 유전체층 상에 형성되는 추가적 도전성 라우팅 구조들을 더 포함하고, 상기 유전체 라이너 상에 형성되는 도전성 라우팅 구조들 및 상기 유전체층 상에 형성되는 추가적 도전성 라우팅 구조들은 실질적으로 유사한 비저항(resistivity)을 나타내는 디스플레이 회로.

청구항 7

제1항에 있어서,

상기 박막 트랜지스터는 상기 도전성 라우팅 구조들의 것보다 큰 시트 저항을 나타내는 도전성 재료로부터 형성되는 게이트 구조를 포함하는 디스플레이 회로.

청구항 8

제7항에 있어서,

상기 박막 트랜지스터의 게이트 구조는 상기 패시베이션층에 형성되는 디스플레이 회로.

청구항 9

디스플레이 회로의 제조 방법으로서,

기판 위에 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터 위에 저유전율(low-k) 유전체층을 형성하는 단계; 및

상기 저유전율 유전체층에 도전성 라우팅 경로들을 형성하는 단계를 포함하는 방법.

청구항 10

제9항에 있어서,

상기 박막 트랜지스터 상에 패시베이션층을 형성하는 단계를 더 포함하고, 상기 패시베이션층은 상기 박막 트랜지스터와 상기 저유전율 유전체층 사이에 삽입되는 방법.

청구항 11

제10항에 있어서,

상기 패시베이션층과 상기 저유전율 유전체층 사이에 삽입되는 산화물 라이너를 형성하는 단계를 더 포함하고, 상기 도전성 라우팅 경로들은 상기 산화물 라이너 상에 형성되는 방법.

청구항 12

제9항에 있어서,

상기 저유전율 유전체층 상에 다른 유전체층을 형성하는 단계; 및

상기 다른 유전체층 상에 상기 디스플레이 회로용 공통 전극을 형성하는 단계를 더 포함하는 방법.

청구항 13

제9항에 있어서,

상기 저유전율 유전체층 상에 추가적 도전성 라우팅 경로들을 형성하는 단계를 더 포함하고, 상기 도전성 라우팅 경로들 및 상기 추가적 도전성 라우팅 경로들은 상기 저유전율 유전체층을 통해 형성되는 비아들을 사용하여 병렬로 단락되는(shorted) 방법.

청구항 14

제9항에 있어서,

상기 저유전율 유전체층 상에 추가적 도전성 라우팅 경로들을 형성하는 단계를 더 포함하고, 상기 도전성 라우팅 경로들 및 상기 추가적 라우팅 도전성 경로들은 인터레이스(interlace)되어 배선 피치(wiring pitch)를 감소시키는 방법.

청구항 15

제9항에 있어서,

상기 저유전율 유전체층 상에 다른 유전체층을 형성하는 단계; 및

상기 다른 유전체층 상에 스토리지 커패시터를 형성하는 단계를 더 포함하는 방법.

청구항 16

전자 디바이스 디스플레이 구조들로서,

기판;

상기 기관 위에 형성되는 박막 트랜지스터
를 포함하고, 상기 박막 트랜지스터는,
상기 기관 위에 형성되는 소스-드레인 구조들;
상기 소스-드레인 구조들 위에 형성되는 제1 게이트 구조; 및
상기 제1 게이트 구조 위에 형성되는 제2 게이트 구조
를 포함하는 전자 디바이스 디스플레이 구조들.

청구항 17

제16항에 있어서,
상기 제1 게이트 구조는 제1 재료로부터 형성되고, 상기 제2 게이트 구조는 상기 제1 재료와는 상이한 제2 재료
로부터 형성되는 전자 디바이스 디스플레이 구조들.

청구항 18

제17항에 있어서,
상기 제1 재료는 상기 제2 재료의 것보다 큰 시트 저항을 나타내는 전자 디바이스 디스플레이 구조들.

청구항 19

제16항에 있어서,
상기 제1 게이트 구조 상에 형성되는 패시베이션층; 및
상기 패시베이션층 상에 형성되는 유전체 라이너
를 더 포함하고, 상기 제2 게이트 구조는 상기 유전체 라이너 상에 형성되는 전자 디바이스 디스플레이 구조들.

청구항 20

제16항에 있어서,
상기 제1 게이트 구조에 연결되는 제1 게이트 라인; 및
상기 제2 게이트 구조에 연결되는 제2 게이트 라인
을 더 포함하고, 상기 제1 게이트 라인은 상기 제2 게이트 라인에 직교하는 전자 디바이스 디스플레이 구조들.

발명의 설명

기술 분야

[0001] 본 출원은 2014년 1월 8일에 출원된 미국 특허 출원 제14/150,458호에 대한 우선권을 주장하며, 이는 그 전부가 본 명세서에 원용된다.

[0002] 본 발명은 일반적으로 전자 디바이스들에 관한 것이며, 보다 구체적으로는, 디스플레이들을 갖는 전자 디바이스들에 관한 것이다.

배경 기술

[0003] 최근, 모바일 전자 디바이스는 그 휴대성, 융통성 및 사용-편의성으로 인해 매우 인기가 있게 되었다. 스마트폰, 휴대용 음악/비디오 재생기, 및 태블릿 개인용 컴퓨터(PC) 등 많은 상이한 타입의 모바일 전자 디바이스가 현재 시장에서 사용될 수 있지만, 이들 대부분은 일부 기본 구성요소를 공유한다. 특히, 터치 센서 패널, 터치 스크린 등은 다양한 모바일 전자 디바이스에 대한 입력 디바이스들로서 이용가능하게 되었다. 터치 스크린은, 특히, 그 조작 편의성 및 융통성으로 인해 점점 더 인기를 끌고 있다. 터치 스크린은, 터치 센서 패널 및 디스플레이 디바이스를 포함할 수 있으며, 터치 센서 패널은 터치-감지 표면을 갖는 투명 패널일 수 있고, 디스플레이 디바이스는 터치 센서 패널 뒤에 일부가 또는 전부가 위치될 수 있어 터치-감지 표면이 디스플레이 디바이스

의 가시 영역 중 적어도 일부를 덮을 수 있는 LCD 패널 또는 OLED 패널 등의 디스플레이 디바이스이다.

[0004]

통상적인 모바일 전자 디바이스의 크기가 랩탑 또는 데스크탑 컴퓨터에 비해 상대적으로 작다는 점을 고려하면, 모바일 전자 디바이스의 디스플레이 영역을 최대화하는 것이 종종 바람직하다. 터치 스크린을 갖는 디바이스들에 대해, 증가된 디스플레이 영역은 또한 보다 큰 터치-활성 영역을 제공할 수 있다. 통상적으로, 모바일 전자 디바이스의 디스플레이/터치-활성 영역은 비활성 경계 영역에 의해 일부가 또는 전부가 둘러싸인다. 이러한 경계 영역은 종종 디스플레이 및/또는 터치 센서 패널로부터 디바이스의 회로에 신호들을 라우팅하기 위해 남겨둔다. 일부 터치-기반 디바이스들에서 경계 영역은 이미 디스플레이/터치-활성 영역에 비해 상대적으로 작을 수 있지만, 경계 영역을 더욱 감소시키는 것은 그림에도 불구하고 디바이스의 전체 크기를 증가시키지 않고 디바이스의 디스플레이/터치-활성 영역에 대해 이용가능한 공간을 최대화하는 것을 돕는다.

발명의 내용

해결하려는 과제

[0005]

따라서, 경계 영역이 감소된 전자 디스플레이를 제공할 수 있으면 바람직할 것이다.

과제의 해결 수단

[0006]

액정 디스플레이를 갖는 전자 디바이스가 제공된다. 액정 디스플레이는 유리 기판 위에 형성되는 디스플레이 화소 회로를 포함할 수 있다. 박막 트랜지스터 구조들은 유리 기판 위에 형성될 수 있다. 패시베이션층이 박막 트랜지스터 구조들 위에 형성될 수 있다(예를 들어, 실리콘 질화물 패시베이션 라이너가 박막 트랜지스터의 게이트 도전체의 상부에 직접 형성될 수 있다).

[0007]

유전체 라이너(예를 들어, 박막 실리콘 산화물층)가 질화물 패시베이션층 위에 형성될 수 있다. 제1 저유전율(low-k) 유전체층이 유전체 라이너 위에 형성될 수 있다. 제2 저유전율 유전체층이 제1 저유전율 유전체층 위에 형성될 수 있다. 제1 및 제2 저유전율 유전체층들은 백라이트 투과율을 최대화하기 위해 실질적으로 굴절을 많이 유사한 재료들로 형성될 수 있다.

[0008]

디스플레이는 디스플레이의 활성 영역에서 행들과 열들에 배열되는 디스플레이 화소들의 배열을 포함할 수 있다. 배열에서의 각 디스플레이 화소는 도전성 라우팅 경로들을 통해 관련 제어 회로에 연결될 수 있다. 예를 들어, 각 디스플레이 화소에서의 각 박막 트랜지스터는, 디스플레이 드라이버에 라우팅되는 대응 데이터 라인에, 게이트 드라이버에 라우팅되는 적어도 하나의 대응 게이트 라인에, 및 공통 전극(Vcom) 드라이버 또는 관련 터치 센서/드라이버에 라우팅되는 공통 전극(Vcom)에 연결될 수 있다. 데이터 라인 및 게이트 라인을 관련 드라이버 회로들에 연결하는 도전성 라우팅 경로들이 디스플레이의 비활성 경계 영역에 형성될 수 있다.

[0009]

제1 도전성 라우팅 경로들은 제1 저유전율 유전체층에서 유전체 라이너 위에 형성될 수 있다. 제2 도전성 라우팅 경로들은 제2 저유전율 유전체층에서 제1 저유전율 유전체층 위에 형성될 수 있다. Vcom 전극 및 화소 스토리지 커패시터 회로가 제2 저유전율 유전체층 위에 형성될 수 있다. 제1 및 제2 도전성 라우팅 경로들은 실질적으로 유사한 시트 저항들을 나타낼 수 있다. 패시베이션층 아래에 형성되는 TFT 게이트 도전체는, 각각 제1 및 제2 저유전율 유전체층들에 형성되는 제1 및 제2 도전성 라우팅 경로들의 것보다 실질적으로 큰 시트 저항들을 나타내는 고온 저항 재료들로 형성될 수 있다(예를 들어, 게이트 도전성 재료는 제1 및 제2 도전성 라우팅 경로들을 형성하는데 사용되는 재료의 적어도 2배인 저항성을 나타낼 수 있다). 일부 배치들에서는, 추가적 TFT 게이트 도전체들이 활성 디스플레이 영역에서 제1 저유전율 유전체층에 형성되어 향상된 화소 어드레싱 능력들을 제공할 수 있다.

[0010]

제1 저유전율 유전체층에서 라우팅 경로들의 사용은 전체 라우팅 저항을 감소시킨다. 이는 폭들이 감소된 라우팅 경로들의 사용을 가능하게 하고, 이는 디스플레이의 주변 라우팅 능력들을 향상시키고, 비활성 경계 영역을 감소시킨다. 제1 및 제2 도전성 라우팅 경로들은 또한 인터레이스되어(interlaced), 드라이버들을 디스플레이 화소 배열에서의 관련 행 및 열 제어선들에 접속하는 배선의 팬아웃 피치를 감소시키는데 도움을 줄 수 있다. 배선 팬아웃 피치를 감소시키는 것은 또한 비활성 경계 영역을 감소시키는데 도움을 줄 수 있고, 이에 의해 향상된 가용성을 위한 활성 디스플레이 영역을 최대화한다.

[0011]

본 발명의 다른 특징들, 그 특성 및 다양한 이점들은 첨부 도면들 및 이하의 상세한 설명으로부터 보다 명백하게 될 것이다.

도면의 간단한 설명

[0012]

도 1은 휴대용 컴퓨터 등 본 발명의 일 실시예에 따른 디스플레이를 갖는 예시적인 전자 디바이스의 도면이다.

도 2는 셀룰러 전화 또는 기타 핸드헬드 디바이스 등 본 발명의 일 실시예에 따른 디스플레이를 갖는 예시적인 전자 디바이스의 도면이다.

도 3은 태블릿 컴퓨터 등 본 발명의 일 실시예에 따른 디스플레이를 갖는 예시적인 전자 디바이스의 도면이다.

도 4는 컴퓨터가 내장된 컴퓨터 모니터 등 본 발명의 일 실시예에 따른 디스플레이를 갖는 예시적인 전자 디바이스의 도면이다.

도 5는 본 발명의 일 실시예에 따른 디스플레이의 단면측면도이다.

도 6은 본 발명의 일 실시예에 따라 전자 디바이스 디스플레이를 조작하는데 사용될 수 있는 회로를 도시하는 회로도이다.

도 7은 본 발명의 일 실시예에 따른 디스플레이에서의 예시적인 디스플레이 화소의 회로도이다.

도 8은 본 발명의 일 실시예에 따른 도 6의 예시적 디스플레이 회로의 일부의 확대도를 도시한다.

도 9는 M2 라우팅 구조들만을 포함하는 종래의 디스플레이 화소 회로의 단면측면도이다.

도 10은 본 발명의 일 실시예에 따라서 M1 게이트 구조들 위와 M2 라우팅 구조들 아래에 추가적 라우팅 구조들을 포함하는 예시적 디스플레이 화소 회로의 단면측면도이다.

도 11은 본 발명의 일 실시예에 따라서 M1 게이트 구조들 위에 형성되는 추가적 게이트 구조들을 포함하는 예시적 디스플레이 화소 회로의 단면측면도이다.

도 12는 본 발명의 일 실시예에 따라서 2개 게이트 단자들을 갖는 예시적 디스플레이 화소의 회로도이다.

도 13은 본 발명의 일 실시예에 따라서 도 9 및 도 10에 도시된 타입의 디스플레이 화소 구조들을 형성하는 예시적 단계들의 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0013]

본 발명은 디바이스의 디스플레이/인터랙티브 터치 영역들을 최대화하기 위해 전자 디바이스의 경계 영역들을 감소시키는 방법들 및 회로에 관한 것이다. 특히, 추가적 금속 라우팅 구조들이 종래의 M1 및 M2 금속 라우팅 층들 사이에 형성될 수 있다. 추가적 금속 라우팅 구조들은 M1 금속 라우팅층에 형성되는 도전체들보다 실질적으로 낮은 저항을 나타낼 수 있다. 추가적 금속 라우팅 구조들의 사용은 따라서 라우팅 저항을 감소시키는 것을 도울 수 있고, 이는 보다 짧은 라우팅 경로들이 형성될 수 있게 하고, 또한 M2 금속 라우팅층에 형성되는 라우팅 구조들과 관련하여 인터레이스된 신호 라우팅을 가능하게 할 수 있다. (배선 피치를 감소시키는) 보다 짧은 라우팅 배선들 및 인터레이싱 라우팅 경로들을 형성하는 것은 전자 디바이스들 상의 경계 영역들을 감소시키는 것을 도울 수 있다.

[0014]

디스플레이가 제공될 수 있는 타입의 예시적인 전자 디바이스가 도 1에 도시된다. 전자 디바이스(10)는, 컴퓨터 모니터 등의 디스플레이에 통합되는 컴퓨터 등의 컴퓨터, 랩톱 컴퓨터, 태블릿 컴퓨터, 손목-시계 디바이스, 펜던트 디바이스, 또는 다른 웨어러블 또는 미니어쳐 디바이스 등의 다소 더 작은 휴대용 디바이스, 셀룰러 전화, 미디어 플레이어, 태블릿 컴퓨터, 게임 디바이스, 네비게이션 디바이스, 컴퓨터 모니터, 텔레비전, 또는 다른 전자 장비일 수 있다.

[0015]

도 1에 도시된 바와 같이, 디바이스(10)는 디스플레이(14) 등의 디스플레이를 포함할 수 있다. 디스플레이(14)는 용량성 터치 전극들 또는 다른 터치 센서 컴포넌트들을 포함하는 터치 스크린일 수 있거나, 또는 터치 감응성이 아닌 디스플레이일 수 있다. 디스플레이(14)는 액정 디스플레이(LCD) 컴포넌트들 또는 다른 적절한 디스플레이 화소 구조들로부터 형성되는 이미지 화소들을 포함할 수 있다. 액정 디스플레이 화소들을 이용하여 디스플레이(14)가 형성되는 배치들이 종종 본 명세서에 예로서 설명된다. 그러나, 이는 단지 예시이다. 요구에 따라 임의의 적절한 타입의 디스플레이 기술이 디스플레이(14)를 형성하는데 사용될 수 있다.

[0016]

디바이스(10)는 하우징(12) 등의 하우징을 구비할 수 있다. 종종 케이스라고 할 수 있는 하우징(12)은, 플라스틱, 유리, 세라믹, 섬유 합성물, 금속(예를 들어, 스테인레스 스틸, 알루미늄 등), 다른 적절한 재료들, 또는

이들 재료 중 임의의 2개 이상의 조합으로 형성될 수 있다.

- [0017] 하우징(12)은, 하우징(12)의 일부 또는 전부가 단일 구조로서 기계 가공되거나 또는 성형되는 단일체 구성을 사용하여 형성될 수 있거나, 또는 복수의 구조들(예를 들어, 내부 프레임 구조, 외부 하우징 표면들을 형성하는 하나 이상의 구조 등)을 이용하여 형성될 수 있다.
- [0018] 도 1에 도시된 바와 같이, 하우징(12)은 다수 부분들을 구비할 수 있다. 예를 들어, 하우징(12)은 상부 부분(12A) 및 하부 부분(12B)을 구비할 수 있다. 상부 부분(12A)은, 상부 부분(12A)이 하부 부분(12B)에 대해 회전축(16)을 기준으로 회전할 수 있게 하는 힌지를 이용하여 하부 부분(12B)에 연결될 수 있다. 키보드(18) 등의 키보드 및 터치 패드(20) 등의 터치 패드가 하우징 부분(12B)에 장착될 수 있다.
- [0019] 디스플레이(14)는 활성 영역(AA) 등의 활성 영역 및 비활성 영역(IA) 등의 비활성 영역을 구비할 수 있다. 활성 영역(AA)은, 예를 들어, 디바이스(10)의 사용자를 위해 이미지들을 디스플레이하는데 디스플레이 화소들이 활성적으로 이용되는 디스플레이(14)의 중심에서의 직사각형 영역일 수 있다. 비활성 영역(IA)에는 활성 디스플레이 화소들이 없을 수 있다. 도 1의 예에서, 비활성 영역(IA)은 디스플레이(14)의 활성 영역(AA)의 주변을 둘러싸는 직사각형 링의 형상을 갖는다.
- [0020] 회로 및 기타 컴포넌트들이 종종 비활성 영역(IA)에 형성될 수 있다. 디바이스(10)의 사용자에게 의한 시야로부터 회로 및 기타 컴포넌트들을 숨기기 위해, 비활성 영역(IA)에는 종종 불투명 마스크가 제공될 수 있다. 불투명 마스크는 검정 색소 폴리머 재료(black pigmented polymer material) 등의 불투명 재료로부터 형성될 수 있거나, 또는 다른 색들의 불투명 마스크 재료들로부터 형성될 수 있다. 디스플레이(14)에서 불투명 마스크 재료가 검정색 외관(black appearance)을 갖는 구성들이 종종 본 명세서에서 예로서 설명된다. 그러나, 이는 단지 예시이다. 디바이스(10)에서 불투명 마스크층들은 임의의 적절한 색을 가질 수 있다.
- [0021] 도 2의 예에서, 디바이스(10)는 사용자의 손 안에 맞도록 충분히 작은 하우징을 사용하여 구현되었다(예를 들어, 도 2의 디바이스(10)는 셀룰러 전화 등 핸드헬드 전자 디바이스일 수 있다). 도 2에 도시되듯이, 디바이스(10)는 하우징(12)의 전방에 장착되는 디스플레이(14) 등의 디스플레이를 포함할 수 있다. 디스플레이(14)는 활성 디스플레이 화소들로 실질적으로 채워질 수 있거나, 또는 활성 부분(AA) 등의 활성 부분을 둘러싸는 비활성 부분(IA) 등의 비활성 부분을 구비할 수 있다. 디스플레이(14)는 버튼(22)을 수용하기 위한 개구부 및 스피커 포트(24)를 수용하기 위한 개구부 등의 개구부들(예를 들어, 디스플레이(14)의 비활성 영역(IA) 또는 활성 영역(AA)에서의 개구부들)을 구비할 수 있다.
- [0022] 도 3은 전자 디바이스(10)가 태블릿 컴퓨터의 형태로 구현된 구성의 전자 디바이스(10)의 사시도이다. 도 3에 도시된 바와 같이, 디스플레이(14)는 하우징(12)의 상부(전방) 표면에 장착될 수 있다. 디스플레이(14)에서(예를 들어, 활성 영역(AA)을 둘러싸는 비활성 영역(IA)에) 버튼(22)을 수용하기 위한 개구부가 형성될 수 있다.
- [0023] 도 4는 컴퓨터 모니터에 통합된 컴퓨터의 형태로 전자 디바이스(10)가 구현된 구성의 전자 디바이스(10)의 사시도이다. 도 4에 도시된 바와 같이, 디스플레이(14)는 하우징(12)의 전방 표면에 장착될 수 있다. 스탠드(26)는 하우징(12)을 지지하는데 사용될 수 있다. 디스플레이(14)는 활성 영역(AA)을 둘러싸는 비활성 영역(IA) 등의 비활성 영역을 포함할 수 있다.
- [0024] 요구가 있다면, 디스플레이(14)는 활성 영역(AA)의 하나 이상의 에지들을 따라 비활성 영역(IA)의 사이즈를 최소화하거나 또는 제거하도록 구성될 수 있다. 비활성 영역(IA)이 직사각형 활성 영역(AA)의 4개의 모든 에지들을 따라서 확장하는 구성들이 예로서 본 명세서에 개시된다.
- [0025] 도 1 내지 도 4의 디스플레이(14)를 형성하는데 사용될 수 있는 타입의 디스플레이의 일부의 단면측면도가 도 5에 도시된다. 도 5에 도시된 바와 같이, 디스플레이(14)는 컬러 필터(CF) 층(28)과 박막 트랜지스터(TFT) 층(30)을 포함할 수 있다. 컬러 필터층(28)은 디스플레이 기판 위에 형성되는 컬러 필터 엘리먼트들의 배열을 포함할 수 있다. 도 5에 도시된 바와 같이, 컬러 필터 배열(31)은 디스플레이(14)의 활성 영역(AA)에서 컬러 필터 기판(29)의 내부 표면 위에 형성될 수 있다.
- [0026] 컬러 필터층(28)은 또한 블랙 마스크 재료(45) 등 불투명한 마스크 재료의 층을 포함할 수 있다. 블랙 마스크 재료(45)(종종 블랙 마스크층 또는 블랙 매트릭스층이라고 함)는 컬러 필터 기판(29)의 내부 표면 위에 형성될 수 있고, 디스플레이(14)의 활성 영역(AA)을 둘러싸는 불투명한 주변 경계를 형성할 수 있다. 블랙 마스크 재료(45') 등 불투명한 마스크 재료 또한 디스플레이(14)의 활성 영역(AA) 내에 형성될 수 있다. 블랙 마스크 재료(45')는 색 혼합을 방지하기 위해 활성 영역(AA)의 인접한 유색 화소들의 사이에 사용될 수 있다. 디스플레이

이의 활성 부분에 사용되는 블랙 마스크 재료는 종종 블랙 매트릭스 또는 블랙 매트릭스층이라고 한다. 통상적인 배치에서, 블랙 매트릭스층(45')에는 활성 영역(AA) 전반에 분포되는 컬러 필터 엘리먼트 개구들이 제공된다. 각각의 개구에는 컬러 필터 엘리먼트(예를 들어, 적색, 녹색 또는 청색 필터 엘리먼트)를 가질 수 있다.

[0027] 액정(LC)층(32)은, 액정 재료를 포함하고, 컬러 필터층(28)과 박막 트랜지스터층(30) 사이에 삽입될 수 있다. 박막 트랜지스터층(30)은 TFT 기관(30B) 등의 유전체 기관 위에 형성되는 디스플레이 회로(30A)를 포함할 수 있다. 디스플레이 회로(30A)는, 디스플레이 드라이버 회로(예를 들어, 하나 이상의 디스플레이 드라이버 집적 회로들), 박막 트랜지스터 회로(예를 들어, 폴리실리콘 트랜지스터 회로 또는 비정질 실리콘 트랜지스터 회로), 금속 라인들, 커패시터들, 액정층(32)에 인가되는 전기장들을 제어하기 위한 전극들 및 용량성 터치 센서 전극들을 포함할 수 있다.

[0028] 디스플레이 기관들(29 및 30B)에 사용될 수 있는 적절한 재료들은, 평면 유리 기관들, 플라스틱 기관들 또는 다른 적절한 기관 재료들의 시트들을 포함한다.

[0029] 디스플레이(14)는 상부 및 하부 편광자층들(39 및 40)을 가질 수 있다. 백라이트 유닛(41)은 디스플레이(14)에 대한 후면 조명을 제공할 수 있다. 백라이트(41)는 일련의 발광 다이오드들(a strip of light-emitting diodes) 등의 광원을 포함할 수 있다. 백라이트(41)는 또한 도광판 및 후면 반사부를 포함할 수 있다. 후면 반사부는 광 누설을 방지하기 위해 도광 패널의 하부 면에 위치될 수 있다. 광원으로부터의 광은 도광 패널의 에지에 투입될 수 있고, 디스플레이(14)를 통해 방향(43)으로 위쪽으로 산재될 수 있다.

[0030] 커버 유리의 층 등 선택적 커버층은 도 5에 도시되는 디스플레이(14)의 층들을 커버하고 보호하는데 사용될 수 있다. 디스플레이(14)에 포함될 수 있는 다른 층들은, 광학적 필름층들(예를 들어, 4분의 1-파장판들, 2분의 1-파장판들, 확산 필름들, 광학적 접착제들 및 복굴절 보상층들 등의 구조들), 차폐층들(예를 들어, 전기장들이 디스플레이의 작동을 방해하는 것을 방지하기 위함), 방열층들(예를 들어, 디스플레이로부터 멀리 열을 도전시키기 위함), 및 기타 적절한 디스플레이층들을 포함한다.

[0031] 터치 센서 구조들은 디스플레이(14)의 층들 중 하나 이상에 통합될 수 있다. 통상적인 터치 센서 구성에서, 용량성 터치 센서 전극들의 배열은 산화 인듐 주석(ITO) 등의 투명 도전성 재료의 패드들 및/또는 스트립들을 사용하여 구현될 수 있다. 요구가 있다면 기타 터치 기술들이 사용될 수 있다(예를 들어, 저항성 터치, 음향성 터치, 광학성 터치 등). 산화 인듐 주석(ITO) 또는 다른 투명 도전성 재료들 또는 비투명 도전체들 또한 디스플레이(14)에서의 신호 라인들(예를 들어, 데이터, 전력, 제어 신호들 등을 전달하기 위한 구조들)을 형성하는데 사용될 수 있다. 터치 센서 구조들과 회로는 TFT 기관(30B) 상의 디스플레이 회로(30A)에 포함될 수 있다.

[0032] 흑색 디스플레이들에서는, 컬러 필터층(28)이 생략될 수 있다. 컬러 디스플레이들에서는, 이미지 화소들의 배열에 색들을 부여하기 위해 컬러 필터층(28)이 사용될 수 있다. 각 이미지 화소는, 예를 들어, 3개의 대응 서브화소들을 가질 수 있다. 각 서브화소는 컬러 필터 배열(31)의 개별 컬러 필터 엘리먼트와 관련될 수 있다. 컬러 필터 엘리먼트들이, 예를 들어, 적색(R) 컬러 필터 엘리먼트들, 청색(B) 컬러 필터 엘리먼트들 및 녹색(G) 컬러 필터 엘리먼트들을 포함할 수 있다. 이들 엘리먼트들은 행들 및 열들에 배치될 수 있다. 예를 들어, 컬러 필터 엘리먼트들은 각 열의 컬러 필터 엘리먼트들이 동일하게(즉, 각각의 열이 모든 적색 엘리먼트들, 모든 청색 엘리먼트들 또는 모든 녹색 엘리먼트들을 포함하도록) 디스플레이(14)의 폭을 가로지르는 스트라이프들로(예를 들어, RGB 패턴 또는 BRG 패턴 등의 반복 패턴들로) 배치될 수 있다. 각각의 서브화소를 통한 광 투과량을 제어함으로써, 요구되는 채색 이미지가 디스플레이될 수 있다.

[0033] 각각의 서브화소를 통해 투과되는 광량은 디스플레이 제어 회로 및 전극들을 사용하여 제어될 수 있다. 각 서브화소에는, 예를 들어, 투명 산화 인듐 주석 전극이 제공될 수 있다. 액정층의 관련 부분을 통해 전기장을 제어하여 서브화소에 대한 광 투과를 제어하는, 서브화소 전극 상의 신호는 박막 트랜지스터를 사용하여 인가될 수 있다. 박막 트랜지스터는 데이터 라인들로부터 데이터 신호들을 수신할 수 있고, 관련 게이트 라인에 의해 켜질 때, 그 박막 트랜지스터와 관련되는 전극에 데이터 라인 신호들을 인가할 수 있다.

[0034] 요구가 있다면, 다른 구성들이 전자 디바이스(10) 및 디스플레이(14)에 대해 사용될 수 있다. 도 1 내지 도 5의 예는 단지 예시이다.

[0035] 디스플레이(14) 및 디바이스(10)에 사용될 수 있는 타입의 회로를 보여주는 도면이 도 6에 도시된다. 도 6에 도시된 바와 같이, 디스플레이(14)는 입력-출력 회로(102) 및 제어 회로(104) 등의 디바이스 컴포넌트들(100)에 연결될 수 있다. 입력-출력 회로(102)는 디바이스 입력을 수신하기 위한 컴포넌트들을 포함할 수 있다. 예를

들어, 입력-출력 회로(102)는, 오디오 입력을 수신하기 위한 마이크로폰, 입력(예를 들어, 사용자로부터의 키 누름 입력 또는 버튼 누름 입력)을 수신하기 위한 키보드, 키패드 또는 기타 버튼들이나 스위치들, 가속도계, 나침반, 광 센서, 근접 센서, 터치 센서 등의 입력을 수집하기 위한 센서들(예를 들어, 디스플레이(14)와 관련된 터치 센서들 또는 개별 터치 센서들) 또는 기타 입력 디바이스들을 포함할 수 있다. 입력-출력 회로(102)는 또한 출력을 공급하기 위한 컴포넌트들을 포함할 수 있다. 출력 회로는 스피커들, 광 출력을 생성하기 위한 발광 다이오드들 또는 기타 발광 디바이스들, 진동자, 및 출력을 공급하기 위한 기타 컴포넌트들 등의 컴포넌트들을 포함할 수 있다. 회로(102)의 입력-출력 포트들은 아날로그 및/또는 디지털 입력 신호를 수신하는데 사용될 수 있고, 아날로그 및/또는 디지털 출력 신호들을 출력하는데 사용될 수 있다. 회로(102)에 사용될 수 있는 입력-출력 포트들의 예로는, 오디오 포트들, 디지털 데이터 포트들, 30-핀 커넥터들, 9-핀 커넥터들, 가역적 커넥터들과 관련되는 포트들, 및 USB(Universal Serial Bus) 커넥터들 및 기타 디지털 데이터 커넥터들과 관련되는 포트들이 포함된다.

[0036] 제어 회로(104)는 디바이스(10)의 동작을 제어하는데 사용될 수 있다. 제어 회로(104)는, 휘발성 및 불-휘발성 메모리 회로들, 반도체 드라이브(SSD)들, 하드 드라이브들 및 기타 메모리 및 스토리지 회로들 등의 스토리지 회로들을 포함할 수 있다. 제어 회로(104)는 또한 마이크로프로세서 또는 기타 프로세서에서의 처리 회로 등의 처리 회로를 포함할 수 있다. 하나 이상의 집적 회로들이 제어 회로(104)를 구현하는데 사용될 수 있다. 제어 회로(104)에 포함될 수 있는 집적 회로들의 예로는, 마이크로프로세서들, 디지털 신호 프로세서들, 전력 관리 유닛들, 기저대역 프로세서들, 마이크로컨트롤러들, 애플리케이션-특정 집적 회로들, 오디오 및/또는 비주얼 정보를 다루기 위한 회로들 및 다른 제어 회로가 포함된다.

[0037] 제어 회로(104)는 디바이스(10)를 위한 소프트웨어를 구동하는데 사용될 수 있다. 예를 들어, 제어 회로(104)는 디스플레이(14) 상의 이미지들(예를 들어, 텍스트, 사진들, 비디오 등)의 표시와 관련하여 코드를 실행하도록 구성될 수 있다.

[0038] 디스플레이(14)는 화소 배열(122) 등의 화소 배열을 포함할 수 있다. 화소 배열(122)은 디스플레이 드라이버 회로(118) 등의 디스플레이 드라이버 회로에 의해 생성되는 제어 신호들을 사용하여 제어될 수 있다. 디스플레이 드라이버 회로(118)는, 하나 이상의 집적 회로들(ICs)을 사용하여 구현될 수 있고, 종종 드라이버 IC, 디스플레이 드라이버 집적 회로 또는 디스플레이 드라이버라고 한다. 화소 배열(122)은 유리층 등 기판 상의 박막 트랜지스터 회로로부터 형성될 수 있다. 유리층은 종종 박막 트랜지스터층 또는 박막 트랜지스터 기판층이라고 한다. 회로(118)를 위한 디스플레이 드라이버 집적 회로는 (예로서) 박막 트랜지스터 기판의 에지에 설치될 수 있다.

[0039] 디바이스(10)의 동작 중, 제어 회로(104)는 디스플레이 드라이버(118)에 데이터를 제공할 수 있다. 예를 들어, 제어 회로(104)는 디스플레이(14)에 표시될 텍스트, 그래픽스, 비디오 또는 기타 이미지들에 대응하는 디지털 데이터를 경로(108) 등의 경로를 사용하여 디스플레이 드라이버(118)에 공급할 수 있다. 디스플레이 드라이버(118)는 경로(108)에 수신되는 데이터를 화소 배열(122)의 화소들을 제어하기 위한 신호들로 변환시킬 수 있다. 화소 배열(122)의 화소들을 제어하기 위한 신호들은 경로들(119) 등의 경로들을 사용하여 게이트 드라이버 회로(116) 등의 게이트 드라이버 회로에 제공될 수 있다.

[0040] 화소 배열(122)은 활성 디스플레이 영역(120)(종종 디스플레이(14)의 활성 영역이라고 함)을 집합적으로 형성하는 디스플레이 화소들(110)의 행들 및 열들을 포함할 수 있다. 게이트 드라이버 회로(116) 및 드라이버 회로(118)는 활성 디스플레이 영역(120)을 둘러싸는 비활성 경계 영역에 위치될 수 있다. 화소 배열(122)의 회로는 데이터 라인들(112) 상의 데이터 라인 신호들 및 게이트 라인들(114) 상의 게이트 라인 신호들 등의 신호들을 사용하여 제어될 수 있다.

[0041] 화소 배열(122)의 화소들(40)은, 폴리실리콘 트랜지스터 회로, 비정질 실리콘 트랜지스터 회로 또는 산화물-기반 트랜지스터 회로(예를 들어, InGaZnO 트랜지스터들) 등의 박막 트랜지스터 회로, 및 디스플레이(14)에 액정 재료를 가로질러 전기장들을 생성시키기 위한 관련 구조들을 포함할 수 있다. 화소들(40)을 형성하는데 사용되는 박막 트랜지스터 구조들이 기판(종종 박막 트랜지스터층 또는 박막 트랜지스터 기판이라고 함) 상에 위치될 수 있다. 박막 트랜지스터(TFT)층은 평면 유리 기판, 플라스틱 기판 또는 한 장의 기타 적절한 기판 재료들로부터 형성될 수 있다.

[0042] 게이트 드라이버 회로(116)가 게이트 라인들(114) 상의 게이트 신호들을 생성하는데 사용될 수 있다. 게이트 드라이버 회로(116) 등의 회로들은 박막 트랜지스터층 상의 박막 트랜지스터들로부터(예를 들어, 폴리실리콘 트랜지스터 회로, 비정질 실리콘 트랜지스터 회로 또는 InGaZnO 트랜지스터들 등의 산화물 기반 트랜지스터 회로

로부터 형성될 수 있다. 예를 들어, 디스플레이 화소들(110)의 박막 트랜지스터들이 InGaZnO 트랜지스터들로부터 형성되면, 게이트 드라이버 회로(116)의 박막 트랜지스터들 또한 InGaZnO 트랜지스터들로부터 형성될 수 있다. 게이트 드라이버 회로(116)는 (도 6에 도시된 바와 같이) 화소 배열(122)의 좌측 및 우측 양쪽 모두에 위치될 수 있거나, 또는 화소 배열(122)의 한쪽에만 위치될 수 있다.

[0043] 화소 배열(122)에서의 데이터 라인 신호들은 아날로그 이미지 데이터(예를 들어, 화소 밝기 레벨들을 나타내는 크기들을 갖는 전압들)를 운반한다. 디스플레이(14)에 이미지들을 표시하는 처리 중, 디스플레이 드라이버 회로(118)는 경로(108)를 통해 제어 회로(104)로부터 디지털 데이터를 수신할 수 있고, 대응 데이터 신호들을 경로들(112)에 제공할 수 있다.

[0044] 데이터 라인들(112) 상의 데이터 라인 신호들은 화소 배열(122)의 디스플레이 화소들(110)의 열들에 제공될 수 있다. 게이트 라인 신호들은 각각의 게이트 라인들(114)을 사용하여 게이트 드라이버 회로(116)에 의해 화소 배열(122)에서의 화소들(110)의 행들에 제공될 수 있다. 배열(122)에서의 디스플레이 화소들(110)이 배치되는 방식을 서술하기 위해 사용되는 "행들"과 "열들"이라는 용어는 단지 예시적인 것으로 교환가능하다. 일반적으로, 디스플레이(14)에서의 화소들(110)은 임의의 적절한 배치로 조직될 수 있다.

[0045] 도 7은 화소 배열(122)에서의 예시적 디스플레이 화소(110)의 회로도이다. 도 7의 화소(110) 등의 화소들은 배열(122)에서 각각의 게이트 라인(114) 및 데이터 라인(112)의 교차점에 위치될 수 있다.

[0046] 데이터 신호(D)는 데이터 라인들(112)(도 6) 중 하나로부터의 단자(154)에 공급될 수 있다. 박막 트랜지스터(150) 등의 박막 트랜지스터는 게이트 드라이버 회로(116)(도 6)로부터의 게이트 라인 신호(G)를 수신하는 게이트(152) 등의 게이트 단자를 가질 수 있다. 신호(G)가 어서트(assert)될 때, 트랜지스터(150)가 턴-온될 것이고, 신호(D)는 전압(V_p)으로서 노드(156)에 전달될 것이다. 디스플레이(14)에 대한 데이터는 프레임들에 표시될 수 있다. 단일 프레임에서의 신호(G)의 어서트에 후속하여, 신호(G)가 디어서트(deassert)될 수 있다. 그리고, 신호(G)가 어서트되어 트랜지스터(52)를 턴-온할 수 있고, 후속 표시 프레임에서 V_p 의 새로운 값을 캡처할 수 있다.

[0047] 디스플레이(14)는 노드(158)에 연결되는 공통 전극을 가질 수 있다. 공통 전극(종종 V_{com} 전극이라고 함)은 공통 전극 전압(V_{com}) 등의 공통 전극 전압을 배열(122)의 각 화소(110)의 노드(158) 등의 노드에 분배하는데 사용될 수 있다. 화소(110)는 커패시터(C_{ST}) 등의 신호 스토리지 엘리먼트 또는 기타 전하 스토리지 엘리먼트를 가질 수 있다. 스토리지 커패시터(C_{ST})는 노드들(156 및 158) 사이에 연결될 수 있다. 평행판 커패시턴스(C_L)는, 화소의 액정 재료(액정 재료(160))를 통해 전기장을 제어하는데 사용되는 화소(110)에서의 전극 구조들로 인해, 노드들(156 및 158)을 가로질러 형성될 수 있다. 도 7에 도시된 바와 같이, 전극 구조들(162)은 노드(156)에 연결될 수 있다. 커패시턴스(C_{LC})는 노드(158)에서의 전극 구조들(162)과 공통 전극(V_{com}) 사이의 커패시턴스와 관련된다.

[0048] 데이터 라인들(112) 및 게이트 라인들(114)(도 7의 게이트(G) 등의 게이트들에 연결됨)의 게이트 라인 신호들은 화소들(110)을 충전하는데(예를 들어, 커패시턴스(C_{ST} 및 C_{LC})를 충전하는데) 사용된다. 일단 화소(110)가 충전되면, 전극 구조들(162)은, 화소(110)의 액정 재료(160)의 화소-크기 부분을 가로질러, 제어된 전기장(즉, V_p 와 V_{com} 사이의 차이에 비례하게 크기인 전기장)을 인가할 수 있다. 스토리지 커패시터(C_{ST})와 관련된 용량은 프레임들 사이에(즉, 연속적인 신호들(G)의 어서트 사이의 기간에) 신호(V_p)를 저장하는데 사용될 수 있다. 스토리지 커패시터(C_{ST})(그리고 커패시턴스(C_{LC}))의 존재로 인하여, V_p (및 그로 인해 액정 재료(160)를 가로지르는 관련 전기장)의 값은 각각의 프레임의 지속기간 동안 노드들(156 및 158)을 가로질러 유지될 수 있다.

[0049] 액정 재료(160)를 가로질러 생성되는 전기장은 액정 재료(160)의 액정들의 배향들의 변화를 초래한다. 이는 액정 재료(160)를 통과하는 빛의 편광을 바꾼다. 편광의 변화는 배열(122)의 각 화소(110)를 통해 투과되는 광량을 제어하는데 사용될 수 있다.

[0050] 도 8은 도 6의 디스플레이(14)의 일부의 확대도를 제공한다. 특히, 도 8은 어떻게 데이터 라인들(112)이 점선들에 의해 표시되는 활성 영역(120)의 에지를 넘어서 연장될 수 있는지를 보여준다. 각각의 데이터 라인(112)은 개별 금속 라우팅 경로(113)를 통해 디스플레이 드라이버(118)에 접속될 수 있다. 이런 타입의 금속 트레이스들(113)은 비활성 경계 영역(1A)에 라우팅될 수 있다. 금속 트레이스들(113)이 서로의 경로와 교차하는 것을 방지하기 위해, 트레이스들(113) 각각은, 도 8에 도시된 바와 같이, 먼저 디바이스의 X 방향으로(즉, 폭을 따라) 다양한 길이로 라우팅되고 나서, 디바이스의 Y 방향으로(즉, 길이를 따라) 평행하게 라우팅될 수 있다. 이

는 디바이스의 경계 영역이 모든 주변 금속 라우팅(113)을 수용하기에 충분히 넓을 것을 요구한다. 이러한 이유로, 경계 영역은 디바이스(10)의 표면 상에서 상당한 영역을 차지할 수 있다. 디바이스의 폭 또는 길이를 가로질러 분배되는 다수의 라우팅 경로 트레이스들 상에 드라이버 IC가 신호들을 구동하여야 하는 이러한 구성은 종종 라우팅 "팬아웃(fanout)"이라 한다.

[0051] 고-해상도 디스플레이들은 상대적으로 큰 팬아웃을 요구할 것이고, 이는 전체 치수가 고정된 디바이스에서 활성 영역(즉, 디스플레이/터치-활성 영역)으로서 사용될 수 있는 공간에 부정적인 영향을 미칠 수 있다. 동일한 문제가 터치 패널에 대한 라우팅 트레이스들에 의해 초래될 수 있다. 따라서, 더 우수한 가용성을 제공하기 위해, 도 1 내지 도 4에 도시된 바와 같은 디바이스들에서 경계 영역을 감소시켜 그 활성 영역을 최대화하는 것이 바람직할 수 있다. 환언하면, 경계 영역을 줄이면, 디바이스의 디스플레이 및 터치 스크린이 더 커질 수 있다.

[0052] 도 9는 디스플레이의 박막 트랜지스터층에 형성될 수 있는 종래의 디스플레이 화소와 관련 라우팅 구조들(200)의 단면측면도를 도시한다. 도 9에 도시된 바와 같이, 박막 트랜지스터(208)가 유리 기판(202) 위에 형성된다. 금속 광 차폐(204)는, 종종 박막 트랜지스터(208) 아래에서 유리 기판(202) 바로 위에 형성되어, 백라이트가 박막 트랜지스터(208)의 동작에 잠재적으로 간섭하는 것을 방지한다.

[0053] 그리고, 하나 이상의 버퍼층들(206)이 광 차폐(204) 위에서 유리 기판(202) 상에 형성될 수 있다. 폴리실리콘(210)이 트랜지스터(208)를 위한 활성 영역을 형성하도록 버퍼층들(206)에 패턴화된다. 게이트 절연 재료(212)가 폴리실리콘(210) 위에서 버퍼층들(206) 상에 형성된다. 금속 게이트 도전체(214)가 게이트 절연층(212) 상에 형성되고, 트랜지스터(208)를 위한 게이트 단자로서의 역할을 한다. 실리콘 질화물층(220)이 게이트(214) 위에서 게이트 절연 재료(212) 상에 형성된다.

[0054] 그리고, 실리콘 산화물층(222)이 실리콘 질화물층(220) 상에 형성된다. 금속 콘택트 구조들(216 및 218)은 층들(222, 220, 212)을 통해 형성되어 폴리실리콘(210)과 접촉한다. 도 9의 도면에서, 콘택트(216)에 연결되는 폴리실리콘(210)의 부분은 대응 데이터 라인에 연결되는 트랜지스터(208)용 제1 소스-드레인 단자로서 역할하는 한편(즉, 콘택트(216)는 아날로그 이미지 데이터 신호들이 제공되는 금속 라우팅 경로들에 접속됨), 콘택트(218)에 연결되는 폴리실리콘(210)의 부분은 대응 화소 노드에 연결되는 트랜지스터(208)용 제2 소스-드레인 단자로서 역할한다(즉, 콘택트(218)는 이미지 데이터 신호들이 일시적으로 저장되는 화소 전극 구조들에 접속됨).

[0055] 아크릴 유기적 평탄화층(224)이 실리콘 산화물층(222) 상에 형성된다. 공통 전극(Vcom)층(226)이 평탄화층(224) 상에 형성된다. 금속 라우팅 도전체(228)가 Vcom 층(226) 상에 형성된다. 평탄화층(224)에 개구가 형성되어, 콘택트(218)와 화소 전극층(232) 사이의 전기적 접속을 형성한다(즉, 디스플레이 화소 콘택트를 형성한다). 절연 재료(230)가 화소 전극층(232)과 공통 전극층(226) 사이에 삽입된다. 디스플레이 화소 스토리지 커패시터(240)는 Vcom 전극(226) 및 Vcom 전극과 중첩하는 화소 전극(232)의 부분으로부터 형성된다(즉, Vcom 층(226) 및 Vcom 층(226)과 직면하는 화소 전극층(232)의 부분은 절연 재료(230)에 의해 분리되고, 디스플레이 화소용 스토리지 커패시터로서 집합적으로 역할한다). 공통 전극층(226) 및 화소 전극층(232)은 통상적으로 백라이트로 하여금 박막 트랜지스터층 위의 액정 재료까지 통과하게 하는 투명 재료인 산화 인듐 주석(ITO)으로부터 형성된다.

[0056] 통상적으로, 박막 트랜지스터들(208) 및 관련 화소와 Vcom 전극들은 디스플레이(14)의 활성 영역(AA) 부분에 형성된다. 활성 영역(AA)에서의 디스플레이 화소 배열 회로와 관련 제어 회로(즉, 디스플레이 드라이버, 게이트 라인 드라이버들, 터치 드라이버 및 센서 회로 등) 사이의 라우팅은 비활성 경계 영역(IA)으로 형성된다. 도 9에 도시된 바와 같이, 금속 라우팅 구조들(250)이 실리콘 질화물층(220)에서 게이트 절연막층(212) 상에 형성될 수 있고; 금속 라우팅 구조들(252)이 평탄화층(224)에서 산화물층(222) 상에 형성될 수 있으며; 금속 라우팅 구조들(254)이 평탄화층(224) 상에 형성될 수 있다. 금속 라우팅 구조들(250)이 형성되는 층은 일반적으로 "M1" 금속 라우팅층이라 한다. 금속 라우팅 구조들(252)이 형성되는 층은 일반적으로 "M2" 금속 라우팅층이라 한다. 금속 라우팅 구조들(254)이 형성되는 층은 일반적으로 "M3" 금속 라우팅층이라 한다. 따라서, 라우팅 구조들(250, 252 및 254)을 형성하는데 사용되는 재료는 종종 각각 M1 금속, M2 금속 및 M3 금속이라 한다.

[0057] 종래의 TFT-기반 디스플레이들에서, M1 금속은 M1 금속의 형성 후에 TFT 구조들에 인가되는 고온 어닐링 처리들을 견딜 수 있기 위해 내온도성이 높은 재료로부터 형성될 필요가 있다. 그러나, 내온도성이 높은 재료들은 높은 비저항으로 곤란을 겪는다. 예를 들어, M2와 M3 금속들은 0.2 옴/스퀘어 보다 작은 시트 저항들을 나타낼 수 있지만, 내온도성이 높은 M1 금속은 0.4 옴/스퀘어 보다 큰 시트 저항들을 나타낼 수 있다(즉, M1 금속의 비저항은 M2 금속 및 M3 금속의 비저항의 2배보다 클 수 있다). 높은 M1 저항은 일반적으로 M1 층의 금속 라우

팅 경로들이 높은 비저항을 보상하도록 상대적으로 보다 넓은 것을 요구하고, 이는 바람직하지 못하게 라우팅 영역을 증가시킨다.

- [0058] 일반적으로, 디스플레이 비활성 경계는 라우팅 팬아웃 피치를 감소시키는 것에 의해(즉, 인접 금속 라우팅 배선들 사이의 거리를 감소시키는 것에 의해) 감소될 수 있다. 여전히 도 9를 참조하면, M2 라우팅 경로들의 피치는 거리(Tp)로 표시된다. 최소 허용 피치(Tp)는 현재(TFT) 가공 기술에 의해 설정되고, 이는 팬아웃 배선들의 밀도를 제한한다. 금속 팬아웃 피치를 감소시키는 방식 중 하나는 인터레이스된 금속 라우팅을 통해서이다. 인터레이스된 금속 라우팅은 상이한 관련 신호들이 인접 배선들 사이에 유효 피치를 감소시키도록 M1 및 M2 층들 양자 모두에서 라우팅될 것을 요구한다. 그러나, M1 및 M2 금속의 시트 저항들은 인터레이스된 라우팅의 라우팅 저항 요건들을 충족시키기에는 너무 다르다(즉, 인터레이스된 라우팅은 상이한 금속 라우팅층들에서의 인터레이싱 금속 경로들이 라우팅 성능 요건들을 충족시키기 위해 실질적으로 유사한 시트 저항들을 가질 것을 요구한다).
- [0059] 이하의 단락들은, 디바이스 표면의 더 큰 영역이 디스플레이 및/또는 터치 기반 입력 수신을 위한 활성 영역으로서 사용될 수 있도록, 그 전체 치수를 증가시키지 않고도 디바이스의 비활성 경계 영역을 최소화할 수 있는 본 발명의 다양한 실시예들을 소개한다. 다양한 실시예들에서, 이러한 점은 M1 및 M2 금속 라우팅층들 사이에 추가적 금속 라우팅 구조들을 형성함으로써 달성될 수 있다.
- [0060] 본 발명의 실시예에 따르면, 도 9의 종래의 TFT 디스플레이 구조들에 비하여 향상된 금속 라우팅 능력들을 나타내는 디스플레이 화소 및 관련 라우팅 구조들(300)이 제공된다(예를 들어, 도 10 참조). 도 10에 도시된 바와 같이, 박막 트랜지스터(308) 등의 박막 트랜지스터 구조들이 유리 또는 기타 유전체 재료로부터 이루어지는 투명 기판(302) 상에 형성될 수 있다. 박막 트랜지스터(308)는 도 7과 관련하여 서술되는 디스플레이 화소 박막 트랜지스터(150)로서의 역할을 할 수 있다.
- [0061] 광 차폐(304) 등의 광 차폐 구조들이 트랜지스터(308)의 아래에서 기판(302) 바로 위에 형성될 수 있고, 백라이트가 트랜지스터(308)의 동작을 간섭하는 것을 방지하는 역할을 할 수 있다. 버퍼층들(306) 등의 하나 이상 버퍼층들이 기판(302) 상에 및 광 차폐(304) 위에 형성될 수 있다. 버퍼층들(306)은 임의의 적절한 투명 유전체 재료로부터 형성될 수 있다.
- [0062] 트랜지스터(308)에 대한 활성 재료(310)가 버퍼층들(306) 상에 형성될 수 있다. 활성 재료(310)는 (예를 들어) 비정질 실리콘 또는 폴리실리콘의 층일 수 있다. 게이트 절연층(312) 등의 게이트 절연층이 버퍼층들(306) 상에 및 활성 재료 위에 형성될 수 있다. 게이트 도전체(314) 등의 도전성 게이트 구조가 게이트 절연체(312) 위에 배치될 수 있다. 게이트 도전체(314)는 박막 트랜지스터(308)용 게이트 단자로서의 역할을 할 수 있다. 게이트(314)의 바로 아래의 활성 재료(310)의 부분은 트랜지스터(308)용 채널 영역으로서의 역할을 할 수 있다.
- [0063] 실리콘 질화물층(320) 등의 패시베이션층이 게이트 절연층(312) 상에 및 게이트(314) 위에 형성될 수 있다. 층(320)의 퇴적 이후, 박막 트랜지스터 구조들(308)을 패시베이션하는 수소첨가 어닐링 공정(hydrogenation annealing process)이 적용될 수 있다. 게이트(314)가 형성되는 재료는 종종 "M1" 금속이라 한다. 그 결과, 게이트 도전체(314)가 형성되는 층(320)은 종종 제1 금속(M1) 라우팅층이라고 할 수 있다.
- [0064] 실리콘 산화물 라이너(321) 등의 산화물층이 패시베이션층(320) 상에 형성될 수 있다. 층(321)은 층(321) 상의 금속 구조들의 형성 중 에치-스톱층으로서의 역할을 할 수 있다. 저유전율 유전체층(322)(예를 들어, 실리콘 이산화물 보다 유전 상수 k가 작은 유전체 재료로부터 형성되는 층)이 층(321) 상에 형성될 수 있다. 층(322)은, 아크릴, 포토레지스트 또는 기타 광-감지 재료, 실록산-기반 폴리머, 실리콘-기반 유전체, 유기 재료, 이러한 재료들의 조합 및/또는 임의의 적절한 저유전율 유전체 재료들로부터 형성될 수 있다.
- [0065] 구조들(316 및 318) 등의 트랜지스터 소스-드레인 콘택트 구조들이 층(322)을 통해 형성되어 트랜지스터 활성 재료(310)와의 전기적 접촉을 이룰 수 있다. 콘택트 구조들(316 및 318)은 종종 "비아(via)" 구조들이라 한다. 특히, 비아(316)와의 접촉을 이루는 활성 재료(310)의 부분은 트랜지스터(308)용 제1 소스-드레인 영역으로서의 역할을 할 수 있는 한편, 비아(318)와의 접촉을 이루는 활성 재료(310)의 부분은 트랜지스터(308)용 제2 소스-드레인 영역으로서의 역할을 할 수 있다. 게이트 도전체가 활성 소스-드레인 영역들 위에 형성되는 박막 트랜지스터들은 일반적으로 "탑-게이트(top-gate)" 박막 트랜지스터들이라 한다. 이는 예시일 뿐이다. 요구가 있다면, 화소(300)는 게이트 도전체가 활성 소스-드레인 영역들 아래에 형성되는 "바텀-게이트(bottom-gate)" 박막 트랜지스터 배치들을 사용하여 형성될 수 있다.
- [0066] 종종 "M2" 금속 라우팅 경로라고 하는 금속 라우팅 구조들이 층(322) 상에 형성되어 다른 디스플레이 화소 회로

에 트랜지스터 소스-드레인 단자들을 접속할 수 있다. 예로서, 층(322) 상에 형성되는 제1 M2 금속 라우팅 경로는 대응 데이터 라인(예를 들어, 도 7의 데이터 라인(D))에 비아(316)를 접속시키는데 사용될 수 있는 한편, 층(322) 상에 형성되는 제2 M2 금속 라우팅 경로는 대응 화소 전극 노드(예를 들어, 도 7에서 화소 전압(Vp)가 저장되는 노드(156) 참조)에 비아(318)를 접속시키는데 사용될 수 있다.

[0067]

층(324) 등의 다른 저유전율 유전체층이 층(322) 상에 형성될 수 있다. 층(324)은, 평탄화층으로서의 역할을 할 수 있고, 종종 제2 금속(M2) 라우팅층이라 할 수 있다. 층(322)과 유사하게, 층(324)은, 아크릴, 포토레지스트 또는 기타 광-감지 재료, 실록산-기반 폴리머, 실리콘-기반 유전체, 유기 재료, 이러한 재료들의 조합 및/또는 임의의 적절한 저유전율 유전체 재료들로부터 형성될 수 있다. 일반적으로, 층들(322 및 324)은, 이들 유전체 층들을 통해 전파되는 백라이트의 투과율을 최대화하도록, 굴절율이 동일하거나 또는 실질적으로 유사한 재료로부터 형성되어야 한다(예를 들어, 굴절률들이 단지 0.1, 단지 0.08, 단지 0.05, 단지 0.01 등 만큼 달라야 함).

[0068]

Vcom 층(326) 등의 공통 전극층이 저유전율 유전체 평탄화층(324) 상에 형성될 수 있다. 공통 전극층(326)은, 추가적 라우팅 경로들에 의해 또는 용량성 터치 감지 기술들을 지원하는 기타 패턴들로(예를 들어, 투명 도전성 재료의 수평 및 수직 스트립들로) 상호 접속되는 개별 Vcom 영역들로서, 디스플레이 화소 배열의 전부를 커버하는 투명 도전성 재료의 블랭킷 막으로서 형성될 수 있다. 추가적 Vcom 라우팅 구조들(328)(종종 "M3" 금속 라우팅 경로들이라 함)은 기타 디스플레이 회로에 Vcom 전극을 접속하기 위해(예를 들어, 상이한 Vcom 층들 상호 접속하기 위해, 관련 Vcom 드라이버 회로에 Vcom 층을 접속하기 위해, 터치 센서 회로에 Vcom 층을 접속하기 위해 등) Vcom 층(326) 상에 형성될 수 있다.

[0069]

개구가 평탄화층(324)에 형성되어 비아(318)와 화소 전극층(332) 사이에 전기적 접속을 형성하여 디스플레이 화소 콘택트(360)(예를 들어, 박막 트랜지스터(308)에 스토리지 커패시터를 접속하는 콘택트)를 형성할 수 있다. 화소 전극층(332)이 패턴화되어 액정 재료(160)(도 7)에 전기장을 인가하는 핑거-형상 전극들(도 10에 도시되지 않음)을 형성할 수 있다. 절연 재료(330)가 화소 전극층(332)과 공통 전극층(326) 사이에 형성될 수 있다. Vcom 전극(326) 및 Vcom 전극(326)과 중첩하는 화소 전극(332)의 부분이 스토리지 커패시터(340)를 형성할 수 있다(예를 들어, 스토리지 커패시터는, Vcom 층(326), Vcom 층(326)에 직면하는 화소 전극층(332)의 부분, 및 2개의 대향 평행 도전체들 사이에 삽입되는 절연 재료(330)를 포함할 수 있다).

[0070]

일반적으로, 공통 전극(326) 및 화소 전극(332)은 산화 인듐 주석(ITO) 또는 백라이트로 하여금 박막 트랜지스터층 위의 액정 재료까지 통과하게 하기에 적절한 기타 투명 재료로부터 형성될 수 있다. 광 차폐 구조들(304) 및 M1 게이트 구조들은, 폴리브텐, 텅스텐, 이 둘의 조합, 및/또는 내온도성이 높은 기타 적절한 재료들 등의 내온도성이 높은 재료로부터 형성될 수 있다. 비아들(316 및 318)과 M2 및 M3 금속 라우팅 구조들은, 구리, 알루미늄, 은, 금, 텅스텐, 니켈, 기타 금속들, 이러한 재료들의 조합 및/또는 디스플레이(14)에서 데이터 및 제어 신호들을 라우팅하기에 적합한 기타 도전성 재료로부터 형성될 수 있다.

[0071]

통상적으로, 박막 트랜지스터들(308) 및 관련 화소와 Vcom 전극들은 디스플레이(14)의 활성 영역(AA) 부분에 형성된다. 활성 영역(AA)에서의 디스플레이 화소 배열 회로와 관련 제어 회로(예를 들어, 디스플레이 드라이버, 게이트 라인 드라이버들, 터치 드라이버 및 센서 회로 등) 사이의 라우팅은 비활성 경계 영역(IA) 내에 형성된다. 도 10에 도시된 바와 같이, 게이트 도전체(314)는 패시베이션층(320)에서 게이트 절연층(312) 상에 형성될 수 있고; 금속 라우팅 구조들(350)은 저유전율 유전체층(322)에서 에치-스톱층(321) 상에 형성될 수 있고; 금속 라우팅 구조들(352)은 저유전율 유전체 평탄화층(324)에서 저유전율 유전체층(322) 상에 형성될 수 있으며; 금속 라우팅 구조들(354)은 평탄화층(324) 상에 형성될 수 있다.

[0072]

게이트 구조들(314)이 형성되는 층은 일반적으로 "M1" 또는 제1/최저 금속 라우팅층이라 한다. 금속 라우팅 구조들(352)이 형성되는 층은 일반적으로 "M2" 또는 제2 금속 라우팅층이라 한다. 금속 라우팅 구조들(354)이 형성되는 층은 일반적으로 "M3" 또는 제3 금속 라우팅층이라 한다. 금속 라우팅 경로들(350)은 M1 및 M2 금속 라우팅층들 사이에 형성되는 추가적 금속 라우팅 구조들을 나타낸다. 금속 라우팅 경로들(350)이 형성되는 층(322)은 따라서 종종 중간 라우팅층 또는 서브-M2(또는 "M2s") 금속 라우팅층이라 할 수 있다. 라우팅 구조들(350, 352 및 354)을 형성하는데 사용되는 재료는, 따라서, 종종 각각 M2s 금속, M2 금속 및 M3 금속이라 한다. 존재하는 경우, M3 금속 라우팅층 위에 형성되는 금속 라우팅층들은 일반적으로 순차적으로 M4 금속 라우팅층, M5 금속 라우팅층, M6 금속 라우팅층 등이라 한다.

[0073]

상술된 바와 같이, M1 라우팅 구조들은 높은 비저항을 나타내는 내온도성이 높은 재료로부터 형성된다. 그러므로, M1 금속 라우팅층 이외의 금속 라우팅층들에 형성되는 도전성 경로들을 이용하여 신호 라우팅을 수행하는

것이 바람직할 수 있다. M2s 금속 라우팅 구조들(350)이 패시베이션층(320) 위에 형성되기 때문에(예를 들어, M2s 라우팅 구조들의 형성 이전에 고온 어닐링 공정이 수행됨), M2s 금속은 내온도성이 높은 재료를 이용하여 형성될 필요가 없고, 그 대신에 M2와 M3 금속 라우팅 경로들을 형성하는데 사용되는 동일한 비저항이 낮은 재료를 이용하여 형성될 수 있다. 예를 들어, M2s, M2 및 M3 금속 라우팅 구조들은, 구리, 알루미늄, 은, 금, 니켈, 이러한 재료들의 조합 및/또는 낮은 시트 저항(즉, 시트 저항이, 0.4 오옴/스퀘어 미만, 0.2 오옴/스퀘어 미만, 0.05 오옴/스퀘어 미만, 0.01 오옴/스퀘어 미만 등인 재료들)을 나타내고 디스플레이(14)에서 데이터 및 제어 신호들을 라우팅하는데 적합한 기타 도전성 재료로부터 형성될 수 있다. M2s 및 M2 금속은 상당히 유사한 비저항 레벨들을 나타낼 수 있다. 예를 들어, M2s 및 M2 금속 라우팅 경로들은 양자 모두 0.047 오옴/스퀘어의 시트 저항을 나타낼 수 있다. 이러한 방식으로 M2s 금속 라우팅 구조들을 형성하는 것은 비저항이 낮은 도전성 경로들이 형성될 수 있는 추가적 금속 라우팅층을 제공하고, 이는 TFT 디스플레이/터치 구조들에 대한 전체 라우팅 능력을 증가시킨다.

[0074]

M2 및 M2s 금속 라우팅 경로들이 동일 신호를 운반하기 위해 병렬로 이용될 때, 동일 신호를 전달하기 위한 2개의 개별 경로들의 사용은 라우팅 저항을 상당히 감소시키기 때문에 보다 얇은 개별 라우팅 경로들이 형성될 수 있다. 도 10에 도시된 바와 같이, 층(322)에 형성되는 도전성 경로들(350) 및 층(322) 상에 형성되는 도전성 라우팅 경로들 중 적어도 일부는, 층(322)을 통해 형성되는 비아들(351)을 사용하여 병렬로 단락된다. 일반적으로, 폭들이 감소된 금속 라우팅 경로들의 사용은 팬아웃 피치를 감소시키는 것을 도울 수 있고, 이는 비활성 경계 영역을 감소시킨다.

[0075]

인접한 M2 및 M2s 금속 라우팅 경로들이 상이한 신호들을 운반하는데 사용되는 시나리오들에서는, 인터레이스되는 금속 라우팅이 구현될 수 있다. 인터레이스된 금속 라우팅을 구현하기 위해서는, 제1 라우팅 경로(350)가 M2s 라우팅층(예를 들어, 층(322))에 형성될 수 있고, 제2 라우팅 경로(352)는 과도한 기생 커플링 효과들을 체험하지 않고서 가능한 제1 라우팅 경로(350)에 근접하게 M2 라우팅층(예를 들어, 층(324))에 형성될 수 있다. 2개 보다 많은 금속 라우팅 경로들이 이러한 접근법을 사용하여 M2s 및 M2 층들에 형성될 수 있다. 이러한 방식으로 배치되면, 회로(300)의 영역(IA)에서 인접 라우팅 배선들 사이의 유효 피치(T_p')는 도 9와 관련하여 서술된 바와 같은 회로(200)의 영역(IA)에서 M2층에 형성되는 인접 라우팅 배선들 사이의 피치(T_p)보다 작다(예를 들어, 동일 층에서만 인접 금속 라우팅 경로들을 형성하는 것과는 반대로 상이한 층들에서 인접 금속 라우팅 경로들을 형성하는 능력이 유효 배선 피치를 감소시킨다). 인터레이스된 라우팅을 통해 피치를 감소하는 것은 비활성 경계 영역의 최소화를 더욱 가능하게 할 수 있다.

[0076]

다른 적합한 배치에서는, 추가적 TFT 게이트 구조가 M2s 금속 라우팅층에 형성될 수 있다. 도 11은 추가적 게이트 도전체(351)가 M1 게이트 도전체(314) 위에 형성되는 일 예를 도시한다. 본 예에서는, 추가적 게이트 도전체(351)가 M2s 금속 라우팅층에서 에치-스톱층(321) 바로 위에 형성된다. 각각의 디스플레이 화소에 트랜지스터(308)용 게이팅 구조를 하나보다 많게 사용하는 것은 향상된 화소 어드레싱 능력들을 제공할 수 있다.

[0077]

도 12는 듀얼-게이트 트랜지스터(151) 등의 멀티-게이트 박막 트랜지스터를 갖는 디스플레이 화소(110)의 회로도를 도시한다. 도 12에 도시된 바와 같이, 트랜지스터(151)는, 대응 데이터 라인(112)에 연결되는 제1 소스-드레인 단자, 전압(V_p)이 저장되는 노드(156)에 연결되는 제2 소스-드레인 단자, 제1 게이트 라인(114-1)에 연결되는 제1 게이트 단자, 및 제2 게이트 라인(114-2)에 연결되는 제2 게이트 단자를 구비할 수 있다. 제1 게이트 라인(114-1)은 트랜지스터(151)에 제1 게이트 신호(G_1)를 공급하기 위해 층(320)의 M1 금속을 사용하여 형성될 수 있는 한편, 제2 게이트 라인(114-2)은 트랜지스터(151)에 제2 게이트 신호(G_2)를 공급하기 위해 층(322)의 M2s 금속을 이용하여 형성될 수 있다. 도 12의 예에서, 게이트 라인(114-1)은 수평으로 라우팅될 수 있는 한편, 게이트 라인(114-2)은 수직으로 라우팅될 수 있다(즉, 게이트 라인(114-1)은 게이트 라인(114-2)과 직교할 수 있다). 이는 예시일 뿐이다. 다른 예로서, 게이트 라인(114-1)은 수직으로 라우팅될 수 있는 한편, 게이트 라인(114-2)이 수평으로 라우팅된다. 또 다른 예로서, 게이트 라인들(114-1 및 114-2) 양자 모두 수평으로 라우팅될 수 있다.

[0078]

게이트 신호들(G_1 및 G_2)은 트랜지스터(151)의 동작을 제어하기 위해 개별적으로 또는 함께 이용될 수 있다. 하나의 배치에서는, 게이트 신호들(G_1 및 G_2) 양자 모두 트랜지스터(151)를 턴-온하도록 어서트되어야 할 것이다(예를 들어, 신호들(G_1 및 G_2)은, 라인(112)으로부터의 데이터 신호들을 스토리지 노드(156)에 전달하도록 트랜지스터(151)를 인에이블하기 위해서는 동시에 하이가 되어야 할 것이다). 다른 배치에서는, 2개의 게이트 신호들 중 1개만이 트랜지스터(151)를 턴-온하도록 어서트되어야 할 것이다(예를 들어, 트랜지스터(151)는, G_1 을 하이로 구동하거나 또는 G_2 를 하이로 구동하여 라인(112)으로부터의 데이터 신호들을 스토리지 노드(156)에 전

달하도록 인에이블될 수 있다). 도 12의 디스플레이 화소(110)의 나머지(예를 들어, 커패시턴스(C_{LC})를 갖는 액정 재료인 스토리지 커패시터(C_{ST})와 V_{com} 전극(158))에 대한 설명은 도 7과 관련하여 이미 설명된 것과 유사하며 반복될 필요가 없다. 도 12의 듀얼-게이트 디스플레이 화소 배치는 단지 예시일 뿐이고, 본 발명의 범위를 제한하는 것은 아니다. 요구가 있다면, 3개 이상의 게이트 제어 라인들을 갖는 디스플레이 화소들이 구현될 수 있다.

[0079] 도 13은 도 10 및 11과 관련하여 서술된 타입의 TFT 구조들을 형성하는데 관련되는 예시적 단계들의 순서도를 보여준다. 단계 500에서는, 불투명한 광 차폐 구조(304)가 기판(302) 상에 형성될 수 있다. 단계 502에서는, 하나 이상의 버퍼층들(306)이 광 차폐(304) 위에서 기판(302) 상에 형성될 수 있다.

[0080] 단계 504에서는, 박막 트랜지스터 구조들(308)이 버퍼층들(306) 상에 형성될 수 있다(예를 들어, 활성 영역 폴리실리콘 재료 및 관련 소스-드레인 도핑 및 가법계-도핑된 드레인(LDD) 영역들, 게이트 절연층, 및 M1 게이트 구조들이 형성될 수 있다). 단계 506에서는, 소스-드레인 영역들을 활성화하기 위한(예를 들어, 소스-드레인 도펀트들이 재료(310)에서 적절하게 확산하는 것을 돕기 위한) 어닐링 공정이 수행될 수 있다.

[0081] 단계 508에서는, 패시베이션층(320)(예를 들어, 실리콘 질화물층)이 박막 트랜지스터 구조들(308) 위에 형성될 수 있다. 단계 510에서는, 수소첨가 어닐링 공정이 수행되어 실제로 박막 트랜지스터(308)를 층(320)으로 패시베이션할 수 있다.

[0082] 단계 512에서는, 얇은 산화물층(321)이 패시베이션층(320) 위에 형성될 수 있다. 층(321)은 층(321) 상의 금속의 형성 중 에치-스톱층으로서의 역할을 할 수 있다.

[0083] 단계 514에서는, M2s 금속 라우팅 구조들이 에치-스톱층(321) 상에 형성될 수 있다. M2s 금속 라우팅 경로들은, 비활성 경계 영역에 형성되어 주변 신호 라우팅(예를 들어, 게이트 라인 라우팅, 데이터 라인 라우팅, V_{com} 라우팅 등)을 제공할 수 있고, 활성 표시 영역 내에 형성되어 추가적 게이팅 제어를 제공할 수 있다(예를 들어, 도 11 및 도 12 참조).

[0084] 단계 516에서는, 제1 저유전율 유전체층(322)이 층(321) 상에 형성될 수 있다. 단계 518에서는, 콘택트 홀들(contact holes)이 포토리소그래피 및 에칭 공정들을 통해 제1 저유전율 유전체층(322)에 형성될 수 있다. 일부 배치들에서, 층(322)은, 광-감지 재료로부터 형성될 수 있고, 요구되는 콘택트 홀들을 형성하도록 노출 및 현상되는 포토레지스트와 같이 사용될 수 있다.

[0085] 단계 520에서는, M2 금속 라우팅 구조들이 층(322) 상에서 활성 및 비활성 영역들 양자 모두에서 패턴화될 수 있다.

[0086] 단계 522에서는, 제2 저유전율 유전체층(324)이 M2 금속 라우팅 구조들 위에서 제1 저유전율 유전체층(322) 상에 형성될 수 있다. 일부 배치들에서는, 제1 및 제2 저유전율 유전체층들은 동일한 저유전율 유전체 재료로부터 형성될 수 있다. 다른 배치들에서는, 제1 및 제2 저유전율 유전체층들은 백라이트 투과율을 극대화하기 위한 노력으로 굴절률들이 실질적으로 유사한 상이한 저유전율 유전체 재료로부터 형성될 수 있다.

[0087] 단계 524에서는, 콘택트 홀들이 포토리소그래피 및 에칭 공정들을 통해 제2 저유전율 유전체층(324)으로부터 형성될 수 있다(예를 들어, 층(324)이 또한 포토레지스트 및 에칭 저항성 재료들로부터 형성될 수 있다). 단계 526에서는, V_{com} 전극(326), M3 금속 라우팅 구조들(328), 스토리지 커패시터, 화소 전극(332) 및 기타 디스플레이 화소 구조들이 형성될 수 있다.

[0088] 도 13의 단계들은, 단지 예시적인 것으로, 본 발명의 범위를 제한하는 역할을 하는 것은 아니다. 일반적으로, LCD 및 기타 타입의 디스플레이들에서의 TFT 디스플레이/터치 회로는 이러한 방식으로 형성될 수 있다. 제조의 방법들이 특정 순서로 서술되었지만, 서술된 동작들 사이에서 다른 단계들이 수행될 수 있고, 서술된 동작들이 그들이 다소 상이한 시간들에서 발생하도록 조절될 수 있다는 점이 이해되어야 한다.

[0089] 일 실시예에 따르면, 기판, 기판 위에 형성되는 박막 트랜지스터, 박막 트랜지스터 상에 형성되는 패시베이션층, 패시베이션층 상에 형성되는 유전체 라이너, 및 유전체 라이너 상에 형성되는 도전성 라우팅 구조들을 포함하는 디스플레이 회로가 제공된다.

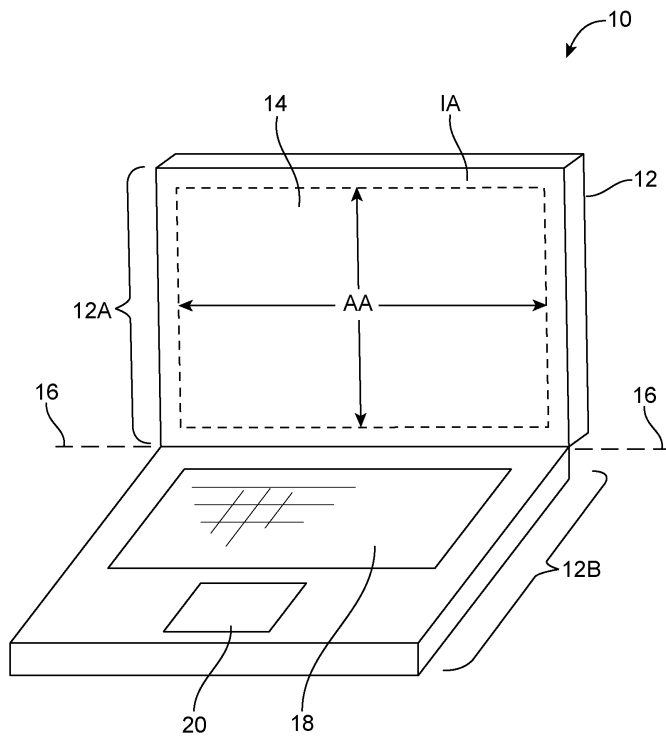
[0090] 다른 실시예에 따르면, 패시베이션층은 실리콘 질화물을 포함한다.

[0091] 다른 실시예에 따르면, 유전체 라이너는 에치-스톱 재료를 포함한다.

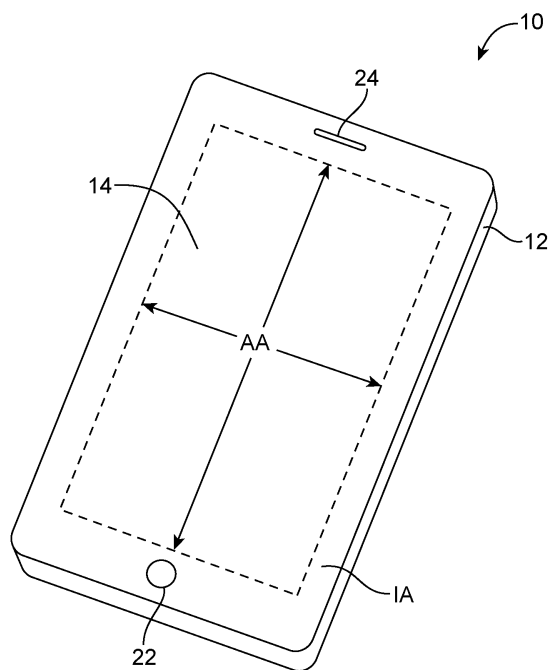
- [0092] 다른 실시예에 따르면, 디스플레이 회로는 도전성 라우팅 구조들 위에서 유전체 라이너 상에 형성되는 유전체층을 포함한다.
- [0093] 다른 실시예에 따르면, 유전체층은 저유전율 유전체 재료를 포함한다.
- [0094] 다른 실시예에 따르면, 디스플레이 회로는 유전체층 상에 형성되는 추가적 도전성 라우팅 구조들을 포함하고, 유전체 라이너 상에 형성되는 도전성 라우팅 구조들 및 유전체층 상에 형성되는 추가적 도전성 라우팅 구조들은 실질적으로 유사한 비저항을 나타낸다.
- [0095] 다른 실시예에 따르면, 박막 트랜지스터는 도전성 라우팅 구조들보다 큰 시트 저항을 나타내는 도전성 재료로부터 형성되는 게이트 구조를 포함한다.
- [0096] 다른 실시예에 따르면, 박막 트랜지스터의 게이트 구조는 패시베이션층에 형성된다.
- [0097] 일 실시예에 따르면, 기판 위에 박막 트랜지스터를 형성하고, 박막 트랜지스터 위에 저유전율 유전체층을 형성하고, 저유전율 유전체층에 도전성 라우팅 경로들을 형성하는 것을 포함하는 디스플레이 회로의 제조 방법이 제공된다.
- [0098] 다른 실시예에 따르면, 본 방법은 패시베이션층을 박막 트랜지스터 상에 형성하는 것을 포함하고, 패시베이션층은 박막 트랜지스터와 저유전율 유전체층 사이에 삽입된다.
- [0099] 다른 실시예에 따르면, 본 방법은 패시베이션층과 저유전율 유전체층 사이에 삽입되는 산화물 라이너를 형성하는 것을 포함하고, 도전성 라우팅 경로들은 산화물 라이너 위에 형성된다.
- [0100] 다른 실시예에 따르면, 본 방법은 다른 유전체층을 저유전율 유전체층 상에 형성하고, 디스플레이 회로를 위한 공통 전극을 다른 유전체층 상에 형성하는 것을 포함한다.
- [0101] 다른 실시예에 따르면, 본 방법은 추가적 도전성 라우팅 경로들을 저유전율 유전체층 상에 형성하는 것을 포함하고, 도전성 라우팅 경로들 및 추가적 도전성 라우팅 경로들은 저유전율 유전체층을 통해 형성되는 비아들을 사용하여 병렬로 단락된다.
- [0102] 다른 실시예에 따르면, 본 방법은 추가적 도전성 라우팅 경로들을 저유전율 유전체층 상에 형성하는 것을 포함하고, 도전성 라우팅 경로들 및 추가적 도전성 라우팅 경로들은 인터레이스되어 배선 피치를 감소시킨다.
- [0103] 다른 실시예에 따르면, 본 방법은 다른 유전체층을 저유전율 유전체층 상에 형성하고, 스토리지 커패시터를 다른 유전체층 상에 형성하는 것을 포함한다.
- [0104] 일 실시예에 따르면, 기판, 기판 위에 형성되는 박막 트랜지스터- 박막 트랜지스터는 기판 위에 형성되는 소스-드레인 구조들을 포함함 -, 소스-드레인 구조들 위에 형성되는 제1 게이트 구조, 및 제1 게이트 구조 위에 형성되는 제2 게이트 구조를 포함하는 전자 디바이스 디스플레이 구조들이 제공된다.
- [0105] 다른 실시예에 따르면, 제1 게이트 구조는 제1 재료로부터 형성되고, 제2 게이트 구조는 제1 재료와는 상이한 제2 재료로부터 형성된다.
- [0106] 다른 실시예에 따르면, 제1 재료는 제2 재료의 것보다 큰 시트 저항을 나타낸다.
- [0107] 다른 실시예에 따르면, 전자 디바이스 디스플레이 구조들은, 제1 게이트 구조 상에 형성되는 패시베이션층 및 패시베이션층 상에 형성되는 유전체 라이너를 포함하고, 제2 게이트 구조는 유전체 라이너 상에 형성된다.
- [0108] 다른 실시예에 따르면, 전자 디바이스 디스플레이 구조들은, 제1 게이트 구조에 연결되는 제1 게이트 라인, 및 제2 게이트 구조에 연결되는 제2 게이트 라인을 포함하고, 제1 게이트 라인은 제2 게이트 라인에 직교한다.
- [0109] 지금까지의 설명은 본 발명의 원리들의 예시일 뿐이며, 본 발명의 범위 및 사상으로부터 벗어나지 않고, 당업자들에 의해 다양한 변경들이 이루어질 수 있다. 지금까지의 실시예들은 개별적으로 또는 임의의 조합으로 구현될 수 있다.

도면

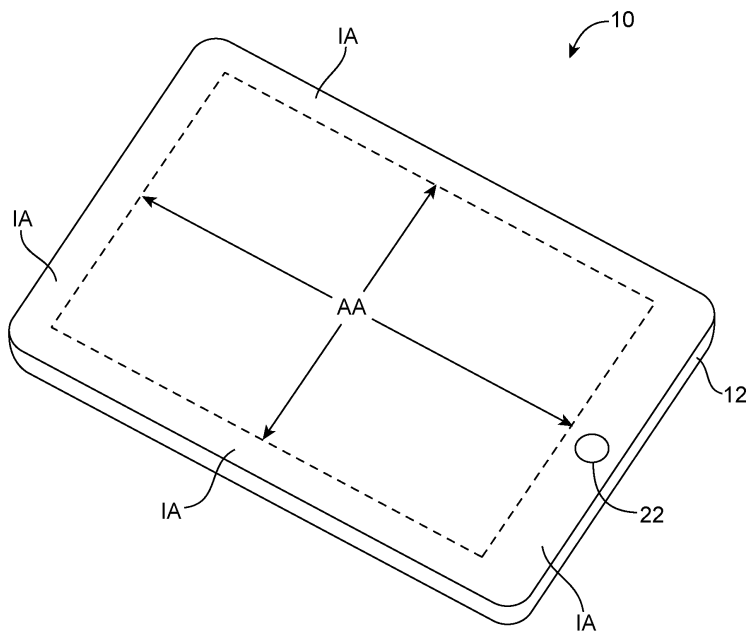
도면1



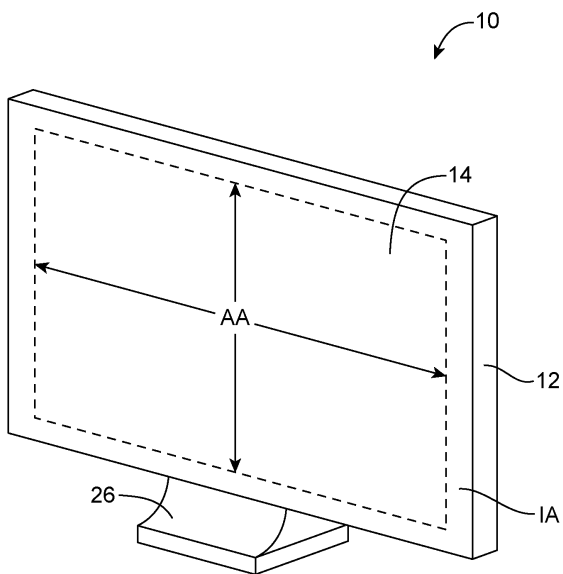
도면2



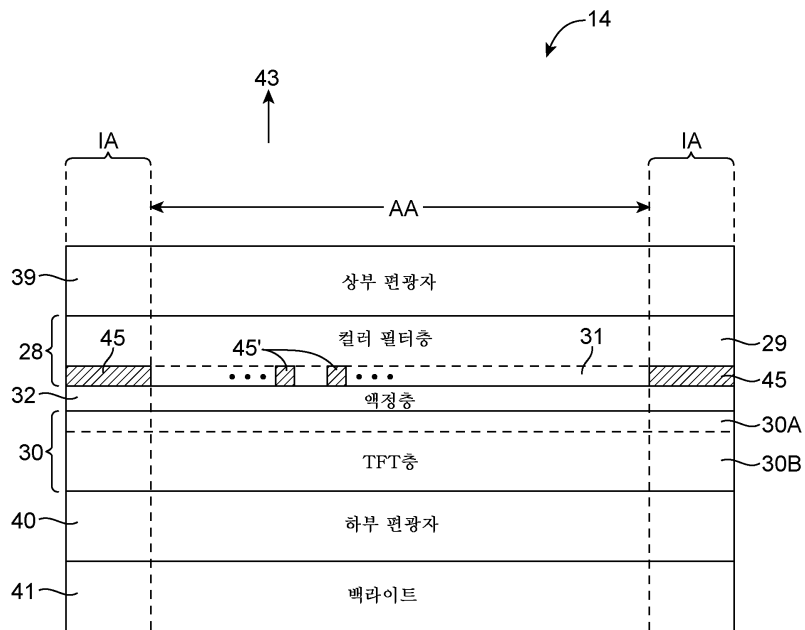
도면3



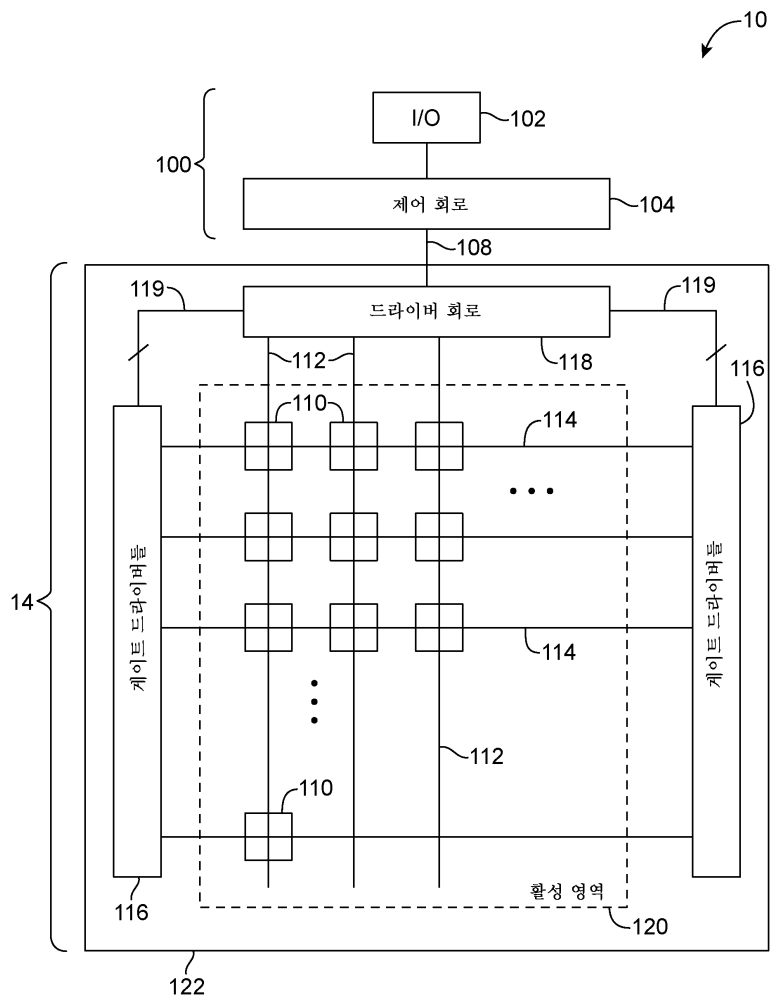
도면4



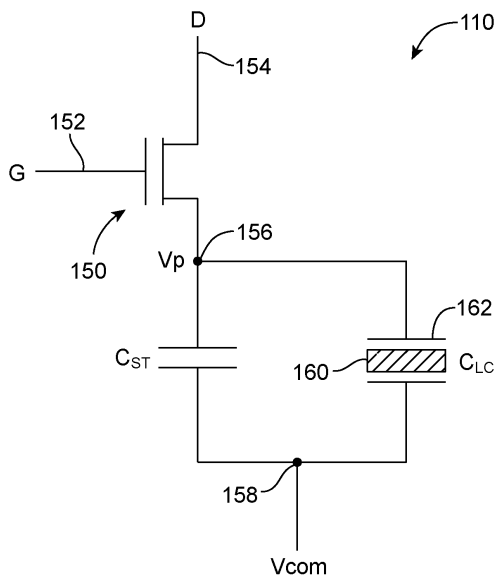
도면5



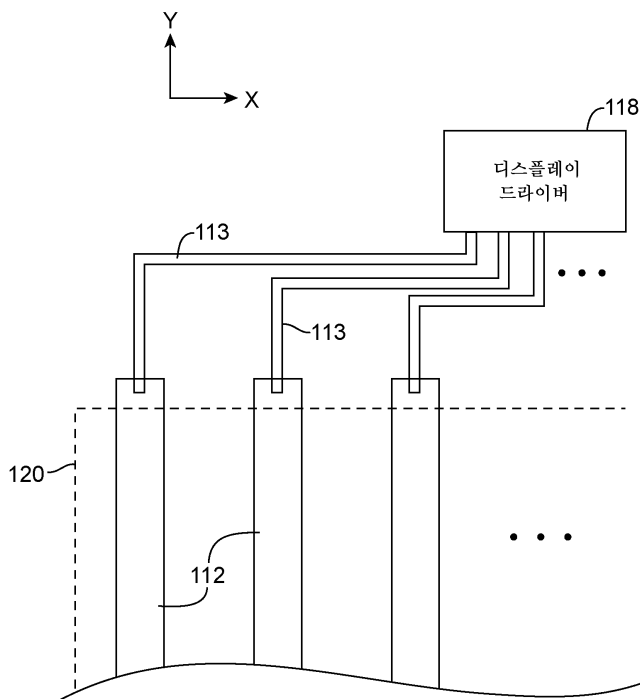
도면6



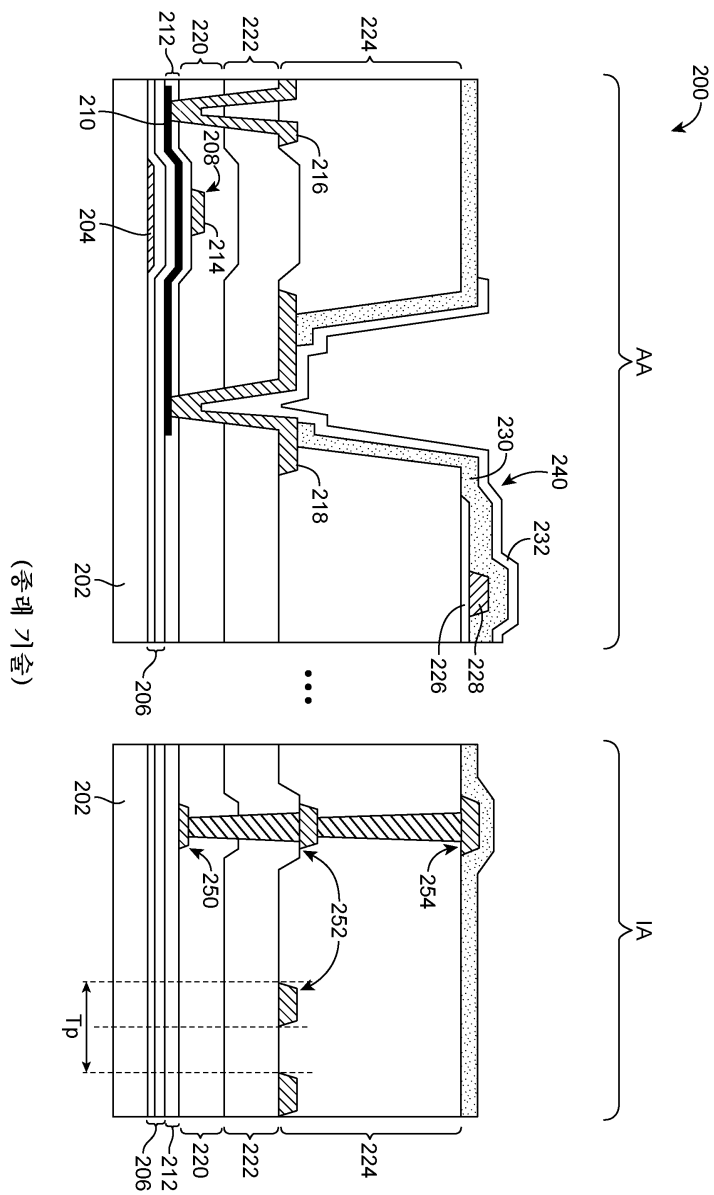
도면7



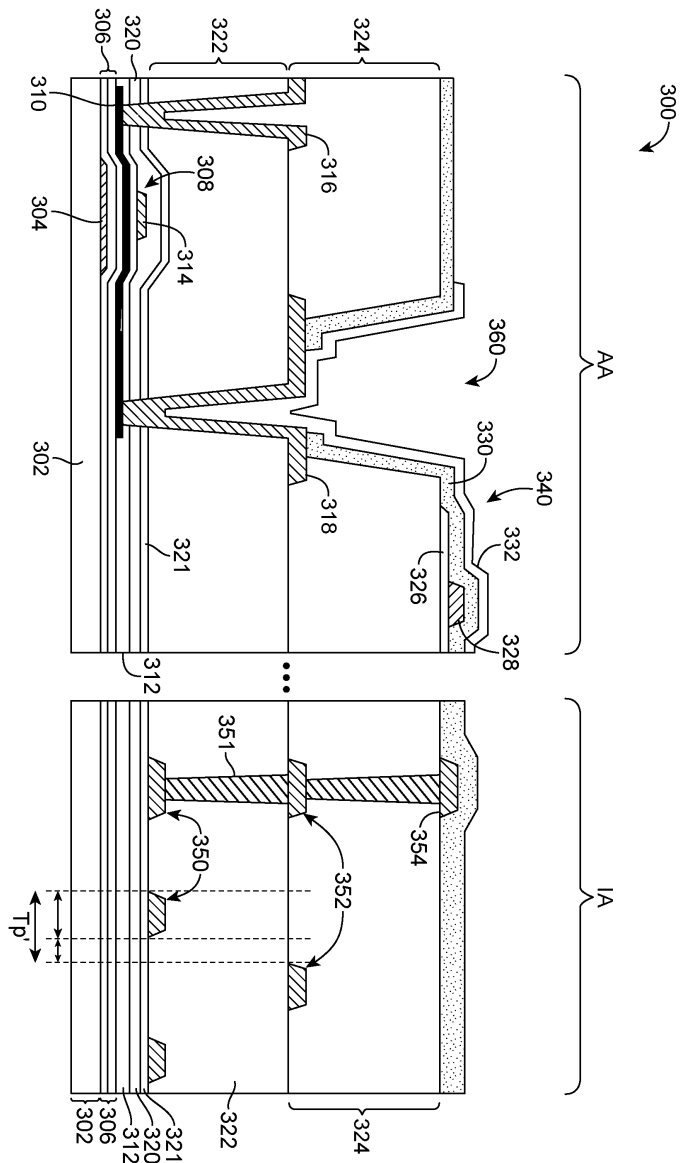
도면8



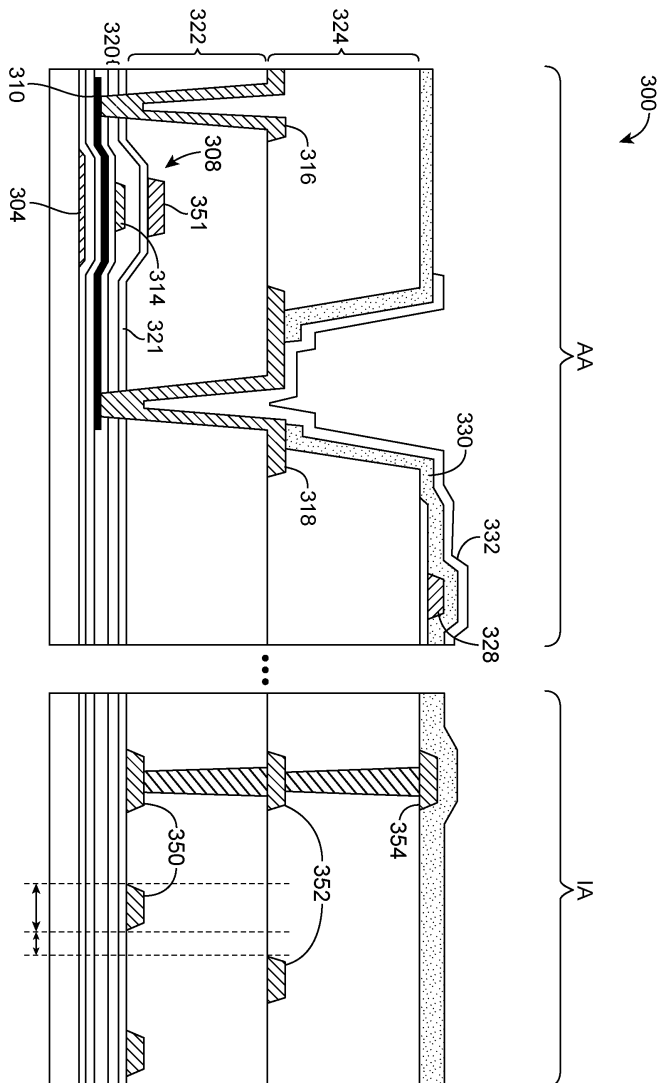
도면9



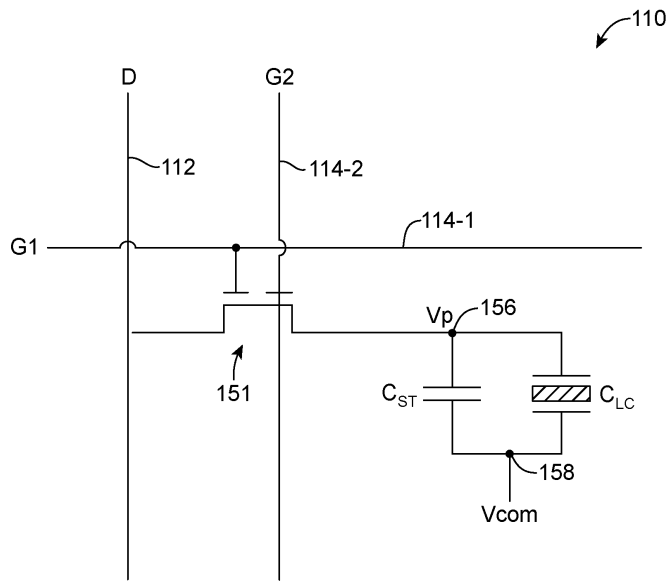
도면10



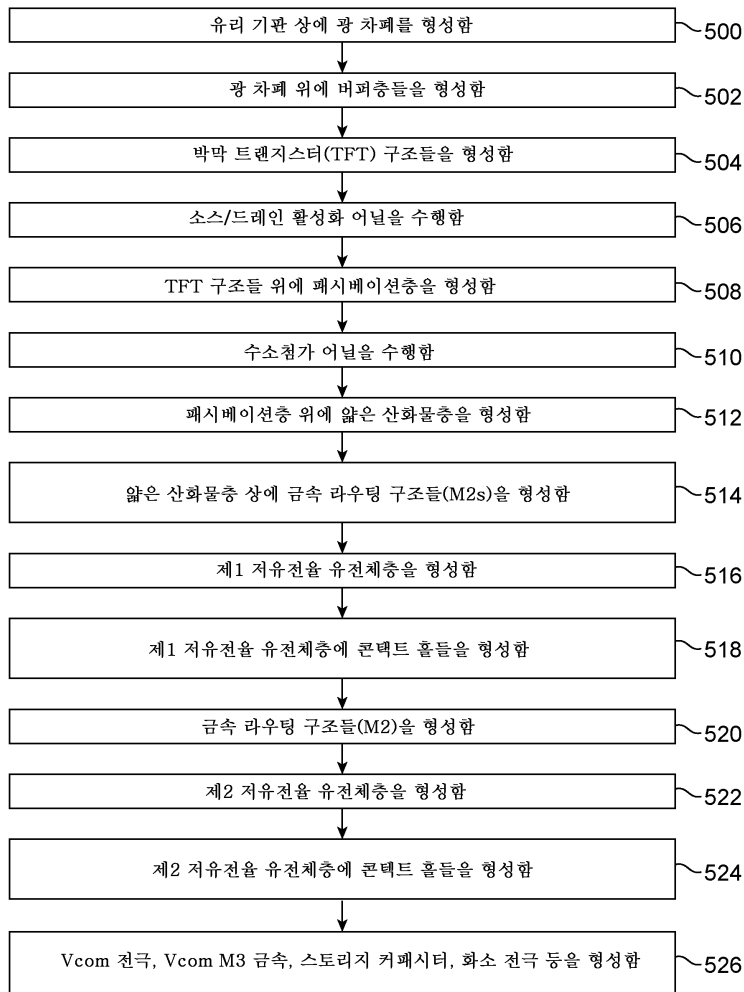
도면11



도면12



도면13



专利名称(译)	标题：具有降低的金属布线电阻的显示电路		
公开(公告)号	KR1020150083043A	公开(公告)日	2015-07-16
申请号	KR1020150002490	申请日	2015-01-08
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	CHEN YU CHENG 첸유첸 CHANG SHIH CHANG 창시흐창 OSAWA HIROSHI 오사와히로시 CHANG TING KUO 창팅쿠오		
发明人	첸,유첸 창,시흐 창 오사와,히로시 창,팅 쿠오		
IPC分类号	G02F1/136 G02F1/1362 G02F1/1368		
CPC分类号	H01L27/1248 H01L27/1262 H01L27/124 H01L29/78633 H01L29/78645 G02F1/1368 G02F1/136286		
优先权	14/150458 2014-01-08 US		
外部链接	Espacenet		

摘要(译)

显示器可以具有滤色器层和薄膜晶体管层。一层液晶材料可以位于滤色器层和薄膜晶体管 (TFT) 层之间。TFT层可以包括形成在玻璃基板顶部上的薄膜晶体管。可以在薄膜晶体管层上形成钝化层。可以在钝化层上形成氧化物衬垫。可以在氧化物衬垫上形成第一低k介电层。可以在第一低k介电层上形成第二低k介电层。可以在第二低k介电层上形成公共电压电极和相关的存储电容。可以在钝化层中形成薄膜晶体管栅极结构。导电布线结构可以形成在氧化物衬垫上，第一低k介电层上和第二低k介电层上。在氧化物衬垫上使用布线结构降低了整体布线电阻并且实现了交错的金属布线，这可以帮助减少有源显示区域外的无效边界区域。

