



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0091350  
(43) 공개일자 2014년07월21일

(51) 국제특허분류(Int. Cl.)  
G02F 1/133 (2006.01) G09G 3/36 (2006.01)  
(21) 출원번호 10-2013-0003518  
(22) 출원일자 2013년01월11일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
이동우  
충남 부여군 부여읍 성왕로328번길 15, 107동 40  
9호 (쌍복아파트)  
홍희정  
서울 양천구 목동동로 430, 612동 1203호 (목동,  
목동6단지아파트)  
(뒷면에 계속)  
(74) 대리인  
특허법인로알

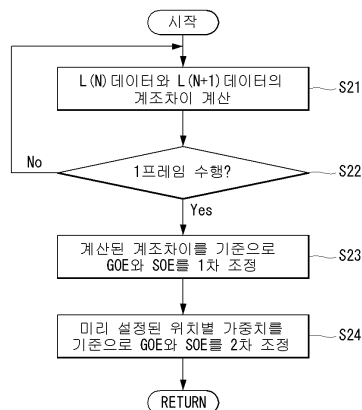
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정표시장치와 그 구동 방법

### (57) 요약

본 발명은 액정표시장치와 그 구동 방법에 관한 것으로, 이 액정표시장치는 이웃한 수평라인들 간 데이터의 계조 차이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간을 늘림과 아울러, RC 딜레이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간을 늘린다.

대표도 - 도8



(72) 발명자

**임종진**

경기 파주시 책향기로 448, 1204동 1103호 (동패동, 책향기마을진흥효자아파트)

**김성원**

경기 용인시 기흥구 강남동로 42, 604동 1004호 (구갈동, 강남마을6단지써밋빌아파트)

---

## 특허청구의 범위

### 청구항 1

데이터 라인들과 게이트 라인들이 교차되고 액정셀들이 매트릭스 타입으로 배치된 액정표시패널;

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부;

상기 데이터 전압들과 동기되는 게이트펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동부; 및

상기 액정표시패널의 제N(N은 양의 정수) 수평 라인에 배치된 액정셀들에 기입될 제N 라인 데이터와, 상기 액정표시패널의 제N+1 수평 라인의 액정셀들에 기입될 제N+1 라인 데이터 간의 계조 차이를 기준으로 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 조정하여 상기 액정표시패널의 각 수평 라인에 대응되는 1 수평 충전기간을 조정하는 타이밍 컨트롤러를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

제 1 항에 있어서,

상기 타이밍 제어신호들은, 상기 게이트 구동부의 출력 타이밍을 제어하기 위한 게이트 출력 인에이블신호와, 상기 데이터 구동부의 출력 타이밍을 제어하기 위한 소스 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치.

### 청구항 3

제 2 항에 있어서,

상기 타이밍 컨트롤러는,

상기 액정표시패널에서 RC 딜레이가 가장 작은 수평 라인의 1 수평 충전기간을 기준기간으로 설정하고,

상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 가장 작은 제1 범위에 속하는 경우 그 계조 차이에 비례하여 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간에 비해 줄어들도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 초기 설정값보다 줄이고,

상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 가장 큰 제2 범위에 속하는 경우 그 계조 차이에 비례하여 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간에 비해 늘어나도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 상기 초기 설정값보다 늘리는 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 3 항에 있어서,

상기 타이밍 컨트롤러는,

상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 상기 제1 범위와 상기 제2 범위 사이에 속하는 경우 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간으로 유지되도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 상기 초기 설정값으로 유지시키는 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 3 항에 있어서,

상기 타이밍 컨트롤러는,

상기 조정된 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호를 미리 설정된 위치별 가중치를 기준으로 더 조정하여 상기 1 수평 충전기간을 수평 라인 단위로 추가 조정하는 것을 특징으로 하는

액정표시장치.

#### 청구항 6

제 5 항에 있어서,

상기 위치별 가중치는,

RC 딜레이가 가장 작은 제1 블록에서 제1 값으로 설정되고, RC 딜레이가 가장 큰 제3 블록에서 상기 제1 값보다 큰 제3 값으로 설정되며, 상기 제1 블록과 상기 제3 블록 사이에 배치된 제2 블록에서 상기 제1 값과 상기 제3 값 사이의 제2 값으로 설정되는 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제 6 항에 있어서,

상기 제1 내지 제3 블록에서 상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 서로 동일한 경우, 상기 기준기간으로부터 변화되는 1 수평 충전기간의 변화폭은 상기 위치별 가중치가 작은 블록에 비해 상기 위치별 가중치가 큰 블록에서 더 큰 것을 특징으로 하는 액정표시장치.

#### 청구항 8

제 6 항에 있어서,

상기 타이밍 컨트롤러는,

상기 액정표시패널의 전체 수평 라인들에서 상기 기준기간 대비 1 수평 충전기간의 줄어든 변화폭과 늘어난 변화폭의 전체 합이 "0"이 되도록 제어하는 것을 특징으로 하는 액정표시장치.

#### 청구항 9

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

상기 제N 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최대 계조값을 상기 제N 라인 데이터로 선택하고, 상기 제N+1 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최소 계조값을 상기 제N+1 라인 데이터로 선택하는 것을 특징으로 하는 액정표시장치.

#### 청구항 10

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

상기 제N 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최소 계조값을 상기 제N 라인 데이터로 선택하고, 상기 제N+1 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최대 계조값을 상기 제N+1 라인 데이터로 선택하는 것을 특징으로 하는 액정표시장치.

#### 청구항 11

데이터 라인들과 게이트 라인들이 교차되고 액정셀들이 매트릭스 타입으로 배치된 액정표시패널과, 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부와, 상기 데이터 전압들과 동기되는 게이트펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동부를 갖는 액정표시장치의 구동 방법에 있어서,

상기 액정표시패널의 제N(N은 양의 정수) 수평 라인에 배치된 액정셀들에 기입될 제N 라인 데이터와, 상기 액정표시패널의 제N+1 수평 라인의 액정셀들에 기입될 제N+1 라인 데이터 간의 계조 차이를 계산하는 단계; 및

상기 계산된 계조 차이를 기준으로 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 조정하여 상기 액정표시패널의 각 수평 라인에 대응되는 1 수평 충전기간을 조정하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

**청구항 12**

제 11 항에 있어서,

상기 타이밍 제어신호들은, 상기 게이트 구동부의 출력 타이밍을 제어하기 위한 게이트 출력 인에이블신호와, 상기 데이터 구동부의 출력 타이밍을 제어하기 위한 소스 출력 인에이블신호를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

**청구항 13**

제 12 항에 있어서,

상기 1 수평 충전기간을 조정하는 단계는,

상기 액정표시패널에서 RC 딜레이가 가장 작은 수평 라인의 1 수평 충전기간을 기준기간으로 설정하는 단계;

상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 가장 작은 제1 범위에 속하는 경우 그 계조 차이에 비례하여 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간에 비해 줄어들도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 초기 설정값보다 줄이는 단계; 및

상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 가장 큰 제2 범위에 속하는 경우 그 계조 차이에 비례하여 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간에 비해 늘어나도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 상기 초기 설정값보다 늘리는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

**청구항 14**

제 13 항에 있어서,

상기 1 수평 충전기간을 조정하는 단계는,

상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 상기 제1 범위와 상기 제2 범위 사이에 속하는 경우 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간으로 유지되도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 상기 초기 설정값으로 유지시키는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

**청구항 15**

제 13 항에 있어서,

상기 조정된 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호를 미리 설정된 위치별 가중치를 기준으로 더 조정하여 상기 1 수평 충전기간을 수평 라인 단위로 추가 조정하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동 방법.

**청구항 16**

제 15 항에 있어서,

상기 위치별 가중치는,

RC 딜레이가 가장 작은 제1 블록에서 제1 값으로 설정되고, RC 딜레이가 가장 큰 제3 블록에서 상기 제1 값보다 큰 제3 값으로 설정되며, 상기 제1 블록과 상기 제3 블록 사이에 배치된 제2 블록에서 상기 제1 값과 상기 제3 값 사이의 제2 값으로 설정되는 것을 특징으로 하는 액정표시장치의 구동 방법.

**청구항 17**

제16 항에 있어서,

상기 제1 내지 제3 블록에서 상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 서로 동일한 경우, 상기 기준기간으로부터 변화되는 1 수평 충전기간의 변화폭은 상기 위치별 가중치가 작은 블록에 비해 상기 위치별 가중치가 큰 블록에서 더 큰 것을 특징으로 하는 액정표시장치의 구동 방법.

## 청구항 18

제 16 항에 있어서,

상기 액정표시패널의 전체 수평 라인들에서 상기 기준기간 대비 1 수평 충전기간의 줄어든 변화폭과 늘어난 변화폭의 전체 합은 "0"이 되는 것을 특징으로 하는 액정표시장치의 구동 방법.

## 청구항 19

제 11 항에 있어서,

상기 제N 라인 데이터는 상기 제N 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최대 계조값으로 선택되고, 상기 제N+1 라인 데이터는 상기 제N+1 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최소 계조값으로 선택되는 것을 특징으로 하는 액정표시장치의 구동 방법.

## 청구항 20

제 11 항에 있어서,

상기 제N 라인 데이터는 상기 제N 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최소 계조값으로 선택되고, 상기 제N+1 라인 데이터는 상기 제N+1 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최대 계조값으로 선택되는 것을 특징으로 하는 액정표시장치의 구동 방법.

## 명세서

### 기술분야

[0001] 본 발명은 휘도 균일도를 높일 수 있는 액정표시장치와 그 구동 방법에 관한 것이다.

### 배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치의 액정셀들은 화소전극에 공급되는 데이터 전압과 공통전극에 공급되는 공통전압의 전위차에 따라 투과율을 변화시킴으로써 화상을 표시한다.

[0003] 액정표시장치에서 액정셀들의 데이터 전압 충전 특성에 영향을 미치는 요소는 여러 가지가 있다.

[0004] 입력 영상 데이터의 계조 차이가 클수록 액정셀들의 데이터 전압 충전 편차가 커진다. 데이터 라인을 통해 k(k는 2이상의 양의 정수)개의 액정셀들에 데이터 전압이 k 수평 기간 동안 연속적으로 공급되는 경우, 데이터 전압의 계조 차이가 작으면 액정셀의 전압이 목표 계조 전압까지 충전될 수 있다. 이에 비하여, 데이터 전압의 계조 차이가 크면 액정셀의 전압이 목표 계조 전압까지 충전되지 않을 수 있다.

[0005] 액정셀들의 데이터 전압 충전 편차는 데이터 전압의 RC 딜레이(delay)에도 큰 영향을 받는다. 액정표시장치의 화면 크기가 커지고 해상도가 높아지면 액정표시패널의 저항(Resistance)과 용량(Capacitance)이 커져 데이터 라인을 통해 공급되는 데이터 전압의 RC 딜레이(delay)가 커진다. 대화면 액정표시장치에서 RC 딜레이가 큰 부분에 위치하는 액정셀들의 데이터 전압 충전률이 상대적으로 작다. 도 1의 예에서, 소스 드라이브 IC(Integrated Circuit)로부터 출력되는 데이터 전압은 목표 전압(V<sub>2</sub>)으로 데이터 라인을 통해 액정셀에 공급되나 RC 딜레이로 인하여 액정셀의 전압(V<sub>p</sub>)이 1 수평 충전기간(1HC) 내에서 V<sub>1</sub>으로부터 상승되지만 V<sub>2</sub>에 도달하지 못한다. 도 1에서, SIC 출력 데이터 전압은 소스 드라이브 IC(SIC)로부터 출력되는 데이터 전압이다.

[0006] 1 수평 충전기간(1HC)은 1 수평라인에 배치된 액정셀들의 충전에 할당되는 시간으로서, 액정표시패널의 수직 해상도와 1 프레임 기간에 따라 정해진다. FHD 해상도(1920\*1080)를 갖는 액정표시패널이 120Hz의 프레임 주파수로 구동되는 경우, 1 수평 충전기간(1HC)은 대략 7.7 $\mu$ s(8.33ms/1080)이다. 그런데, 종래 액정표시장치는, 도 2와 같이 액정표시패널의 모든 위치에서 1 수평 충전기간(1HC)을 동일하게 설정하기 있기 때문에, RC 딜레이에 따른 데이터 전압의 충전률 편차를 해소할 수 없다.

## 발명의 내용

### 해결하려는 과제

- [0007] 본 발명은 고해상도의 대화면 액정표시장치에서 액정셀들의 데이터 전압 충전 특성을 개선할 수 있는 액정표시장치와 그 구동 방법을 제공한다.

### 과제의 해결 수단

- [0008] 본 발명의 액정표시장치는 데이터 라인들과 게이트 라인들이 교차되고 액정셀들이 매트릭스 타입으로 배치된 액정표시패널; 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부; 상기 데이터 전압들과 동기되는 게이트펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동부; 및 상기 액정표시패널의 제N(N은 양의 정수) 수평 라인에 배치된 액정셀들에 기입될 제N 라인 데이터와, 상기 액정표시패널의 제N+1 수평 라인의 액정셀들에 기입될 제N+1 라인 데이터 간의 계조 차이를 기준으로 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 조정하여 상기 액정표시패널의 각 수평 라인에 대응되는 1 수평 충전기간을 조정하는 타이밍 컨트롤러를 포함한다.
- [0009] 상기 타이밍 제어신호들은, 상기 게이트 구동부의 출력 타이밍을 제어하기 위한 게이트 출력 인에이블신호와, 상기 데이터 구동부의 출력 타이밍을 제어하기 위한 소스 출력 인에이블신호를 포함한다.
- [0010] 상기 타이밍 컨트롤러는, 상기 액정표시패널에서 RC 딜레이가 가장 작은 수평 라인의 1 수평 충전기간을 기준으로 설정하고, 상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 가장 작은 제1 범위에 속하는 경우 그 계조 차이에 비례하여 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간에 비해 줄어들도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 초기 설정값보다 줄이고, 상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 가장 큰 제2 범위에 속하는 경우 그 계조 차이에 비례하여 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간에 비해 늘어나도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 상기 초기 설정값보다 늘린다.
- [0011] 상기 타이밍 컨트롤러는, 상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 상기 제1 범위와 상기 제2 범위 사이에 속하는 경우 상기 제N+1 수평 라인의 1 수평 충전기간이 상기 기준기간으로 유지되도록 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호 각각의 로우기간 폭을 상기 초기 설정값으로 유지시킨다.
- [0012] 상기 타이밍 컨트롤러는, 상기 조정된 상기 게이트 출력 인에이블신호와 상기 소스 출력 인에이블신호를 미리 설정된 위치별 가중치를 기준으로 더 조정하여 상기 1 수평 충전기간을 수평 라인 단위로 추가 조정한다.
- [0013] 상기 위치별 가중치는, RC 딜레이가 가장 작은 제1 블록에서 제1 값으로 설정되고, RC 딜레이가 가장 큰 제3 블록에서 상기 제1 값보다 큰 제3 값으로 설정되며, 상기 제1 블록과 상기 제3 블록 사이에 배치된 제2 블록에서 상기 제1 값과 상기 제3 값 사이의 제2 값으로 설정된다.
- [0014] 상기 제1 내지 제3 블록에서 상기 제N 라인 데이터와 상기 제N+1 라인 데이터의 계조 차이가 서로 동일한 경우, 상기 기준기간으로부터 변화되는 1 수평 충전기간의 변화폭은 상기 위치별 가중치가 작은 블록에 비해 상기 위치별 가중치가 큰 블록에서 더 크다.
- [0015] 상기 타이밍 컨트롤러는, 상기 액정표시패널의 전체 수평 라인들에서 상기 기준기간 대비 1 수평 충전기간의 줄어드는 변화폭과 늘어난 변화폭의 전체 합이 "0"이 되도록 제어한다.
- [0016] 상기 타이밍 컨트롤러는, 상기 제N 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최대 계조값을 상기 제N 라인 데이터로 선택하고, 상기 제N+1 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최소 계조값을 상기 제N+1 라인 데이터로 선택한다.
- [0017] 상기 타이밍 컨트롤러는, 상기 제N 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최소 계조값을 상기 제N 라인 데이터로 선택하고, 상기 제N+1 수평 라인에 배치된 액정셀들에 기입될 데이터들 중 최대 계조값을 상기 제N+1 라인 데이터로 선택한다.

[0018] 또한, 데이터 라인들과 게이트 라인들이 교차되고 액정셀들이 매트릭스 타입으로 배치된 액정표시패널과, 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부와, 상기 데이터 전압들과 동기되는 게이트펄스를 상기 게이트 라인들에 순차적으로 공급하는 게이트 구동부를 갖는 액정표시장치의 구동 방법은, 상기 액정표시패널의 제N(N은 양의 정수) 수평 라인에 배치된 액정셀들에 기입될 제N 라인 데이터와, 상기 액정표시패널의 제N+1 수평 라인의 액정셀들에 기입될 제N+1 라인 데이터 간의 계조 차이를 계산하는 단계; 및 상기 계산된 계조 차이를 기준으로 상기 데이터 구동부와 상기 게이트 구동부의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 조정하여 상기 액정표시패널의 각 수평 라인에 대응되는 1 수평 충전기간을 조정하는 단계를 포함한다.

### 발명의 효과

[0019] 본 발명은 이웃한 수평 라인들에 인가되는 라인 데이터들의 계조차를 기반으로 게이트 출력 인에이블신호와 소스 출력 인에이블신호를 조정하고, 이 조정을 통해 각 수평라인에 대응되는 1 수평 충전 기간을 조정함으로써, 이웃한 수평라인들 간 데이터의 계조 차이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간을 늘림과 아울러, RC 딜레이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간을 늘린다. 이를 통해, 본 발명은 RC 딜레이와 데이터의 계조 차이로 인한 액정셀들의 충전률 차이를 줄여 고해상도 및 대화면에서도 휘도 균일도를 크게 높여 표시품질을 향상시킬 수 있다.

### 도면의 간단한 설명

[0020] 도 1은 RC 딜레이로 인하여 액정셀의 데이터 전압 충전률 저하를 보여 주는 파형도이다.  
 도 2는 종래 액정표시패널의 모든 위치에서 1 수평 충전기간이 동일하게 설정된 것을 보여주는 파형도이다.  
 도 3은 액정표시장치의 더블 बैं크 구동회로를 보여 준다.  
 도 4는 액정표시장치의 싱글 बैं크 구동회로를 보여 준다.  
 도 5는 도 3 및 도 4에 도시된 표시패널의 TFT 어레이 일부를 보여 주는 등가 회로도이다.  
 도 6은 도 5에 도시된 TFT 어레이에 인가되는 데이터 전압과 게이트 펄스를 보여 주는 파형도이다.  
 도 7은 본 발명의 타이밍 컨트롤러에서 타이밍 제어신호를 조정하는 블록도를 보여준다.  
 도 8은 타이밍 제어신호를 조정하기 위한 타이밍 컨트롤러의 구동 수순을 보여준다.  
 도 9는 1 수평 충전기간을 수평라인 단위로 1차 조정하는 일 예를 보여주는 파형도이다.  
 도 10a 및 도 10b는 블록 단위로 가중치가 다르게 설정된 예들을 보여준다.  
 도 11은 가중치가 작은 블록에 비해 가중치가 큰 블록에서 1 수평 충전기간의 변화폭이 더 큰 것을 보여주는 파형도이다.

### 발명을 실시하기 위한 구체적인 내용

[0021] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0022] 도 3은 액정표시장치의 더블 बैं크(double bank) 구동회로를 보여 준다. 도 4는 액정표시장치의 싱글 बैं크(single bank) 구동회로를 보여 준다.

[0023] 도 3 및 도 4를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 타이밍 컨트롤러(20), 데이터 구동부(12, 12A, 12B), 및 게이트 구동부(14, 14A, 14B)를 구비한다.

[0024] 액정표시패널(10)은 두 장의 유리기판 사이에 액정층이 형성된다. 액정표시패널은 데이터 라인들(S1~Sm)과 게이트 라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 배치된 액정셀들을 포함한다. 액정셀들은 도 5와 같이 적색(R) 서브액정셀, 녹색(G) 서브액정셀, 및 청색(B) 서브액정셀(B)로 나뉘어진다. 서브액정셀들 각각은



액정셀들(Clc), TFT, 및 스토리지 커패시터(Cst)를 포함한다.

- [0025] 액정표시패널(10)에서 입력 영상이 표시되는 액정셀 어레이는 TFT 어레이와 컬러 필터 어레이로 나뉘어진다. 액정표시패널(10)의 하부 유리기관에는 도 5와 같은 TFT 어레이가 형성된다. TFT 어레이는 데이터 라인들(S1~Sm), 데이터 라인들(S1~Sm)과 교차하는 게이트 라인들(G1~Gn), 액정셀들(Clc)의 화소전극(1)에 접속된 TFT들, 및 스토리지 커패시터(Cst) 등을 포함한다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 등을 포함한 컬러 필터 어레이가 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0026] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0027] 본 발명에서 적용 가능한 액정표시패널(10)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0028] 타이밍 컨트롤러(20)는 호스트 시스템(Host system)(30)으로부터 입력된 입력 영상의 디지털 비디오 데이터를 데이터 구동부(12A, 12B)에 공급한다. 타이밍 컨트롤러(20)는 호스트 시스템(30)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭(CLK) 등의 타이밍신호를 입력받는다. 타이밍 컨트롤러(20)는 호스트 시스템(30)으로부터 입력된 타이밍 신호를 바탕으로 데이터 구동부(12A, 12B)와 게이트 구동부(14A, 14B)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동부(14, 14A, 14B)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와, 데이터 구동부(12, 12A, 12B)의 동작 타이밍과 데이터 전압의 수직 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.
- [0029] 게이트 타이밍 제어신호는 게이트 스타트 펄스(GSP), 게이트 시프트 클럭(GSC), 게이트 출력 인에이블신호(GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(14, 14A, 14B)를 구성하는 게이트 드라이브 IC(Integrated Circuit)의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 펄스의 시프트 타이밍을 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력 타이밍을 제어한다.
- [0030] 데이터 타이밍 제어신호는 소스 스타트 펄스(SSP), 소스 샘플링 클럭(SSC), 극성제어신호(POL), 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(12, 12A, 12B)를 구성하는 소스 드라이브 IC들의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(12, 12A, 12B)의 출력 타이밍을 제어한다. 타이밍 컨트롤러(20와 데이터 구동부(12, 12A, 12B) 사이에서 신호 전송을 위한 인터페이스가 mini LVDS(Low Voltage Differential Signaling)이면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0031] 타이밍 컨트롤러(20)는 도 8과 같이 액정표시패널(10)에서 이웃한 수평라인들의 데이터를 비교하여 그 데이터들의 계조 차이를 계산하고, 계산된 계조 차이를 기준으로 각 수평라인에 대응되는 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)를 1차 조정하여 데이터 구동회로(12, 12A, 12B)와 게이트 구동회로(14, 14A, 14B)의 동작 타이밍을 제어한다. 타이밍 컨트롤러(20)는 1차 조정된 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)를 미리 설정된 위치별 가중치를 기준으로 각 수평라인에 대응하여 2차 조정하여 데이터 구동회로(12, 12A, 12B)와 게이트 구동회로(14, 14A, 14B)의 동작 타이밍을 추가로 제어할 수 있다. 타이밍 컨트롤러(20)는 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)의 조정을 통해 각 수평라인에 대응되는 1 수평 충전 기간을 조정함으로써, 이웃한 수평라인들 간 데이터의 계조 차이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간(1HC)을 늘림과 아울러, RC 딜레이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간(1HC)을 늘린다. 이를 통해, 타이밍 컨트롤러(20)는 RC 딜레이와 데이터의 계조 차이로 인한 액정셀들의 충전률 차이를 줄일 수 있다. 1 수평 충전기간(1HC)은 1 수평라인에 배치된 액정셀들의 충전에 할당된 시간이다.

- [0032] 데이터 구동부(12, 12A, 12B)는 하나 이상의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들 각각은 시프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 소스 드라이브 IC들은 타이밍 콘트롤러(20)의 제어 하에 디지털 비디오 데이터(RGB DATA)를 래치한다. 소스 드라이브 IC들은 디지털 비디오 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터 전압을 발생하고 극성제어신호(POL)에 응답하여 그 데이터 전압의 극성을 반전시킨다. 소스 드라이브 IC들은 소스 출력 인에이블신호(SOE)에 응답하여 데이터 전압을 데이터 라인들(S1~Sm)로 출력한다. 이러한 소스 드라이브 IC들은 도 6과 같이 제N 프레임 기간(N은 양의 정수) 동안 기수 번째 데이터 라인들(S1, S3, ..., Sm-1)에 제1 극성(+)의 데이터 전압을 공급하고, 우수 번째 데이터 라인들(S2, S2, ..., Sm)에 제2 극성(-)의 데이터 전압을 공급하고, 제N+1 프레임 기간에 데이터 전압의 극성을 반전시킨다. 따라서, 본 발명의 소스 드라이브 IC들은 동일 데이터라인에 공급되는 데이터 전압의 극성을 1 프레임 기간 동안 같은 극성을 유지하고, 다음 프레임 기간에 데이터 전압의 극성을 반전시키므로 매 수평 기간마다 극성을 반전시키는 소스 드라이브 IC들에 비하여 전류 소비가 작기 때문에 소비전력과 발열량을 줄일 수 있다.
- [0033] 게이트 구동부(14, 14A, 14B)의 게이트 드라이브 IC들은 시프트 레지스터와 레벨 쉬프터를 포함한다. 게이트 구동부(14A, 14B)는 게이트 타이밍 제어신호에 응답하여 데이터 전압에 동기되는 게이트펄스를 게이트 라인들(G1~Gn)에 순차적으로 공급한다.
- [0034] 호스트 시스템(30)은 텔레비전 시스템, 홈 시어터 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(30)은 입력 영상의 디지털 비디오 데이터를 액정표시패널(10)의 해상도에 맞게 스케일링한다. 호스트 시스템(30)은 입력 영상의 디지털 비디오 데이터(RGB)와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(20)로 전송한다.
- [0035] 도 3에 도시된 더블 बैं크 구동 회로는 액정표시패널(10)의 상단에 배치되는 제1 데이터 구동부(12A), 액정표시패널(10)의 하단에 배치된 제2 데이터 구동부(12B), 액정표시패널(10)의 좌측에 배치되는 제1 게이트 구동부(14A), 및 액정표시패널(10)의 좌측에 배치되는 제2 게이트 구동부(14B)를 포함한다. 제1 데이터 구동부(12A)는 데이터 라인들(S1~Sm)의 상측 끝단에 연결된 데이터 패드들을 통해 그 데이터 라인들(S1~Sm)에 데이터 전압을 공급한다. 제2 데이터 구동부(12B)는 데이터 라인들(S1~Sm)의 하측 끝단에 연결된 데이터 패드들을 통해 그 데이터 라인들(S1~Sm)에 데이터 전압을 공급한다. 제1 및 제2 데이터 구동부(12A, 12B)는 타이밍 콘트롤러(20)의 제어 하에 동시에 동작하여 데이터 라인들(S1~Sm)의 양쪽에서 동시에 데이터 전압을 공급함으로써 데이터 라인들(S1~Sm)의 RC 딜레이를 보상한다. 제1 게이트 구동부(14A)는 게이트 라인들(G1~Gn)의 좌측 끝단에 연결된 게이트 패드들을 통해 그 게이트 라인들(G1~Gn)에 데이터 전압에 동기되는 게이트 펄스를 공급한다. 제2 게이트 구동부(14B)는 게이트 라인들(G1~Gn)의 우측 끝단에 연결된 게이트 패드들을 통해 그 게이트 라인들(G1~Gn)에 데이터 전압에 동기되는 게이트 펄스를 공급한다. 제1 및 제2 게이트 구동부(14A, 14B)는 타이밍 콘트롤러(20)의 제어 하에 동시에 동작하여 게이트 라인들(G1~Gn)의 양쪽에서 동시에 게이트 펄스를 공급함으로써 게이트 라인들(G1~Gn)의 RC 딜레이를 보상한다. 이러한 더블 बैं크 구동회로는 RC 딜레이를 보상하여 액정셀들(C1c)의 충전률 편차를 줄일 수 있으나, 더블 बैं크 구동 회로를 구현하기 위하여 필요한 IC 개수가 도 4의 싱글 बैं크 구동회로에 비하여 많아지기 때문에 액정표시장치의 비용 상승을 초래한다.
- [0036] 도 4와 같은 싱글 बैं크 구동 회로는 액정표시패널(10)의 상단 또는 하단에 배치되는 데이터 구동부(12), 액정표시패널(10)의 좌측 또는 우측에 배치되는 게이트 구동부(14)를 포함한다. 이러한 싱글 बैं크 구동 회로는 데이터 라인들의 일측 끝단을 통해 데이터 전압을 공급하고 게이트 라인들의 일측 끝단을 통해 게이트 펄스를 공급하기 때문에 데이터 라인들을 타측 끝단으로 갈수록 그리고 게이트 라인들의 타측 끝단으로 갈수록 커지는 RC 딜레이로 인하여 액정셀들의 데이터 전압 충전률이 낮아진다. 반면에 싱글 बैं크 구동회로는 필요한 IC 개수가 더블 बैं크 구동회로에 비하여 작기 때문에 액정표시장치의 단가를 낮출 수 있다. 이러한 싱글 बैं크 구동회로는 종래 기술에서 주로 중소형 크기의 액정표시장치에 적용되고 있다.
- [0037] 본 발명의 액정표시장치의 구동회로는 싱글 बैं크 데이터 구동부(12)와 더블 बैं크 게이트 구동부(14A, 14B)의 조합으로 구현될 수도 있다. 대화면 및 고해상도 액정표시장치를 대상으로 하는 본 발명은 이하에서 설명되는 구동 방법을 적용하여 화면 전체에서 액정셀들의 충전률을 비슷한 수준으로 제어한다.
- [0038] 도 5는 도 3 및 도 4에 도시된 표시패널의 TFT 어레이 일부를 보여 주는 등가 회로도이다. 도 6은 도 5에 도시된 TFT 어레이에 인가되는 데이터 전압과 게이트 펄스를 보여 주는 파형도이다.
- [0039] 도 5 및 도 6을 참조하면, 액정표시패널(10)의 기수 번째 수평라인들(L(N), L(N+2))은 데이터라인들(S1~S6)의

우측에 배치된 화소전극에 연결되는 TFT들을 포함한다. 액정표시패널(10)의 우수 번째 수평라인들(L(N+1))은 데이터라인들(S1~S6)의 좌측에 배치된 화소전극에 연결되는 TFT들을 포함한다. 따라서, 하나의 데이터 라인에 수직 방향(도 3 및 도 4의 y축 방향)을 따라 연결된 TFT들은 그 데이터 라인의 좌측과 우측에 번갈아가며 연결되어 지그 재그(zigzag) 형태로 배치된다.

- [0040] 데이터 구동부(12, 12A, 12B)의 소스 드라이브 IC들은 1 프레임 기간 동안 기수 번째 데이터 라인들(S1, S3, ..., Sm-1)에 제1 극성의 데이터 전압을 공급하고, 우수 번째 데이터 라인들(S2, S2, ..., Sm)에 제2 극성의 데이터 전압을 공급한다. 따라서, 1 프레임 기간 동안 하나의 데이터 라인에 연속으로 공급되는 데이터 전압의 극성은 같은 극성을 유지한다. 이렇게 하나의 데이터 라인에 같은 극성의 데이터 전압이 1 프레임 기간 동안 공급되면, 수평 방향(도 3 및 도 4의 x축 방향)에서 이웃하는 액정셀들은 TFT들의 지그재그 배치로 인하여 1 도트(dot) 단위로 극성이 상반된 데이터 전압을 충전한다. 여기서, 1 도트는 1 서브 액정셀 또는 1 액정셀을 의미한다. 또한, 수직 방향(도 3 및 도 4의 y축 방향)에서 이웃하는 액정셀들은 TFT들의 지그재그 배치로 인하여 1 도트(dot) 단위로 극성이 상반된 데이터 전압을 충전한다. 따라서, 데이터 구동부(12, 12A, 12B)의 소스 드라이브 IC들은 컬럼 인버전 방식으로 데이터 전압의 극성을 반전시키고, 액정표시패널(10)의 액정셀들은 1 도트 인버전 방식으로 반전되는 데이터 전압을 충전한다.
- [0041] 도 7은 본 발명의 타이밍 컨트롤러에서 타이밍 제어신호(GOE, SOE)를 조정하는 블록도를 보여준다. 그리고, 도 8은 타이밍 제어신호(GOE, SOE)를 조정하기 위한 타이밍 컨트롤러의 구동 수순을 보여준다. 도 9는 1 수평 충전 기간을 수평라인 단위로 1차 조정하는 일 예를 보여주는 파형도이다. 도 10a 및 도 10b는 블록 단위로 가중치가 다르게 설정된 예들을 보여준다. 도 11은 가중치가 작은 블록에 비해 가중치가 큰 블록에서 1 수평 충전기간의 변화폭이 더 큰 것을 보여주는 파형도이다.
- [0042] 도 7 및 도 8을 참조하면, 타이밍 컨트롤러(20)는 타이밍 제어신호(GOE, SOE)를 조정하기 위해, 메모리(21), 데이터 비교부(22), 제어신호 조정부(23) 등을 포함한다.
- [0043] 데이터 비교부(22)는 메모리(21)에 저장된 제N 라인 데이터와 제N+1 라인 데이터를 비교하여, 제N 라인 데이터와 제N+1 라인 데이터의 계조 차이를 계산한다.(S21) 제N 라인 데이터는 제N 수평라인(L(N))에 배치된 액정셀들에 기입될 데이터이고, 제N+1 라인 데이터는 제N+1 수평라인(L(N+1))에 배치된 액정셀들에 기입될 데이터이다.
- [0044] 데이터 비교 방법은 다양한 방법이 가능하다. 데이터 비교 방법은 라인 데이터들의 대표값들을 비교할 수 있다. 여기서 라인 데이터들의 대표값들은 제N 라인 대표값과, 제N+1 라인 데이터의 대표값을 포함한다.
- [0045] 대표값은 최대 계조값과 최소 계조값으로 선택될 수 있다. 예를 들어, 제N 라인 대표값은 제N 라인 데이터를 구성하는 데이터들의 최대 계조값으로 선택될 수 있으며, 제N+1 라인 대표값은 제N+1 라인 데이터를 구성하는 데이터들의 최소 계조값으로 선택될 수 있다. 또한 이와 반대로, 제N 라인 대표값은 제N 라인 데이터를 구성하는 데이터들의 최소 계조값으로 선택될 수 있으며, 제N+1 라인 대표값은 제N+1 라인 데이터를 구성하는 데이터들의 최대 계조값으로 선택될 수도 있다.
- [0046] 한편, 대표값은 평균값이나 최빈값으로 선택될 수도 있다. 예를 들어, 제N 라인 대표값은 제N 라인 데이터를 구성하는 데이터들의 평균값 또는 최빈값으로 선택될 수 있다. 제N+1 라인 대표값은 제N+1 라인 데이터를 구성하는 데이터들의 평균값 또는 최빈값으로 선택될 수 있다.
- [0047] 데이터 비교부(22)는 1 프레임 동안 액정표시패널(10)의 모든 수평라인들에 대해, 제N 라인 데이터와 제N+1 라인 데이터의 계조 차이를 계산한다.(S22)
- [0048] 제어신호 조정부(23)는 데이터 비교부(22)에서 계산된 계조 차이를 기준으로 각 수평라인에 대응되는 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)를 1차 조정하여 도 9에서와 같이 1 수평 충전기간을 수평라인 단위로 조정한다.(S23) 도 9에서, X1~X6은 각각 제1 수평라인 내지 제6 수평라인의 1 수평 충전기간을 지시한다. X1~X6은 제1 내지 제6 게이트라인(G1~G6)에 각각 공급되는 제1 내지 제6 게이트펄스의 온 타임에 대응된다. 도 9에서, "a1, b1, c1, d1, e1"은 1 수평 충전기간의 변화폭을 지시한다.
- [0049] 제어신호 조정부(23)는 RC 딜레이가 가장 작은 수평라인(도 3에서 제1 및 제n 수평라인, 도 4에서 제1 수평라인)의 1 수평 충전기간을 기준기간(Tref)으로 설정한다.(도 9의 X1 참조) 여기서, 기준기간(Tref)은 1 프레임 기간을 수직 해상도로 나눈 값에 해당된다.
- [0050] 제어신호 조정부(23)는 제N 라인 데이터와 제N+1 라인 데이터의 계조 차이가 가장 작은 제1 범위에 속하는 경우

그 계조 차이에 비례하여 제N+1 수평라인의 1 수평 충전기간이 기준기간(Tref)에 비해 줄어들도록 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)의 로우기간(L) 폭을 초기 설정값보다 줄인다. 도 9의 X2 및 X3를 참조하면, X2는 기준기간(Tref)에 비해 "a1"만큼, 그리고 X3는 기준기간(Tref)에 비해 "b1"만큼 줄어들었음을 알 수 있다.

[0051] 반면, 제어신호 조정부(23)는 제N 라인 데이터와 제N+1 라인 데이터의 계조 차이가 가장 큰 제2 범위에 속하는 경우 그 계조 차이에 비례하여 제N+1 수평라인의 1 수평 충전기간이 기준기간에 비해 늘어나도록 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)의 로우기간(L) 폭을 초기 설정값보다 늘린다. 도 9의 X4 내지 X6을 참조하면, X4는 기준기간(Tref)에 비해 "c1"만큼, X5는 기준기간(Tref)에 비해 "d1"만큼, 그리고 X6는 기준기간(Tref)에 비해 "e1"만큼 늘어났음을 알 수 있다.

[0052] 한편, 제어신호 조정부(23)는 제N 라인 데이터와 제N+1 라인 데이터의 계조 차이가 상기 제1 범위와 상기 제2 범위 사이에 속하는 경우 제N+1 수평라인의 1 수평 충전기간이 기준기간으로 유지되도록 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)의 로우기간(L) 폭을 초기 설정값으로 유지한다.

[0053] 제어신호 조정부(23)는 상기 1차 조정된 게이트 출력 인에이블신호(GOE)와 소스 출력 인에이블신호(SOE)를 도 10a 및 도 10b에서와 같이 미리 설정된 위치별 가중치를 기준으로 2차 조정하여 1 수평 충전기간을 수평라인 단위로 추가 조정한다.(S24)

[0054] 위치별 가중치는 도 3에 도시된 더블 뱅크 구동 회로에 대응하여 도 10a와 같이 설정될 수 있고, 도 4에 도시된 싱글 뱅크 구동 회로에 대응하여 도 10b와 같이 설정될 수 있다. 도 10a에서, 위치별 가중치는 RC 딜레이가 가장 작은 제1 블록(BL1)에서 제1 값(w1)으로, RC 딜레이가 가장 큰 제3 블록(BL3)에서 제1 값(w1)보다 큰 제3 값(w3)으로, 그리고, 상기 제1 블록(BL1)과 상기 제3 블록(BL3) 사이에 배치된 제2 블록(BL2)에서 상기 제1 값(w1)과 상기 제3 값(w3) 사이의 제2 값(w2)으로 설정될 수 있다. 도 10b에서, 위치별 가중치는 RC 딜레이가 가장 작은 제1 및 제6 블록(BL1,BL6)에서 제1 값(w1)으로, RC 딜레이가 가장 큰 제3 및 제4 블록(BL3,BL4)에서 제1 값(w1)보다 큰 제3 값(w3)으로, 그리고, 상기 제1 및 제3 블록(BL1,BL3) 사이에 배치된 제2 블록(BL2)과 상기 제4 및 제6 블록(BL4,BL6) 사이에 배치된 제5 블록(BL5)에서 상기 제1 값(w1)과 상기 제3 값(w3) 사이의 제2 값(w2)으로 설정될 수 있다.

[0055] 도 10a 또는 도 10b의 가중치 블록들에서 제N 라인 데이터와 제N+1 라인 데이터의 계조 차이가 서로 동일한 경우, 기준기간(Tref)으로부터 변화되는 1 수평 충전기간의 변화폭은 가중치가 작은 블록에 비해 가중치가 큰 블록에서 더 크다. 예컨대, 도 11과 같이 제N 라인 데이터와 제N+1 라인 데이터의 계조 차이가 제1 및 제3 블록(BL1,BL3)에서 서로 동일한 경우, 제3 블록(BL3)에서의 1 수평 충전기간의 변화폭(y2)이 제1 블록(BL1)에서의 1 수평 충전기간의 변화폭(y1)에 비해 크다. 도 9의 "a1,b1,c1,d1,e1"은 가중치 블록에 따라 달라진다.

[0056] 프레임 레이트(Frame rate)와 프레임 기간은 고정되어 있다. 따라서, 이웃한 라인 데이터들 간의 계조 차이가 클 때 1 수평 충전기간을 늘려나가는 경우 모든 수평 라인들을 충전하기에 1 프레임 기간이 부족할 수 있다. 이를 고려하여, 본 발명은 전체 수평 라인들에서 기준기간(Tref) 대비 1 수평 충전기간의 줄어든 변화폭과 늘어난 변화폭의 전체 합이 "0"이 되도록 함으로써, 정해진 1 프레임 기간내에서 시간의 부족없이 모든 수평 라인들을 충전할 수 있다.

[0057] 상술한 바와 같이, 본 발명은 이웃한 수평 라인들에 인가되는 라인 데이터들의 계조차를 기반으로 게이트 출력 인에이블신호와 소스 출력 인에이블신호를 조정하고, 이 조정을 통해 각 수평라인에 대응되는 1 수평 충전 기간을 조정함으로써, 이웃한 수평라인들 간 데이터의 계조 차이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간을 늘림과 아울러, RC 딜레이가 상대적으로 작은 부분에 비해 큰 부분에서 1 수평 충전기간을 늘린다. 이를 통해, 본 발명은 RC 딜레이와 데이터의 계조 차이로 인한 액정셀들의 충전률 차이를 줄여 고해상도 및 대화면에서도 휘도 균일도를 크게 높일 수 있다.

[0058] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

## 부호의 설명

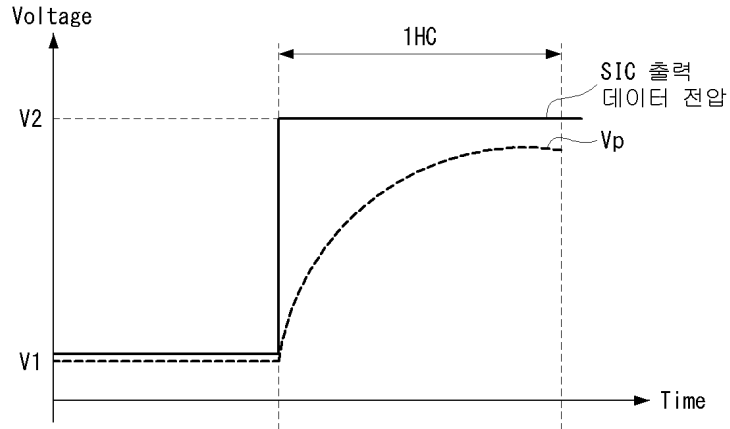
[0059] 10 : 표시패널 12, 12A, 12B : 데이터 구동부

14, 14A, 14B : 게이트 구동부

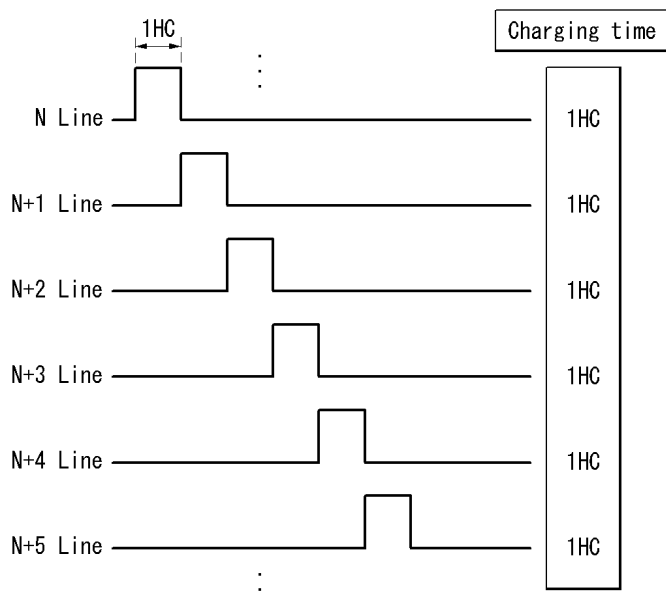
20 : 타이밍 콘트롤러

## 도면

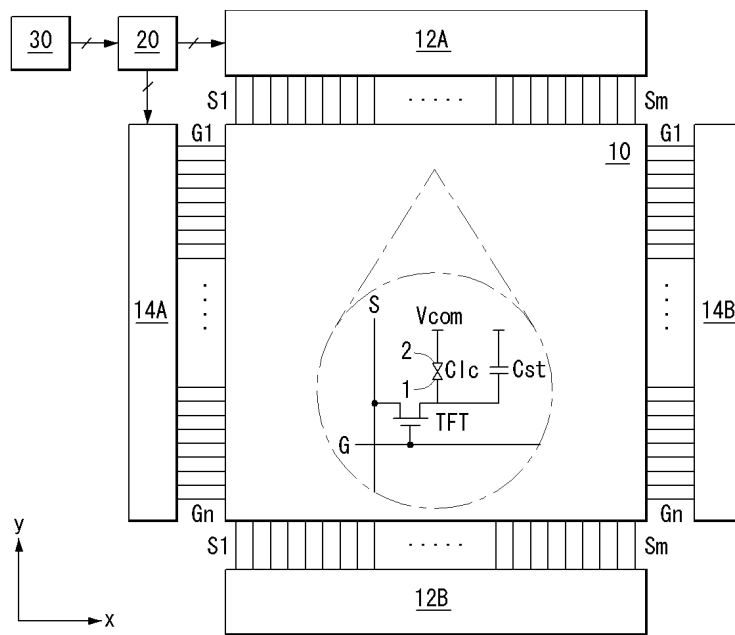
### 도면1



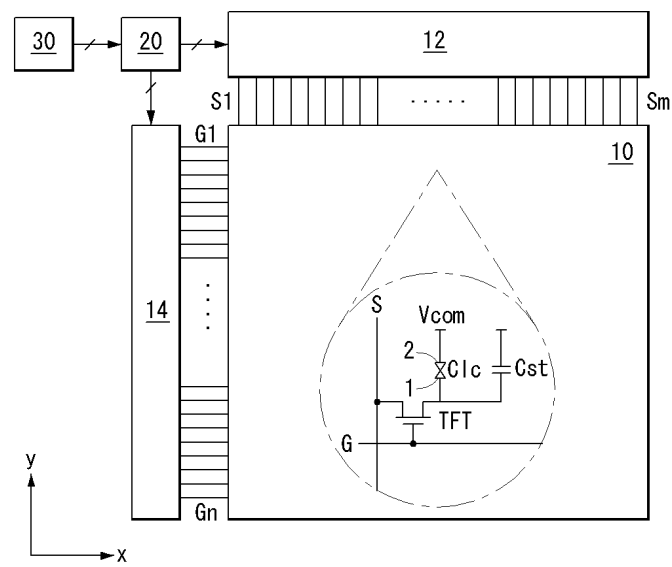
### 도면2



도면3

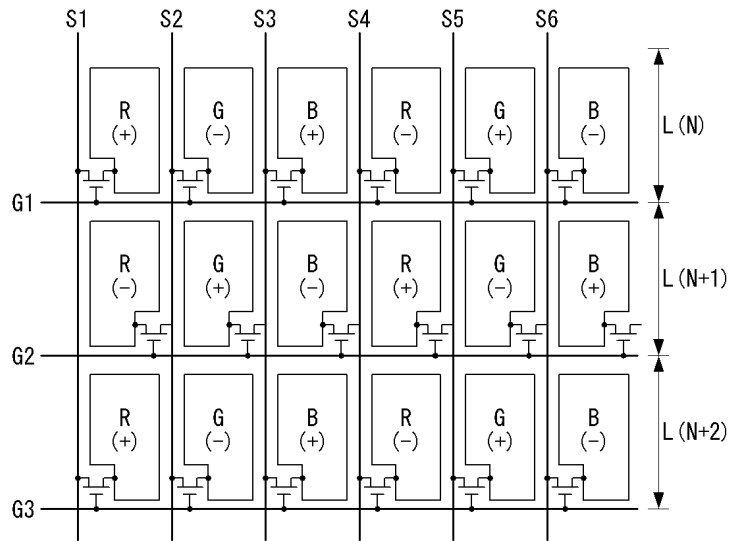


도면4

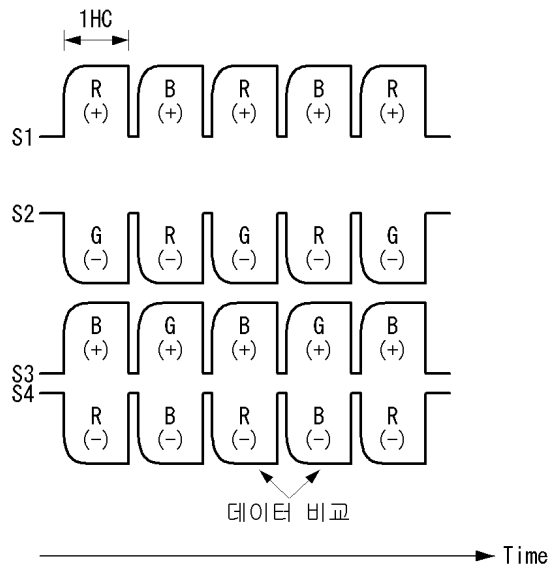




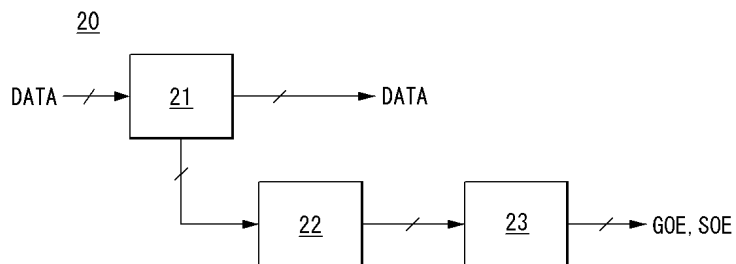
도면5



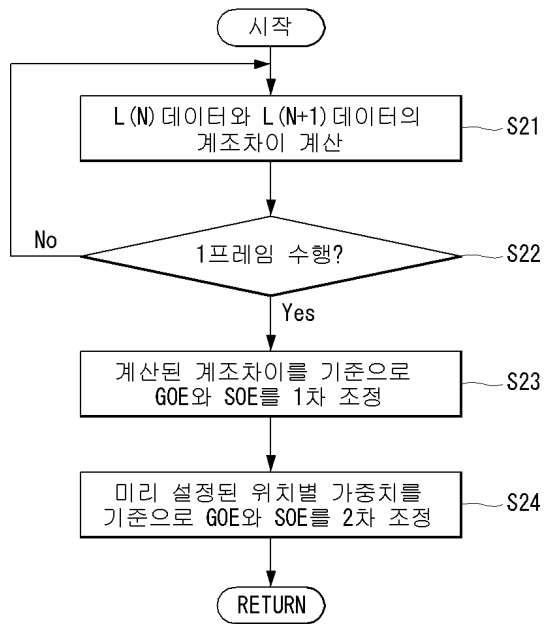
도면6



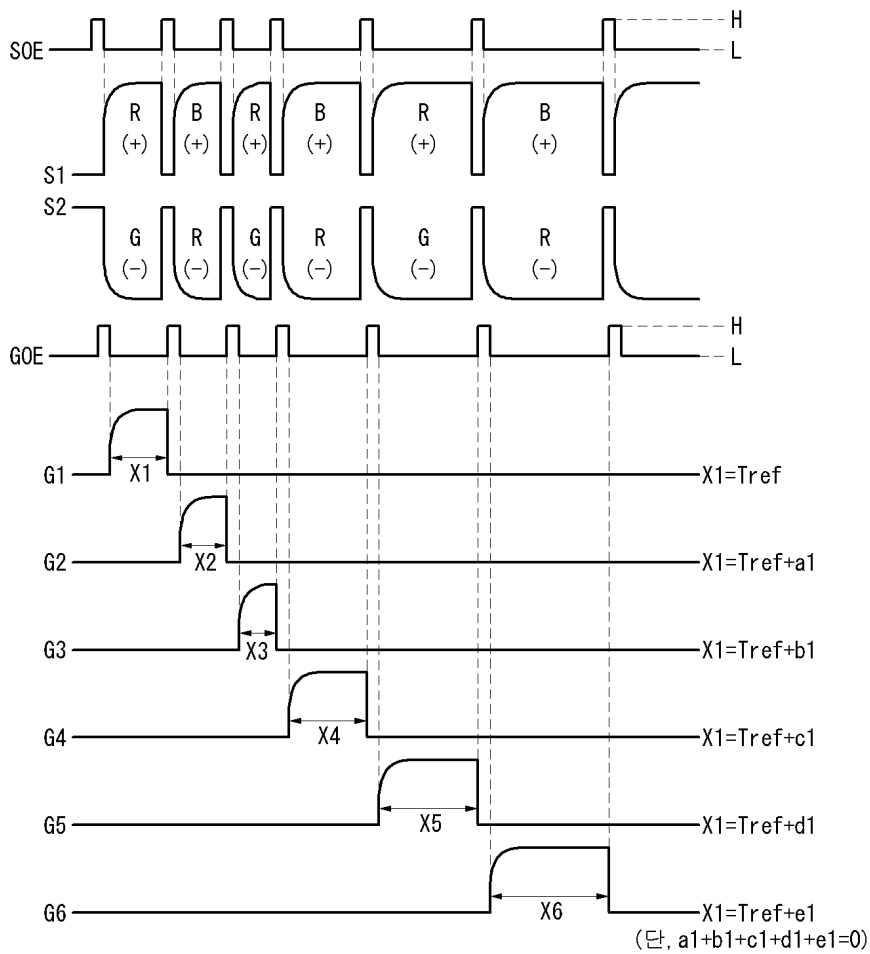
도면7



도면8

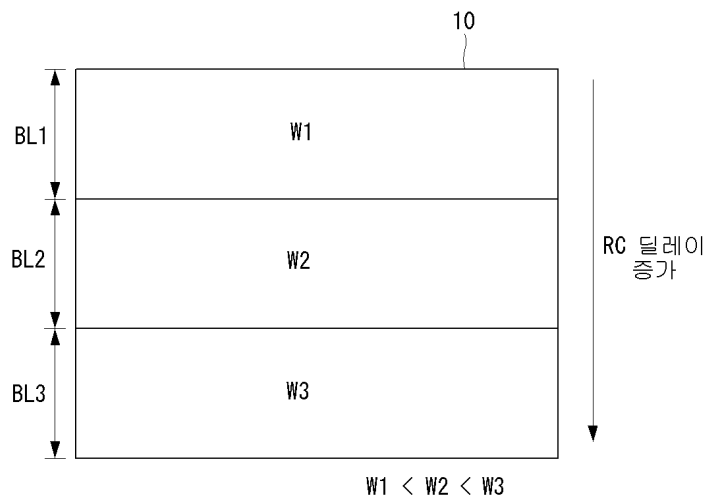


도면9

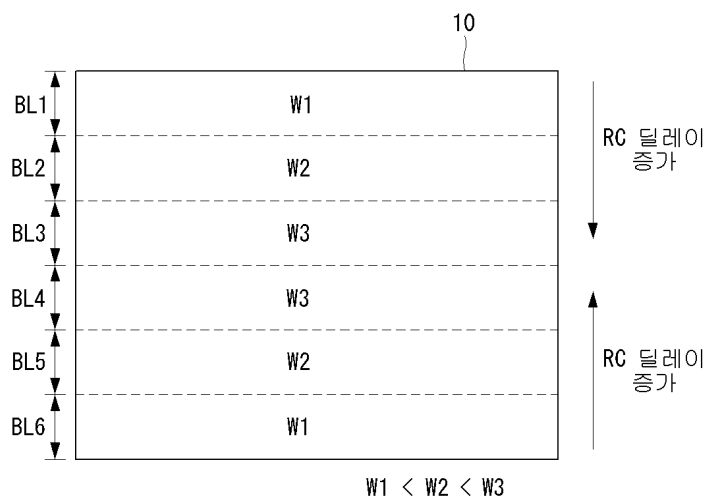




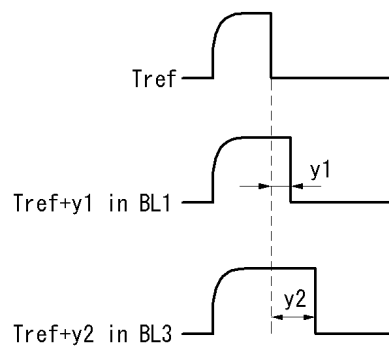
도면10a



도면10b



도면11



|                |                                                                                           |         |            |
|----------------|-------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置及其驱动方法                                                                              |         |            |
| 公开(公告)号        | <a href="#">KR1020140091350A</a>                                                          | 公开(公告)日 | 2014-07-21 |
| 申请号            | KR1020130003518                                                                           | 申请日     | 2013-01-11 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                  |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                                 |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                                 |         |            |
| [标]发明人         | LEE DONG WOO<br>이동우<br>HONG HEE JUNG<br>홍희정<br>LIM JONG JIN<br>임종진<br>KIM SUNG WON<br>김성원 |         |            |
| 发明人            | 이동우<br>홍희정<br>임종진<br>김성원                                                                  |         |            |
| IPC分类号         | G02F1/133 G09G3/36                                                                        |         |            |
| CPC分类号         | G09G3/3688 G09G2320/0223 G09G2360/16 G09G2310/08                                          |         |            |
| 其他公开文献         | KR101977252B1                                                                             |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                 |         |            |

# 摘要(译)

液晶显示装置及其驱动方法技术领域本发明涉及一种液晶显示装置及其驱动方法，其中在相邻水平线之间的灰度级差相对大于相对小的灰度级部分的部分中水平充电时段增加，一个较大部分的水平电荷的持续时间比相对较小的一部分的持续时间长。

