



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0014009
(43) 공개일자 2014년02월05일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2013-0088458

(22) 출원일자 2013년07월26일

심사청구일자 없음

(30) 우선권주장

JP-P-2012-167281 2012년07월27일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 슌페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

고야마 준

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

박충범, 장수길, 이중희

전체 청구항 수 : 총 14 항

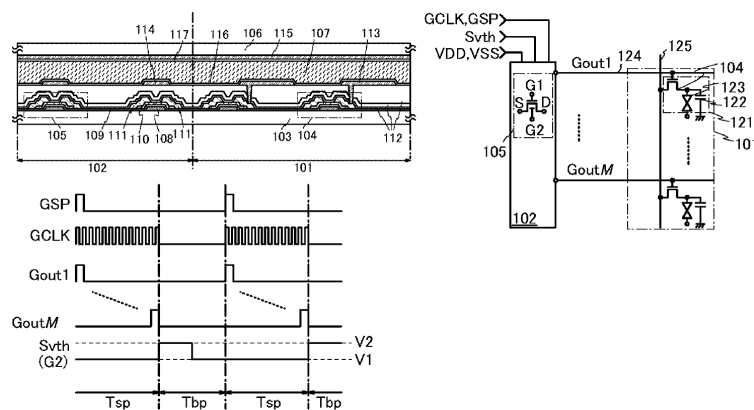
(54) 발명의 명칭 액정 표시 장치의 구동 방법

(57) 요약

본 발명은 화소 전극과 같은 도전층으로 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압에 의한 액정 재료의 열화를 억제한다.

액정층에 전계를 인가하기 위한 화소 전극을 갖는 화소 회로와, 제 1 게이트와, 화소 전극과 같은 층을 사용하여 형성된 제 2 게이트가 반도체막을 끼워 대향되도록 제공된 트랜지스터를 갖고, 또한 트랜지스터가 액정층과 중첩된 구동 회로를 구비하고 제 1 게이트에는 트랜지스터의 도통 상태 또는 비도통 상태를 제어하기 위한 신호가 입력되고 제 2 게이트에는 게이트선 선택 기간에서 제 1 전압을 인가하는 신호가 입력되고 수직 귀선 기간에서 제 1 전압 및 제 2 전압을 교대로 인가하는 신호가 입력된다.

대표도



특허청구의 범위

청구항 1

제1 게이트와 제2 게이트를 포함하고, 상기 제 1 게이트와 상기 제 2 게이트 사이에 반도체막이 끼워진 트랜지스터를 포함하는 구동 회로를 포함하는 액정 표시 장치의 구동 방법에 있어서,

게이트선 선택 기간에서, 상기 제 2 게이트에 제 1 전압을 인가하는 단계와;

수직 귀선 기간에서, 상기 제 2 게이트에 상기 제 1 전압과 제 2 전압을 교대로 인가하는 단계를 포함하고,

상기 수직 귀선 기간에서, 상기 구동 회로에 클록 신호의 입력을 정지하는, 액정 표시 장치의 구동 방법.

청구항 2

제 1 항에 있어서,

상기 게이트선 선택 기간에서 상기 제 2 게이트에 상기 제 1 전압이 인가되면, 상기 트랜지스터의 문턱 전압이 플러스로 시프트되는, 액정 표시 장치의 구동 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 전압은 접지 전압인, 액정 표시 장치의 구동 방법.

청구항 4

제 1 항에 있어서,

상기 제 2 전압은 상기 제 1 전압보다 높은, 액정 표시 장치의 구동 방법.

청구항 5

제 1 항에 있어서,

상기 반도체막은 산화물 반도체막인, 액정 표시 장치의 구동 방법.

청구항 6

제 1 항에 있어서,

상기 수직 귀선 기간 동안, 상기 제 2 전압은 연속적으로 인가되고,

상기 게이트선 선택 기간으로부터 상기 수직 귀선 기간으로의 전환시에서, 상기 제 1 전압이 인가되는, 액정 표시 장치의 구동 방법.

청구항 7

제 1 항에 있어서,

상기 제 2 게이트와 중첩하는 액정층을 더 포함하는, 액정 표시 장치의 구동 방법.

청구항 8

액정 표시 장치의 구동 방법에 있어서,

상기 액정 표시 장치는,

화소 전극을 포함하는 화소 회로와;

제1 게이트와 제2 게이트를 포함하고, 상기 제 1 게이트와 상기 제 2 게이트 사이에 반도체막이 끼워진 트랜지스터를 포함하는 구동 회로를 포함하고,

상기 제 2 게이트는 상기 화소 전극과 같은 층으로부터 형성되는, 액정 표시 장치의 구동 방법으로서,
게이트선 선택 기간에서, 상기 제 2 게이트에 제 1 전압을 인가하는 단계와;
수직 귀선 기간에서, 상기 제 2 게이트에 상기 제 1 전압과 제 2 전압을 교대로 인가하는 단계를 포함하고,
상기 수직 귀선 기간에서, 상기 구동 회로에 클록 신호의 입력을 정지하는, 액정 표시 장치의 구동 방법.

청구항 9

제 8 항에 있어서,
상기 게이트선 선택 기간에서 상기 제 2 게이트에 상기 제 1 전압이 인가되면, 상기 트랜지스터의 문턱 전압이 플러스로 시프트되는, 액정 표시 장치의 구동 방법.

청구항 10

제 8 항에 있어서,
상기 제 1 전압은 접지 전압인, 액정 표시 장치의 구동 방법.

청구항 11

제 8 항에 있어서,
상기 제 2 전압은 상기 제 1 전압보다 높은, 액정 표시 장치의 구동 방법.

청구항 12

제 8 항에 있어서,
상기 반도체막은 산화물 반도체막인, 액정 표시 장치의 구동 방법.

청구항 13

제 8 항에 있어서,
상기 수직 귀선 기간 동안, 상기 제 2 전압은 연속적으로 인가되고,
상기 게이트선 선택 기간으로부터 상기 수직 귀선 기간으로의 전환시에서, 상기 제 1 전압이 인가되는, 액정 표시 장치의 구동 방법.

청구항 14

제 8 항에 있어서,
상기 액정 표시 장치는 상기 제 2 게이트와 중첩하는 액정층을 더 포함하는, 액정 표시 장치의 구동 방법.

명세서

기술 분야

[0001] 본 발명은 액정 표시 장치, 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 근년의 기술 혁신에 의하여 코모디티화가 진행되고 있다. 앞으로는, 부가 가치가 더 높은 제품이 요구되므로 아직도 기술 개발이 활발히 진행되고 있다.

[0003] 액정 표시 장치에 요구되는 부가 가치로서는, 표시부 주위의 베젤을 좁게 하는 소위 슬림 베젤화를 들 수 있다. 슬림 베젤화는 기판 위에 구동 회로가 갖는 트랜지스터를 화소 회로가 갖는 트랜지스터와 함께 같은 제조 공정으로 제작함으로써 구현할 수 있다.

[0004] 구동 회로가 갖는 트랜지스터의 반도체층으로서 비정질 실리콘과 같은 정도의 생산성을 도모할 수 있으므로 저코스트화하기 쉬운 등의 점에서 산화물 반도체를 채용하는 것이 바람직하다. 특히 문헌 1에서는 기판 위에

구동 회로가 갖는 트랜지스터를 화소 회로가 갖는 트랜지스터와 함께 같은 제조 공정으로 제작하는 구성에 대하여 기재하고 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본국 특개 2011-77503호 공보

발명의 내용

해결하려는 과제

[0006] 구동 회로가 갖는 트랜지스터는 화소 회로가 갖는 트랜지스터에 비하여 전기적 특성의 열화를 방지하는 것이 요구된다. 구체적으로 특허 문헌 1에는 문턱 전압의 시프트 등의 전기적 특성의 열화에 대비하여 구동 회로가 갖는 트랜지스터에 백 게이트를 제공하는 구성을 기재하고 있다.

[0007] 특허 문헌 1에 기재된 구동 회로가 갖는 트랜지스터의 백 게이트는 제조할 때에 필요하게 되는 포토 마스크 개수 증가를 억제하기 위하여 화소 회로가 갖는 트랜지스터에 접속된 화소 전극과 같은 도전막을 사용하여 형성된다. 하지만 특허 문헌 1에 기재된 구성에서는 백 게이트 위에 제공되는 액정 재료가 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압으로 인하여 열화되는 문제가 있다.

[0008] 그래서 본 발명은 화소 전극과 같은 도전막으로 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압으로 인한 액정 재료의 열화를 억제할 수 있는 액정 표시 장치, 및 액정 표시 장치의 구동 방법을 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0009] 본 발명의 일 형태는 액정층에 전계를 인가하기 위한 화소 전극을 갖는 화소 회로와, 제 1 게이트와, 화소 전극과 같은 층을 사용하여 형성된 제 2 게이트가 반도체막을 끼워 대향되는 바와 같이 제공된 트랜지스터를 갖고 또한 트랜지스터가 액정층과 겹친 구동 회로를 갖고, 제 1 게이트에는 트랜지스터의 도통 상태 또는 비도통 상태를 제어하기 위한 신호가 입력되고, 제 2 게이트에는 게이트선 선택 기간에서 제 1 전압을 인가하는 신호가 입력되고 수직 귀선 기간에서 제 1 전압 및 제 2 전압을 교대로 인가하는 신호가 입력되는 액정 표시 장치의 구동 방법이다.

[0010] 본 발명의 일 형태는 액정층에 전계를 인가하기 위한 화소 전극을 갖는 화소 회로와, 제 1 게이트와, 화소 전극과 같은 층을 사용하여 형성된 제 2 게이트가 반도체막을 끼워 대향되는 바와 같이 제공된 트랜지스터를 갖고 또한 트랜지스터가 액정층과 겹친 구동 회로를 갖고, 제 1 게이트에는 트랜지스터의 도통 상태 또는 비도통 상태를 제어하기 위한 신호가 입력되고, 제 2 게이트에는 게이트선 선택 기간에서 제 1 전압을 인가하는 신호가 입력되고 수직 귀선 기간에서 제 1 전압 및 제 2 전압을 교대로 인가하는 신호가 입력되고 수직 귀선 기간에서는 구동 회로에 입력되는 클록 신호를 정지하는 액정 표시 장치의 구동 방법이다.

[0011] 본 발명의 일 형태에서, 제 1 전압은 트랜지스터의 문턱 전압을 플러스로 시프트시키기 위한 전압인 액정 표시 장치의 구동 방법이 바람직하다.

[0012] 본 발명의 일 형태에서, 제 1 전압은 접지 전압 또는 저전원 전압이고 제 2 전압은 고전원 전압인 액정 표시 장치의 구동 방법이 바람직하다.

[0013] 본 발명의 일 형태에서, 반도체막은 산화물 반도체막인 액정 표시 장치의 구동 방법이 바람직하다.

발명의 효과

[0014] 본 발명의 일 형태에 따르면 화소 전극과 같은 도전막으로 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압으로 인한 액정 재료의 열화를 억제할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 액정 표시 장치를 설명하기 위한 단면도, 회로도, 및 타이밍 차트.
 도 2는 액정 표시 장치를 설명하기 위한 타이밍 차트.
 도 3은 액정 표시 장치를 설명하기 위한 블록도 및 회로도.
 도 4는 액정 표시 장치를 설명하기 위한 타이밍 차트.
 도 5는 액정 표시 장치를 설명하기 위한 회로도.
 도 6은 액정 표시 장치를 설명하기 위한 상면도 및 단면도.
 도 7은 액정 표시 장치를 설명하기 위한 블록도, 모식도, 및 단면도.
 도 8은 액정 소자를 설명하기 위한 단면도.
 도 9는 전자 기기를 도시한 도면.
 도 10은 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하에 기재되는 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 쉽게 이해할 수 있다. 또한, 본 발명은 이하에 기재된 실시형태의 기재 내용에 한정되어 해석되는 것이 아니다.
- [0017] 또한, 각 실시형태의 도면 등에 도시된 각 구성의 크기, 층의 두께, 신호 파형, 또는 영역은 명료화를 위하여 과장하여 표기될 경우가 있다. 따라서 반드시 그 스케일로 한정되지 않는다.
- [0018] 또한, 본 명세서에서 사용하는 "제 1", "제 2", "제 3", 내지 "제 N(N은 자연수)"이라는 서수사는, 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.
- [0019] 본 명세서에서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 가리킨다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 가리킨다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0020] 또한, 본 명세서에서 결정이 삼방정(三方晶) 또는 능면체정(菱面體晶)인 경우, 육방정(六方晶)계라고 표기한다.
- [0021] (실시형태 1)
- [0022] 본 실시형태에서는 액정 표시 장치, 및 액정 표시 장치의 구동 방법의 일 형태를 도 1 내지 도 5를 사용하여 설명한다.
- [0023] 먼저, 본 실시형태에서 설명하는 액정 표시 장치의 구동 방법을 설명하기 전에 액정 표시 장치가 갖는 화소 회로 및 구동 회로의 구성에 대하여 설명한다.
- [0024] 도 1a는 액정 표시 장치가 갖는 화소 회로가 갖는 트랜지스터 및 구동 회로가 갖는 트랜지스터의 단면 모식도의 일례다.
- [0025] 도 1a에서는 화소 회로(101)의 일부의 단면 모식도로서 기판(103) 위에 트랜지스터(104)를 도시하였고 구동 회로(102)의 일부의 단면 모식도로서 기판(103) 위에 트랜지스터(105)를 도시하였다. 또한, 기판(106)은 기판(103)과 쌍을 이루고 기판(103)에 대향되도록 제공된다. 기판(103)과 기판(106) 사이에는 액정층(107)이 제공된다.
- [0026] 기판(103) 위에 제공되는 트랜지스터(104) 및 트랜지스터(105)는 게이트로서 기능하는 도전막(108)(제 1 게이트라고도 함), 게이트 절연막으로서 기능하는 절연막(109), 반도체막(110), 및 소스 또는 드레인으로서 기능하는 도전막(111)을 갖는다.
- [0027] 트랜지스터(104) 위 및 트랜지스터(105) 위에는 층간 절연막으로서 기능하는 절연막(112)을 갖는다. 또한, 절연막(112)은, 트랜지스터(104) 위 및 트랜지스터(105)에 대한 외부로부터의 불순물을 차단하는 배리어층으로서의 기능을 갖는 막을 적층시키는 구성으로 하여도 좋다.
- [0028] 화소 회로(101)의 절연막(112) 위에서는 개구부를 통하여 트랜지스터(104)의 도전막(111)과 접속된 화소 전극으로서 기능하는 도전막(113)(제 1 전극이라고도 함)이 제공된다. 또한, 구동 회로(102)의 절연막(112) 위에서는

구동 회로(102)의 트랜지스터(105)의 백 게이트(제 2 게이트라고도 함)로서 기능하는 도전막(114)이 제공된다. 도전막(113) 및 도전막(114) 위에는 액정층의 배향막으로서 기능하는 절연막(116)이 제공된다.

- [0029] 트랜지스터(105)는 제 1 게이트로서 기능하는 도전막(108)과, 제 2 게이트로서 기능하는 도전막(114)이 반도체막(110)을 끼워 대향되도록 형성된다.
- [0030] 본 발명의 일 형태에 따른 구성에서는 구동 회로(102)의 트랜지스터(105)에 백 게이트를 제공한다. 구동 회로(102)의 트랜지스터(105)에 백 게이트를 형성하여 백 게이트로서 기능하는 도전막(114)에 인가되는 전압을 제어함으로써 트랜지스터의 문턱 전압이 원하는 값으로 정해지도록 제어할 수 있다. 따라서 백 게이트를 사용한 문턱 전압의 제어에 의하여 액정 표시 장치의 신뢰성을 더욱 높일 수 있다.
- [0031] 구동 회로(102)의 트랜지스터(105)에서는 트랜지스터의 전기적 특성의 변동에 의하여 오작동이 일어나면 표시 품질에 큰 영향이 있다. 그러므로 구동 회로(102)의 트랜지스터(105)에서의 백 게이트를 사용한 문턱 전압의 제어는 중요하다.
- [0032] 또한 도 1a에 도시된 바와 같이, 도전막(113)과 도전막(114)은 같은 층을 사용하여 형성되는 막이다. 그러므로 한 도전막을 에칭 등에 의하여 원하는 형상으로 가공함으로써 도전막(113)과 도전막(114)을 형성할 수 있다. 결과적으로 포토 마스크 개수의 증가에 따른 액정 표시 장치의 제작 공정을 증가시키지 않고 백 게이트로서 기능하는 도전막(114)을 형성할 수 있다.
- [0033] 또한, 도전막(108), 절연막(109), 반도체막(110), 도전막(111), 및 절연막(112)은 도 1a에서는 단층으로서 도시하였지만 2 이상의 막으로 형성되는 적층이라도 좋다.
- [0034] 화소 회로(101)의 기관(106) 위에서는 도전막(115)(제 2 전극이라고도 함)이 제공된다. 도전막(113)과 도전막(115)에 끼워지는 액정층(107)을 포함하고 액정 소자를 구성할 수 있다. 액정층(107)은 도전막(113)과 도전막(115)에 인가되는 전압에 의하여 생기는 전계에 따라 백 라이트의 광을 제어할 수 있다. 또한 액정 소자의 제 2 전극으로서 기능하는 도전막(115)은 기관(106) 위에 한정되지 않고 기관(103) 위에 제공하는 구성이라도 좋고 기관(103)과 기관(106)의 양쪽 모두에 제공하는 구성으로 하여도 좋다. 도전막(115) 위에는 액정층의 배향막으로서 기능하는 절연막(117)이 제공된다.
- [0035] 또한, 액정층(107)은 액정 재료를 밀봉하기 위한 봉지재의 내측에 제공된다. 봉지재는 화소 회로(101) 및 구동 회로(102)의 외측에 배치된다. 그러므로 액정층(107)은 도 1a에 도시된 바와 같이 액정 소자로서 형성되는 화소 회로(101)로부터 구동 회로(102)에 걸쳐 제공된다. 그리고 구동 회로(102)가 갖는 트랜지스터(105)는 액정층(107)과 겹친다.
- [0036] 이어서, 본 실시형태에서 설명하는 액정 표시 장치의 구동 방법을 설명하기 전에 액정 표시 장치가 갖는 화소 회로 및 구동 회로의 구성에서 입출력되는 신호에 대하여 설명한다.
- [0037] 도 1b는 도 1a에 도시된 화소 회로(101)가 갖는 트랜지스터(104)를 포함한 화소의 회로도, 및 도 1a에 도시된 구동 회로(102)가 갖는 트랜지스터(105)를 포함하는 회로도의 일례다.
- [0038] 또한, 본 실시형태에서는 구동 회로(102)로서 특히 게이트선 구동 회로를 도시하여 설명한다. 또한, 같은 기관 위에 게이트선 구동 회로가 갖는 트랜지스터와 함께 데이터선 구동 회로가 갖는 트랜지스터를 같은 제작 공정을 사용하여 형성하는 구성으로 하여도 좋다.
- [0039] 도 1b에 도시된 화소 회로(101)가 갖는 화소(121)는 트랜지스터(104), 용량 소자(122), 및 액정 소자(123)를 갖는다. 트랜지스터(104)의 게이트는 게이트선(124)에 접속된다. 트랜지스터(104)의 소스 및 드레인 중 하나는 데이터선(125)에 접속된다. 트랜지스터(104)의 소스 및 드레인 중 다른 하나는 용량 소자(122)의 전극 중 하나 및 액정 소자(123)의 제 1 전극에 접속된다. 용량 소자(122)의 전극 중 다른 하나는 용량선에 접속된다. 액정 소자(123)의 제 2 전극은 공통 전압(Vcom)을 공급하는 공통선에 접속된다.
- [0040] 도 1b에 도시된 구동 회로(102)인 게이트선 구동 회로가 갖는 트랜지스터(105)는 복수의 트랜지스터를 조합함으로써 시프트 레지스터를 구성할 수 있다. 시프트 레지스터는 M개(M은 자연수)의 게이트선(124)에 순차적으로 주사 신호(Gout1) 내지 주사 신호(GoutM)를 출력한다. 시프트 레지스터에는 게이트선 클럭 신호(GCLK), 게이트선 스타트 펄스(GSP), 문턱 전압 제어 신호(Svth), 고전원 전압(VDD), 및 저전원 전압(VSS)이 공급된다.
- [0041] 도 1b에 도시된 구동 회로(102)가 갖는 트랜지스터(105)는 4단자의 소자로서 나타낼 수 있다. 구체적으로는 제 1 게이트를 G1, 백 게이트로서 기능하는 제 2 게이트를 G2, 소스를 S, 드레인을 D로 한 도 1b에 도시된 회로 기

호로 나타낼 수 있다.

- [0042] 제 1 게이트(G1), 소스(S) 또는 드레인(D)은 게이트선 클록 신호(GCLK), 게이트선 스타트 펄스(GSP), 고전원 전압(VDD) 또는 저전원 전압(VSS)을 공급하기 위한 배선, 또는 다른 트랜지스터(105)의 제 1 게이트(G1), 소스(S) 또는 드레인(D)에 접속된다. 제 1 게이트(G1)는 접속되는 배선으로부터의 신호에 의하여 트랜지스터의 도통 상태 또는 비도통 상태가 제어된다.
- [0043] 또한, 게이트선 클록 신호(GCLK) 및 게이트선 스타트 펄스(GSP)는 구동 회로(102)가 갖는 시프트 레지스터에 의하여 주사 신호를 출력하기 위한 신호다. 또한, 게이트선 클록 신호(GCLK)는 위상이 상이한 복수의 신호라도 좋다. 또한, 고전원 전압(VDD) 및 저전원 전압(VSS)은 구동 회로에 전원 전압을 공급하기 위한 전압이다.
- [0044] 또한, 제 2 게이트(G2)는 문턱 전압 제어 신호(Svth)를 공급하기 위한 배선에 접속된다. 제 2 게이트(G2)에는 게이트선을 선택하는 주사 신호를 출력하는 기간에서 문턱 전압 제어 신호(Svth)에 의하여 제 1 전압(V1)이 인가된다. 또한, 제 2 게이트(G2)는 수직 귀선 기간에서 문턱 전압 제어 신호(Svth)에 의하여 제 1 전압(V1) 및 제 2 전압(V2)이 교대로 인가된다.
- [0045] 또한, 문턱 전압 제어 신호(Svth)에 의하여 제 1 전압(V1)은 트랜지스터의 문턱 전압이 원하는 값으로 정해지도록 하는 전압이고 제 2 전압(V2)은 제 1 전압(V1)과 교대로 인가됨으로써 액정층이 갖는 액정 재료의 열화를 저감시키는 전압이다.
- [0046] 또한, 구동 회로(102)가 갖는 트랜지스터(105)는 문턱 전압이 마이너스로 시프트하면 도통 상태 또는 비도통 상태의 제어가 어렵게 된다. 따라서 문턱 전압 제어 신호(Svth)가 게이트선을 선택하는 주사 신호를 출력하는 기간에서 인가되는 제 1 전압(V1)으로서는 트랜지스터(105)의 문턱 전압을 플러스로 시프트시키기 위한 전압인 것이 바람직하다. 트랜지스터(105)의 문턱 전압을 플러스로 시프트시키기 위한 전압으로서는 접지 전압(GND) 또는 저전원 전압(VSS) 등을 들 수 있다.
- [0047] 트랜지스터(105)의 문턱 전압을 플러스로 시프트시키기 위한 전압에는 일례로서 구동 회로(102) 중에서 가장 저전위인 게이트선 클록 신호(GCLK)의 Low레벨의 신호(이하 L 신호)의 전압, 저전원 전압(VSS), 또는 접지 전압 등을 사용하는 것이 바람직하지만, 그 보다 낮은 전압이라도 좋다. 제 2 게이트(G2)에 제 1 게이트(G1)보다 낮은 전압이 인가되면 트랜지스터(105)의 문턱 전압은 플러스로 시프트된다. 이 문턱 전압의 시프트량은 제 2 게이트(G2)에 인가되는 전압이 작으면 작을수록 더 커진다. 따라서 전기적 특성의 열화로 인하여 트랜지스터(105)의 문턱 전압이 마이너스로 시프트되더라도 제 2 게이트(G2)에 인가되는 전압의 값을 제어함으로써 마이너스로 시프트된 문턱 전압을 플러스로 시프트시킬 수 있다.
- [0048] 또한, 구동 회로(102)가 갖는 트랜지스터(105)에서는 트랜지스터(105)의 문턱 전압을 플러스로 시프트시키기 위하여 백 게이트로서 기능하는 도전막(114)에 정전압을 인가시키는 기간을 마련하는 것으로 된다. 그러므로 트랜지스터(105)에 걸친 액정층(107)의 액정 재료의 열화가 걱정된다. 액정 재료의 열화는 교류 전압을 인가함으로써 저감시킬 수 있다. 그러므로 상술한 문턱 전압 제어 신호(Svth)가 인가하는 제 2 전압(V2)으로서는 고전원 전압(VDD)이 바람직하다. 그리고 문턱 전압 제어 신호(Svth)는 수직 귀선 기간에서 제 1 전압(V1) 및 제 2 전압(V2)을 교대로 인가함으로써 교류 전압을 액정 재료에 인가할 수 있고 액정 재료의 열화를 저감시킬 수 있다.
- [0049] 또한, 상술한 공통 전압(Vcom)은 제 1 전압(V1)과 제 2 전압(V2) 사이의 전압인 것이 바람직하다. 구체적으로는 고전원 전압(VDD)과 저전원 전압(VSS)의 중간 전압인 것이 바람직하다. 또는 저전원 전압(VSS)이 접지 전압인 경우, 공통 전압은 $1/2VDD$ 인 것이 바람직하다.
- [0050] 이어서 본 실시형태에서 설명하는 액정 표시 장치의 구동 방법에 대하여 설명한다.
- [0051] 도 1c에서는 도 1b에 도시된 게이트선 클록 신호(GCLK), 게이트선 스타트 펄스(GSP), 문턱 전압 제어 신호(Svth), 및 주사 신호(Gout1) 내지 주사 신호(GoutM)에 대한 타이밍 차트를 도시하였다.
- [0052] 또한, 도 1c에 도시된 타이밍 차트에서 기간(Tsp)은 주사 신호(Gout1) 내지 주사 신호(GoutM)에 의하여 각행의 화소를 선택하는 게이트선 선택 시간이다. 또한, 도 1c에 도시된 타이밍 차트에서 기간(Tbp)은 1행째로부터 M행째까지의 게이트선에 순차적으로 주사 신호를 출력한 후에 다시 1행째에 주사 신호를 출력할 때까지의 블랭크 시간인 수직 귀선 시간이다.
- [0053] 본 실시형태에서 설명하는 액정 표시 장치의 구동 방법에서는 기간(Tsp)에서, 게이트선 클록 신호(GCLK), 게이트선 스타트 펄스(GSP)가 입력되고, 게이트선에 주사 신호(Gout1) 내지 주사 신호(GoutM)를 순차적으로 출력함

과 함께 문턱 전압 제어 신호(Svth)에 의하여 백 게이트에 제 1 전압(V1)을 인가할 수 있다. 또한, 기간(Tbp)에서 게이트선 클록 신호(GCLK)를 L 신호로 고정시키고 신호의 발진을 정지시킴과 함께 문턱 전압 제어 신호(Svth)에 의하여 백 게이트에 제 1 전압(V1)과 제 2 전압(V2)을 교대로 인가시킬 수 있다.

- [0054] 상술한 액정 표시 장치의 구동 방법으로 함으로써 게이트선 선택 기간에서 트랜지스터의 문턱 전압의 시프트를 억제하기 위한 전압을 인가하는 구성으로 할 수 있다. 덧붙여서, 화소 전극과 같은 도전막으로 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압으로 인한 액정 재료의 열화를 저감시키는 구성으로 할 수 있다.
- [0055] 또한, 도 1c에 도시된 기간(Tbp)에서의 문턱 전압 제어 신호(Svth)의 제 1 전압(V1)과 제 2 전압(V2)에 의한 교류 전압의 인가는 도 2a에 도시된 바와 같이 복수회 진폭시켜서 수행하는 구성으로 하여도 좋다.
- [0056] 또한, 다른 구성으로서 도 1c에 도시된 기간(Tbp)에서의 문턱 전압 제어 신호(Svth)는 기간(Tbp)인 동안 제 2 전압(V2)을 인가하는 구성으로 하여도 좋다. 구체적으로는 도 2b에 도시된 바와 같이 기간(Tbp)에서 제 2 전압(V2)을 인가하고 기간(Tsp)으로부터 기간(Tbp)으로의 전환시에서의 제 1 전압(V1)으로부터 제 2 전압(V2)으로의 신호의 하강, 및 제 2 전압(V2)으로부터 제 1 전압(V1)으로의 신호의 상승을 이용하여 액정 재료의 열화를 저감하는 구성으로 할 수 있다.
- [0057] 이어서 도 1a 내지 도 1c에서 설명한 구동 회로인 게이트선 구동 회로가 갖는 백 게이트가 제공된 트랜지스터를 갖는 펄스 신호 출력 회로, 및 펄스 신호 출력 회로를 포함하는 시프트 레지스터의 회로 구성의 일례를 도시하였고 액정 표시 장치의 구동 방법에 대하여 더 설명한다.
- [0058] 먼저, 펄스 신호 출력 회로, 및 펄스 신호 출력 회로를 포함하는 시프트 레지스터의 회로 구성예에 대하여 도 3a 내지 도 3c를 참조하여 설명한다.
- [0059] 시프트 레지스터는 제 1 펄스 신호 출력 회로(10₁) 내지 제 M 펄스 신호 출력 회로(10_M)와 게이트선 클록 신호(GCLK)를 전달하는 신호선(11) 내지 신호선(14)과 문턱 전압 제어 신호(Svth)를 전달하는 신호선(16)을 갖는다(도 3a 참조). 신호선(11)에는 게이트선 클록 신호(GCLK1)가 인가되고, 신호선(12)에는 게이트선 클록 신호(GCLK2)가 인가되고, 신호선(13)에는 게이트선 클록 신호(GCLK3)가 인가되고, 신호선(14)에는 게이트선 클록 신호(GCLK4)가 인가되고, 신호선(16)에는 문턱 전압 제어 신호(Svth)가 인가된다.
- [0060] 클록 신호는, 일정한 간격으로 High레벨 신호(이하 H 신호)와 L 신호를 반복하는 신호다. 여기서, 게이트선 클록 신호(GCLK1) 내지 게이트선 클록 신호(GCLK4)는 1/4 주기씩 지연된 신호로 한다. 도 3a 내지 도 3c에 도시된 회로에서는 상술한 클록 신호를 이용하여 펄스 신호 출력 회로의 제어 등을 수행한다.
- [0061] 제 1 펄스 신호 출력 회로(10₁) 내지 제 M 펄스 신호 출력 회로(10_M)는 각각, 입력 단자(21), 입력 단자(22), 입력 단자(23), 입력 단자(24), 입력 단자(25), 출력 단자(26), 출력 단자(27), 및 입력 단자(28)를 갖는다(도 3b 참조).
- [0062] 입력 단자(21), 입력 단자(22), 및 입력 단자(23)는 신호선(11) 내지 신호선(14) 중 어느 신호선과 접속된다. 예를 들어, 제 1 펄스 신호 출력 회로(10₁)에서 입력 단자(21)가 신호선(11)에 접속되고, 입력 단자(22)가 신호선(12)에 접속되고, 입력 단자(23)가 신호선(13)에 접속된다. 또한, 제 2 펄스 신호 출력 회로(10₂)에서 입력 단자(21)가 신호선(12)에 접속되고, 입력 단자(22)가 신호선(13)에 접속되고, 입력 단자(23)가 신호선(14)에 접속된다. 또한, 여기서는, 제 M 펄스 신호 출력 회로(10_M)와 접속되는 신호선이 신호선(12), 신호선(13), 신호선(14)인 경우를 기재하고 있지만, 제 M 펄스 신호 출력 회로(10_M)와 접속되는 신호선은 M의 값에 따라 다른 것이 된다. 따라서, 여기서 나타내는 구성은 어디까지나 일례에 지나지 않는다는 것을 부기한다.
- [0063] 또한, 본 실시형태에 기재되는 시프트 레지스터의 제 m 펄스 신호 출력 회로(m는 3 이상의 자연수)에서, 입력 단자(24)는 제 (m-1) 펄스 신호 출력 회로의 출력 단자(26)에 접속되고, 입력 단자(25)는 제 (m+2) 펄스 신호 출력 회로의 출력 단자(26)에 접속되고, 출력 단자(26)는 제 (m+1) 펄스 신호 출력 회로의 입력 단자(24)와 제 (m-2) 펄스 신호 출력 회로의 입력 단자(25)에 접속되고, 출력 단자(27)는 Gout(m)에 신호를 출력하고, 입력 단자(28)는 신호선(16)에 접속된다.
- [0064] 또한, 제 1 펄스 신호 출력 회로(10₁)에서는, 입력 단자(24)에 신호선(15)으로부터의 게이트선 스타트 펄스(GSP1)가 입력된다. 또한, 제 k 펄스 신호 출력 회로(10_k)(k는 2 이상 M 이하의 자연수)에서는, 입력 단자

(24)에 전단의 출력 펄스가 입력된다. 또한, 제 (M-1) 펄스 신호 출력 회로(10_(M-1))에서는, 입력 단자(25)에 게이트선 스타트 펄스(GSP2)가 입력된다. 또한, 제 M 펄스 신호 출력 회로(10_M)에서는, 입력 단자(25)에 게이트선 스타트 펄스(GSP3)가 입력된다. 또한, 게이트선 스타트 펄스(GSP2) 및 게이트선 스타트 펄스(GSP3)는, 외부로부터 입력되는 신호로 하여도 좋고, 회로 내부에서 생성되는 신호로 하여도 좋다.

[0065] 다음에, 제 1 펄스 신호 출력 회로(10₁) 내지 제 M 펄스 신호 출력 회로(10_M)의 구체적인 구성에 관하여 설명한다.

[0066] 제 1 펄스 신호 출력 회로(10₁) 내지 제 M 펄스 신호 출력 회로(10_M) 각각은 도 3c에 도시된 바와 같이 트랜지스터(201) 내지 트랜지스터(211)로 구성된다.

[0067] 또한, 트랜지스터(201) 내지 트랜지스터(211)는 각각 도 1b에서 설명한 제 1 게이트, 제 2 게이트, 소스 및 드레인의 각 단자를 갖는다. 또한, 이하의 설명에서는 제 1 게이트의 단자를 제 1 게이트 단자, 제 2 게이트의 단자를 제 2 게이트 단자, 소스 및 드레인 중 한 단자를 제 1 단자, 소스 및 드레인 중 다른 한 단자를 제 2 단자라고 한다.

[0068] 도 3c에 도시된 펄스 신호 출력 회로의 구성에 대하여 설명한다.

[0069] 트랜지스터(201)는 제 1 단자가 입력 단자(21)와 접속되고, 제 2 단자가 출력 단자(26)와 접속되고, 제 1 게이트 단자가 트랜지스터(207)의 제 2 단자와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0070] 트랜지스터(202)는 제 1 단자가 출력 단자(26)와 접속되고, 제 2 단자가 전원선(31)과 접속되고, 제 1 게이트 단자가 트랜지스터(208)의 제 2 단자와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0071] 트랜지스터(203)는 제 1 단자가 입력 단자(21)와 접속되고, 제 2 단자가 출력 단자(27)와 접속되고, 제 1 게이트 단자가 트랜지스터(207)의 제 2 단자와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0072] 트랜지스터(204)는 제 1 단자가 출력 단자(27)와 접속되고, 제 2 단자가 전원선(31)과 접속되고, 제 1 게이트 단자가 트랜지스터(208)의 제 2 단자와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0073] 트랜지스터(205)는 제 1 단자가 전원선(32)과 접속되고, 제 2 단자가 트랜지스터(206)의 제 1 단자 및 트랜지스터(207)의 제 1 단자와 접속되고, 제 1 게이트 단자가 입력 단자(24)와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0074] 트랜지스터(206)는 제 1 단자가 트랜지스터(205)의 제 2 단자 및 트랜지스터(207)의 제 1 단자와 접속되고, 제 2 단자가 전원선(31)과 접속되고, 제 1 게이트 단자가 트랜지스터(208)의 제 2 단자와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0075] 트랜지스터(207)는 제 1 단자가 트랜지스터(205)의 제 2 단자 및 트랜지스터(206)의 제 1 단자와 접속되고, 제 2 단자가 트랜지스터(201)의 제 1 게이트 단자 및 트랜지스터(203)의 제 1 게이트 단자와 접속되고, 제 1 게이트 단자가 전원선(32)과 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0076] 트랜지스터(208)는 제 1 단자가 트랜지스터(210)의 제 2 단자와 접속되고, 제 2 단자가 트랜지스터(202)의 제 1 게이트 단자, 트랜지스터(204)의 제 1 게이트 단자, 및 트랜지스터(206)의 제 1 게이트 단자와 접속되고, 제 1 게이트 단자가 입력 단자(22)와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0077] 트랜지스터(209)는 제 1 단자가 트랜지스터(208)의 제 2 단자와 접속되고, 제 2 단자가 전원선(31)과 접속되고, 제 1 게이트 단자가 입력 단자(24)와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0078] 트랜지스터(210)는 제 1 단자가 전원선(32)과 접속되고, 제 2 단자가 트랜지스터(208)의 제 1 단자와 접속되고, 제 1 게이트 단자가 입력 단자(23)와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0079] 트랜지스터(211)는 제 1 단자가 전원선(32)과 접속되고, 제 2 단자가 트랜지스터(208)의 제 2 단자와 접속되고, 제 1 게이트 단자가 입력 단자(25)와 접속되고, 제 2 게이트 단자가 입력 단자(28)와 접속된다.

[0080] 상술한 펄스 신호 출력 회로의 각 구성은 일례에 불과하고 본 발명의 일 형태가 이것에 한정되는 것이 아니다.

[0081] 도 3c에서의 펄스 신호 출력 회로가 도 3a에 도시된 제 1 펄스 신호 출력 회로(10₁)인 경우, 입력 단자(21)에는 게이트선 클록 신호(GCLK1)가 입력되고, 입력 단자(22)에는 게이트선 클록 신호(GCLK2)가 입력되고, 입력 단자

(23)에는 게이트선 클록 신호(GCLK3)가 입력되고, 입력 단자(24)에는 게이트선 스타트 펄스(GSP1)가 입력되고, 입력 단자(25)에는 제 3 펄스 신호 출력 회로(10₃)의 출력 신호(out3이라고 기재함)가 입력된다. 또한, 출력 단자(26)로부터 제 1 펄스 신호 출력 회로(10₁)의 출력 신호(out1이라고 기재함)가 제 2 펄스 신호 출력 회로(10₂)의 입력 단자(24)에 출력되고, 출력 단자(27)로부터 주사 신호(Gout1)가 출력되고, 입력 단자(28)로부터 문턱 전압 제어 신호(Svth)가 입력된다. 또한, 각 입력 단자에 인가되는 H 신호는 VDD로 하고, L 신호는 VSS로 한다.

[0082] 또한, 전원선(31)에는 저전원 전압(VSS)이 인가되고 전원선(32)에는 고전원 전압(VDD)이 인가된다.

[0083] 트랜지스터(201) 내지 트랜지스터(211)의 도통 상태 또는 비도통 상태를 따른 동작은 출력 단자(26)로부터 출력되는 신호(out1), 및 출력 단자(27)로부터 출력되는 주사 신호(Gout1)에 영향을 미친다. 그리고 도 1a 내지 도 1c에서도 설명한 바와 같이 본 실시형태에서의 구동 회로가 갖는 트랜지스터에는 백 게이트로서 기능하는 제 2 게이트가 제공되고, 게이트선 선택 기간에서 트랜지스터의 문턱 전압이 시프트되는 것을 억제하기 위한 전압을 인가하는 구성으로 함으로써 신호(out1) 및 주사 신호(Gout1)로의 트랜지스터(201) 내지 트랜지스터(211)의 전기적 특성의 열화에 따른 영향을 저감시킬 수 있다. 덧붙여서, 도 1a 내지 도 1c에서도 설명한 바와 같이 본 실시형태에서의 구동 회로가 갖는 트랜지스터는 화소 전극과 같은 도전막을 사용하여 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압으로 인한 액정 재료의 열화를 저감하는 구성으로 할 수 있다.

[0084] 다음에, 도 3a 내지 도 3c에 도시된 시프트 레지스터의 동작에 대하여 도 4에 도시된 타이밍 차트를 참조하여 설명한다. 또한, 도 4에서 설명하는 타이밍 차트에서 트랜지스터(201) 내지 트랜지스터(211)는 모두 n채널형 트랜지스터로 한다.

[0085] 도 4에 도시된 타이밍 차트 중 GCLK1 내지 GCLK4는 각각 게이트선 클록 신호를 가리키고, Svth는 문턱 전압 제어 신호를 가리키고, GSP1은 게이트선 스타트 펄스를 가리키고, Gout1 내지 GoutM은 제 1 펄스 신호 출력 회로(10₁) 내지 제 M 펄스 신호 출력 회로(10_M)의 출력 단자(27)로부터의 출력을 가리키고, out1 내지 outM은 제 1 펄스 신호 출력 회로(10₁) 내지 제 M 펄스 신호 출력 회로(10_M)의 출력 단자(26)로부터의 출력을 가리킨다.

[0086] 또한, 도 4에 도시된 타이밍 차트에서, 기간(Tsp) 및 기간(Tbp)은 도 1c에서 기재한 설명과 마찬가지로다. 또한, 도 4에 도시된 타이밍 차트에서 기간(Tv)이란 기간(Tbp)에서의 문턱 전압 제어 신호(Svth)에 의한 제 1 전압(V1)과 제 2 전압(V2)을 교대로 인가하는 기간을 가리킨다. 또한, 도 4에 도시된 타이밍 차트에서 기간(Tc)이란 게이트선 클록 신호(GCLK)를 L 신호로 고정하고 신호의 발진을 정지시키는 기간을 가리킨다.

[0087] 본 실시형태에서 설명하는 액정 표시 장치의 구동 방법에서는 기간(Tsp)에서 게이트선 클록 신호(GCLK), 게이트선 스타트 펄스(GSP)가 입력되고 게이트선에 주사 신호(Gout1) 내지 주사 신호(GoutM)를 순차적으로 출력함과 함께 문턱 전압 제어 신호(Svth)에 의하여 백 게이트에 제 1 전압(V1)을 인가할 수 있다. 또한, 기간(Tbp)에서 게이트선 클록 신호(GCLK)를 L 신호로 고정하여 신호의 발진을 정지시킴과 함께 문턱 전압 제어 신호(Svth)에 의하여 백 게이트에 제 1 전압(V1)과 제 2 전압(V2)을 교대로 인가할 수 있다.

[0088] 특히, 도 4에 도시된 타이밍 차트에서는 수직 귀선 기간인 기간(Tbp)에서 기간(Tc)은 먼저 시작하고 기간(Tv)이 시작하거나 종료한 후에 기간(Tc)이 종료된다. 즉 수직 귀선 기간에서는 먼저 게이트선 클록 신호를 정지시킨 후에 백 게이트에 제 1 전압(V1)과 제 2 전압(V2)을 교대로 인가하는 기간을 마련하고, 상기 기간이 종료된 후에 게이트선 클록 신호에 의한 신호의 발진을 다시 시작하는 구성으로 한다. 상기 구성으로 함으로써 백 게이트에 제 1 전압(V1)과 제 2 전압(V2)을 교대로 인가하는 기간 전에 게이트선 클록 신호의 신호를 L 신호로 고정할 수 있기 때문에 출력 단자(26)로부터 출력되는 신호(out1), 및 출력 단자(27)로부터 출력되는 주사 신호(Gout1)로 인한 오동작을 저감시킬 수 있다.

[0089] 상술한 액정 표시 장치의 구동 방법으로 함으로써 게이트선 선택 기간에서 트랜지스터의 문턱 전압의 시프트를 억제하기 위한 전압을 인가하는 구성으로 할 수 있다. 덧붙여서, 화소 전극과 같은 도전막으로 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압에 의한 액정 재료의 열화를 저감하는 구성으로 할 수 있다.

[0090] 또한, 본 발명의 일 형태는 도 3c에서 도시한 펄스 신호 출력 회로의 구성과 같이 모든 트랜지스터에 백 게이트를 제공하는 구성에 한정되지 않는다. 일례로서 도 5a에 도시된 바와 같이 전원선(32)과 전원선(31) 사이의 트랜지스터 중 어느 것에 백 게이트로서 기능하는 도전막을 형성한 트랜지스터로 하는 구성으로 하여도 좋다. 또한, 도 5a에서는 트랜지스터(201), 트랜지스터(203), 트랜지스터(205), 트랜지스터(208), 트랜지스터(210), 및

트랜지스터(211)를 백 게이트로서 기능하는 도전막을 제공한 트랜지스터로 하는 구성에 대하여 도시하였지만 다른 구성이라도 좋다.

- [0091] 또한, 백 게이트로서 기능하는 도전막에 공급되는 문턱 전압 제어 신호(Svth)에 의한 문턱 전압의 시프트를 억제하기 위한 전압은 제 2 전압(V2)에 한정되지 않고 상이한 값의 전압을 인가하는 구성으로 하여도 좋다. 상기 구성인 경우, 백 게이트로서 기능하는 도전막에 공급하는 신호를 복수로 마련하고 도 5b에 도시된 바와 같이 입력 단자(28A) 및 입력 단자(28B)로부터 제 1 문턱 전압 제어 신호(Svth) 및 제 2 문턱 전압 제어 신호(Svth)를 입력하는 구성으로 하면 좋다.
- [0092] 본 실시형태에서 기재한 액정 표시 장치의 구동 방법에 의하면 게이트선 선택 기간에서 트랜지스터의 문턱 전압의 시프트를 억제하기 위한 전압을 인가하는 구성으로 함으로써 구동 회로가 갖는 트랜지스터의 전기적 특성의 열화에 따른 영향을 저감시킬 수 있다. 덧붙여서, 본 실시형태에서 기재한 액정 표시 장치의 구동 방법에 따르면 수직 귀선 기간에서 화소 전극과 같은 도전막으로 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압으로 인한 액정 재료의 열화를 억제할 수 있다.
- [0093] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0094] (실시형태 2)
- [0095] 본 실시형태에서는 상술한 실시형태 1에서 설명한 화소 회로가 갖는 트랜지스터, 및 구동 회로가 갖는 트랜지스터의 구성에 대하여 설명한다. 본 실시형태에서는 특히 백 게이트로서 기능하는 도전막을 형성하기 전까지, 소위 보텀 게이트형 트랜지스터의 구성에 대하여 자세히 기재한다.
- [0096] 상기 실시형태에서 설명한 액정 표시 장치가 갖는 트랜지스터의 구성에서 트랜지스터에서의 채널 형성 영역을 형성하는 반도체막에는 비정질, 미결정, 다결정, 또는 단결정인, 실리콘 또는 게르마늄 등의 반도체막이 사용되어도 좋고 실리콘보다 밴드 갭이 넓고, 실리콘보다 진성 캐리어 밀도가 낮은 반도체막이 사용되어도 좋다. 실리콘으로서는, 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐 등의 처리에 의하여 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.
- [0097] 또는 반도체막에는 산화물 반도체를 사용하여도 좋다. 산화물 반도체는 비정질 실리콘보다 전계 효과 이동도가 크기 때문에 온 전류가 큰 트랜지스터를 얻을 수 있다. 또한, 산화물 반도체막을 채널 형성 영역에 갖는 트랜지스터는 비정질 실리콘의 트랜지스터에 사용하는 기존의 생산 설비를 일부만 변경함으로써 제조할 수 있다. 그러므로 산화물 반도체막을 채널 형성 영역에 갖는 트랜지스터를 사용하여 제작되는 액정 표시 장치는 추가적인 설비 투자를 억제하여 트랜지스터의 제조 코스트를 저감시킬 수 있다.
- [0098] 이하, 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터의 일례에 대하여 도면을 참조하여 설명한다.
- [0099] 도 6의 (A) 내지 도 6의 (C)에 산화물 반도체막에 채널 형성 영역을 갖는 트랜지스터(50)의 상면도 및 단면도를 도시하였다. 도 6의 (A)는 트랜지스터(50)의 상면도이고 도 6의 (B)는 도 6의 (A)를 일점 쇄선 A-B간으로 자른 단면도이고, 도 6의 (C)는 도 6의 (A)를 일점 쇄선 C-D간으로 자른 단면도다. 또한 도 6의 (A)에서는 명료화를 위하여 트랜지스터(50)의 구성 요소의 일부(예를 들어, 절연막(53), 절연막(56), 절연막(57) 등)를 생략하였다.
- [0100] 도 6의 (B) 및 도 6의 (C)에 도시된 트랜지스터(50)는 기판(51) 위에 제 1 게이트로서 기능하는 도전막(52)을 갖는다. 또한, 기판(51) 및 도전막(52) 위에 절연막(53)이 형성되고 절연막(53)을 개재(介在)하고 도전막(52)과 중첩하는 산화물 반도체막(54)과 소스 또는 드레인으로서 기능하고 또한 산화물 반도체막(54)에 접하는 한 쌍의 도전막(55)을 갖는다. 또한, 절연막(53), 산화물 반도체막(54), 및 한 쌍의 도전막(55) 위에는 절연막(56) 및 절연막(57)으로 구성되는 보호막(58)이 형성된다.
- [0101] 본 실시형태에 기재된 트랜지스터(50)에서 산화물 반도체막(54)에 접하도록 절연막(56)이 형성된다. 절연막(56)은 산소를 투과하는 산화 절연막인 것이 바람직하다. 이 경우 절연막(56)에서는 외부로부터 절연막(56)에 들어간 산소가 모두 절연막(56)의 외부로 이동하지 않고 절연막(56)에 남은 산소가 존재하여도 좋다. 또한, 절연막(56)에 산소가 들어감과 함께 절연막(56)에 포함되는 산소가 절연막(56)의 외부로 이동함으로써 절연막(56)에서 산소가 이동되어도 좋다.
- [0102] 절연막(56)으로서 산소를 투과시키는 산화 절연막을 사용함으로써 절연막(56) 위에 제공되는 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 절연막으로부터 방출되는 산소를 절연막(56)을 개재하고 산화

물 반도체막(54)으로 이동시킬 수 있다.

- [0103] 절연막(56)으로서는 두께가 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하인 산화 실리콘, 산화 질화 실리콘 등을 사용할 수 있다.
- [0104] 절연막(56)에 접하도록 절연막(57)이 형성된다. 절연막(57)은 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 절연막인 것이 바람직하다. 이 경우 절연막(57)으로서는 두께가 30nm 이상 500nm 이하, 바람직하게는 150nm 이상 400nm 이하인 산화 실리콘, 산화 질화 실리콘 등을 사용할 수 있다.
- [0105] 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 절연막은 가열함으로써 산소의 일부가 이탈되는 산화 절연막이다. 이로써 가열함으로써 산소의 일부가 이탈되는 산화 절연막을 절연막(57)으로서 산소를 투과시키는 절연막(56) 위에 제공함으로써 산화물 반도체막(54)으로 산소를 이동시켜 산화물 반도체막(54)에 포함되는 산소 결손을 보전할 수 있다. 또는 가열하면서 산소를 투과시키는 절연막(56) 위에 절연막(57)을 형성함으로써 산화물 반도체막(54)으로 산소를 이동시켜 산화물 반도체막(54)에 포함되는 산소 결손을 보전할 수 있다. 또는 산소를 투과시키는 절연막(56) 위에 절연막(57)을 형성한 후, 가열 처리함으로써 산소를 산화물 반도체막(54)으로 이동시켜 산화물 반도체막(54)에 포함되는 산소 결손을 보전할 수 있다. 결과적으로 산화물 반도체막에 포함되는 산소 결손량을 저감시킬 수 있다.
- [0106] 산화물 반도체막(54)의 백 채널(산화물 반도체막(54)에서 도전막(52)과 대향하는 면과 반대 측 면)에 산소를 투과시키는 산화 절연막을 개재하고 화학량론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화 절연막을 제공함으로써 산화물 반도체막(54)의 백 채널 측에 산소를 이동시킬 수 있고 상기 영역의 산소 결손을 저감시킬 수 있다.
- [0107] 또한, 절연막(57)의 형성 공정에서 산화물 반도체막(54)이 대미지를 받지 않는 경우에는 절연막(56)을 형성하지 않고 가열함으로써 산소의 일부를 이탈시키는 산화 절연막인 절연막(57)만을 보호막으로서 제공하여도 좋다.
- [0108] 또한, 산화물 반도체막을 갖는 트랜지스터는 n채널형 트랜지스터이기 때문에 본 명세서에서 게이트 전압이 0V인 경우, 드레인 전류가 흐르지 않는다고 간주할 수 있는 트랜지스터를 노멀리 오프 특성을 갖는 트랜지스터라고 정의한다. 또한, 게이트 전압이 0V인 경우, 드레인 전류가 흐르고 있다고 간주할 수 있는 트랜지스터를 노멀리 온 특성을 갖는 트랜지스터라고 정의한다.
- [0109] 이하에 트랜지스터(50)의 다른 구성의 자세한 내용에 대하여 설명한다.
- [0110] 기판(51)의 재질 등에 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(51)으로서 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어지는 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용하는 것도 가능하고, 이러한 기판 위에 반도체 소자가 형성된 것을 기판(51)으로서 사용하여도 좋다.
- [0111] 또한 기판(51)으로서 가요성 기판을 사용하고 가요성 기판 위에 직접 트랜지스터(50)를 형성하여도 좋다. 또는 기판(51)과 트랜지스터(50) 사이에 박리층을 형성하여도 좋다. 박리층은 그 위에 반도체 장치를 일부 또는 전부 완성시키고 나서 기판(51)으로부터 분리하고, 다른 기판에 옮겨놓는데 사용할 수 있다. 이 때, 트랜지스터(50)는 내열성이 떨어지는 기판이나 가요성의 기판에도 옮겨놓을 수 있다.
- [0112] 또한, 기판(51) 및 도전막(52) 사이에 하지 절연막을 형성하여도 좋다. 하지 절연막으로서는 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄 등이 있다. 또한, 하지 절연막으로서 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄 등을 사용함으로써 기판(51)으로부터 불순물, 대표적으로는 알칼리 금속, 물, 수소 등의 산화물 반도체막(54)으로의 확산을 억제할 수 있다. 또한, 본 명세서 중에서, 산화 질화 실리콘막이란 그 조성으로서 질소보다 산소를 많이 포함한 막을 가리키고, 질화 산화 실리콘막이란 그 조성으로서 산소보다 질소를 많이 포함한 막을 가리킨다.
- [0113] 도전막(52)은 알루미늄, 크로뮴, 구리, 탄탈럼, 티타늄, 몰리브데넘, 텅스텐으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나 또는 복수로부터 선택된 금속 원소를 사용하여도 좋다. 또한, 도전막(52)은 단층 구조라도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조,

질화 티타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈럼막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과 그 티타늄막 위에 알루미늄막을 적층하고, 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에 티타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 스칸듐 중에서 선택된 원소의 막, 또는 복수를 조합한 합금막, 또는 질화막을 사용하여도 좋다.

[0114] 또한, 도전막(52)은 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와, 상기 금속 원소의 적층 구조로 할 수도 있다.

[0115] 또한, 도전막(52)과 절연막(53) 사이에 In-Ga-Zn계 산질화물 반도체막, In-Sn계 산질화물 반도체막, In-Ga계 산질화물 반도체막, In-Zn계 산질화물 반도체막, Sn계 산질화물 반도체막, In계 산질화물 반도체막, 금속 질화물(InN, ZnN 등) 등을 형성하여도 좋다. 이들의 막은 5eV 이상, 바람직하게는 5.5eV 이상의 일함수를 갖고, 산화물 반도체의 전자 친화력보다 큰 값이기 때문에 산화물 반도체를 사용한 트랜지스터의 문턱 전압을 플러스로 시프트할 수 있고 소위 노멀리 오프 특성을 갖는 스위칭 소자를 구현할 수 있다. 예를 들어, In-Ga-Zn계 산질화물 반도체막을 사용하는 경우, 적어도 산화물 반도체막(54)보다 높은 질소 농도, 구체적으로는 7atoms% 이상의 In-Ga-Zn계 산질화물 반도체막을 사용한다.

[0116] 절연막(53)은 예를 들어, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물, 질화 실리콘 등을 사용하면 좋고, 적층 또는 단층으로 형성한다. 또한, 절연막(53)으로서 가열함으로써 산소가 이탈되는 산화 절연물을 사용하여도 좋다. 가열함으로써 산소가 이탈되는 막을 절연막(53)에 사용함으로써 산화물 반도체막(54) 및 절연막(53)의 계면에서의 계면 준위를 저감시킬 수 있고 전기적 특성의 열화가 적은 트랜지스터를 얻을 수 있다. 또한, 절연막(53)에 산소, 수소, 물 등의 블로킹 효과를 갖는 절연막을 사용함으로써 산화물 반도체막(54)으로부터의 산소가 외부로 확산되거나 외부로부터 산화물 반도체막(54)으로 수소, 물 등이 침입하는 것을 방지할 수 있다. 산소, 수소, 물 등의 블로킹 효과를 갖는 절연막으로서는 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄 등이 있다. 또한, 절연막(53)에 수소, 물 등의 블로킹 효과를 갖는 절연막을 사용함으로써 외부로부터 산화물 반도체막(54)으로 수소, 물 등이 침입하는 것을 방지할 수 있다. 수소, 물 등의 블로킹 효과를 갖는 절연막으로서는 질화 실리콘, 질화 산화 실리콘 등이 있다.

[0117] 또한 절연막(53)으로서 하프늄실리케이트(HfSiO_x), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y\text{N}_z$), 질소가 첨가된 하프늄알루미늄네이트($\text{HfAl}_x\text{O}_y\text{N}_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 사용함으로써, 트랜지스터의 게이트 누설을 저감시킬 수 있다.

[0118] 절연막(53)의 두께는 5nm 이상 400nm 이하, 더 바람직하게는 10nm 이상 300nm 이하, 더 바람직하게는 50nm 이상 250nm 이하로 하면 좋다.

[0119] 산화물 반도체막(54)은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또는 In과 Zn의 양쪽을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 저감시키기 위하여 이들과 함께 스테빌라이저를 하나 또는 복수로 갖는 것이 바람직하다.

[0120] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 이들 외의 스테빌라이저로서는, 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.

[0121] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, In-Zn계 금속 산화물, Sn-Zn계 금속 산화물, Al-Zn계 금속 산화물, Zn-Mg계 금속 산화물, Sn-Mg계 금속 산화물, In-Mg계 금속 산화물, In-Ga계 금속 산화물, In-W계 금속 산화물, In-Ga-Zn계 금속 산화물(IGZO라고도 표기함), In-Al-Zn계 금속 산화물, In-Sn-Zn계 금속 산화물, Sn-Ga-Zn계 금속 산화물, Al-Ga-Zn계 금속 산화물, Sn-Al-Zn계 금속 산화물, In-Hf-Zn계 금속 산화물, In-La-Zn계 금속 산화물, In-Ce-Zn계 금속 산화물, In-Pr-Zn계 금속 산화물, In-Nd-Zn계 금속 산화물, In-Sm-Zn계 금속 산화물, In-Eu-Zn계 금속 산화물, In-Gd-Zn계 금속 산화물, In-Tb-Zn계 금속 산화물, In-Dy-Zn계 금속 산화물, In-Ho-Zn계 금속 산화물, In-Er-Zn계 금속 산화물, In-Tm-Zn계 금속 산화물, In-Yb-Zn계 금속 산화물, In-Lu-Zn계 금속 산화물, In-Sn-Ga-Zn계 금속 산화물, In-Hf-Ga-Zn계 금속 산화물, In-Al-Ga-Zn계 금속 산화물, In-Sn-Al-Zn계 금속 산화물, In-Sn-Hf-Zn계 금속 산화물, In-Hf-Al-Zn계 금속 산화물을 사용할 수 있다.

- [0122] 또한, 여기서, 예를 들어 In-Ga-Zn계 금속 산화물이란, In과 Ga과 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga과 Zn의 비율은 불문한다. 또한, In과 Ga과 Zn 외의 금속 원소가 들어 있어도 좋다.
- [0123] 또한, 산화물 반도체로서, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$, 또한 m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$, 또한 n 은 정수)으로 표기되는 재료를 사용하여도 좋다.
- [0124] 예를 들어, $\text{In:Ga:Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In:Ga:Zn}=2:2:1(=2/5:2/5:1/5)$, 또는 $\text{In:Ga:Zn}=3:1:2(=1/2:1/6:1/3)$ 의 원자수비인 In-Ga-Zn계 금속 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 또는, $\text{In:Sn:Zn}=1:1:1(=1/3:1/3:1/3)$, $\text{In:Sn:Zn}=2:1:3(=1/3:1/6:1/2)$ 또는 $\text{In:Sn:Zn}=2:1:5(=1/4:1/8:5/8)$ 의 원자수비인 In-Sn-Zn계 금속 산화물이나 그 조성 근방의 산화물을 사용하면 좋다.
- [0125] 그러나, 이들에 한정되지 않으며, 필요로 하는 전기적 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요로 하는 전기적 특성을 얻기 위하여 캐리어 밀도, 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0126] 예를 들어, In-Sn-Zn계 금속 산화물에서는 비교적 쉽게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 금속 산화물에서도, 벌크 내 결합 밀도를 낮게 함으로써 이동도를 높일 수 있다.
- [0127] 또한, 산화물 반도체막(54)에 형성할 수 있는 금속 산화물은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 사용함으로써 트랜지스터의 오프 전류를 저감시킬 수 있다.
- [0128] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.
- [0129] 산화물 반도체막은 단결정 산화물 반도체막과 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.
- [0130] 비정질 산화물 반도체막은 막 내에서의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에 있어서도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형적이다.
- [0131] 미결정 산화물 반도체막은 예를 들어, 1nm 이상 10nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다는 특징을 갖는다.
- [0132] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 하나의 면이 100nm 미만인 입방체 내에 들어가는 사이즈이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 면이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 사이즈인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결합 준위 밀도가 낮다는 특징을 갖는다. 이하에서는, CAAC-OS막에 대하여 자세히 설명한다.
- [0133] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0134] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0135] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0136] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0137] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방에 피크가 나

타나는 경우가 있다. 이 피크는, InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.

[0138] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. InGaZnO_4 의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하여, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하여 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

[0139] 상술한 것으로부터, CAAC-OS막에 있어서는, 상이한 결정부간에서 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고, 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 ab면에 평행한 면이다.

[0140] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않는 경우도 있다.

[0141] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.

[0142] 또한, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ 가 31° 근방에 피크가 나타나는 경우 외에, 2θ 가 36° 근방에도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방인 피크는 CAAC-OS막 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ 가 31° 근방에 피크가 나타나고, 2θ 가 36° 근방에 피크가 나타나지 않는 것이 바람직하다.

[0143] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0144] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다.

[0145] 또한, 산화물 반도체막(54)은 복수의 산화물 반도체막이 적층된 구조를 가져도 좋다. 예를 들어, 산화물 반도체막(54)을 제 1 산화물 반도체막과 제 2 산화물 반도체막의 적층으로 하고, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 상이한 조성을 갖는 금속 산화물을 사용하여도 좋다.

[0146] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 구성 원소를 동일하게 하고, 양자의 조성을 상이하게 하여도 좋다. 예를 들어, 제 1 산화물 반도체막의 원자수비를 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 로 하고, 제 2 산화물 반도체막의 원자수비를 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 로 하여도 좋다. 또한, 제 1 산화물 반도체막의 원자수비를 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 로 하고, 제 2 산화물 반도체막의 원자수비를 $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ 으로 하여도 좋다. 또한, 각 산화물 반도체막의 원자수비는 오차로서 상술한 원자수비의 플러스마이너스 20%의 변동을 포함한다.

[0147] 이때, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중, 제 1 게이트로서 기능하는 도전막에 가까운 측(채널 측)의 산화물 반도체막의 In과 Ga의 함유율을 $\text{In}>\text{Ga}$ 으로 하면 좋다. 또한 제 1 게이트로서 기능하는 도전막으로부터 먼 측(백 채널 측)의 산화물 반도체막의 In과 Ga의 함유율을 $\text{In}\leq\text{Ga}$ 으로 하면 좋다.

[0148] 또한, 산화물 반도체막(54)을 3층 구조로 하고, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막의 구성 원소를 동일하게 하고, 또한 각각의 조성을 상이하게 하여도 좋다. 예를 들어, 제 1 산화물 반도체막의 원자수비를 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 로 하고, 제 2 산화물 반도체막의 원자수비를 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ 로 하고, 제 3 산화물 반도체막의 원자수비를 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 로 하여도 좋다.

[0149] Ga 및 Zn보다 In의 원자수비가 작은 산화물 반도체막, 대표적으로는 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 인 제 1 산화물 반도체막은, Ga 및 Zn보다 In의 원자수비가 큰 산화물 반도체막, 대표적으로는 제 2 산화물 반도체막, 및 Ga, Zn 및 In의 원자수비가 같은 산화물 반도체막, 대표적으로는 제 3 산화물 반도체막과 비교하여, 산소 결손이 생

기기 어렵기 때문에 캐리어 밀도가 증가되는 것을 억제할 수 있다. 또한, 원자수비가 In:Ga:Zn=1:3:2인 제 1 산화물 반도체막이 비정질 구조이면 제 2 산화물 반도체막이 CAAC-OS막으로 되기 쉽다.

[0150] 또한, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막의 구성 원소는 동일하기 때문에, 제 1 산화물 반도체막은, 제 2 산화물 반도체막과의 계면에서의 트랩 준위가 적다. 이로써, 산화물 반도체막(54)을 상기 구조로 함으로써, 트랜지스터의 시간에 따른 변화나 광 BT 스트레스 시험에 의한 문턱 전압의 변동량을 저감시킬 수 있다.

[0151] 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하고 있고, In의 함유율을 많이 함으로써, 더 많은 s궤도가 겹치기 때문에, In>Ga의 조성으로 되는 산화물은 In≤Ga의 조성으로 되는 산화물과 비교하여 높은 캐리어 이동도를 구비한다. 또한, Ga는 In과 비교하여 산소 결손의 형성 에너지가 크고 산소 결손이 생기기 어렵기 때문에 In≤Ga의 조성으로 되는 산화물은 In>Ga의 조성으로 되는 산화물과 비교하여 안정된 특성을 구비한다.

[0152] 채널 측에 In>Ga의 조성으로 되는 산화물 반도체를 적용하고, 백 채널 측에 In≤Ga의 조성으로 되는 산화물 반도체를 적용함으로써, 트랜지스터의 전계 효과 이동도 및 신뢰성을 더욱 높일 수 있다.

[0153] 또한, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막에 결정성이 상이한 산화물 반도체를 적용하여도 좋다. 즉 단결정 산화물 반도체, 다결정 산화물 반도체, 비정질 산화물 반도체, 또는 CAAC-OS를 적절히 조합한 구성으로 하여도 좋다. 또한, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막 중 어느 하나에 비정질 산화물 반도체를 적용하면, 산화물 반도체막(54)의 내부 응력이나 외부로부터의 응력을 완화하여, 트랜지스터의 전기적 특성의 편차가 저감되고, 또한, 트랜지스터의 신뢰성을 더욱 높일 수 있다.

[0154] 산화물 반도체막(54)의 두께는 1nm 이상 100nm 이하, 더 바람직하게는 1nm 이상 50nm 이하, 더 바람직하게는 1nm 이상 30nm 이하, 더 바람직하게는 3nm 이상 20nm 이하로 하는 것이 바람직하다.

[0155] 산화물 반도체막(54)에서, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 2×10^{16} atoms/cm³ 이하인 것이 바람직하다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있고, 트랜지스터의 오프 전류의 상승의 원인이 되기 때문이다.

[0156] 산화물 반도체막(54)에서 이차 이온 질량 분석법에 의하여 얻을 수 있는 수소 농도를 5×10^{18} atoms/cm³ 미만, 바람직하게는 1×10^{18} atoms/cm³ 이하, 더 바람직하게는 5×10^{17} atoms/cm³ 이하, 더 바람직하게는 1×10^{16} atoms/cm³ 이하로 하는 것이 바람직하다.

[0157] 산화물 반도체막(54)에 포함되는 수소는, 금속 원자와 결합하는 산소와 반응하여 물이 됨과 동시에, 산소가 이탈된 격자(또는 산소가 이탈된 부분)에는 결손이 형성된다. 또한, 수소의 일부와 산소가 결합함으로써 캐리어인 전자가 생긴다. 이들에 의하여 산화물 반도체막의 성막 공정에서, 수소를 포함하는 불순물을 매우 줄임으로써, 산화물 반도체막의 수소 농도를 저감시킬 수 있다. 이로써 수소를 가능한 한 제거하고 고순도화된 산화물 반도체막을 채널 영역으로 함으로써 문턱 전압이 마이너스로 시프트되는 것을 저감시킬 수 있고, 또한 트랜지스터의 소스 및 드레인에서의 누설 전류를, 대표적으로는 오프 전류를 저감시킬 수 있고 트랜지스터의 전기적 특성을 향상시킬 수 있다.

[0158] 산화물 반도체막(54)에는 5×10^{18} atoms/cm³ 이하의 질소가 포함되어도 좋다.

[0159] 한 쌍의 도전막(55)에는 도전 재료로서 알루미늄, 티타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 또는 텅스텐으로 이루어지는 단체 금속, 또는 이들을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로서 사용한다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 텅스텐막 위에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막과 그 티타늄막 또는 질화 티타늄막 위에 겹쳐서 알루미늄막 또는 구리막을 적층하고 그 위에 티타늄막 또는 질화 티타늄막을 더 형성하는 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막과 그 몰리브데넘막 또는 질화 몰리브데넘막 위에 겹쳐서 알루미늄막 또는 구리막을 적층하고 그 위에 몰리브데넘막 또는 질화 몰리브데넘막을 더 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함하는 투명 도전 재료를 사용하여도 좋다.

[0160] 또한, 도 6에 도시된 트랜지스터(50)는 예를 들어, 평면적으로 봐서 게이트로서 기능하는 도전막(52)이 산화물

반도체막(54)을 완전히 포함한 바와 같은 레이아웃을 가져도 좋다. 이와 같은 레이아웃으로 하면 기관(51)으로부터의 광 조사에 대하여 도전막(52)에 의하여 완전히 차광할 수 있다. 따라서 트랜지스터(50)의 문턱 전압이 시프트되는 등의 특성의 열화가 초래되는 것을 방지할 수 있다.

- [0161] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0162] (실시형태 3)
- [0163] 본 발명의 일 형태에 따른 액정 표시 장치의 블록도, 외관, 및 외관에 대응한 단면 모식도에 대하여 도 7을 사용하여 설명한다.
- [0164] 도 7a는 기관(301) 위에 화소 회로(302)와 구동 회로를 구성하는 데이터선 구동 회로(303) 및 게이트선 구동 회로(304)와, 구동 회로 및 화소 회로의 동작에 필요한 신호 및 전원 전압 등을 공급하는 신호 생성 회로(300A), 및 전원 회로(300B)를 갖는 액정 표시 장치의 블록도다.
- [0165] 신호 생성 회로(300A)는 일례로서는 데이터선 구동 회로(303)에 데이터선 화상 신호(data), 문턱 전압 제어 신호(Svth), 데이터선 스타트 펄스(SSP), 및 데이터선 클록 신호(SCLK)를 출력한다. 또한, 신호 생성 회로(300A)는 일례로서는 게이트선 구동 회로(304)에 문턱 전압 제어 신호(Svth), 게이트선 스타트 펄스(GSP), 및 게이트선 클록 신호(GCLK)를 출력한다.
- [0166] 전원 회로(300B)는 일례로서는 화소 회로(302), 데이터선 구동 회로(303), 및 게이트선 구동 회로(304)에 고전원 전압(VDD), 저전원 전압(VSS), 공통 전압(Vcom)을 출력한다.
- [0167] 이어서 도 7b는 기관(301)과 기관(317)을 봉지재(305)에 의하여 접촉시킨 액정 표시 장치의 상면도다. 또한, 도 7c는 도 7b의 파선 E-F에서의 단면도에 상당한다. 또한, 도 7에서는 TN(Twisted Nematic)모드의 액정 표시 장치를 예시하였다.
- [0168] 기관(301) 위에 제공된 화소 회로(302)와, 데이터선 구동 회로(303)와, 한 쌍의 게이트선 구동 회로(304)를 둘러싸도록 봉지재(305)가 제공된다. 또한, 화소 회로(302), 데이터선 구동 회로(303), 게이트선 구동 회로(304) 위에 기관(317)이 제공된다. 따라서 화소 회로(302)와, 데이터선 구동 회로(303)와, 게이트선 구동 회로(304)는 기관(301)과, 봉지재(305)와, 기관(317)에 의하여 밀봉된다.
- [0169] 또한, 기관(301) 위에 형성된 화소 회로(302), 게이트선 구동 회로(304)는 트랜지스터를 복수로 갖는다. 도 7c에서는 화소 회로(302)에 포함되는 트랜지스터(311)와 게이트선 구동 회로(304)에 포함되는 트랜지스터(312)를 도시하였다.
- [0170] 화소 회로(302) 및 게이트선 구동 회로(304)에서 트랜지스터(311) 및 트랜지스터(312) 위에는 수지를 사용한 절연막(313)이 제공된다. 그리고 절연막(313) 위에는 액정 소자(321)의 제 1 전극(314)과 도전막(315)이 제공된다. 도전막(315)은 트랜지스터(312)의 백 게이트로서 기능하는 제 2 게이트다.
- [0171] 또한, 절연막(313), 제 1 전극(314), 및 도전막(315) 위에는 절연막(316)이 제공된다. 절연막(316)은 액정층(320)이 갖는 액정 재료의 배향막으로서 기능한다.
- [0172] 또한, 기관(317) 위에는 액정 소자(321)의 제 2 전극(318)이 제공된다. 제 2 전극(318) 위에는 절연막(319)이 제공된다. 절연막(319)은 액정층(320)이 갖는 액정 재료의 배향막으로서 기능한다.
- [0173] 제 2 전극(318) 및 절연막(316)과 기관(317) 사이에는 액정층(320)이 제공된다. 액정 소자(321)는 제 1 전극(314), 제 2 전극(318), 및 액정층(320)을 갖는다.
- [0174] 액정 소자(321)에서는 제 1 전극(314)과 제 2 전극(318) 사이에 인가되는 전압의 값에 따라 액정층(320)에 포함되는 액정 분자의 배향이 변화하고 투과율이 변화한다. 따라서 액정 소자(321)는 제 1 전극(314)에 인가되는 화상 신호의 전압에 의하여 그 투과율이 제어됨으로써 계조를 표시시킬 수 있다. 또한 제 1 전극(314)과 제 2 전극(318) 사이에는 전극간 거리를 유지하기 위한 스페이서(322)가 제공된다. 스페이서(322)의 형상은 구(球) 형상을 일례로서 기재하였지만 각기둥 형상 또는 원기둥 형상이라도 좋다.
- [0175] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서는 컬러 필터를 사용함으로써 컬러 화상을 표시시켜도 좋고, 상이한 색상의 광을 발하는 복수의 광원을 순차적으로 점등시킴으로써 컬러 화상을 표시시켜도 좋다.
- [0176] 또한, 화상 신호나 문턱 전압 제어 신호(Svth), 각종 제어 신호 및 전원 전압은 FPC(306)를 개재하고 데이터선 구동 회로(303), 게이트선 구동 회로(304), 또는 화소 회로(302)에 인가된다.

- [0177] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0178] (실시형태 4)
- [0179] 본 실시형태에서는 실시형태 3에서 설명한 액정 소자의 표시모드에 대하여 설명한다. 또한, 실시형태 3에서는 TN(Twisted Nematic)모드의 액정 소자의 단면의 일례를 기재하였지만, 다른 표시 모드로 할 수도 있다. 이하에서는 각 표시모드에서 액정을 동작시키는 전극 및 기관에 대하여 모식도를 사용하여 설명한다.
- [0180] 도 8a에는 TN모드의 액정 소자의 단면 모식도를 도시하였다.
- [0181] 서로 대향되도록 배치된 제 1 기관(5801) 및 제 2 기관(5802)에, 액정층(5800)이 협지된다. 제 1 기관(5801)에는 제 1 전극(5805)이 형성된다. 제 2 기관(5802)에는 제 2 전극(5806)이 형성된다.
- [0182] 도 8b에는 VA(Vertical Alignment)모드의 단면 모식도를 도시하였다. VA모드는 무전계시에 액정 분자가 기관에 수직으로 되도록 배향되는 모드다.
- [0183] 서로 대향되도록 배치된 제 1 기관(5811) 및 제 2 기관(5812)에, 액정층(5810)이 협지된다. 제 1 기관(5811)에는 제 1 전극(5815)이 형성된다. 제 2 기관(5812)에는 제 2 전극(5816)이 형성된다.
- [0184] 도 8c에는 MVA(Multi-domain Vertical Alignment)모드의 단면 모식도를 도시하였다. MVA모드는 돌기물을 형성함으로써 액정 분자의 배향 제어가 복수 방향으로 되도록 하여 시야각 의존성을 보상하는 방법이다.
- [0185] 서로 대향되도록 배치된 제 1 기관(5821) 및 제 2 기관(5822)에, 액정층(5820)이 협지된다. 제 1 기관(5821)에는 제 1 전극(5825)이 형성된다. 제 2 기관(5822)에는 제 2 전극(5826)이 형성된다. 제 1 전극(5825) 위에는 배향 제어용으로 제 1 돌기물(5827)이 형성된다. 제 2 전극(5826) 위에는 배향 제어용으로 제 2 돌기물(5828)이 형성된다.
- [0186] 도 8d에는 IPS(In-Plane-Switching)모드의 단면 모식도를 도시하였다. IPS모드는 액정 분자를 기관에 대하여 항상 평면 내에서 회전시키는 모드이고 화면을 보는 각도에 따른 액정층의 굴절률의 차이가 작기 때문에 시야각 의존성이 적다. IPS모드는 전극을 한쪽 기관 측에만 제공한 횡전계 방식을 채용한다.
- [0187] 서로 대향되도록 배치된 제 1 기관(5851) 및 제 2 기관(5852)에, 액정층(5850)이 협지된다. 제 2 기관(5852)에는 제 1 전극(5855) 및 제 2 전극(5856)이 형성된다.
- [0188] 또한, IPS모드의 전극 구조에서는 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용하여도 좋다.
- [0189] 도 8e에는 FFS(Fringe Field Switching)모드의 단면 모식도를 도시하였다. FFS모드는 액정 분자를 기관에 대하여 항상 평면 내에서 회전시키는 모드이고 화면을 보는 각도에 따른 액정층의 굴절률의 차이가 작기 때문에 시야각 의존성이 적다. FFS모드는 전극을 한쪽 기관 측에만 제공한 횡전계 방식을 채용한다.
- [0190] 서로 대향되도록 배치된 제 1 기관(5861) 및 제 2 기관(5862)에, 액정층(5860)이 협지된다. 제 2 기관(5862)에는 제 2 전극(5866)이 형성된다. 제 2 전극(5866)에는 절연막(5867)이 형성된다. 절연막(5867) 위에는 제 1 전극(5865)이 형성된다.
- [0191] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0192] (실시형태 5)
- [0193] 본 실시형태에서는, 상기 실시형태에서 설명한 액정 표시 장치를 구비하는 전자 기기의 예에 대하여 설명한다.
- [0194] 도 9a는 휴대형 게임기를 도시한 것이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 가질 수 있다. 도 9a에 도시된 휴대형 게임기는 기록 매체에 기록된 프로그램 또는 데이터를 판독하여 표시부에 표시시키는 기능, 무선 통신으로 다른 휴대형 게임기와 정보를 공유하는 기능 등을 가질 수 있다. 또한, 도 9a에 도시된 휴대형 게임기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0195] 도 9b는 디지털 카메라를 도시한 것이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 가질 수 있다. 도 9b에 도시된 텔레비전 수상 기능을 갖는 디지털 카메라는 정지 화상을 촬영하는 기능, 동영상 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 안테나로부터 다양한 정보를 취득하는 기능, 촬영한 화상 또는 안테나로부터 취득한 정보를 저장하는 기능, 촬영한 화상 또는 안테나로부터 취득한 정보를 표시부에 표시시키는 기능 등을 가질 수 있다. 또한, 도 9b

에 도시된 텔레비전 수상 기능을 갖는 디지털 카메라가 갖는 기능은 이들에 한정되지 않고 다양한 기능을 가질 수 있다.

[0196] 도 9c는 텔레비전 수상기를 도시한 것이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636) 등을 가질 수 있다. 도 9c에 도시된 텔레비전 수상기는 텔레비전용 전파를 처리하고 그 전파를 화상 신호로 변환하는 기능, 화상 신호를 처리하고 그 화상 신호를 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능 등을 가질 수 있다. 또한, 도 9c에 도시된 텔레비전 수상기가 갖는 기능은 이들에 한정되지 않고 다양한 기능을 가질 수 있다.

[0197] 도 10a는 컴퓨터를 도시한 것이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 접속 단자(9636), 포인팅 디바이스(9681), 외부 접속 포트(9680) 등을 가질 수 있다. 도 10a에 도시된 컴퓨터는 표시부에 다양한 정보(정지 화상, 동영상, 및 텍스트 화상 등)를 표시시키는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속시키는 기능, 통신 기능을 사용하여 다양한 데이터를 송수신하는 기능 등을 가질 수 있다. 또한, 도 10a에 도시된 컴퓨터가 갖는 기능은 이들에 한정되지 않고 다양한 기능을 가질 수 있다.

[0198] 다음에 도 10b는 휴대 전화를 도시한 것이며, 하우징(9630), 표시부(9631), 스피커(9633), 조작키(9635), 마이크로폰(9638), 외부 접속 포트(9680) 등을 가질 수 있다. 도 10b에 도시된 휴대 전화는 표시부에 다양한 정보(정지 화상, 동영상, 및 텍스트 화상 등)를 표시시키거나, 달력, 날짜 또는 시각 등을 표시시키는 기능, 표시부에 표시된 정보를 조작하거나 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도 10b에 도시된 휴대 전화가 갖는 기능은 이들에 한정되지 않고 다양한 기능을 가질 수 있다.

[0199] 다음에 도 10c는 전자 페이퍼(E-book라고도 함)를 도시한 것이며, 하우징(9630), 표시부(9631), 조작키(9635) 등을 가질 수 있다. 도 10c에 도시된 전자 페이퍼는 표시부에 다양한 정보(정지 화상, 동영상, 및 텍스트 화상 등)를 표시시키거나, 달력, 날짜 또는 시각 등을 표시시키는 기능, 표시부에 표시된 정보를 조작하거나 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다. 또한, 도 10c에 도시된 전자 페이퍼가 갖는 기능은 이들에 한정되지 않고 다양한 기능을 가질 수 있다.

[0200] 본 실시형태에서 기재한 전자 기기는 상술한 실시형태에서 설명한 액정 표시 장치의 구동 방법을 동작시킴으로써 화소 전극과 같은 도전막으로 형성되는 백 게이트에 인가되는 문턱 전압의 시프트를 억제하기 위한 전압으로 인한 액정 재료의 열화가 억제되는 구성으로 할 수 있다.

[0201] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

[0202] GCLK: 게이트선 클록 신호

SCLK: 데이터선 클록 신호

GCLK1: 게이트선 클록 신호

GCLK2: 게이트선 클록 신호

GCLK3: 게이트선 클록 신호

GCLK4: 게이트선 클록 신호

Gout1: 주사 신호

GoutM: 주사 신호

GSP: 게이트선 스타트 펄스

SSP: 데이터선 스타트 펄스

GSP1: 게이트선 스타트 펄스

11: 신호선

12: 신호선

- 13: 신호선
- 14: 신호선
- 15: 신호선
- 16: 신호선
- 21: 입력 단자
- 22: 입력 단자
- 23: 입력 단자
- 24: 입력 단자
- 25: 입력 단자
- 26: 출력 단자
- 27: 출력 단자
- 28: 입력 단자
- 28A: 입력 단자
- 28B: 입력 단자
- 31: 전원선
- 32: 전원선
- 50: 트랜지스터
- 51: 기판
- 52: 도전막
- 53: 절연막
- 54: 산화물 반도체막
- 55: 도전막
- 56: 절연막
- 57: 절연막
- 58: 보호막
- 101: 화소 회로
- 102: 구동 회로
- 103: 기판
- 104: 트랜지스터
- 105: 트랜지스터
- 106: 기판
- 107: 액정층
- 108: 도전막
- 109: 절연막
- 110: 반도체막
- 111: 도전막

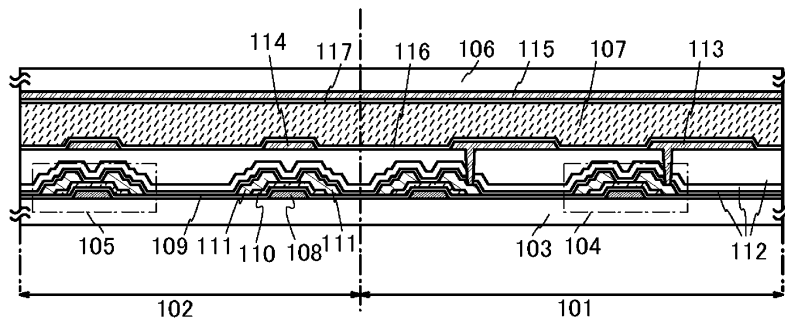
112: 절연막
113: 도전막
114: 도전막
115: 도전막
116: 절연막
117: 절연막
121: 화소
122: 용량 소자
123: 액정 소자
124: 게이트선
201: 트랜지스터
202: 트랜지스터
203: 트랜지스터
204: 트랜지스터
205: 트랜지스터
206: 트랜지스터
207: 트랜지스터
208: 트랜지스터
209: 트랜지스터
210: 트랜지스터
211: 트랜지스터
300A: 신호 생성 회로
300B: 전원 회로
301: 기관
302: 화소 회로
303: 데이터선 구동 회로
304: 게이트선 구동 회로
305: 봉지재
306: FPC
311: 트랜지스터
312: 트랜지스터
313: 절연막
314: 전극
315: 도전막
316: 절연막
317: 기관

318: 전극
319: 절연막
320: 액정층
321: 액정 소자
322: 스페이서
5800: 액정층
5801: 기관
5802: 기관
5805: 전극
5806: 전극
5810: 액정층
5811: 기관
5812: 기관
5815: 전극
5816: 전극
5820: 액정층
5821: 기관
5822: 기관
5825: 전극
5826: 전극
5827: 돌기물
5828: 돌기물
5850: 액정층
5851: 기관
5852: 기관
5855: 전극
5856: 전극
5860: 액정층
5861: 기관
5862: 기관
5865: 전극
5866: 전극
5867: 절연막
9630: 하우징
9631: 표시부
9633: 스피커

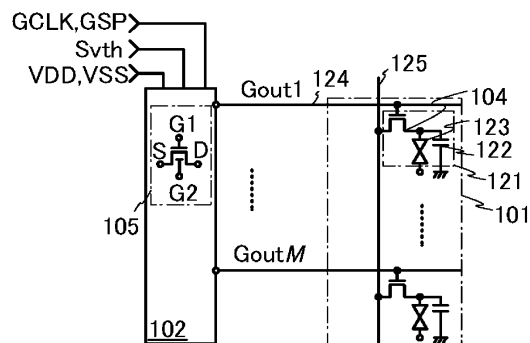
- 9635: 조작키
- 9636: 접속 단자
- 9638: 마이크로폰
- 9672: 기록 매체 관독부
- 9676: 셔터 버튼
- 9677: 수상부
- 9680: 외부 접속 포트
- 9681: 포인팅 디바이스

도면

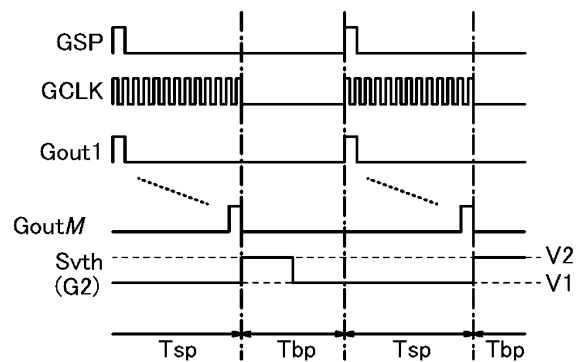
도면1a



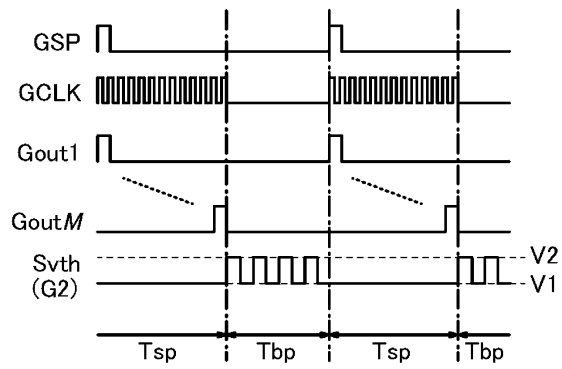
도면1b



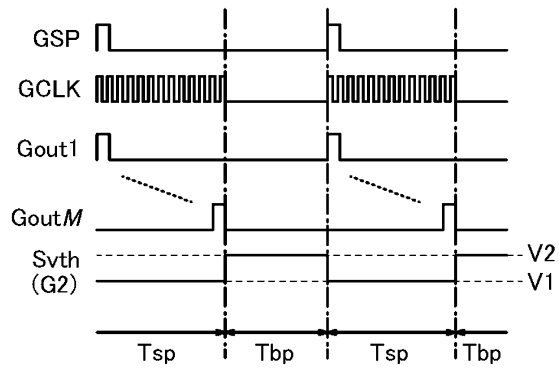
도면1c



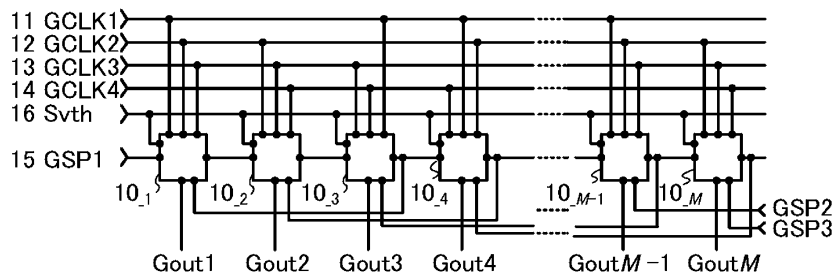
도면2a



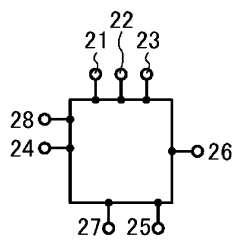
도면2b



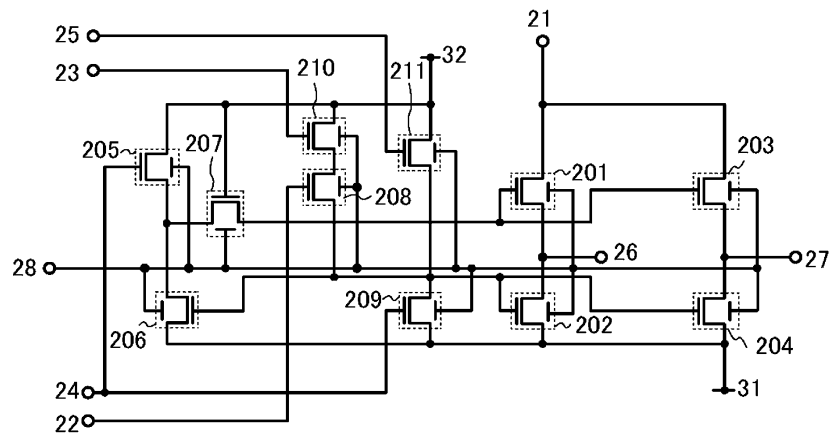
도면3a



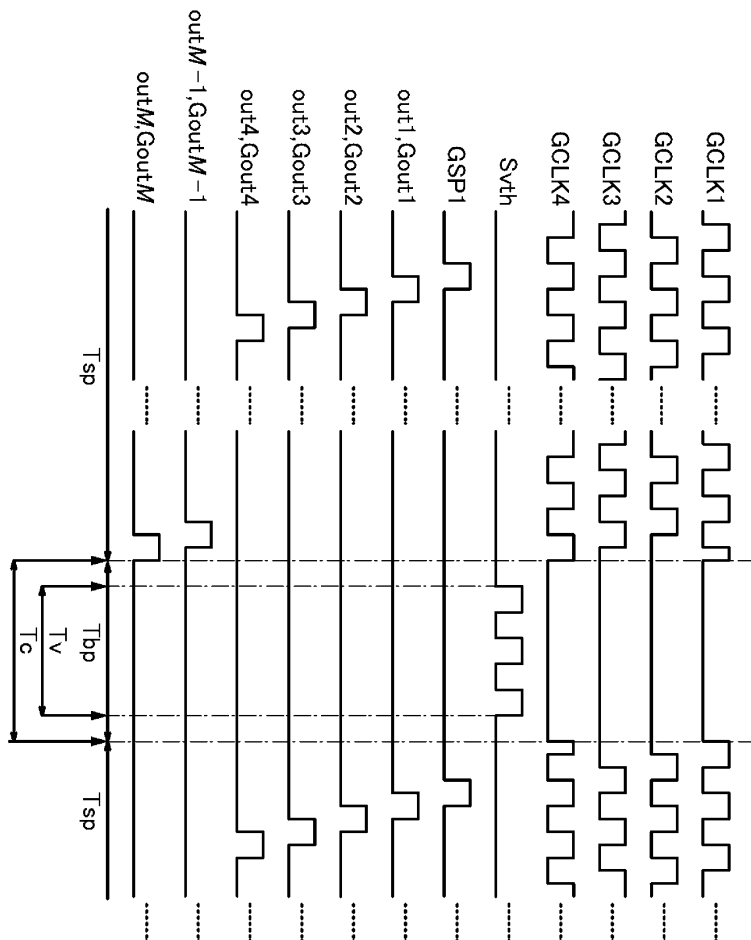
도면3b



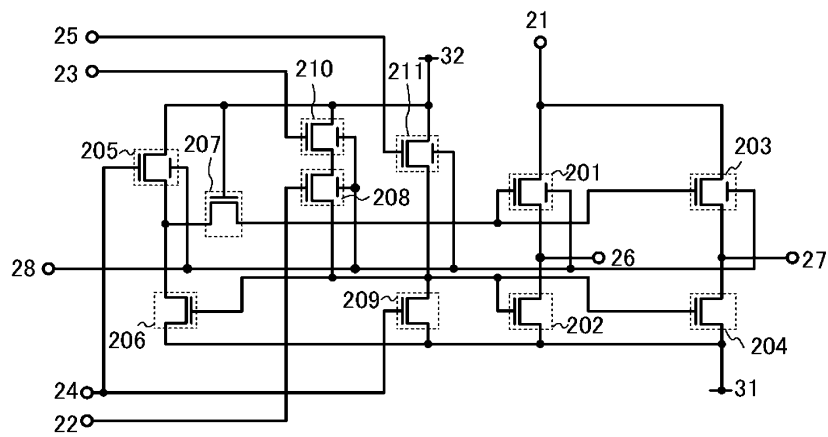
도면3c



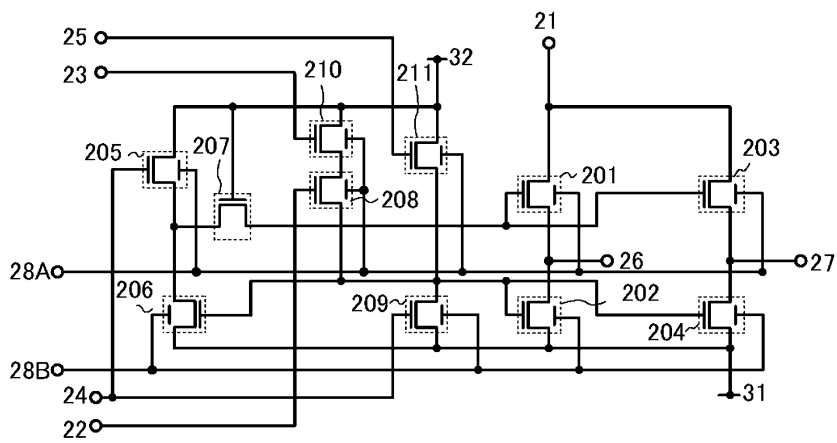
도면4



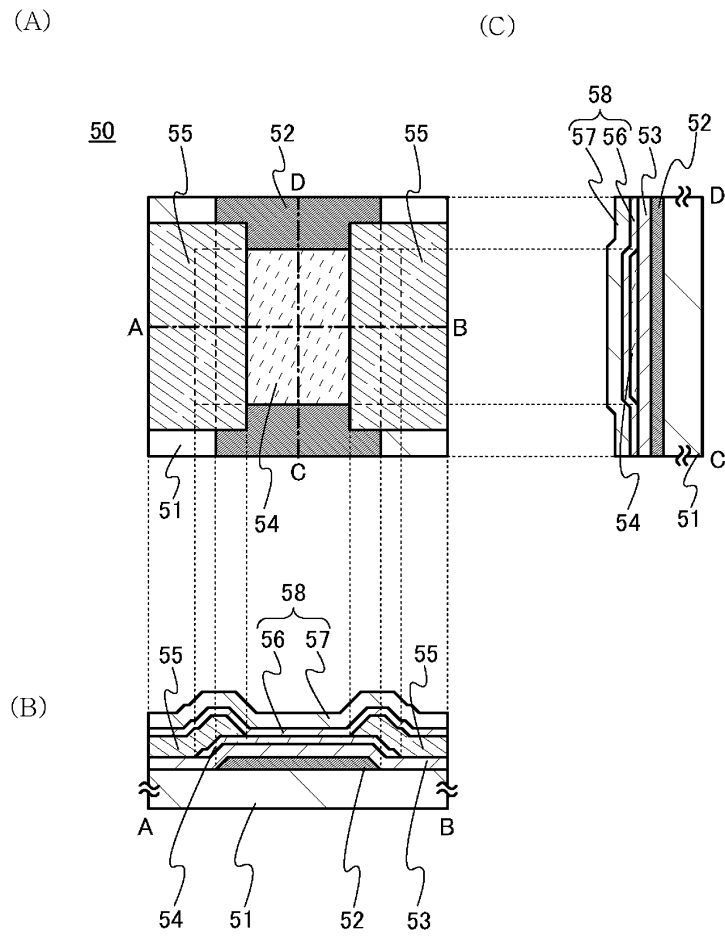
도면5a



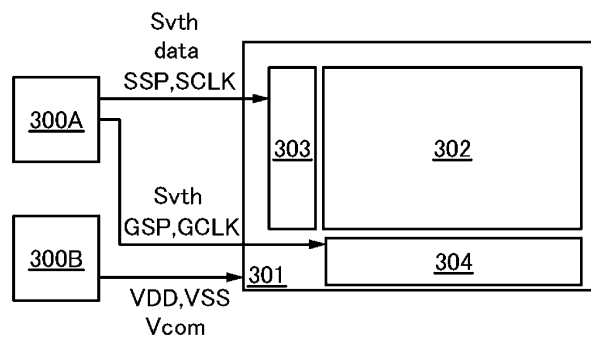
도면5b



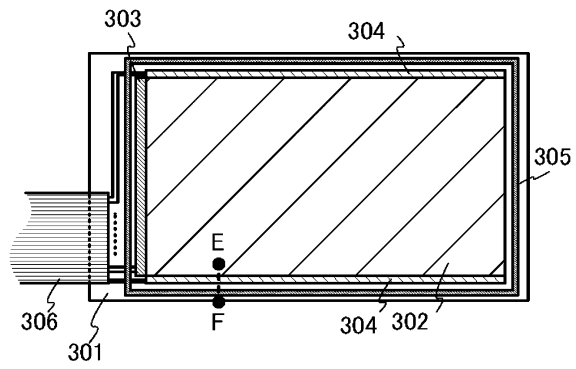
도면6



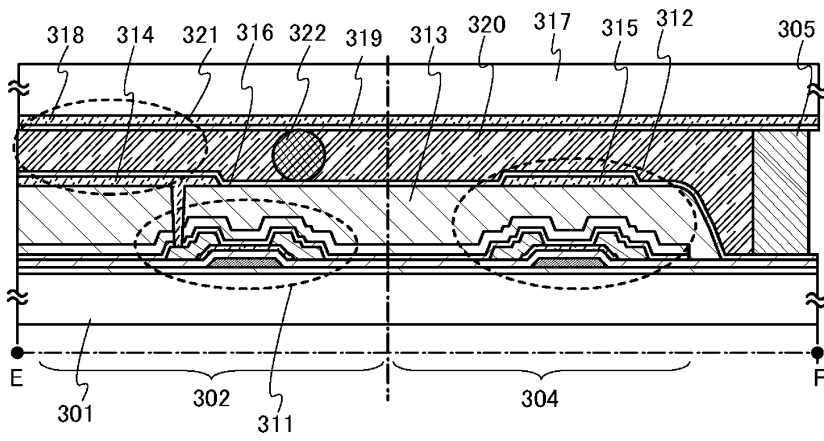
도면7a



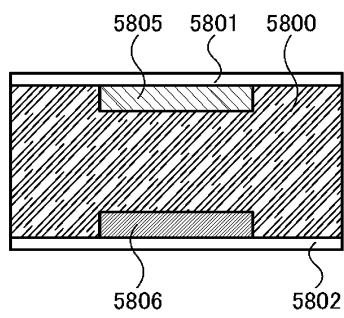
도면7b



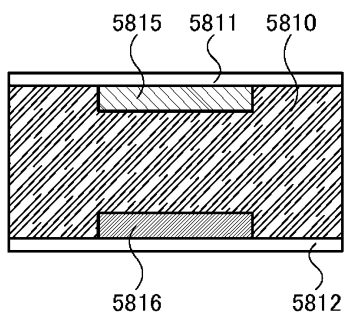
도면7c



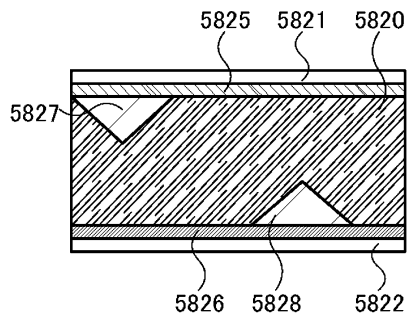
도면8a



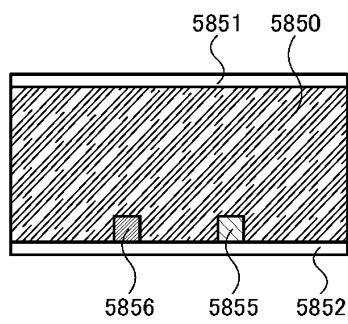
도면8b



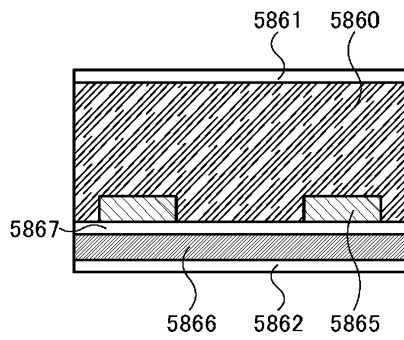
도면8c



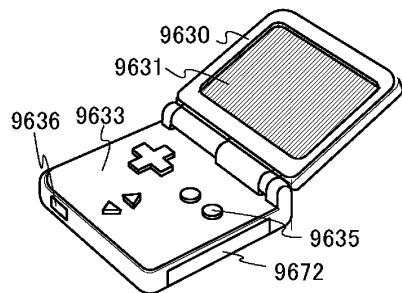
도면8d



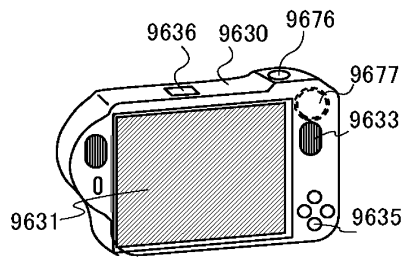
도면8e



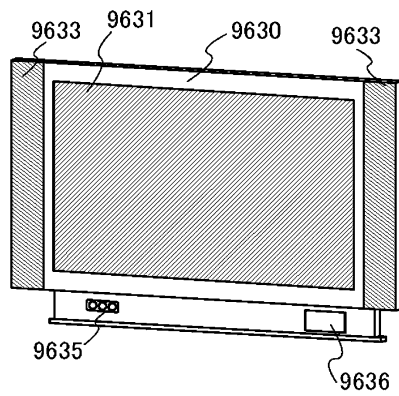
도면9a



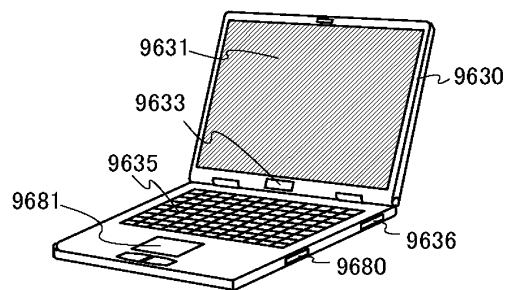
도면9b



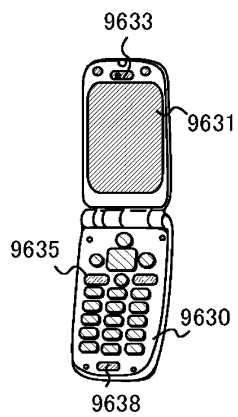
도면9c



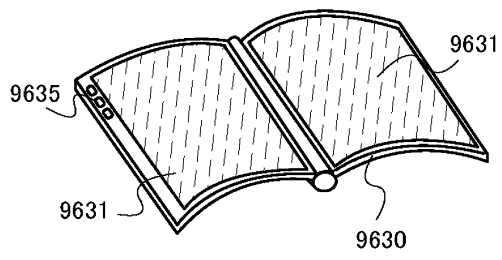
도면10a



도면10b



도면10c



专利名称(译)	一种液晶显示装置的驱动方法		
公开(公告)号	KR1020140014009A	公开(公告)日	2014-02-05
申请号	KR1020130088458	申请日	2013-07-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KOYAMA JUN 고야마준		
发明人	야마자키순페이 고야마준		
IPC分类号	G09G3/36		
CPC分类号	G09G2300/0495 G11C19/28 G09G3/3677 H03K17/302 G09G3/36 H03K17/16 G09G2300/0408 G09G2380/02 G02F1/1368 G09G2300/043 G02F1/13 H03K2217/0018		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2012167281 2012-07-27 JP		
其他公开文献	KR102094555B1		
外部链接	Espacenet		

摘要(译)

本发明通过电压抑制液晶材料的劣化，以抑制施加到背栅的阈值电压的偏移。背栅形成有诸如像素电极的导电层。液晶显示装置包括：用于向液晶层施加电场的像素电路；和一个晶体管。提供晶体管使得第一栅极面对第二栅极，该第二栅极通过插入半导体膜使用与像素电极相同的层形成。晶体管包括与液晶层重叠的驱动电路。用于控制晶体管的导通状态或非导通状态的信号被输入到第一栅极。在栅极线选择周期期间施加第一电压的信号被输入到第二栅极。用于在垂直返回线周期期间选择性地施加第一和第二电压的信号被输入到第二栅极。

