

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0011619 (43) 공개일자 2014년01월29일
(51) 국제특허분류(Int. Cl.) G02F 1/133 (2006.01) G09G 3/36 (2006.01)		(71) 출원인 엘지디스플레이 주식회사 서울특별시 영등포구 여의대로 128(여의도동)
(21) 출원번호 10-2012-0078141		(72) 발명자 장원용 경기도 부천시 오정구 고강로170번길 19-4 고강아파트 6동 204호(고강동, 고강아파트)
(22) 출원일자 2012년07월18일 심사청구일자 없음		이상욱 서울특별시 송파구 한가람로 402 (풍납동, 현대아파트) 101동 401호
		(74) 대리인 특허법인로알

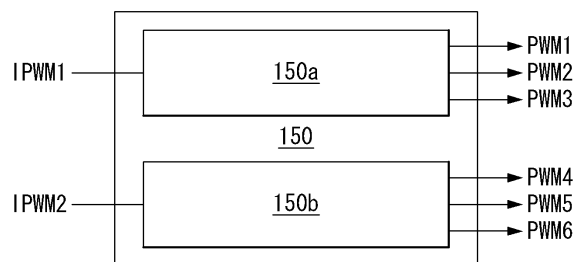
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치와 이의 구동방법

(57) 요약

본 발명의 실시예는, 발광다이오드들을 포함하는 발광부들; 발광부들을 구동하는 트랜지스터들; 및 외부로부터 입력된 1개의 입력펄스폭신호에 대한 듀티 및 위상 중 하나 이상을 가변하여 N개(N은 2 이상 정수)의 출력펄스폭 신호들을 출력하고, 출력펄스폭신호들을 트랜지스터들의 게이트전극에 공급하는 트랜지스터 구동부를 포함하는 액정표시장치를 제공한다.

대표도 - 도6



특허청구의 범위

청구항 1

발광다이오드들을 포함하는 발광부들;

상기 발광부들을 구동하는 트랜지스터들; 및

외부로부터 입력된 1개의 입력펄스폭신호에 대한 듀티 및 위상 중 하나 이상을 가변하여 N개(N은 2 이상 정수)의 출력펄스폭신호들을 출력하고, 상기 출력펄스폭신호들을 상기 트랜지스터들의 게이트전극에 공급하는 트랜지스터 구동부를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 트랜지스터 구동부는

상기 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 이용하여 상기 N개의 출력펄스폭신호들을 생성하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서,

상기 트랜지스터 구동부는

상기 입력펄스폭신호의 라이징 엣지와 폴링 엣지 각각에 대해 시간을 지연하여 M개(M은 상기 N의 배수에 대응되는 정수)로 분할한 후, M개의 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 합성하여 상기 N개의 출력펄스폭신호들을 생성하는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서,

상기 트랜지스터 구동부는

상기 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 검출하는 엣지검출부와,

상기 엣지검출부로부터 검출된 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 분리하여 출력하는 트리거선택부와,

상기 트리거선택부로부터 입력된 상기 입력펄스폭신호의 라이징 엣지의 시간을 지연하여 출력하는 라이징 엣지출력부와,

상기 트리거선택부로부터 입력된 상기 입력펄스폭신호의 폴링 엣지의 시간을 지연하여 출력하는 폴링 엣지출력부와,

상기 라이징 엣지출력부로부터 입력된 입력펄스폭신호의 라이징 엣지와 상기 폴링 엣지출력부로부터 입력된 입력펄스폭신호의 폴링 엣지를 합성하여 출력하는 신호합성부를 포함하는 액정표시장치.

청구항 5

제4항에 있어서,

상기 라이징 엣지출력부와 상기 폴링 엣지출력부는

상기 입력펄스폭신호의 라이징 엣지 및 폴링 엣지의 시간을 지연하여 출력하는 타이머부와,

상기 타이머부로부터 입력된 입력펄스폭신호의 출력을 제어하는 출력제어부와,

상기 출력제어부로부터 출력되는 입력펄스폭신호의 출력을 지연하는 카운터 레지스터와,

상기 출력제어부로부터 출력되는 입력펄스폭신호의 개수를 정의하는 데이터 레지스터를 각각 포함하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 트랜지스터 구동부는

상기 입력펄스폭신호를 입력받는 I개(I는 1 이상 정수)의 입력단과,

상기 N개의 출력펄스폭신호들을 출력하는 J개(J는 상기 N개에 대응되는 정수)의 출력단을 포함하는 액정표시장치.

청구항 7

외부로부터 입력된 1개의 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 검출하는 단계;

상기 입력펄스폭신호의 라이징 엣지의 시간을 지연하여 출력하고 라이징 엣지의 카운터값을 증가시키는 단계;

상기 입력펄스폭신호의 폴링 엣지의 시간을 지연하여 출력하고 폴링 엣지의 카운터값을 증가시키는 단계; 및

시간이 지연된 입력펄스폭신호의 라이징 엣지 및 시간이 지연된 입력펄스폭신호의 폴링 엣지를 합성하여 출력펄스폭신호를 생성하는 단계를 포함하는 액정표시장치의 구동방법.

청구항 8

제7항에 있어서,

상기 출력펄스폭신호의 개수는

상기 라이징 엣지의 카운터값 및 상기 폴링 엣지의 카운터값에 대응되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9

제7항에 있어서,

상기 출력펄스폭신호는 N개(N은 2 이상 정수)의 출력펄스폭신호들을 포함하고,

상기 N개의 출력펄스폭신호들은

상기 입력펄스폭신호 대비 듀티 및 위상 중 하나 이상이 가변된 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제9항에 있어서,

상기 N개의 출력펄스폭신호들은

듀티 및 위상 중 하나 이상이 다른 것을 특징으로 하는 액정표시장치의 구동방법.

명세서

기술분야

본 발명의 실시예는 액정표시장치와 이의 구동방법에 관한 것이다.

배경기술

정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계발광표시장치(Organic Light Emitting Diode Display: OLED) 및 플라즈마표시패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리

사용되고 있다.

- [0003] 액정표시장치에는 액정패널과 백라이트유닛이 포함된다. 액정패널은 박막 트랜지스터, 스토리지 커패시터 및 소전극 등이 형성된 트랜지스터기판과 컬러필터 및 블랙매트릭스 등이 형성된 컬러필터기판 사이에 위치하는 액정층을 포함한다. 백라이트유닛은 액정패널에 광을 제공하는 광원과 광원으로부터 출사된 광을 집광, 확산하는 광학시트 등을 포함한다.
- [0004] 액정표시장치는 화소전극과 트랜지스터기판 또는 컬러필터기판에 형성된 공통전극에 걸리는 전계에 액정층의 배열 방향을 조절하여 백라이트유닛으로부터 입사된 광을 출사하는 방식으로 영상을 표시한다.
- [0005] 앞서 설명된 백라이트유닛 중 일부는 발광다이오드(LED), 발광다이오드를 구동하는 트랜지스터 및 트랜지스터에 펄스폭신호(PWM)를 공급하는 트랜지스터 구동부로 구성된다. 발광다이오드는 트랜지스터의 게이트전극에 공급된 펄스폭신호에 대응하여 발광을 하거나 비발광을 한다.
- [0006] 한편, 종래 트랜지스터 구동부는 외부로부터 공급된 제1펄스폭신호들에 대한 듀티(duty) 및 위상(phase)을 개별적으로 제어하여 제2펄스폭신호들로 출력한다. 예컨대, 종래 트랜지스터 구동부는 6개의 제1펄스폭신호들이 공급되면 이들에 대한 듀티 및 위상을 개별적으로 제어하여 6개의 제2펄스폭신호들로 출력한다. 즉, 종래 트랜지스터 구동부는 입력단과 출력단이 1:1로 구성되어 있고 출력되는 펄스폭신호들을 각각 개별적으로 제어해야 한다. 따라서, 종래 트랜지스터 구동부는 단자의 수가 많고 제어 측면에서 효율성이 저하되므로 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

- [0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 트랜지스터 구동부의 입력단의 개수를 저감하고, 출력펄스폭신호의 듀티 및 위상을 효율적으로 제어할 수 있는 액정표시장치와 이의 구동방법을 제공하는 것이다.

과제의 해결 수단

- [0008] 상술한 과제 해결 수단으로 본 발명의 실시예는, 발광다이오드들을 포함하는 발광부들; 발광부들을 구동하는 트랜지스터들; 및 외부로부터 입력된 1개의 입력펄스폭신호에 대한 듀티 및 위상 중 하나 이상을 가변하여 N개(N은 2 이상 정수)의 출력펄스폭신호들을 출력하고, 출력펄스폭신호들을 트랜지스터들의 게이트전극에 공급하는 트랜지스터 구동부를 포함하는 액정표시장치를 제공한다.
- [0009] 트랜지스터 구동부는 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 이용하여 N개의 출력펄스폭신호들을 생성할 수 있다.
- [0010] 트랜지스터 구동부는 입력펄스폭신호의 라이징 엣지와 폴링 엣지 각각에 대해 시간을 지연하여 M개(M은 상기 N의 배수에 대응되는 정수)로 분할한 후, M개의 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 합성하여 N개의 출력펄스폭신호들을 생성할 수 있다.
- [0011] 트랜지스터 구동부는 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 검출하는 엣지검출부와, 엣지검출부로부터 검출된 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 분리하여 출력하는 트리거선택부와, 트리거선택부로부터 입력된 입력펄스폭신호의 라이징 엣지의 시간을 지연하여 출력하는 라이징 엣지출력부와, 트리거선택부로부터 입력된 입력펄스폭신호의 폴링 엣지의 시간을 지연하여 출력하는 폴링 엣지출력부와, 라이징 엣지출력부로부터 입력된 입력펄스폭신호의 라이징 엣지와 폴링 엣지출력부로부터 입력된 입력펄스폭신호의 폴링 엣지를 합성하여 출력하는 신호합성부를 포함할 수 있다.
- [0012] 라이징 엣지출력부와 폴링 엣지출력부는 입력펄스폭신호의 라이징 엣지 및 폴링 엣지의 시간을 지연하여 출력하는 타이머부와, 출력제어부로부터 출력되는 입력펄스폭신호의 출력을 지연하는 카운터 레지스터와, 출력제어부로부터 출력되는 입력펄스폭신호의 개수를 정의하는 데이터 레지스터를 각각 포함할 수 있다.
- [0013] 트랜지스터 구동부는 입력펄스폭신호를 입력받는 I개(I는 1 이상 정수)의 입력단과, N개의 출력펄스폭신호들을 출력하는 J개(J는 상기 N개에 대응되는 정수)의 출력단을 포함할 수 있다.
- [0014] 다른 측면에서 본 발명의 실시예는, 외부로부터 입력된 1개의 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 검

출하는 단계; 입력펄스폭신호의 라이징 엣지의 시간을 지연하여 출력하고 라이징 엣지의 카운터값을 증가시키는 단계; 입력펄스폭신호의 폴링 엣지의 시간을 지연하여 출력하고 폴링 엣지의 카운터값을 증가시키는 단계; 및 시간이 지연된 입력펄스폭신호의 라이징 엣지 및 시간이 지연된 입력펄스폭신호의 폴링 엣지를 합성하여 출력펄스폭신호를 생성하는 단계를 포함하는 액정표시장치의 구동방법을 제공한다.

[0015] 출력펄스폭신호의 개수는 라이징 엣지의 카운터값 및 폴링 엣지의 카운터값에 대응될 수 있다.

[0016] 출력펄스폭신호는 N개(N은 2 이상 정수)의 출력펄스폭신호들을 포함하고, N개의 출력펄스폭신호들은 입력펄스폭신호 대비 듀티 및 위상 중 하나 이상이 가변될 수 있다.

[0017] N개의 출력펄스폭신호들은 듀티 및 위상 중 하나 이상이 다를 수 있다.

발명의 효과

[0018] 본 발명의 실시예는, 1개의 입력펄스폭신호를 N개의 출력펄스폭신호로 분할하여 출력함으로써 트랜지스터 구동부의 입력단의 개수를 저감하고, 출력펄스폭신호의 듀티 및 위상을 효율적으로 제어할 수 있는 액정표시장치와 이의 구동방법을 제공하는 효과가 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도.

도 2는 게이트구동부의 블록도.

도 3은 데이터구동부의 블록도.

도 4 및 도 5는 본 발명의 일 실시예에 따른 백라이트유닛의 개략적인 구성도.

도 6은 트랜지스터 구동부의 개략적인 블록도.

도 7은 도 6에 도시된 제1펄스폭변환부의 개략적인 구성도.

도 8은 도 7에 도시된 제1신호합성부의 구성도 예시도.

도 9는 제1펄스폭변환부의 상세 구성 예시도.

도 10은 출력펄스폭신호의 생성 과정을 설명하기 위한 파형도.

도 11은 트랜지스터 구동부의 개략적인 구동 흐름도.

도 12는 트랜지스터 구동부의 상세 구동 흐름도.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0021] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 블록도 이고, 도 2는 게이트구동부의 블록도 이며, 도 3은 데이터구동부의 블록도 이다.

[0022] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 액정표시장치는 타이밍구동부(TCN), 액정패널(PNL), 게이트구동부(SDRV), 데이터구동부(DDRV), 백라이트유닛(BLU) 및 트랜지스터 구동부(150)를 포함한다.

[0023] 타이밍구동부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(DATA)를 공급받는다. 타이밍구동부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(DDRV)와 게이트구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍구동부(TCN)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍구동부(TCN)에서 생성되는 제어신호들에는 게이트구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함될 수 있다. 게이트 타이밍 제어신호(GDC)에는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등이 포함된다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트신호가 발생하는 게이트 드라이

브 IC(Integrated Circuit)에 공급된다. 게이트 시프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다. 데이터 타이밍 제어신호(DDC)에는 소스 스타트 펄스(Source, Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등이 포함된다. 소스 스타트 펄스(SSP)는 데이터구동부(DDRV)의 데이터 샘플링 시작 시점을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 데이터구동부(DDRV) 내에서 데이터의 샘플링 동작을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터구동부(DDRV)의 출력을 제어한다. 한편, 데이터 구동부(DDRV)에 공급되는 소스 스타트 펄스(SSP)는 데이터전송 방식에 따라 생략될 수도 있다.

[0024] 액정패널(PNL)은 트랜지스터기판(이하 TFT기판으로 약칭)과 컬러필터 기판 사이에 위치하는 액정층을 포함하며 매트릭스형태로 배치된 서브 픽셀을 포함한다. TFT기판에는 데이터라인, 게이트라인, TFT, 스토리지 커패시터 등이 형성되고, 컬러필터 기판에는 블랙매트릭스, 컬러필터 등이 형성된다. 하나의 서브 픽셀(SP)은 상호 교차하는 데이터라인(DL1)과 게이트라인(SL1)에 의해 정의된다. 서브 픽셀(SP)에는 게이트라인(SL1)을 통해 공급된 게이트신호에 의해 구동하는 TFT, 데이터라인(DL1)을 통해 공급된 데이터신호를 데이터전압으로 저장하는 스토리지 커패시터(Cst), 스토리지 커패시터(Cst)에 저장된 데이터전압에 의해 구동하는 액정셀(Clc)이 포함된다. 액정셀(Clc)은 화소전극(1)에 공급된 데이터전압과 공통전극(2)에 공급된 공통전압(Vcom)에 의해 구동된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 컬러필터 기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 TFT기판 상에 형성된다. 액정패널(PNL)의 TFT기판과 컬러필터 기판에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 액정패널(PNL)의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다.

[0025] 게이트구동부(SDRV)는 타이밍구동부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시패널(PNL)에 포함된 서브 픽셀들(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 게이트신호를 순차적으로 생성한다. 게이트구동부(SDRV)에는 게이트라인들(SL1~SLm)을 통해 생성된 게이트신호를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.

[0026] 게이트구동부(SDRV)는 액정패널(PNL)과 연결되는 외부기판 상에 집적회로 형태로 실장되거나 게이트인패널(Gate-In Panel) 형태로 서브 픽셀들(SP)의 트랜지스터들과 함께 액정패널(PNL)의 비표시영역 상에 형성된다. 게이트구동부(SDRV)가 집적회로 형태로 형성된 경우 이는 도 2에 도시된 바와 같이, 게이트 드라이브 IC들로 구성된다. 게이트 드라이브 IC들은 각각 쉬프트레지스터(61), 레벨쉬프터(63), 쉬프트레지스터(61)와 레벨쉬프터(63) 사이에 접속된 다수의 논리곱 게이트(이하, "AND 게이트"라 함)(62) 및 게이트 출력 인에이블신호(GOE)를 반전시키기 위한 인버터(64) 등을 포함한다. 쉬프트레지스터(61)는 종속적으로 접속된 다수의 D-플립플롭을 이용하여 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭(GSC)에 따라 순차적으로 쉬프트시킨다. AND 게이트들(62)은 각각 쉬프트레지스터(61)의 출력신호와 게이트 출력 인에이블신호(GOE)의 반전신호를 논리곱하여 출력을 발생한다. 인버터(64)는 게이트 출력 인에이블신호(GOE)를 반전시켜 AND 게이트들(62)에 공급한다. 레벨쉬프터(63)는 AND 게이트(62)의 출력전압 스윙폭을 표시패널(PNL)에 포함된 트랜지스터들이 동작 가능한 게이트전압의 스윙폭으로 쉬프트시킨다. 레벨쉬프터(63)로부터 출력되는 게이트신호는 게이트라인들(SL1~SLm)에 순차적으로 공급된다.

[0027] 데이터구동부(DDRV)는 타이밍구동부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍구동부(TCN)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 데이터신호(DATA)를 감마 기준전압으로 변환한다. 데이터구동부(DDRV)는 데이터라인들(DL1~DLn)을 통해 변환된 데이터신호(DATA)를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.

[0028] 데이터구동부(DDRV)는 액정패널(PNL)과 연결되는 외부기판 상에 집적회로 형태로 실장되며 이 경우, 도 3에 도시된 바와 같이, 쉬프트 레지스터(51), 데이터 레지스터(52), 제1래치(53), 제2래치(54), 변환부(55), 출력회로(56) 등으로 구성된다. 쉬프트레지스터(51)는 타이밍구동부(TCN)로부터 공급된 소스 샘플링 클럭(SSC)을 쉬프트시킨다. 쉬프트레지스터(51)는 이웃하는 다음 단의 소스 드라이브 IC의 쉬프트레지스터에 캐리신호(CAR)를 전달한다. 데이터레지스터(52)는 타이밍구동부(TCN)로부터 공급된 데이터신호(DATA)를 일시 저장하고 이를 제1래치(53)에 공급한다. 제1래치(53)는 쉬프트레지스터(51)로부터 순차적으로 공급되는 클럭에 따라 직렬로 입력되는 데이터신호(DATA)를 샘플링하여 래치한 다음 래치한 데이터들을 동시에 출력한다. 제2래치(54)는 제1래치(53)로부터 공급되는 데이터들을 래치한 다음 소스 출력 인에이블신호(SOE)에 응답하여 다른 소스 드라이브 IC들의 제

2래치(54)와 동기 하여 래치한 데이터들을 동시에 출력한다. 변환부(55)는 제2래치(54)로부터 입력되는 데이터 신호(DATA)를 감마 기준전압(GMA1~GMAn)으로 변환한다. 출력회로(56)로부터 출력되는 데이터신호(DATA)는 소스 출력 인에이블신호(SOE)에 응답하여 데이터라인들(DL1~DLn)에 공급된다.

[0029] 백라이트유닛(BLU)은 액정패널(PNL)에 광을 제공한다. 백라이트유닛(BLU)은 직류전원부, 발광부들, 트랜지스터들 및 트랜지스터 구동부(150) 등을 포함하는 광원회로부와 커버버텀, 도광판 및 광학시트 등을 포함하는 광학기구부를 포함한다. 백라이트유닛(BLU)은 엣지형(edge type), 듀얼형(dual type), 직하형(direct type) 등으로 다양하게 구성될 수 있다. 여기서, 엣지형은 액정패널(PNL)의 일측면에 발광다이오드들이 줄(또는 스트링) 형태로 배치된 것이다. 듀얼형은 액정패널(PNL)의 양측면에 발광다이오드들이 줄(또는 스트링) 형태로 배치된 것이다. 직하형은 액정패널(PNL)의 하부에 발광다이오드들이 블록 또는 매트릭스 형태로 배치된 것이다. 백라이트유닛(BLU)의 광원회로부에 포함된 트랜지스터 구동부(150)는 타이밍컨트롤러(TCN)나 외부 시스템보드 등으로부터 클록펄스 등을 공급받고 이를 기초로 펄스폭신호(PWM; Pulse Width Modulation)를 생성하여 백라이트유닛(BLU)을 구동한다. 트랜지스터 구동부(150)는 타이밍컨트롤러(TCN)나 외부 시스템보드 등으로부터 클록펄스, 펄스폭 변조신호 등을 공급받고 이를 기초로 백라이트유닛(BLU)을 글로벌 디밍하거나 로컬 디밍할 수 있다.

[0030] 이하, 본 발명의 일 실시예에 따른 백라이트유닛에 대해 더욱 자세히 설명한다.

[0031] 도 4 및 도 5는 본 발명의 일 실시예에 따른 백라이트유닛의 개략적인 구성도이고, 도 6은 트랜지스터 구동부의 개략적인 블록도이며, 도 7은 도 6에 도시된 제1펄스폭변환부의 개략적인 구성도이고, 도 8은 도 7에 도시된 제1신호합성부의 구성도 예시도이다.

[0032] 도 4에 도시된 바와 같이, 백라이트유닛에는 직류전원부(DCDC), 발광부들(DP1~DPn), 트랜지스터들(T1~Tn) 및 트랜지스터 구동부(150)가 포함된다.

[0033] 직류전원부(DCDC)는 직류전원전압을 출력한다. 직류전원부(DCDC)는 제1직류전원전압을 제2직류전원전압(이하 직류전원전압으로 통칭)으로 변환하는 직류직류변환부(DC to DC Converter)로 구성될 수 있다. 직류전원부(DCDC)는 출력단에 연결된 전원배선(VCC)을 통해 생성된 직류전원전압을 출력한다.

[0034] 발광부들(DP1~DPn)은 액정패널에 제공할 광을 출사한다. 발광부들(DP1~DPn)은 직류전원부(DCDC)의 출력단에 연결된 전원배선(VCC)에 직렬로 연결된 발광다이오드들(D1~Dn)을 포함한다. 발광부들(DP1~DPn)은 이들에 포함된 제1발광다이오드들(D1)의 애노드 전극들이 전원배선(VCC)에 연결되고 제N발광다이오드들(Dn)의 캐소드 전극들이 트랜지스터들(T1~Tn)에 연결된다. 여기서, 하나의 발광부(DP1)는 "LED String" 이라 한다.

[0035] 트랜지스터들(T1~Tn)은 발광부들(DP1~DPn)을 발광시킨다. 트랜지스터들(T1~Tn)은 발광부들(DP1~DPn)의 캐소드 전극에 제1전극이 연결되고 접지배선(GND)에 제2전극이 연결되며 트랜지스터 구동부(150)에 게이트전극이 연결된다. 트랜지스터들(T1~Tn)은 게이트전극에 공급된 출력펄스폭신호(PWM)에 대응하여 발광부들(DP1~DPn)을 제어한다. 여기서, 트랜지스터들(T1~Tn)의 제2전극과 접지배선(GND) 사이에는 저항기들(R1~Rn)이 각각 위치할 수 있다.

[0036] 트랜지스터 구동부(150)는 트랜지스터들(T1~Tn)을 구동한다. 트랜지스터 구동부(150)는 외부로부터 공급된 입력 펄스폭신호(IPWM1, IPWM2)를 N개(N은 2 이상 정수)의 출력펄스폭신호들(PWM1 ~ PWMn)로 분할 형성하여 트랜지스터들(T1~Tn)의 게이트전극에 공급한다. 트랜지스터 구동부(150)는 도 5에 도시된 바와 같이, 트랜지스터들(T1~Tn)의 제2전극과 저항기들(R1~Rn)의 사이에 접속된 신호배선들(F1~Fn)에 의해 트랜지스터들(T1~Tn)을 통해 흐르는 전류를 되먹임 받고 이를 기반으로 생성된 피드백신호(FBC)를 이용하여 직류전원부(DCDC)의 출력을 제어할 수 있으나 이에 한정되지 않는다.

[0037] 도 6에 도시된 바와 같이, 트랜지스터 구동부(150)는 적어도 하나의 펄스폭변환부를 포함한다. 실시예에서는 설명의 편의를 위해, 트랜지스터 구동부(150)가 제1펄스폭변환부(150a)와 제2펄스폭변환부(150b)를 포함하는 것을 일례로 한다.

[0038] 펄스폭변환부(150a, 150b)는 외부로부터 입력된 1개의 입력펄스폭신호(IPWM1, IPWM2) 각각에 대한 듀티 및 위상 중 하나 이상을 가변하여 N개(N은 2 이상 정수)의 출력펄스폭신호들(PWM1 ~ PWM6)을 출력한다. 실시예에서는 제1펄스폭변환부(150a)와 제2펄스폭변환부(150b)가 각기 1개의 입력펄스폭신호(IPWM1, IPWM2)를 3개의 출력펄스폭신호들(PWM1 ~ PWM3, PWM4 ~ PWM6)로 분할하여 출력하는 것을 일례로 한다.

[0039] 제1펄스폭변환부(150a)는 외부로부터 입력된 1개의 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지를 이용하여 N개의 출력펄스폭신호들(PWM1 ~ PWM3)을 생성한다. 이하, 제1펄스폭변환부(150a)가 1개의 입력펄스폭신호

(IPWM1)를 3개의 출력펄스폭신호들(PWM1 ~ PWM3)로 분할하여 출력하는 것을 예로 이의 개략적인 구성을 설명한다.

- [0040] 도 7 및 도 8에 도시된 바와 같이, 제1펄스폭변환부(150a)는 제1엣지검출부(151), 제1트리거선택부(153), 제1라이징 엣지출력부(155), 제1폴링 엣지출력부(157) 및 제1신호합성부(159)로 구성된다.
- [0041] 제1엣지검출부(151)는 1개의 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지를 검출한다. 제1트리거선택부(153)는 제1엣지검출부(151)로부터 검출된 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지를 분리하여 출력한다. 제1라이징 엣지출력부(155)는 제1트리거선택부(153)로부터 입력된 입력펄스폭신호(IPWM1)의 라이징 엣지의 시간을 지연하여 출력한다. 제1폴링 엣지출력부(157)는 제1트리거선택부(153)로부터 입력된 입력펄스폭신호(IPWM1)의 폴링 엣지의 시간을 지연하여 출력한다. 제1신호합성부(159)는 제1라이징 엣지출력부(155)로부터 입력된 입력펄스폭신호(IPWM1)의 라이징 엣지와 제1폴링 엣지출력부(157)로부터 입력된 입력펄스폭신호(IPWM1)의 폴링 엣지를 합성하여 출력한다.
- [0042] 제1펄스폭변환부(150a)는 제1엣지검출부(151)와 제1트리거선택부(153)를 이용하여 외부로부터 입력된 1개의 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지를 검출하고 이들을 제1라이징 엣지출력부(155)와 제1폴링 엣지출력부(157)에 구분하여 공급한다. 그리고 제1펄스폭변환부(150a)는 제1라이징 엣지출력부(155)와 제1폴링 엣지출력부(157)를 이용하여 검출된 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지에 대해 시간을 지연하여 총 6개의 입력펄스폭신호들(PWM1_High, PWM2_High, PWM3_High, PWM1_Low, PWM2_Low, PWM3_Low)로 분할하여 출력한다. 그리고 제1펄스폭변환부(150a)는 제1신호합성부(159)를 이용하여 시간 지연된 총 6개의 입력펄스폭신호들(PWM1_High, PWM2_High, PWM3_High, PWM1_Low, PWM2_Low, PWM3_Low)을 3개의 출력펄스폭신호들(PWM1 ~ PWM3)로 합성하여 출력한다. 이는 제2펄스폭변환부(150b) 또한 마찬가지이다. 여기서, PWM1_High, PWM2_High, PWM3_High는 입력펄스폭신호(IPWM1)의 라이징 엣지를 의미하고, PWM1_Low, PWM2_Low, PWM3_Low는 입력펄스폭신호(IPWM1)의 폴링 엣지를 의미한다.
- [0043] 제1신호합성부(159)는 제1라이징 엣지출력부(155)와 제1폴링 엣지출력부(157)로부터 출력되는 총 6개의 신호들을 합성하기 위해 2 입력 1 출력을 갖는 3개의 오아게이트들(OR1 ~ OR3)로 구성된다.
- [0044] 제1오아게이트(OR1)는 시간 지연된 입력펄스폭신호(IPWM1)의 라이징 엣지(PWM1_High)와 폴링 엣지(PWM1_Low)를 더하여 제1출력펄스폭신호(PWM1)를 생성하여 출력한다. 그리고 제2오아게이트(OR2)는 시간 지연된 입력펄스폭신호(IPWM1)의 라이징 엣지(PWM2_High)와 폴링 엣지(PWM2_Low)를 더하여 제2출력펄스폭신호(PWM2)를 생성하여 출력한다. 그리고 제3오아게이트(OR3)는 시간 지연된 입력펄스폭신호(IPWM1)의 라이징 엣지(PWM3_High)와 폴링 엣지(PWM3_Low)를 더하여 제3출력펄스폭신호(PWM3)를 생성하여 출력한다.
- [0045] 위의 설명에서 알 수 있듯이, 제1라이징 엣지출력부(155)와 제1폴링 엣지출력부(157)는 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지 각각에 대해 시간을 지연하여 M개(M은 N의 배수에 대응되는 정수)로 분할한 후, M개의 입력펄스폭신호(IPMW)의 라이징 엣지와 폴링 엣지를 합성하여 N개의 출력펄스폭신호들을 생성한다.
- [0046] 이하, 제1펄스폭변환부(150a)를 예로 1개의 입력펄스폭신호(IPWM1)를 N개의 출력펄스폭신호들(PWM1 ~ PWM3)로 분할하여 출력하는 것에 대해 더욱 상세히 설명한다.
- [0047] 도 9는 제1펄스폭변환부의 상세 구성 예시도이고, 도 10은 출력펄스폭신호의 생성 과정을 설명하기 위한 파형도이다.
- [0048] 도 7 내지 도 10에 도시된 바와 같이, 제1펄스폭변환부(150a)에는 제1엣지검출부(151), 카운터클록선택부(152), 제1트리거선택부(153), 제1라이징 엣지출력부(155), 제1폴링 엣지출력부(157) 및 제1신호합성부(159)가 포함된다.
- [0049] 제1라이징 엣지출력부(155)에는 라이징 엣지 타이머부(155a), 라이징 엣지 카운터 레지스터(155b), 라이징 엣지 데이터 레지스터(155c), 라이징 엣지 타이머 상태부(155d) 및 라이징 엣지 출력제어부(155e)가 포함된다. 그리고 제1폴링 엣지출력부(157)에는 폴링 엣지 타이머부(157a), 폴링 엣지 카운터 레지스터(157b), 폴링 엣지 데이터 레지스터(157c), 폴링 엣지 타이머 상태부(157d) 및 폴링 엣지 출력제어부(157e)가 포함된다.
- [0050] 라이징 엣지 타이머부 및 폴링 엣지 타이머부(155a, 157a)는 입력펄스폭신호(IPWM1)의 라이징 엣지 및 폴링 엣지의 시간을 지연하여 출력한다. 라이징 엣지 및 폴링 엣지 카운터 레지스터(155a, 155b)는 라이징 엣지 타이머부 및 폴링 엣지 타이머부(155a, 157a)와 연동하여 라이징 엣지 출력제어부(155e) 및 폴링 엣지 출력제어부(157e)로부터 출력되는 입력펄스폭신호의 출력을 지연한다. 라이징 엣지 및 폴링 엣지 데이터 레지스터(155c,

157c)는 라이징 엣지 타이머부 및 폴링 엣지 타이머부(155a, 157a)와 연동하여 라이징 엣지 출력제어부(155e) 및 폴링 엣지 출력제어부(157e)로부터 출력되는 입력펄스폭신호(IPWM)의 개수를 정의한다. 라이징 엣지 및 폴링 엣지 타이머 상태부(155d, 157d)는 제1라이징 엣지출력부(155) 및 제1폴링 엣지출력부(157) 내에서 오버플로우(Overflow)의 발생을 저지하기 위해 시간 상태를 전반적으로 체크 하기 위해 사용된다.

[0051] 제1엣지검출부(151)는 외부 또는 내부에서 공급되는 메인클럭신호(fMCK)를 이용하여 1개의 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지를 검출한다. 제1엣지검출부(151)는 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지가 검출되면 이를 제1트리거선택부(153)에 공급함과 더불어 카운터클럭선택부(152)에 입력펄스폭신호(IPWM1)의 엣지지가 검출되었음을 알린다.

[0052] 카운터클럭선택부(152)는 입력펄스폭신호(IPWM1)의 엣지지가 검출되었으므로, 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지의 시간이 지연되도록 제1라이징 엣지출력부(155)와 제1폴링 엣지출력부(157)에 카운터클럭신호(fTCLK)를 공급한다.

[0053] 제1트리거선택부(153)는 제1엣지검출부(151)로부터 검출된 입력펄스폭신호(IPWM1)의 라이징 엣지와 폴링 엣지를 분리하여 제1라이징 엣지출력부(155)와 제1폴링 엣지출력부(157)에 검출된 입력펄스폭신호(IPWM1)의 라이징 엣지와 입력펄스폭신호(IPWM1)의 폴링 엣지를 공급한다.

[0054] 제1라이징 엣지출력부(155)는 라이징 엣지 타이머부(155a), 라이징 엣지 카운터 레지스터(155b), 라이징 엣지 데이터 레지스터(155c), 라이징 엣지 타이머 상태부(155d) 및 라이징 엣지 출력제어부(155e)를 이용하여 시간 지연된 제1입력펄스폭신호의 라이징 엣지(PWM1_High)를 출력한다. 그리고 제1폴링 엣지출력부(157)는 폴링 엣지 타이머부(157a), 폴링 엣지 카운터 레지스터(157b), 폴링 엣지 데이터 레지스터(157c), 폴링 엣지 타이머 상태부(157d) 및 폴링 엣지 출력제어부(157e)를 이용하여 시간 지연된 제1입력펄스폭신호의 폴링 엣지(PWM1_Low)를 출력한다.

[0055] 이와 같은 과정에서 입력펄스폭신호(IPWM1)의 라이징 엣지(Rising edge)는 제1라이징 엣지출력부(155)의 라이징 엣지 타이머부(155a, Timer0)의 시간 지연에 의해 대략 2ms 시간 지연된 제1입력펄스폭신호의 라이징 엣지(PWM1_High)로 출력된다. 그리고 입력펄스폭신호(IPWM1)의 폴링 엣지(Falling edge)는 제1폴링 엣지출력부(157)의 폴링 엣지 타이머부(157a, Timer1)의 시간 지연에 의해 대략 2ms 시간 지연된 제1입력펄스폭신호의 폴링 엣지(PWM1_Low)로 출력된다. 그리고 제1입력펄스폭신호의 라이징 엣지(PWM1_High)와 제1입력펄스폭신호의 폴링 엣지(PWM1_Low)는 제1신호합성부(159)에 의해 합성되어 제1입력펄스폭신호(PWM1)로 출력된다.

[0056] 이와 같은 형태로 입력펄스폭신호(IPWM1)는 제1라이징 엣지출력부(155) 및 제1폴링 엣지출력부(157)에 의해 제차 시간 지연되어 제1입력펄스폭신호(PWM1)보다 지연된 시간차를 갖는 제2입력펄스폭신호(PWM2)로 출력된다. 그리고 입력펄스폭신호(IPWM1)의 라이징 엣지(Rising edge)는 제1라이징 엣지출력부(155) 및 제1폴링 엣지출력부(157)에 의해 제차 시간 지연되어 제2입력펄스폭신호(PWM2)보다 지연된 시간차를 갖는 제3입력펄스폭신호(PWM3)로 출력된다.

[0057] 이와 같은 과정에서 입력펄스폭신호(IPWM1)는 제1라이징 엣지출력부(155) 및 제1폴링 엣지출력부(157)의 지연 시간의 설정값에 따라 입력 대비 듀티 및 위상 중 하나 이상이 가변된 3개의 출력펄스폭신호들(PWM1 ~ PWM3)로 분할되어 출력된다. 그리고 3개의 출력펄스폭신호들(PWM1 ~ PWM3)은 지연 시간의 설정값에 따라 입력 대비 듀티 및 위상 중 하나 이상이 다르게 가변되어 출력된다.

[0058] 그러므로, 도 6의 트랜지스터 구동부(150)는 입력펄스폭신호를 입력받는 I개(I는 1 이상 정수)의 입력단과, N개의 출력펄스폭신호들을 출력하는 J개(J는 상기 N개에 대응되는 정수)의 출력단으로 구성되어 입력단의 개수를 저감할 수 있게 된다. 그리고 도 6의 트랜지스터 구동부(150)는 지연 시간의 설정값에 따라 펄스폭변조신호의 듀티 및 위상을 효율적으로 제어할 수 있게 된다. 여기서, 지연 시간의 설정값은 외부로부터 입력된 데이터값에 대응하여 다양하게 가변 될 수 있다.

[0059] 이하, 본 발명의 실시예에 따른 액정표시장치의 구동방법에 대해 설명한다.

[0060] 액정표시장치의 구동방법은 액정패널을 구동(게이트신호와 데이터신호 등을 액정패널에 공급)하는 단계와 백라이트유닛을 구동(출력펄스폭신호 등을 백라이트유닛에 공급)하는 단계로 이루어진다. 본 발명의 실시예에서는 백라이트유닛을 구동하는 단계 중 트랜지스터 구동부를 구동하는 단계를 중심으로 설명한다.

[0061] 도 11은 트랜지스터 구동부의 개략적인 구동 흐름도이고, 도 12는 트랜지스터 구동부의 상세 구동 흐름도이다.

[0062] 도 11에 도시된 바와 같이, 외부로부터 입력된 1개의 입력펄스폭신호의 라이징 엣지와 폴링 엣지를 검출한다

(S110). 다음, 입력펄스폭신호의 라이징 엣지의 시간을 지연하여 출력하고 라이징 엣지의 카운터값을 증가시킨다(S120). 다음, 입력펄스폭신호의 폴링 엣지의 시간을 지연하여 출력하고 폴링 엣지의 카운터값을 증가시킨다(S130). 다음, 시간이 지연된 입력펄스폭신호의 라이징 엣지 및 시간이 지연된 입력펄스폭신호의 폴링 엣지를 합성하여 출력펄스폭신호를 생성한다(S140). 다음, 라이징 엣지 및 폴링 엣지의 카운터값이 설정된값(CNT)에 대응하면(Y) 종료한다. 이와 달리, 라이징 엣지 및 폴링 엣지의 카운터값이 설정된값(CNT)에 비대응하면(N) 입력펄스폭신호의 라이징 엣지의 시간을 지연하여 출력하고 라이징 엣지의 카운터값을 증가시키는 단계(S120) 이후의 단계(S130, S140)를 반복한다(S150).

- [0063] 위의 단계를 거치면 1개의 입력펄스폭신호는 라이징 엣지의 카운터값 및 폴링 엣지의 카운터값에 대응하는 N개의 출력펄스폭신호로 분할되어 출력된다. 즉, 출력펄스폭신호의 개수는 라이징 엣지의 카운터값 및 폴링 엣지의 카운터값에 대응된다.
- [0064] 이하, 도 10 및 도 12를 참조하여 설명을 구체화한다.
- [0065] 외부로부터 1개의 입력펄스폭신호가 입력되면(Y) 외부 엣지 신호 인터럽트(External Edge Signal Interrupt) 루틴으로 들어간다(S210).
- [0066] 입력된 입력펄스폭신호(IPWM1)가 입력펄스폭신호의 라이징 엣지(High Edge Signal)에 해당(Y)하는지 입력펄스폭신호의 폴링 엣지(Low Edge Signal)에 해당(N)하는지를 판단한다(S215).
- [0067] 입력된 입력펄스폭신호(IPWM1)가 입력펄스폭신호의 라이징 엣지(High Edge Signal)에 해당하면(Y) 제1타이머의 시간값을 0으로 설정하고(Timer0=0) 제1타이머를 스타트시킨다(S220).
- [0068] 제1타이머의 시간값을 증가(Timer0++)시키면서(S230), 참조 시간값과 제1타이머의 시간값을 비교한다(S240). 이때, 참조 시간값보다 시간값이 크지 않으면(2ms > Timer0)(N) 타이머값을 계속 증가(Timer0++)시킨다.
- [0069] 반면, 참조 시간값보다 시간값이 크면(2ms < Timer0)(Y) 라이징 엣지의 카운터값(Rising_cnt)을 비교하는 단계로 이동한다(S250). 라이징 엣지의 카운터값(Rising_cnt)은 0으로 설정되므로, 초기에는 제1입력펄스폭신호의 라이징 엣지(PWM1_High)를 출력하는 루틴으로 들어간다.
- [0070] 라이징 엣지의 카운터값(Rising_cnt)은 0이므로, 제1입력펄스폭신호의 라이징 엣지(PWM1_High)를 출력하고 이후 라이징 엣지의 카운터값을 1 증가(Rising_cnt=1)시킨다.(S261)
- [0071] 이후, 제1타이머의 시간값을 0으로 설정하고(Timer0=0) 제1타이머를 스타트시키는 단계(S220)를 진행한다.
- [0072] 한편, 라이징 엣지의 카운터값이 1이면(Rising_cnt=1) 제2입력펄스폭신호의 라이징 엣지(PWM2_High)를 출력하고, 라이징 엣지의 카운터값을 1 증가(Rising_cnt=2)시킨다.
- [0073] 그리고 라이징 엣지의 카운터값이 2이면(Rising_cnt=2) 제3입력펄스폭신호의 라이징 엣지(PWM3_High)를 출력하고, 라이징 엣지의 카운터값을 0으로(Rising_cnt=0) 만들고 제1타이머의 시간 카운트를 중지(Timer0 Stop)시킨다. 이 경우, 다음 차수의 입력펄스폭신호가 입력되는 외부 엣지 신호 인터럽트(External Edge Signal Interrupt)가 발생할 때까지 대기 상태가 된다.
- [0074] 라이징 엣지와 달리, 입력펄스폭신호(IPWM1)가 입력펄스폭신호의 폴링 엣지(Low Edge Signal)에 해당하면(N) 타이머값을 0으로 설정하고(Timer1=0) 제2타이머를 스타트시킨다(S225).
- [0075] 제2타이머의 시간값을 증가(Timer0++)시키면서(S235), 참조 시간값과 제1타이머의 시간값을 비교한다(S245). 이때, 참조 시간값보다 시간값이 크지 않으면(2ms > Timer1)(N) 타이머값을 계속 증가(Timer0++)시킨다.
- [0076] 반면, 참조 시간값보다 시간값이 크면(2ms < Timer1)(Y) 폴링 엣지의 카운터값(Falling_cnt)을 비교하는 단계로 이동한다(S255). 폴링 엣지의 카운터값(Falling_cnt)은 0으로 설정되므로, 초기에는 제1입력펄스폭신호의 폴링 엣지(PWM1_Low)를 출력하는 루틴으로 들어간다.
- [0077] 폴링 엣지의 카운터값(Falling_cnt)은 0이므로, 제1입력펄스폭신호의 폴링 엣지(PWM1_Low)를 출력하고 이후 폴링 엣지의 카운터값을 1 증가(Falling_cnt=1)시킨다.(S266)
- [0078] 이후, 제2타이머의 시간값을 0으로 설정하고(Timer1=0) 제2타이머를 스타트시키는 단계(S225)를 진행한다.
- [0079] 한편, 폴링 엣지의 카운터값이 1이면(Falling_cnt=1) 제2입력펄스폭신호의 폴링 엣지(PWM2_Low)를 출력하고, 폴링 엣지의 카운터값을 1 증가(Falling_cnt=2)시킨다.

[0080] 그리고 폴링 엣지의 카운터값이 2이면(Falling_cnt=2) 제3입력펄스폭신호의 폴링 엣지(PWM3_Low)를 출력하고, 폴링 엣지의 카운터값을 0으로(Falling_cnt=0) 만들고 제2타이머의 시간 카운트를 중지(Timer1 Stop)시킨다. 이 경우, 다음 차수의 입력펄스폭신호가 입력되는 외부 엣지 신호 인터럽트(External Edge Signal Interrupt)가 발생할 때까지 대기 상태가 된다.

[0081] 위와 같은 과정을 통해 입력펄스폭신호(IPWM1)는 제1입력펄스폭신호의 라이징 엣지(PWM1_High) 구간과 제1입력펄스폭신호의 폴링 엣지(PWM1_Low) 구간으로 구분되어 출력되고 합성 과정을 통해 제1출력펄스폭신호(PWM1)로 생성된다. 또한, 입력펄스폭신호(IPWM1)는 제1출력펄스폭신호(PWM1)와 일정 지연 시간을 갖고 제2 및 제3출력펄스폭신호(PWM2, PWM3)로 생성된다.

[0082] 위와 같은 과정을 통해 출력된 제1 내지 제3출력펄스폭신호들(PWM1 ~ PWM3)은 트랜지스터들에 각각 공급되고, 트랜지스터들에 의해 발광부들이 빛을 발광하게 된다. 이에 따라, 백라이트유닛은 발광된 빛을 액정패널에 공급하게 된다.

[0083] 이상 본 발명은 1개의 입력펄스폭신호를 N개의 출력펄스폭신호로 분할하여 출력함으로써 트랜지스터 구동부의 입력단의 개수를 저감하고, 출력펄스폭신호의 듀티 및 위상을 효율적으로 제어할 수 있는 액정표시장치와 이의 구동방법을 제공하는 효과가 있다.

[0084] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

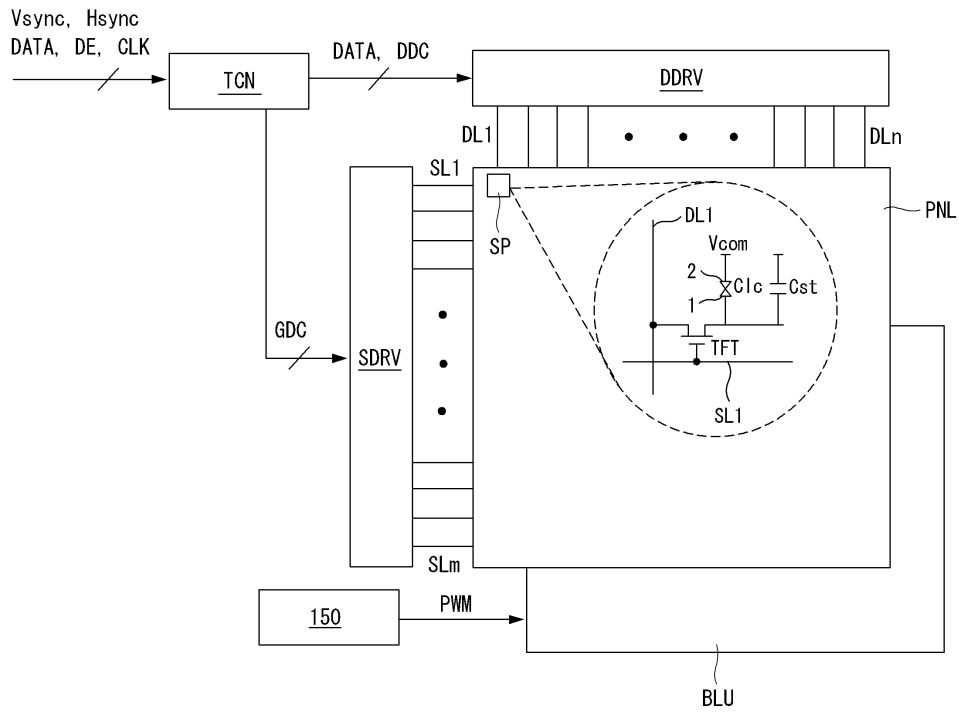
부호의 설명

[0085]

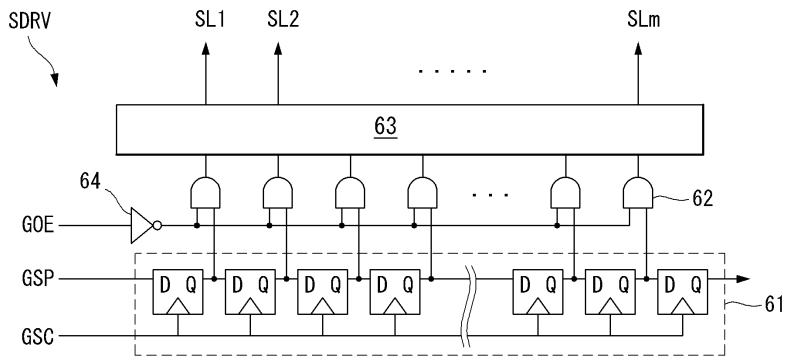
TCN: 타이밍구동부	PNL: 액정패널
SDRV: 게이트구동부	DDRV: 데이터구동부
BLU: 백라이트유닛	150: 트랜지스터 구동부
150a: 제1펄스폭변환부	151: 제1엣지검출부
153: 제1트리거선택부	155: 제1라이징 엣지출력부
157: 제1폴링 엣지출력부	159: 제1신호합성부

도면

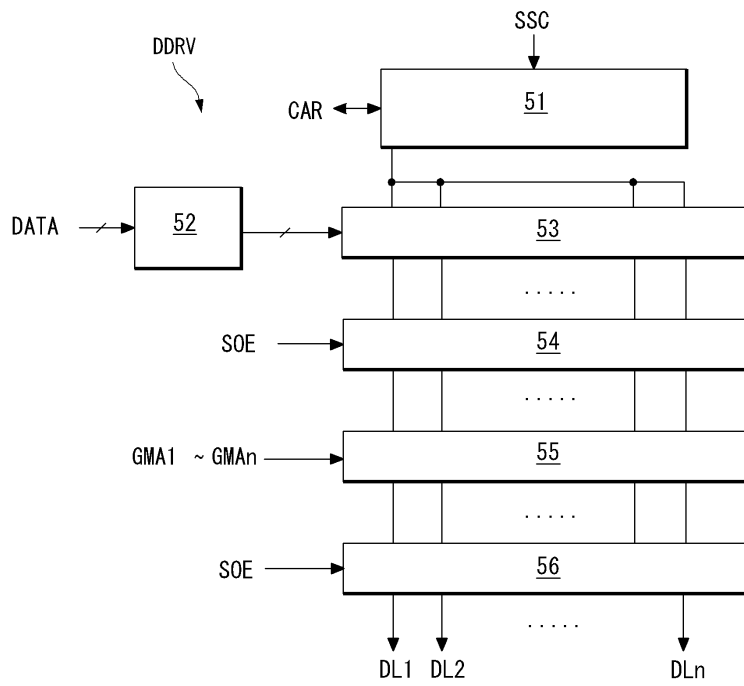
도면1



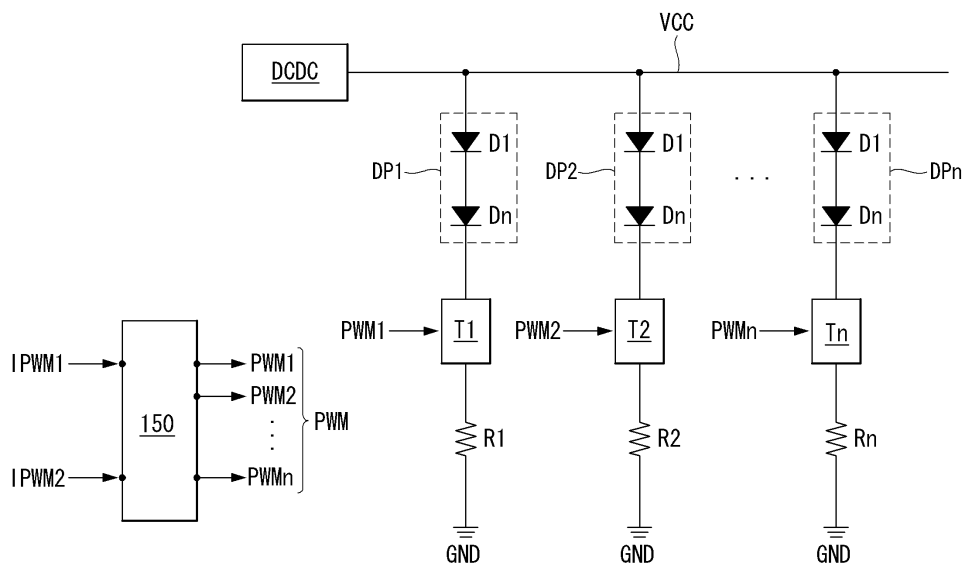
도면2



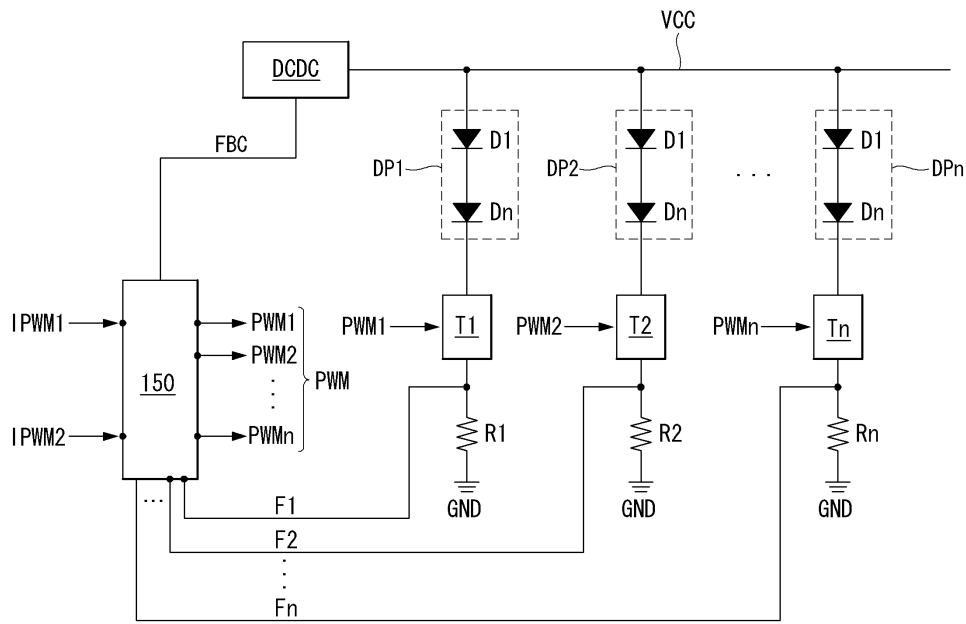
도면3



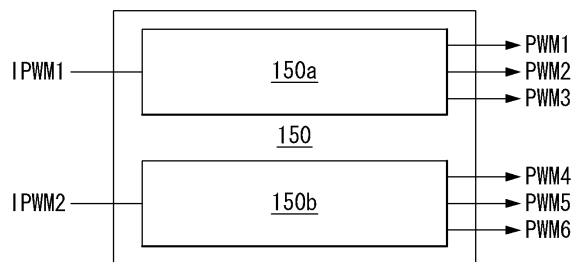
도면4



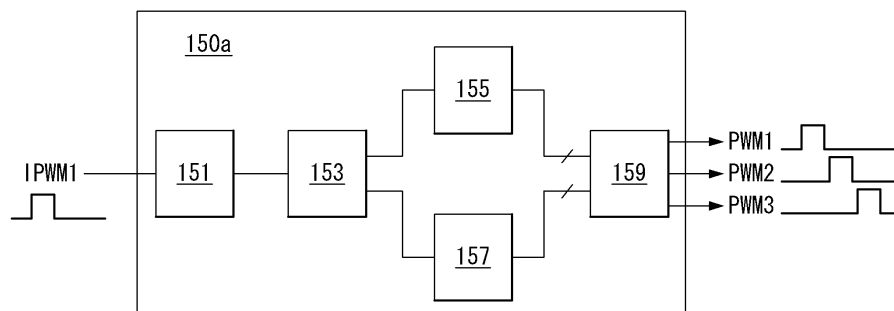
도면5



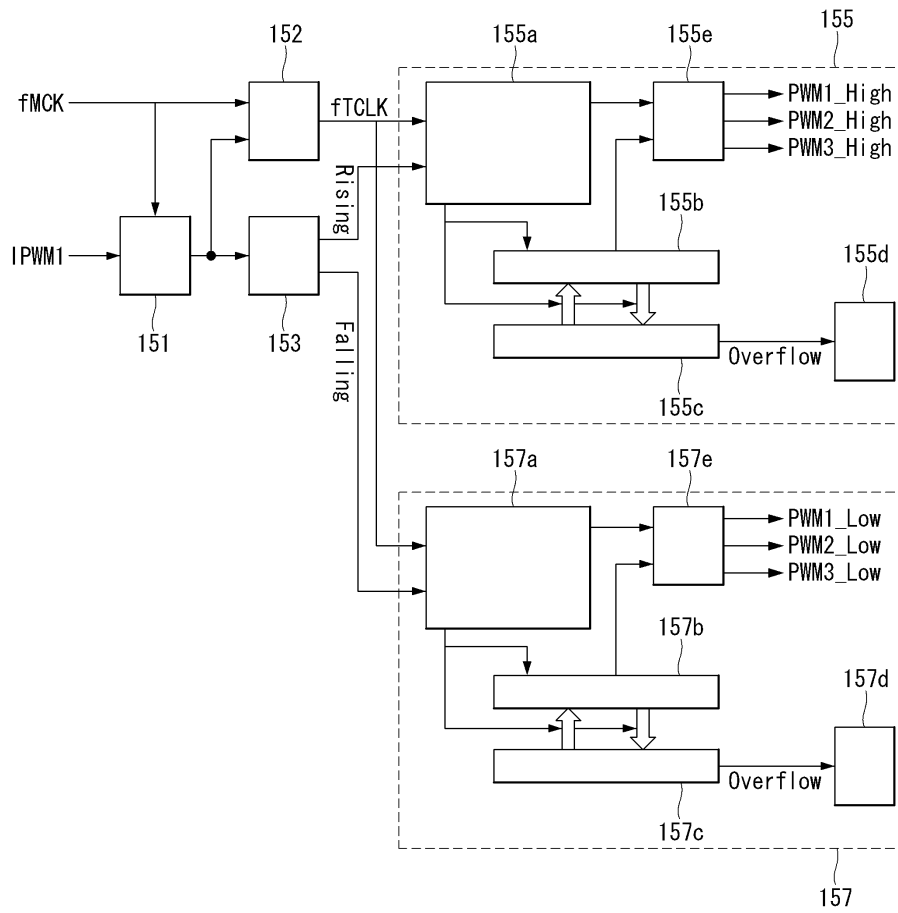
도면6



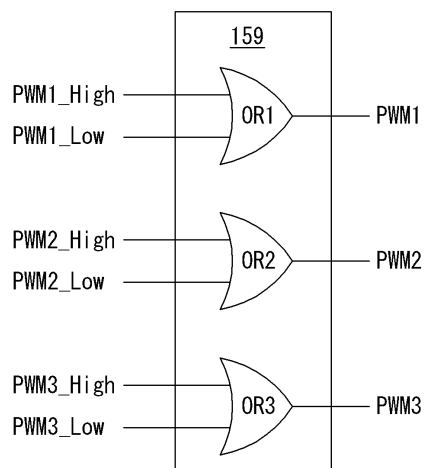
도면7



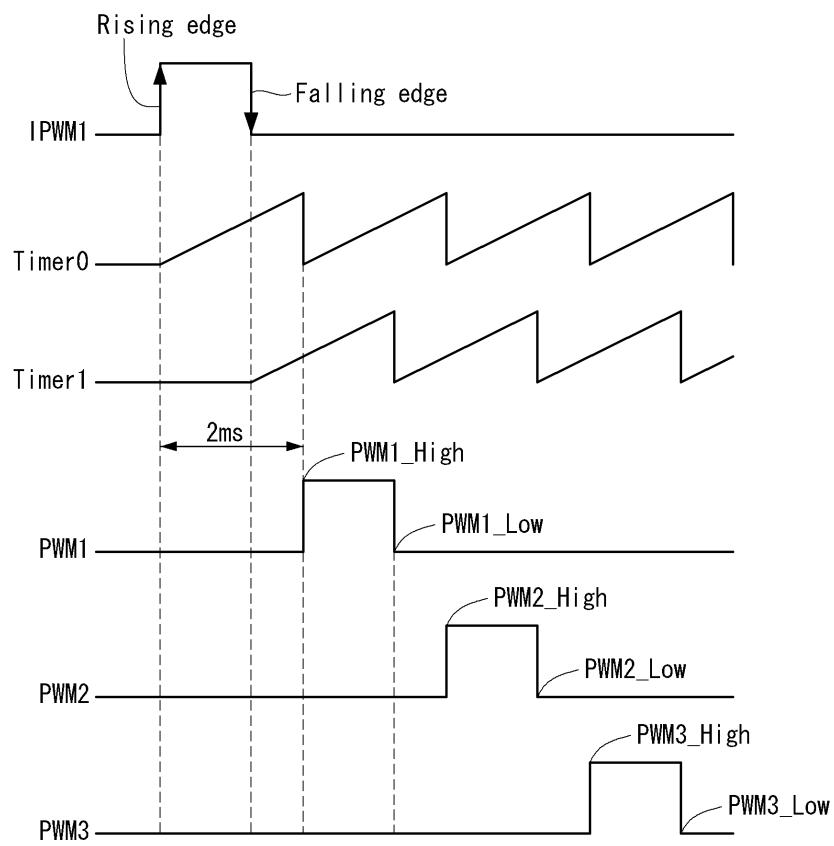
도면8



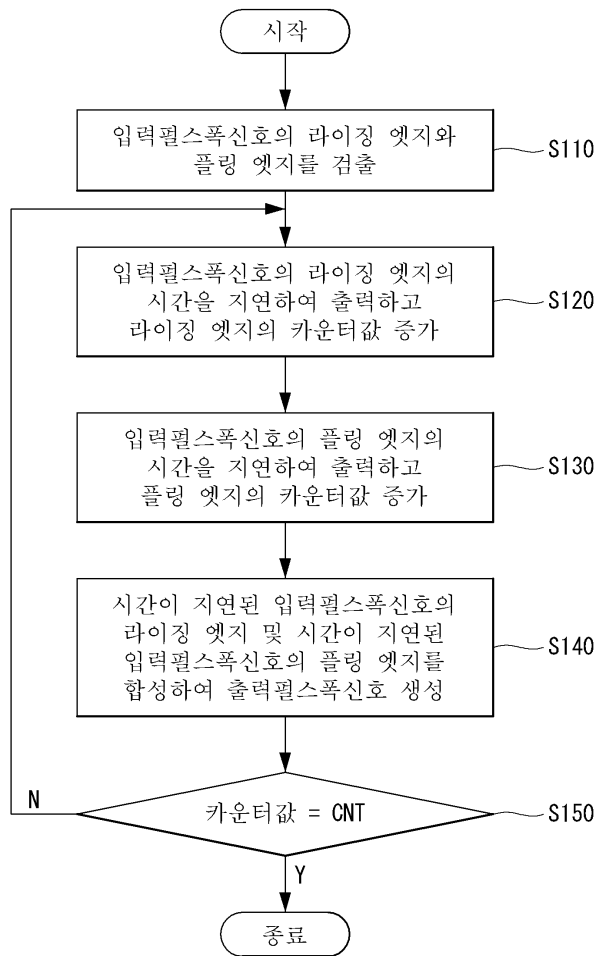
도면9



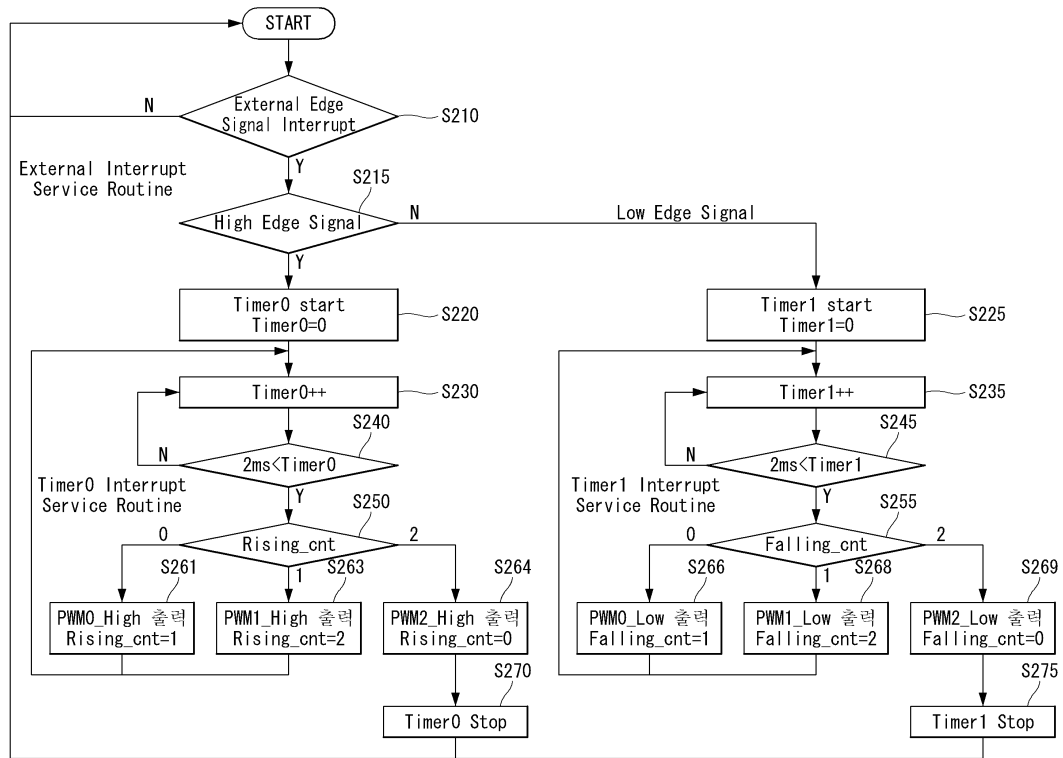
도면10



도면11



도면12



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020140011619A	公开(公告)日	2014-01-29
申请号	KR1020120078141	申请日	2012-07-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG WON YONG 장원용 LEE SANG UK 이상욱		
发明人	장원용 이상욱		
IPC分类号	G02F1/133 G09G3/36		
外部链接	Espacenet		

摘要(译)

本发明的一个实施方案是一种发光装置，包括包括发光二极管的发光部件；用于驱动发光部分的晶体管；（N是2或更大的整数）输出脉冲宽度信号，通过改变从外部输入的一个输入脉冲宽度信号的占空比和相位中的至少一个，并将脉冲宽度信号输出到晶体管的栅极电极一种液晶显示装置，包括用于提供液晶显示装置的晶体管驱动部分。

