



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0107912
(43) 공개일자 2013년10월02일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2012-0030091

(22) 출원일자 2012년03월23일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박민규

서울 강서구 염창동 302번지 한화꿈에그린 201동 805호

(74) 대리인

특허법인로알

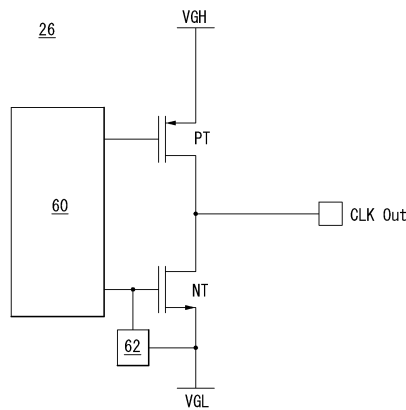
전체 청구항 수 : 총 3 항

(54) 발명의 명칭 액정표시장치의 레벨 시프터

(57) 요약

본 발명은 액정표시장치의 레벨 시프터에 관한 것으로, 게이트 로우 전압이 공급되는 소스 단자, 레벨 시프터의 출력 단자에 접속된 드레인 단자를 포함하여 상기 레벨 시프터의 출력 단자 전압을 방전시키는 풀다운 트랜지스터; 및 상기 풀다운 트랜지스터의 게이트 단자에 연결되어 파워 온 시퀀스 과정에서 상기 풀다운 트랜지스터의 게이트 전압을 제어하여 상기 레벨 시프터의 출력 전압을 방전시키는 출력 안정화회로를 포함한다.

대표도 - 도6



특허청구의 범위

청구항 1

데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 형태로 배치된 표시패널, 스타트 펄스와 클럭신호들을 출력하는 레벨 시프터, 상기 레벨 시프터로부터의 스타트 펄스와 클럭신호들에 응답하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 시프트 레지스터; 및 파워 온 시퀀스 과정에서 게이트 로우 전압(VGL), 로직 전원 전압(VCC), 게이트 하이 전압(VGH) 순으로 전압들을 출력하는 파워 IC를 포함하는 액정표시장치의 레벨 시프터에 있어서,

상기 레벨 시프터는,

상기 게이트 로우 전압이 공급되는 소스 단자, 상기 레벨 시프터의 출력 단자에 접속된 드레인 단자를 포함하여 상기 레벨 시프터의 출력 단자 전압을 방전시키는 풀다운 트랜지스터; 및

상기 풀다운 트랜지스터의 게이트 단자에 연결되어 상기 파워 온 시퀀스 과정에서 상기 풀다운 트랜지스터의 게이트 전압을 제어하여 상기 레벨 시프터의 출력 전압을 방전시키는 출력 안정화회로를 포함하는 것을 특징으로 하는 액정표시장치의 레벨 시프터.

청구항 2

제 1 항에 있어서,

상기 출력 안정화 회로는,

기저 전압원에 연결된 제1 저항,

상기 제1 저항과 상기 풀다운 트랜지스터의 소스 단자 사이에 연결된 제1 다이오드;

상기 제1 저항과 상기 제1 다이오드 사이의 노드와, 상기 풀다운 트랜지스터의 게이트 단자 사이에 연결된 제2 저항; 및

상기 제2 저항과 상기 풀다운 트랜지스터의 게이트 단자 사이에 연결된 제2 다이오드를 포함하고,

상기 제1 다이오드는 상기 풀다운 트랜지스터의 소스 단자에 접속된 애노드와, 상기 제1 및 제2 저항들 사이의 노드에 연결된 캐소드를 포함하고,

상기 제2 다이오드는 상기 풀다운 트랜지스터의 게이트 단자에 접속된 캐소드와, 상기 제2 저항에 접속된 애노드를 포함하는 것을 특징으로 하는 액정표시장치의 레벨 시프터.

청구항 3

제 1 항에 있어서,

상기 출력 안정화 회로는,

상기 파워 온 시퀀스 과정에서 상기 로직 전원전압을 상기 풀다운 트랜지스터의 게이트 단자에 공급하는 스위치를 포함하고,

상기 스위치는 상기 풀다운 트랜지스터의 게이트 단자에 접속된 캐소드와, 상기 제2 저항에 접속된 애노드를 가지는 다이오드를 포함하는 것을 특징으로 하는 액정표시장치의 레벨 시프터.

명세서

기술분야

[0001] 본 발명은 액정표시장치의 레벨 시프터에 관한 것이다.

배경기술

- [0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 매 화소마다 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 포함한다. 이러한 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.
- [0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 데이터 구동회로, 액정표시패널의 게이트라인들(또는 스캔라인들)에 스캔펄스를 공급하기 위한 게이트 구동회로, 및 그 구동회로들의 동작 타이밍을 제어하는 타이밍 콘트롤러 등을 포함한다. 또한, 액정표시장치는 액정표시패널의 데이터 전압, TFT의 온/오프 전압(VGH, VGL), 상기 구동회로들과 타이밍 콘트롤러의 전원 전압(VCC) 등을 발생하기 위한 전원 공급 장치를 더 포함한다.
- [0004] 액정표시장치의 전원 공급 장치는 하나의 집적회로(Integrated Circuit, 이하 "IC"라 함)로 집적된다. 이하에서, 전원 공급 장치가 내장된 IC를 파워(Power) IC로 칭하기로 한다. 액정표시장치의 전원 스위치가 턴-온(turn-on)되면, 파워 IC의 입력 전압(Vin)이 상승한다.
- [0005] 액정표시장치의 파워 IC는 저전압 보호(Under Voltage Lock Out, 이하 "UVLO"라 함) 기능을 포함하고 있다. 파워 IC의 입력 전압(Vin)이 미리 설정된 UVLO 레벨(UVLO)에 도달하면, 내부 로직 전압(VL)을 발생하여 내부 로직을 활성화(enable)한다. 파워 IC는 내부 로직이 활성화되면 출력(Vout)을 발생한다.
- [0006] 액정표시장치의 게이트 구동회로는 레벨 시프터(Level shifter)와, 시프트 레지스터(Shift register)를 포함한다. GIP(Gate in panel) 공정 기술의 발전에 힘입어, 시프트 레지스터는 액정표시패널의 TFT 어레이가 형성되는 기판 상에 그 TFT 어레이와 함께 시프트 레지스터가 형성될 수 있게 되었다. 레벨 시프터는 액정표시패널의 기판에 전기적으로 연결된 인쇄회로보드(Printed Circuit Board, 이하 "PCB"라 함)에 형성될 수 있다. 이 레벨 시프터는 타이밍 콘트롤러의 제어 하에 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙하는 클럭신호들을 출력한다. 게이트 하이 전압(VGH)은 액정표시패널의 TFT 어레이에 형성된 TFT의 문턱 전압 이상의 전압으로 설정된다. 게이트 로우 전압(VGL)은 액정표시패널의 TFT 어레이에 형성된 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. 시프트 레지스터는 레벨 시프터로부터 입력되는 클럭신호들을 순차적으로 시프트하여 액정표시패널의 게이트라인들에 게이트펄스(또는 스캔펄스)를 순차적으로 공급한다.
- [0007] 레벨 시프터는 도 1과 같이 로직 회로(50), 풀업 트랜지스터(Pull-up transistor, PT), 및 풀다운 트랜지스터(Pull-down transistor, NT) 등을 포함한다. 풀업 트랜지스터(PT)는 p 타입 MOSFET(Metal oxide semiconductor Field-effect transistor)로 구현될 수 있고, 풀다운 트랜지스터(NT)는 n 타입 MOSFET로 구현될 수 있다.
- [0008] 레벨 시프터에는 파워 온 시퀀스(Power on sequence)에 따라 게이트 로우 전압(VGL)에 이어서 수 msec 이후에 게이트 하이 전압(VGH)이 공급된다. 파워 온 시퀀스 과정에서, 레벨 시프터에 공급되는 게이트 하이 전압(VGH)이 UVLO 레벨에 도달하면 레벨 시프터의 로직 회로(50)가 인에이블되어 동작하기 시작한다. 로직 회로(50)가 파워 온 시퀀스 이후에 인에이블되어 정상적으로 동작하기 시작하면, 로직 회로(50)는 타이밍 콘트롤러로부터 입력되는 클럭신호들에 응답하여 풀업 트랜지스터(PT)와 풀다운 트랜지스터(NT)를 온/오프 제어하는 출력을 발생한다. 풀업 트랜지스터(PT)는 로직 회로(50)의 제1 출력에 응답하여 게이트 하이 전압(VGH)을 출력 단자에 공급하여 클럭신호(CLK)를 라이징(Rising)시킨다. 풀다운 트랜지스터(NT)는 로직 회로(50)의 제2 출력에 응답하여 출력 단자를 게이트 로우 전압(VGL)까지 방전시켜 클럭신호(CLK)를 폴링(falling)시킨다.
- [0009] 액정표시장치의 전원 스위치가 턴-온되면, 파워 IC는 미리 설정된 파워 온 시퀀스에 따라 게이트 로우 전압(VGL)을 출력한 후에 게이트 하이 전압(VGH)을 출력한다. 레벨 시프터는 게이트 하이 전압(VGH)이 UVLO 레벨 이상으로 상승할 때 인에이블되어 안정적으로 정상적인 출력을 발생할 수 있다.
- [0010] 레벨 시프터에서 파워 온 시퀀스 과정에서 게이트 하이 전압(VGH)이 입력되기 전에 로직 회로(50)의 출력이 플로팅(floating)되어 있다. 그러면 파워 온 시퀀스 과정에서, 풀업 트랜지스터(PT)의 게이트 전압과 풀다운 트랜지스터(NT)의 게이트 전압이 불안정하게 흔들릴 수 있다. 이 경우에, 도 2와 같이 레벨 시프터에 게이트 하이 전압(VGH)이 공급되기 전에 레벨 시프터의 출력(CLK)이 불안정하게 흔들리게 된다. 이러한 레벨 시프터의 불안정한 출력은 액정표시장치의 전원이 켜진 초기에 일시적으로 시프트 레지스터와 액정표시패널에 형성된 픽셀들의 오동작을 유발할 수 있다.

발명의 내용

해결하려는 과제

- [0011] 본 발명은 파워 온 시퀀스 과정에서 액정표시장치의 오동작을 방지할 수 있는 액정표시장치의 레벨 시프터에 관한 것이다.

과제의 해결 수단

- [0012] 본 발명의 레벨 시프터는 게이트 로우 전압이 공급되는 소스 단자, 레벨 시프터의 출력 단자에 접속된 드레인 단자를 포함하여 상기 레벨 시프터의 출력 단자 전압을 방전시키는 풀다운 트랜지스터; 및 상기 풀다운 트랜지스터의 게이트 단자에 연결되어 파워 온 시퀀스 과정에서 상기 풀다운 트랜지스터의 게이트 전압을 제어하여 상기 레벨 시프터의 출력 전압을 방전시키는 출력 안정화회로를 포함한다.

발명의 효과

- [0013] 본 발명은 레벨 시프터에서 풀다운 트랜지스터에 출력 안정화 회로를 연결한다. 출력 안정화 회로는 파워 온 시퀀스 과정에서 레벨 시프터에 게이트 로우 전압이 공급되지만 아직 게이트 하이 전압이 공급되지 않는 초기화 시간 동안, 레벨 시프터의 출력 전압을 방전시킨다. 그 결과, 본 발명은 파워 온 시퀀스 과정에서 액정표시장치의 오동작을 방지할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 종래의 레벨 시프터를 보여 주는 회로도이다.
 도 2는 도 1에 도시된 레벨 시프터에 게이트 하이 전압이 공급되기 전에 그 레벨 시프터의 출력이 불안전하게 되는 현상을 보여 주는 파형도이다.
 도 3은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
 도 4는 도 3에 도시된 파워 IC에서 입출력 신호들을 보여주는 파형도이다.
 도 5는 도 3에 도시된 레벨 시프터의 입출력 신호들을 보여 주는 파형도이다.
 도 6은 본 발명의 제1 실시예에 따른 레벨 시프터를 보여 주는 블록도이다.
 도 7은 도 6에 도시된 출력 안정화 회로를 상세히 보여 주는 회로도이다.
 도 8은 본 발명의 제2 실시예에 따른 레벨 시프터를 보여 주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0016] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 본 발명에서 적용 가능한 액정 모드는 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식 혹은, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식이 적용될 수 있고, 이 이외에도 현재 알려진 모든 액정 모드가 적용 가능하다.
- [0017] 도 3을 참조하면, 본 발명의 액정표시장치는 표시패널(10), 데이터 구동회로, GIP 타입의 게이트 구동회로, 및 타이밍 컨트롤러(22) 등을 포함한다.

- [0018] 표시패널(10)은 매트릭스 형태로 배치된 픽셀들이 형성된 픽셀 어레이를 포함하여 입력 영상 데이터를 표시한다. 픽셀 어레이는 하부 기판에 형성된 TFT 어레이, 상부 기판에 형성된 컬러필터 어레이, 및 하부 기판과 상부 기판 사이에 형성된 액정셀들(C1c)을 포함한다. TFT 어레이에는 데이터라인들(11), 데이터라인들(11)과 교차되는 게이트라인들(또는 스캔 라인들, 12), 데이터라인들과 게이트라인들의 교차부마다 형성된 TFT들, TFT에 접속된 화소전극(1), 스토리지 커패시터(Cst) 등이 형성된다. 컬러필터 어레이에는 블랙매트릭스와 컬러필터를 포함한 컬러필터 어레이가 형성된다. 공통전극(2)은 하부 기판이나 상부 기판에 형성될 수 있다. 액정셀들(C1c)은 데이터전압이 공급되는 화소전극(1)과, 공통전압(Vcom)이 공급되는 공통전극(2) 사이의 전계에 의해 구동된다.
- [0019] 표시패널(10)의 상부 기판과 하부 기판 상에는 광축이 직교하는 편광판이 부착되고, 액정층과 접하는 계면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 표시패널(10)의 상부 기판과 하부 기판 사이에는 액정층의 셀갭(Cell gap)을 유지하기 위한 스페이서(spacer)가 배치된다.
- [0020] 데이터 구동회로는 다수의 소스 드라이브 IC들(Integrated Circuit)(24)을 포함한다. 소스 드라이브 IC들(24)은 타이밍 컨트롤러(22)로부터 디지털 비디오 데이터들(RGB)을 입력받는다. 소스 드라이브 IC들(24)은 타이밍 컨트롤러(22)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 정극성/부극성 아날로그 데이터전압으로 변환한 후에 그 데이터전압을 게이트펄스(또는 스캔펄스)에 동기되도록 표시패널(10)의 데이터라인들에 공급한다. 소스 드라이브 IC들(24)은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(10)의 데이터라인들(11)에 접속될 수 있다. 도 3에서 소스 드라이브 IC들(24)은 TCP(Tape Carrier Package)에 실장되어 있는 예를 보여 준다. 인쇄회로기판(Printed Circuit Board, PCB)(20)은 TCP를 경유하여 표시패널(10)의 하부 기판에 연결된다.
- [0021] GIP 타입의 게이트 구동회로는 PCB(20) 상에 실장된 레벨 시프터(26)와, 표시패널(10)의 하부 기판에 형성된 시프트 레지스터(30)를 포함한다.
- [0022] PCB(20)에는 타이밍 컨트롤러(22), 레벨 시프터(26), 및 파워 IC(40)가 실장된다.
- [0023] 레벨 시프터(26)는 타이밍 컨트롤러(22)로부터 스타트 펄스(ST), 제1 클럭(GCLK), 제2 클럭(MCLK) 등을 입력받는다. 또한, 레벨 시프터(26)는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 등의 구동 전압을 공급받는다. 스타트 펄스(ST), 제1 클럭(GCLK), 제2 클럭(MCLK)은 0V와 3.3V 사이에서 스위칭한다. 게이트 하이 전압(VGH)은 표시패널(10)의 TFT 어레이에 형성된 TFT의 문턱 전압 이상의 전압으로서 대략 30V 정도의 전압이고, 게이트 로우 전압(VGL)은 표시패널(10)의 TFT 어레이에 형성된 TFT의 문턱 전압보다 낮은 전압으로서 대략 -5V 정도의 전압이다.
- [0024] 레벨 시프터(26)는 타이밍 컨트롤러(22)로부터 입력되는 스타트 펄스(ST), 제1 클럭(GCLK), 제2 클럭(MCLK)에 응답하여 도 5와 같이 각각 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스위칭하는 스타트 펄스(VST)와 클럭신호(CLK1~CLK6)를 출력한다. 레벨 시프터(26)로부터 출력된 클럭신호들(CLK)은 순차적으로 위상이 시프트되어 표시패널(10)에 형성된 시프트 레지스터(30)로 전송된다.
- [0025] 시프트 레지스터(30)는 표시패널(10)의 게이트라인들(12)에 연결된다. 시프트 레지스터(30)는 종속적으로 접속된 다수의 스테이지들을 포함한다. 시프트 레지스터(30)는 레벨 시프터(26)로부터 입력되는 스타트 펄스(VST)를 클럭신호(CLK)에 따라 시프트하여 게이트라인들(12)에 게이트펄스를 순차적으로 공급한다.
- [0026] 타이밍 컨트롤러(22)는 외부의 호스트 시스템으로부터 디지털 비디오 데이터를 입력 받고, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호를 입력받는다. 타이밍 컨트롤러(22)는 디지털 비디오 데이터를 소스 드라이브 IC들(24)에 전송한다. 타이밍 컨트롤러(22)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC들(24)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 구동회로의 레벨 시프터(26)와 시프트 레지스터(30)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(ST, GCLK, MCLK)을 발생한다.
- [0027] 파워 IC(40)는 호스트 시스템으로부터 공급되는 입력 전압이 UVLO 레벨 이상일 때, 동작하기 시작하고, 소정의 시간이 지연된 후부터 출력을 발생한다. 파워 IC(40)의 출력은 VGH, VGL, VCC, VDD, HVDD, RST 등을 포함한다. VCC는 타이밍 컨트롤러(22), 소스 드라이브 IC들(24) 등을 구동시키기 위한 로직 전원 전압으로서 3.3V의 전압일 수 있다. VDD와 HVDD는 정극성/부극성 감마기준전압들을 발생하는 감마기준전압 발생회로의 분압회로에 공급될 고전위 전원전압과 1/2 고전위 전원전압이다. 정극성/부극성 감마기준전압들은 소스 드라이브 IC들(24)에 공급된다. RST는 타이밍 컨트롤러(22)를 리셋(reset)시키는 리셋신호로서, 3.3V일 수 있다.

- [0028] 파워 IC(40)는 도 4와 같이 미리 설정된 파워 온 시퀀스에 따라 액정표시장치의 구동 전압들을 순차적으로 출력한다. 파워 IC(40)는 먼저, 입력 전압이 상승할 때 그 입력 전압이 UVLO 레벨에 도달하면 동작하기 시작하고 제1 지연 시간(DLY0) 이후에 인에이블 신호(EN)를 발생한다. 이어서, 파워 IC(40)는 인에이블 신호(EN)에 이어서 VCC를 발생한 후에 제2 지연 시간(DLY1) 만큼 지연된 이후에 RST를 출력한다. 이어서, 파워 IC(40)는 RST 이후에 VGL을 발생하고 VGL에 이어서 제3 지연 시간(DLY2) 이후에 VDD와 HVDD를 출력한다. 마지막으로, 파워 IC(40)는 VDD와 HVDD에 이어서, 제4 지연 시간(DLY3) 이후에 VGH를 발생한다.
- [0029] 도 5는 레벨 시프터(26)의 입출력 신호를 보여 주는 파형도이다. 도 6은 레벨 시프터(26)의 제1 실시예를 보여 주는 블록도이다. 도 7은 도 6에 도시된 출력 안정화 회로(62)를 상세히 보여 주는 회로도이다.
- [0030] 도 5 내지 도 7을 참조하면, 레벨 시프터(26)는 로직 회로(60), 및 풀업 트랜지스터(PT), 풀다운 트랜지스터(NT), 출력 안정화 회로(62) 등을 포함한다. 풀업 트랜지스터(PT)는 p 타입 MOSFET로 구현될 수 있고, 풀다운 트랜지스터(NT)는 n 타입 MOSFET로 구현될 수 있다.
- [0031] 레벨 시프터(26)에는 파워 온 시퀀스에 따라 게이트 로우 전압(VGL)에 이어서 수 msec 이후에 게이트 하이 전압(VGH)이 공급된다. 파워 온 시퀀스 과정에서, 레벨 시프터(26)에 공급되는 게이트 하이 전압(VGH)이 UVLO 레벨에 도달하면 레벨 시프터(26)의 로직 회로(60)가 인에이블되어 동작하기 시작한다. 로직 회로(60)가 파워 온 시퀀스 이후에 인에이블되어 정상적으로 동작하면, 타이밍 콘트롤러(22)로부터 입력되는 클럭신호들(VST, MCLK, GCLK)에 응답하여 풀업 트랜지스터(PT)와 풀다운 트랜지스터(NT)를 온/오프 제어하는 출력을 발생한다.
- [0032] 풀업 트랜지스터(PT)는 게이트 하이 전압(VGH)이 공급되는 소스 단자, 레벨 시프터(26)의 출력 단자에 접속된 드레인 단자, 및 로직 회로(60)의 제1 출력 단자에 접속된 게이트 단자를 포함한다. 풀업 트랜지스터(PT)는 로직 회로(60)의 제1 출력에 응답하여 게이트 하이 전압(VGH)을 출력 단자에 공급하여 클럭신호(CLK)를 라이징(Rising)시킨다.
- [0033] 풀다운 트랜지스터(NT)는 게이트 로우 전압(VGL)이 공급되는 소스 단자, 레벨 시프터(26)의 출력 단자에 접속된 드레인 단자, 및 로직 회로(60)의 제2 출력 단자에 접속된 게이트 단자를 포함한다. 풀다운 트랜지스터(NT)는 로직 회로(60)의 제2 출력에 응답하여 출력 단자를 게이트 로우 전압(VGL)까지 방전시켜 클럭신호(CLK)를 폴링(falling)시킨다.
- [0034] 레벨 시프터(26)는 파워 온 시퀀스 이후에 정상적으로 동작하기 시작하여 스타트 펄스(ST)의 전압을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙하는 전압으로 레벨 시프팅하여 스타트 펄스(VST)를 출력한다. 그리고 레벨 시프터(26)는 제1 클럭(GCLK)의 라이징 시에 시프트 레지스터(30)에 공급될 클럭신호들(CLK1~CLK6)을 라이징시키고, 제1 클럭(GCLK)이 입력될 때마다 클럭신호들(CLK1~CLK6)을 시프트시킨다. 클럭신호들(CLK1~CLK6) 각각은 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙한다. 레벨 시프터(26)는 제2 클럭(MCLK)의 라이징 에지에 동기하여 게이트 하이 전압(VGH)을 낮추기 시작하고 제2 클럭(MCLK)의 폴링 에지에 동기하여 게이트 하이 전압(VGH)을 원 전압으로 상승시킨다. 그 결과, 클럭신호들(CLK1~CLK6)의 폴링 에지 근방에서 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이의 전압차가 줄어 든다. 클럭신호들(CLK1~CLK6)의 전압차가 줄어 들면 액정셀의 킥백 전압(ΔV_p)을 줄여 플리커(flicker)를 줄일 수 있다.
- [0035] 출력 안정화 회로(62)는 파워 온 시퀀스 과정에서 게이트 하이 전압(VGH)이 레벨 시프터에 입력되기 전에 레벨 시프터(26)의 출력을 안정화하기 위하여, 풀다운 트랜지스터(NT)의 게이트 전압을 높인다. 풀다운 트랜지스터(NT)는 파워 온 시퀀스 과정에서 출력 안정화 회로(62)에 의해 상승하는 게이트 전압에 따라 턴-온되어 레벨 시프터(26)의 출력 전압을 게이트 로우 전압(VGL) 까지 방전시킨다.
- [0036] 출력 안정화 회로(62)는 도 7과 같이 다이오드들(ZD, D)과 저항들(R1, R2)을 포함한다. 출력 안정화 회로(62)는 파워 온 시퀀스 과정에서 레벨 시프터(26)에 게이트 로우 전압(VGL)이 공급되지만 아직 게이트 하이 전압(VGH)이 공급되지 않는 초기화 시간 동안, 레벨 시프터(26)의 출력 전압을 게이트 로우 전압(VGL)으로 안정화시킨다.
- [0037] 제1 다이오드(ZD)의 애노드는 풀다운 트랜지스터(NT)의 소스 단자에 접속되고, 그 캐소드는 제1 및 제2 저항들(R1, R2) 사이의 노드에 접속된다. 제1 다이오드(ZD)는 제너 다이오드로 구현될 수 있다. 제1 저항(R1)은 기저전압원(GND = 0V)과 제1 다이오드(ZD)의 캐소드 사이에 접속된다. 제2 저항(R2)은 제2 다이오드(D)의 애노드와, 제1 저항(R1)과 제1 다이오드(ZD) 사이의 노드에 접속된다.
- [0038] 파워 온 시퀀스 과정에서, 레벨 시프터(26)에 게이트 로우 전압(VGL)이 공급되고 아직 게이트 하이 전압(VGH)이

공급되지 않을 때, 제1 다이오드(ZD)의 캐소드에는 $V_{GL} = -5V$ 가 인가되고 제1 다이오드(ZD)의 애노드에는 0V가 인가된다. 그 결과, 풀다운 트랜지스터(N_T)는 게이트-소스 전압이 자신의 문턱 전압보다 높은 대략 5V 정도의 전압이 인가되어 턴-온되어 레벨 시프터(26)의 출력 단자 전압을 게이트 로우 전압(V_{GL})까지 방전시킨다.

[0039] 제2 다이오드(D)의 애노드는 제2 저항(R₂)에 접속되고, 그 캐소드는 풀다운 트랜지스터(N_T)의 게이트 단자에 접속된다. 제2 다이오드(D)는 자신의 문턱 전압 이상으로 애노드 전압이 캐소드 전압 보다 높을 때에만 턴-온되고 나머지 경우에 오프 상태를 유지하는 스위치 역할을 한다. 따라서, 제2 다이오드(D)는 풀다운 트랜지스터(N_T)의 게이트 단자로부터 기저 전압원(GND) 쪽으로 흐르는 역방향 전류를 차단하여 로직 회로(60)의 정상 동작 시에 그 로직 회로(60)의 제2 출력 전압이 비정상적으로 방전되는 현상을 방지한다.

[0040] 파워 온 시퀀스 과정에서 게이트 하이 전압(V_{GH})이 발생되기 전에 로직 전원 전압(VCC)이 발생된다. 이를 이용하여, 출력 안정화 회로(62)는 도 8과 같이 파워 온 시퀀스 과정에서 스위치(SW)를 통해 로직 전원 전압(VCC)을 풀다운 트랜지스터(N_T)의 게이트단자에 공급하여 레벨 시프터(26)의 출력 전압을 게이트 로우 전압(V_{GL})까지 방전시킬 수 있다. 스위치(SW)는 도 7에 도시된 제2 다이오드(D)로 간단하게 구현될 수 있다. 이 경우에, 스위치(SW)로 이용되는 다이오드의 애노드에는 로직 전원 전압(VCC)이 공급되고, 그 다이오드의 캐소드는 풀다운 트랜지스터(N_T)의 게이트 단자에 접속된다.

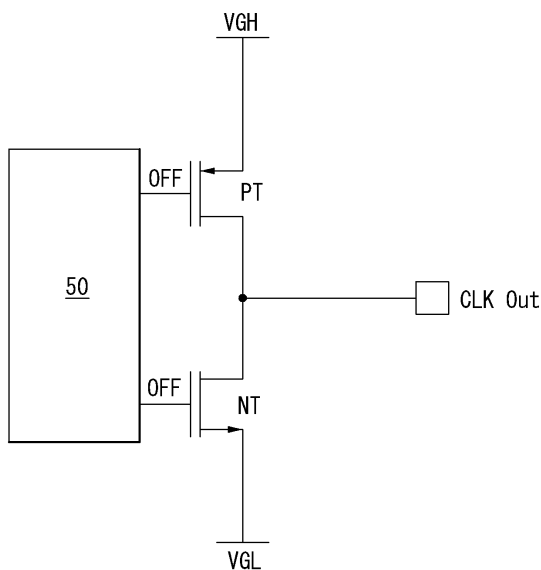
[0041] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

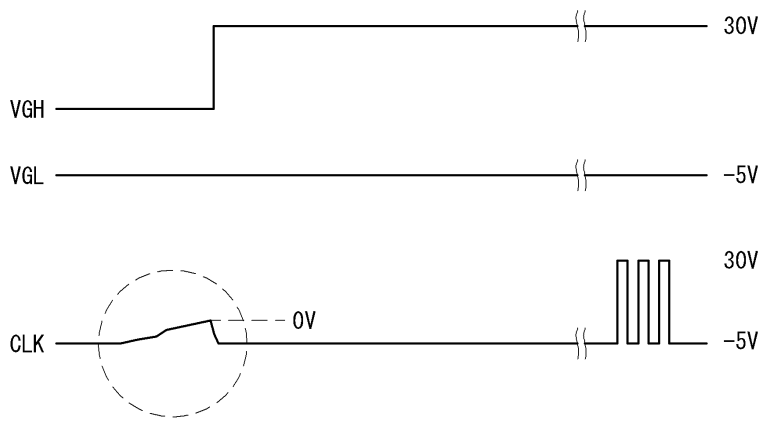
10 : 표시패널	20 : PCB
22 : 타이밍 컨트롤러	24 : 소스 드라이브 IC
26 : 레벨 시프터	30 : 시프트 레지스터
50, 60 : 레벨 시프터의 로직 회로	62 : 레벨 시프터의 출력 안정화 회로

도면

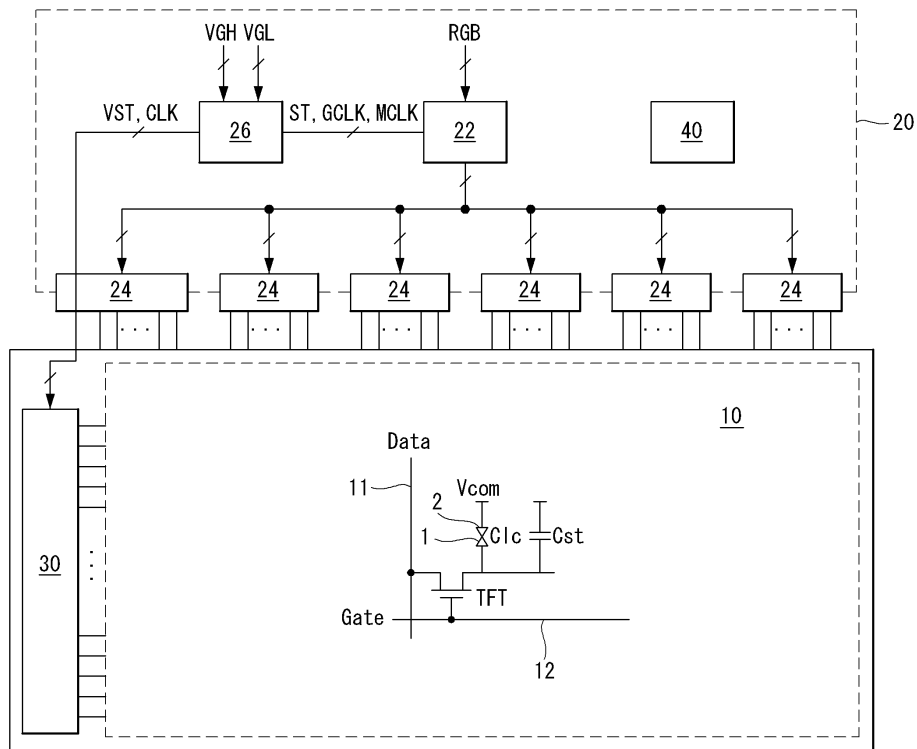
도면1



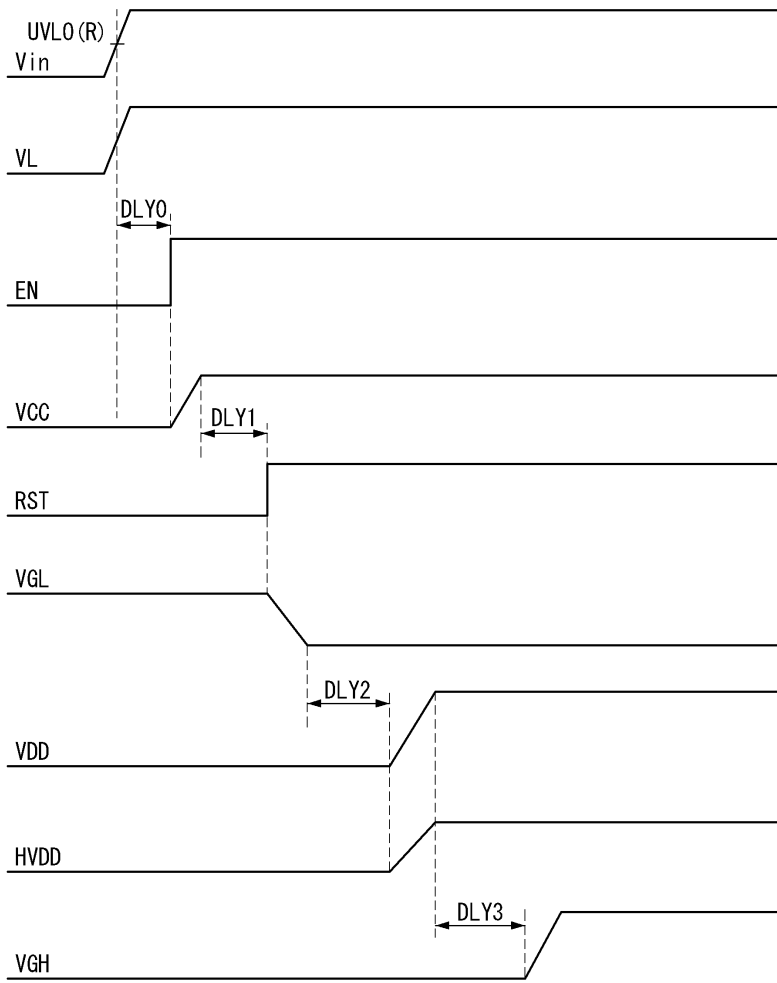
도면2



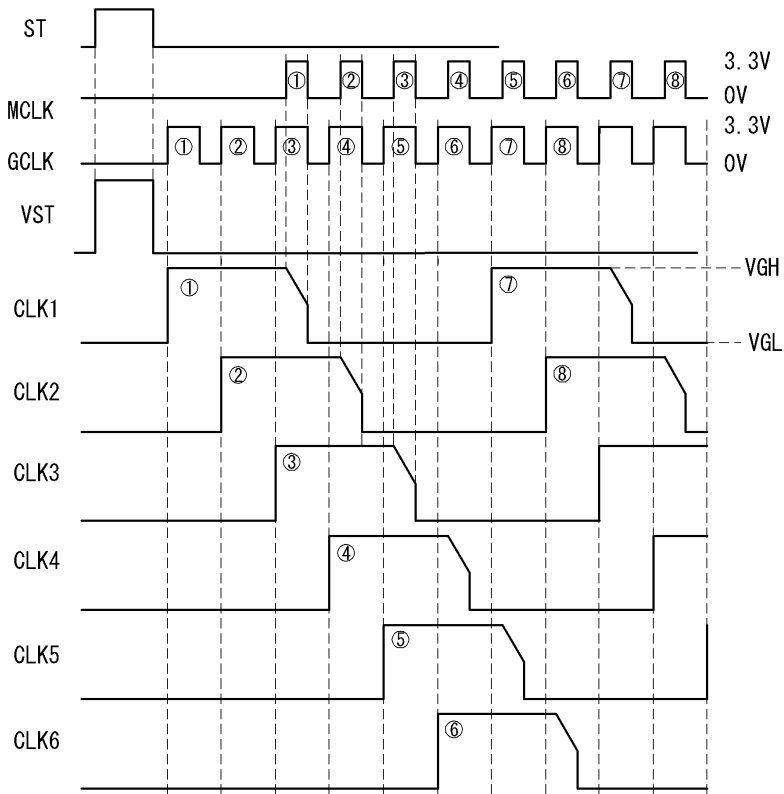
도면3



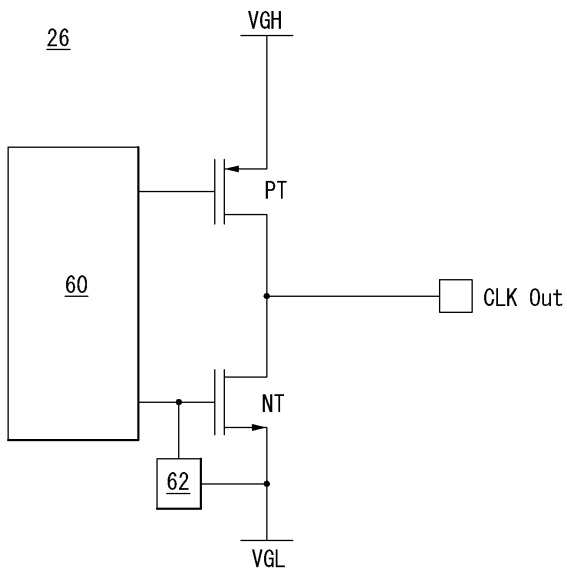
도면4



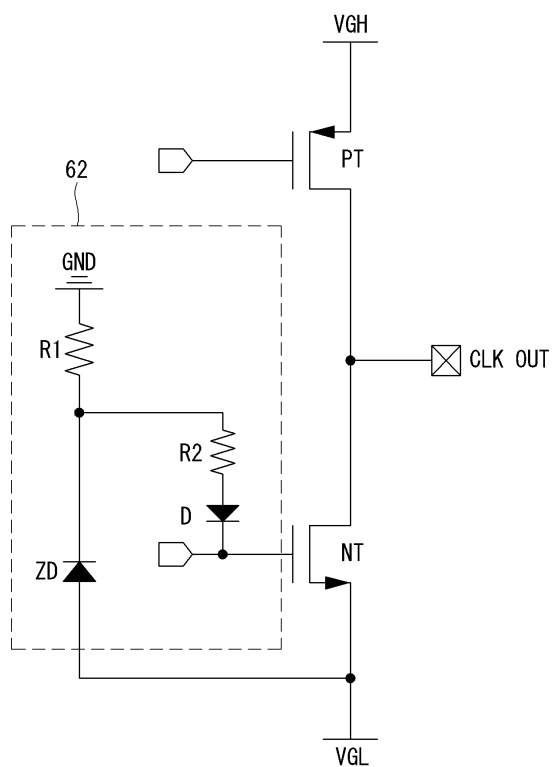
도면5



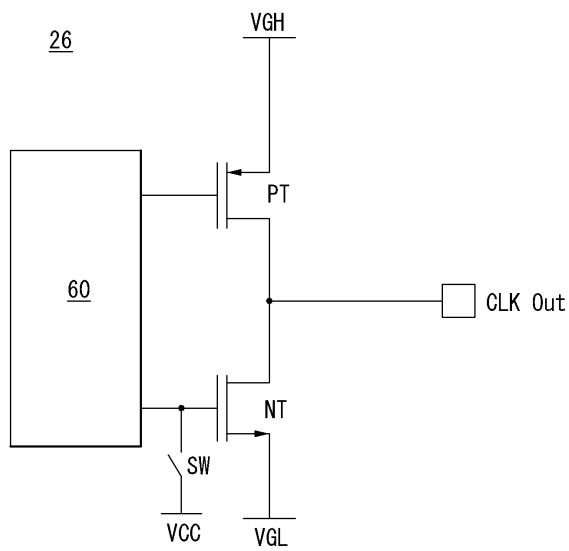
도면6



도면7



도면8



专利名称(译)	液晶显示装置的电平移器		
公开(公告)号	KR1020130107912A	公开(公告)日	2013-10-02
申请号	KR1020120030091	申请日	2012-03-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK MIN GYU 박민규		
发明人	박민규		
IPC分类号	G09G3/36		
CPC分类号	G09G2330/026 G09G3/3688 G09G3/3611 G09G2310/0289 G09G2370/08 G09G3/3648 G09G3/3677		
其他公开文献	KR101931335B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于液晶显示装置的电平移器，更具体地说，涉及一种用于液晶显示装置的电平移器，它包括下拉晶体管，该下拉晶体管包括提供有栅极低电压的源极端子和连接到电平移器的输出端子以对电平移器的输出端子电压放电的漏极端子。输出稳定电路连接到下拉晶体管的栅极端子，用于在通电序列期间控制下拉晶体管的栅极电压，以对电平移器的输出电压进行放电。

