



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0090405
(43) 공개일자 2013년08월13일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1368 (2006.01)
G09G 3/36 (2006.01)
(21) 출원번호 10-2013-7002756
(22) 출원일자(국제) 2011년06월15일
심사청구일자 없음
(85) 번역문제출일자 2013년02월01일
(86) 국제출원번호 PCT/JP2011/064187
(87) 국제공개번호 WO 2012/002197
국제공개일자 2012년01월05일
(30) 우선권주장
JP-P-2010-152158 2010년07월02일 일본(JP)

(71) 출원인
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이샤 한도오따이 에네루기 켄큐쇼 내
고야마 준
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
박충범, 장수길, 이중희

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치는 제1 영역과 제2 영역을 포함하는 화소부와, 복수의 광원을 포함한다. 상기 제1 영역과 상기 제2 영역 각각은 화상 신호의 전압에 따라 투과율이 제어되는 액정 소자와, 오프 상태 전류가 매우 낮은 전압의 유지를 제어하는 트랜지스터를 포함한다. 복수의 광원은, 제1 구동 및 제2 구동을 행하고, 서로 다른 색상을 갖는 광은 제1 윤번(輪番, rotating order)으로 상기 제1 영역에 순차 공급되고, 상기 광은 상기 제1 구동의 상기 제1 윤번과는 다른 제2 윤번으로 상기 제2 영역에 순차 공급되고, 상기 제1 영역 및 제2 구동의 상기 제2 영역의 하나 또는 양쪽에 단일 색상을 갖는 광이 연속해서 공급된다. 상기 전압을 유지하는 기간은 상기 제1 구동과 상기 제2 구동 사이에서 상이하다.

대표도

	301	302	303
구동 회로	동작	동작	기입증을 제외하고 동작하지 않음
백라이트	색상이 전환됨	색상이 전환되지 않음	색상이 전환되지 않음
화상 신호 기입 횟수	색상의 수와 동일	단수	단수

(72) 발명자

미야케 히로유키

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이샤 한도오따이 에네루기 켄큐쇼 내

도요타카 고후헤이

일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

액정 표시 장치로서,

제1 영역과 제2 영역을 포함하는 화소부와,

복수의 광원을 포함하고,

상기 제1 영역과 상기 제2 영역 각각은 화상 신호의 전압에 따라 투과율이 제어되는 액정 소자와, 상기 전압의 유지를 제어하는 트랜지스터를 포함하고,

상기 트랜지스터의 채널 형성 영역은, 밴드 갭이 실리콘 반도체의 밴드 갭보다 넓고, 진성 캐리어 밀도가 실리콘 반도체의 진성 캐리어 밀도보다 낮은 반도체 재료를 포함하고,

상기 복수의 광원은, 제1 구동 및 제2 구동을 행하고,

상기 제1 구동에서, 서로 다른 색상인 복수의 광이 제1 윤번(輪番, rotating order)으로 상기 제1 영역에 순차 공급되고, 서로 다른 색상을 갖는 상기 복수의 광이 상기 제1 윤번과는 다른 제2 윤번으로 상기 제2 영역에 순차 공급되고,

상기 제2 구동에서, 상기 제1 영역 및 상기 제2 영역 중 하나 또는 양쪽에 단일 색상을 갖는 광이 연속해서 공급되고,

상기 전압을 유지하는 기간은 상기 제1 구동과 상기 제2 구동에서 다른, 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 반도체 재료는, 산화물 반도체인, 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 산화물 반도체는, In-Ga-Zn-O계 산화물 반도체인, 액정 표시 장치.

청구항 4

제2항에 있어서,

상기 채널 형성 영역의 수소 농도는, $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 트랜지스터의 오프 상태 전류 밀도는, $100 \text{ yA} / \mu\text{m}$ 이하인, 액정 표시 장치.

청구항 6

액정 표시 장치로서,

제1 영역과 제2 영역을 포함하는 화소부와,

복수의 광원을 포함하고,

상기 제1 영역과 상기 제2 영역 각각은 화상 신호의 전압에 따라 투과율이 제어되는 액정 소자와, 상기 전압의 유지를 제어하는 트랜지스터를 포함하고,

상기 트랜지스터의 채널 형성 영역은, 밴드 갭이 실리콘 반도체의 밴드 갭보다 넓고, 진성 캐리어 밀도가 실리콘

큰 반도체의 진성 캐리어 밀도보다 낮은 반도체 재료를 포함하고,

상기 복수의 광원은, 제1 구동 및 제2 구동을 행하고,

상기 제1 구동에서, 서로 다른 색상인 복수의 광이 제1 윤번으로 상기 제1 영역에 순차 공급되고, 서로 다른 색상을 갖는 상기 복수의 광이 상기 제1 윤번과는 다른 제2 윤번으로 상기 제2 영역에 순차 공급되고,

상기 제2 구동에서, 상기 제1 영역 및 상기 제2 영역 중 하나 또는 양쪽에 단일 색상을 갖는 광이 연속해서 공급되고,

상기 제1 구동에서 상기 제2 구동으로 구동의 전환시 상기 전압을 유지하는 기간이 증가하는, 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 반도체 재료는, 산화물 반도체인, 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 산화물 반도체는, In-Ga-Zn-O계 산화물 반도체인, 액정 표시 장치.

청구항 9

제7항에 있어서,

상기 채널 형성 영역의 수소 농도는, $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 10

제6항에 있어서,

상기 트랜지스터의 오프 상태 전류 밀도는, $100 \text{ yA} / \mu\text{m}$ 이하인, 액정 표시 장치.

청구항 11

액정 표시 장치로서,

제1 영역과 제2 영역을 포함하는 화소부와,

복수의 광원과,

입력 장치를 포함하고,

상기 제1 영역과 상기 제2 영역 각각은 화상 신호의 전압에 따라 투과율이 제어되는 액정 소자와, 상기 전압의 유지를 제어하는 트랜지스터를 포함하고,

상기 트랜지스터의 채널 형성 영역은, 밴드 갭이 실리콘 반도체의 밴드 갭보다 넓고, 진성 캐리어 밀도가 실리콘 반도체의 진성 캐리어 밀도보다 낮은 반도체 재료를 포함하고,

상기 복수의 광원은, 제1 구동 및 제2 구동을 행하고,

상기 제1 구동에서, 서로 다른 색상인 복수의 광이 제1 윤번으로 상기 제1 영역에 순차 공급되고, 서로 다른 색상을 갖는 상기 복수의 광이 상기 제1 윤번과는 다른 제2 윤번으로 상기 제2 영역에 순차 공급되고,

상기 제2 구동에서, 상기 제1 영역 및 상기 제2 영역 중 하나 또는 양쪽에 단일 색상을 갖는 광이 연속해서 공급되고,

상기 입력 장치로부터의 신호에 따라 상기 제1 구동과 상기 제2 구동 사이에서 구동이 전환되고,

상기 전압을 유지하는 기간은 상기 제1 구동과 상기 제2 구동에서 다른, 액정 표시 장치.

청구항 12

제11항에 있어서,

상기 반도체 재료는, 산화물 반도체인, 액정 표시 장치.

청구항 13

제12항에 있어서,

상기 산화물 반도체는, In-Ga-Zn-O계 산화물 반도체인, 액정 표시 장치.

청구항 14

제12항에 있어서,

상기 채널 형성 영역의 수소 농도는, $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 15

제11항에 있어서,

상기 트랜지스터의 오프 상태 전류 밀도는, $100 \text{yA} / \mu\text{m}$ 이하인, 액정 표시 장치.

청구항 16

액정 표시 장치로서,

제1 영역과 제2 영역을 포함하는 화소부와,

복수의 광원과,

입력 장치를 포함하고,

상기 제1 영역과 상기 제2 영역 각각은 화상 신호의 전압에 따라 투과율이 제어되는 액정 소자와, 상기 전압의 유지를 제어하는 트랜지스터를 포함하고,

상기 트랜지스터의 채널 형성 영역은, 밴드 갭이 실리콘 반도체의 밴드 갭보다 넓고, 진성 캐리어 밀도가 실리콘 반도체의 진성 캐리어 밀도보다 낮은 반도체 재료를 포함하고,

상기 복수의 광원은, 제1 구동 및 제2 구동을 행하고,

상기 제1 구동에서, 서로 다른 색상인 복수의 광이 제1 윤번으로 상기 제1 영역에 순차 공급되고, 서로 다른 색상을 갖는 상기 복수의 광이 상기 제1 윤번과는 다른 제2 윤번으로 상기 제2 영역에 순차 공급되고,

상기 제2 구동에서, 상기 제1 영역 및 상기 제2 영역 중 하나 또는 양쪽에 단일 색상을 갖는 광이 연속해서 공급되고,

상기 입력 장치로부터의 신호에 따라 상기 제1 구동과 상기 제2 구동 사이에서 구동이 전환되고,

상기 제1 구동에서 상기 제2 구동으로 구동의 전환시 상기 전압을 유지하는 기간이 증가하는, 액정 표시 장치.

청구항 17

제16항에 있어서,

상기 반도체 재료는, 산화물 반도체인, 액정 표시 장치.

청구항 18

제17항에 있어서,

상기 산화물 반도체는, In-Ga-Zn-O계 산화물 반도체인, 액정 표시 장치.

청구항 19

제17항에 있어서,

상기 채널 형성 영역의 수소 농도는, $5 \times 10^{19} / \text{cm}^3$ 이하인, 액정 표시 장치.

청구항 20

제16항에 있어서,

상기 트랜지스터의 오프 상태 전류 밀도는, $100 \text{yA} / \mu\text{m}$ 이하인, 액정 표시 장치.

명세서

기술분야

[0001] 트랜지스터를 화소에 갖는 액티브 매트릭스형의 액정 표시 장치에 관한 것이다.

배경기술

[0002] 투과형의 액정 표시 장치의 경우, 백라이트의 소비 전력이 액정 표시 장치 전체의 소비 전력에 크게 영향을 미치기 때문에, 패널의 내부의 광의 손실을 어떻게 저감할 수 있을지가 소비 전력 삭감의 중요한 포인트가 된다. 패널의 내부의 광의 손실은, 층간 절연막에 있어서의 광의 굴절이나, 컬러 필터에 의한 광의 흡수 등에 의해 초래된다. 특히, 컬러 필터는, 색소에 의한 광의 흡수를 이용함으로써 백색광으로부터 특정한 파장 영역의 광을 취출하기 때문에, 원리적으로 광의 손실이 크다. 실제로 백라이트로부터의 광 에너지는, 컬러 필터에 의해 70% 이상이나 흡수된다. 따라서, 컬러 필터는 액정 표시 장치의 저소비 전력화를 막는 요인의 하나라고 말할 수 있다.

[0003] 컬러 필터에 의한 광의 손실의 문제를 피하기 위해서는, 필드 시퀀셜 구동(FS 구동)이 유효하다. FS 구동은, 서로 다른 색상의 광을 발하는 복수의 광원을 순차 점등시킴으로써 컬러의 화상을 표시하는 구동 방법이다. FS 구동에서는 컬러 필터를 사용할 필요가 없기 때문에, 패널의 내부에 있어서의 광의 손실을 저감할 수 있고, 패널의 투과율을 높일 수 있다. 따라서, 백라이트로부터의 광의 이용 효율을 높일 수 있고, 액정 표시 장치 전체의 소비 전력을 저감시킬 수 있다. 또한, FS 구동에서는, 1개의 화소로 각 색에 대한 화상을 표시할 수 있기 때문에, 고정밀한 화상의 표시를 행할 수 있다.

[0004] 하기 특허 문헌 1에는, 통상은 필드 시퀀셜 방식에서의 컬러 화상의 표시를 행하고, 문자 등의 화상일 때에는 모노크롬 표시로 전환하는 액정 표시 장치에 대해서 개시되어 있다.

[0005] [특허문헌 1]

[0006] 일본 특허 공개 제2003-248463호 공보

발명의 내용

해결하려는 과제

[0007] 그러나, FS 구동에는, 각 색의 화상이 합성되지 않고 개별로 시인되는, 컬러 브레이크라고 불리는 현상이 일어나기 쉽다. 특히, 컬러 브레이크는 동화상을 표시할 때에 현저하게 일어나기 쉽다.

[0008] 또한, 상술한 바와 같이, 필드 시퀀셜 구동을 사용하는 경우, 컬러 필터를 사용하는 경우에 비하여, 액정 표시 장치의 소비 전력을 저감시킬 수 있다. 그러나, 휴대용 전자 기기의 보급에 수반하여 액정 표시 장치에의 저소비 전력화의 요구는 엄격함을 증가시키고 있어, 한층 더한 소비 전력의 저감이 요구되어 있다.

[0009] 상술한 과제를 감안하여, 본 발명은, 화질의 저하를 방지할 수 있는 액정 표시 장치 및 그 구동 방법의 제안을 과제의 하나로 한다. 혹은, 본 발명은, 소비 전력의 저감을 실현할 수 있는 액정 표시 장치 및 그 구동 방법의 제안을 과제의 하나로 한다.

과제의 해결 수단

[0010] 본 발명의 일 형태에 따른 액정 표시 장치는, 백라이트가, 서로 다른 색상의 광을 발하는 복수의 광원을 갖는다. 그리고, 풀 컬러 화상의 표시를 행하는 경우와 모노크롬 화상의 표시를 행하는 경우에서, 광원의 구동 방법을 전환한다.

- [0011] 풀 컬러 화상의 표시를 행하는 경우는, 화소부를 복수의 영역으로 분할하고, 영역마다 상기 광원의 점등을 제어한다. 구체적으로, 본 발명의 일 형태에서는, 화소부가 제1 영역 및 제2 영역으로 분할되고, 서로 다른 색상을 갖는 복수의 광이, 제1 영역에 제1 윤번(輪番, rotating order)에 따라 순차 공급됨과 함께, 제2 영역에도 서로 다른 색상을 갖는 복수의 광이, 제1 윤번과는 다른 제2 윤번에 따라 순차 공급된다.
- [0012] 모노크롬 화상의 표시를 행하는 경우, 색상이 서로 상이한 복수의 광 중 적어도 하나가 화소부 전체, 혹은 영역마다 연속적으로 공급된다.
- [0013] 또한, 본 발명의 일 형태에서는, 상기 모노크롬 화상이 정지 화상인 경우 구동 주파수가 감소되어 모노크롬 화상이 동화상인 경우보다 낮게 된다. 그리고, 본 발명의 일 형태에서는, 구동 주파수를 억제하기 위해서, 액정 표시 장치의 화소부에, 액정 소자와, 당해 액정 소자에 인가된 전압의 보유를 제어하기 위한, 오프 전류가 극히 작은 절연 게이트 전계 효과형 트랜지스터(이하, 간단히 트랜지스터라고 함)를 설치한다. 오프 전류가 극히 작은 트랜지스터를 사용함으로써, 액정 소자에 인가되는 전압이 보유되는 기간을 길게 할 수 있다. 그 때문에, 정지 화상과 같이, 연속하는 몇 개인가의 프레임 기간에 걸쳐, 화소부에 동일한 화상 정보를 갖는 화상 신호가 기입되는 경우 등에는, 구동 주파수를 낮게 해도, 바꾸어 말하면 일정 기간에 화상 신호의 기입 횟수를 적게 해도, 화상의 표시를 유지할 수 있다.
- [0014] 트랜지스터는, 실리콘 반도체보다도 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘 반도체보다도 낮은 반도체 재료를, 채널 형성 영역에 포함하는 것을 특징으로 한다. 상술한 바와 같은 특성을 갖는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 극히 낮은 트랜지스터를 실현할 수 있다. 이러한 반도체 재료로서는, 예를 들어, 실리콘의 약 3배 정도의 큰 밴드 갭을 갖는 산화물 반도체를 들 수 있다. 상기 구성을 갖는 트랜지스터를, 액정 소자에 인가된 전압을 보유하기 위한 스위칭 소자로서 사용함으로써, 통상의 실리콘이나 게르마늄 등의 반도체 재료를 사용한 트랜지스터를 사용한 경우에 비하여, 액정 소자에 축적된 전하의 누설을 방지할 수 있다.
- [0015] 구체적으로, 본 발명의 일 형태에 따른 액정 표시 장치는, 화소부 및 화소부에의 화상 신호의 입력을 제어하는 구동 회로가 설치된 패널과, 화소부에 색상이 서로 다른 광을 공급하는 복수의 광원을 갖는다. 화소부는, 입력되는 화상 신호의 전압에 따라서 투과율이 제어되는 액정 소자와, 전압의 보유를 제어하는 트랜지스터를 갖는다. 그리고, 트랜지스터는, 그 채널 형성 영역에, 예를 들어 산화물 반도체 등의, 밴드 갭이 실리콘 반도체보다도 넓고, 진성 캐리어 밀도가 실리콘 반도체보다도 낮은 반도체 재료를 함유하고 있다.
- [0016] 또한, 구체적으로, 본 발명의 일 형태에 따른 액정 표시 장치의 구동 방법으로는, 풀 컬러 화상의 표시를 행할 경우, 화소부가 적어도 제1 영역과 제2 영역으로 분할되고, 상기 제1 영역에, 다른 색상을 갖는 복수의 광이, 제1 윤번을 따라 순차 공급됨과 함께, 상기 제2 영역에도 다른 색상을 갖는 복수의 광이, 상기 제1 윤번과는 다른 제2 윤번을 따라 순차 공급되고, 모노크롬 화상의 표시를 행할 경우, 화소부 전체, 혹은 영역마다, 단일 색상을 갖는 광을 연속해서 공급한다. 그리고, 화상 신호가 제1 모노크롬 화상의 정보를 포함할 경우와, 화상 신호가 제2 모노크롬 화상의 정보를 포함할 경우 사이에 일정 기간 내에서의 화상 신호의 기입 횟수를 전환한다.
- [0017] 또한, 전자 공여체(도너)로 되는 수분 또는 수소 등의 불순물이 저감된 후, 산소의 첨가에 의해 산소결손이 저감된 산화물 반도체(purified OS)는, i형(진성 반도체) 또는 i형에 한없이 가깝다. 그 때문에, 상기 산화물 반도체를 이용한 트랜지스터는, 오프 전류가 현저하게 낮다고 하는 특성을 갖는다. 구체적으로, 상기 산화물 반도체는, 2차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)에 의한 수소 농도의 측정값이, $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하로 한다. 또한, 홀 효과 측정에 의해 측정할 수 있는 산화물 반도체막의 캐리어 밀도는, $1 \times 10^{14} / \text{cm}^2$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^2$ 미만, 더욱 바람직하게는 $1 \times 10^{11} / \text{cm}^2$ 미만으로 한다. 또한, 산화물 반도체의 밴드 갭은, 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도의 충분한 저감 및 산소 결손이 저감된 산화물 막도체막을 이용함으로써, 트랜지스터의 오프 전류를 내릴 수 있다.
- [0018] 여기서, 산화물 반도체막 중의, 수소 농도의 분석에 대해 설명한다. 산화물 반도체막중 및 도전막중의 수소 농도 측정은, SIMS으로 행한다. SIMS는, 그 원리상, 시료 표면 근방이나, 재질이 다른 막과의 적층 계면 근방의 데이터를 정확하게 얻는 것이 곤란하다는 것이 알려져 있다. 그래서, 막 내에 있어서의 수소 농도의 두께 방향의 분포를 SIMS에서 분석하는 경우, 대상이 되는 막이 존재하는 범위에 있어서, 값에 극단적인 변동이 없고, 거의 일정한 값이 얻어지는 영역에 있어서의 평균값을, 수소 농도로서 채용한다. 또한, 측정이 대상으로 되는 막

의 두께가 작을 경우, 인접하는 막내의 수소 농도의 영향을 받아, 거의 일정한 값이 얻어지는 영역을 찾아낼 수 없을 경우가 있고, 이 경우, 당해 막이 존재하는 영역에 있어서의, 수소 농도의 최대값 또는 최소값을, 당해 막 내의 수소 농도로서 채용한다. 또한, 당해 막이 존재하는 영역에 있어서, 최대값을 갖는 산형의 피크, 최소값을 갖는 골짜기형의 피크가 존재하지 않을 경우, 변곡점의 값을 수소 농도로서 채용한다.

[0019] 실제로, 수소 또는 수분과 같은 불순물의 감소 및 산소 결핍을 감소시키기 위한 산소의 추가 처리 후에 산화물 반도체막과 같은 활성층으로서 이용한 트랜지스터의 오프 전류가 낮은 것은, 여러가지의 실험에 의해 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자이어도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위에 있어서, 오프 전류(게이트 전극과 소스 전극간의 전압을 0V 이하로 했을 때의 드레인 전류)가, 반도체 파라미터 애널리저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{A}$ 이하라고 하는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나눈 수치에 상당하는 오프 전류 밀도는, $100 \text{zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속해서, 용량 소자에 유입 또는 용량 소자로부터 유출하는 전하를 당해 트랜지스터로 제어하는 회로를 사용하여, 오프 전류 밀도의 측정을 행하였다. 당해 측정에서는, 트랜지스터에 상기 산화물 반도체막을 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당의 전하량의 추이로부터 당해 트랜지스터의 오프 전류 밀도를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극간의 전압이 3V인 경우에, 몇십 $\text{yA}/\mu\text{m}$ 라고 하는, 더 낮은 오프 전류 밀도가 얻어지는 것을 알 수 있었다. 따라서, 본 발명의 일 형태에 따른 반도체 장치에서는, 상기 산화물 반도체막을 활성층으로서 사용한 트랜지스터의 오프 전류 밀도를, 소스 전극과 드레인 전극간의 전압에 따라서는, $100 \text{yA}/\mu\text{m}$ 이하, 바람직하게는 $(10 \text{y}) \text{A}/\mu\text{m}$ 이하, 더욱 바람직하게는 $(1 \text{y}) \text{A}/\mu\text{m}$ 이하로 할 수 있다. 따라서, 상기 산화물 반도체막을 활성층으로서 사용한 트랜지스터는, 오프 전류가, 결정성을 갖는 실리콘을 사용한 트랜지스터에 비교해서 현저하게 낮다.

[0020] 또한, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0021] 또한, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 묻지 않는다. 또한, In-Ga-Zn계 산화물은 In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 된다. 또한, 산화물 반도체로서, $\text{InMO}_3(\text{ZnO})_n (m>0)$ 으로 표기되는 재료를 사용해도 된다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $\text{In}_2\text{SnO}_5(\text{ZnO})_n (n>0, n \text{은 자연수})$ 으로 표기되는 재료를 사용해도 된다.

발명의 효과

[0022] 본 발명의 일 형태에 따른 액정 표시 장치는, 화소부를 복수의 영역으로 분할하고, 영역마다 서로 다른 색상의 광을 순차 공급함으로써, 컬러 화상의 표시를 행한다. 따라서, 특정한 시각에 착안하면, 인접하는 영역에 공급되는 각각의 광의 색상을, 서로 상이하게 할 수 있다. 따라서, 각 색의 화상이 합성되지 않고 개별로 시인되는 것을 방지할 수 있고, 동화상의 표시를 행할 때에 일어나기 쉬웠던 컬러 브레이크의 발생을 방지할 수 있다.

[0023] 또한, 다른 색상을 갖는 복수의 광원을 이용해서 컬러 화상의 표시를 행할 경우, 단색의 광원과 컬러 필터를 조합할 경우와 달리, 상기 복수의 광원을 순차 전환해서 발광시킬 필요가 있다. 그리고, 상기 광원의 전환이 행해지는 주파수는, 단색의 광원을 이용한 경우의 프레임 주파수보다도 높은 값으로 설정할 필요가 있다. 예를 들어, 단색의 광원을 이용한 경우의 프레임 주파수를 60Hz라고 하면, 적, 녹, 청의 각 색에 대응하는 광원을 이용해서 FS 구동을 행할 경우, 광원의 전환을 행하는 주파수는, 3배의 180Hz가 된다. 따라서, 구동 회로도 상기 광원의 주파수에 맞춰서 동작시키므로, 매우 높은 주파수에서 구동 회로의 동작을 행하게 된다. 따라서, 구동 회로에 있어서의 소비 전력이, 단색의 광원과 컬러 필터를 조합할 경우에 비해서 높아지기 쉽다.

[0024] 본 발명의 일 형태에 따른 액정 표시 장치는, 오프 전류가 극히 작은 트랜지스터를 사용함으로써, 액정 소자에 부여되는 전압이 보유되는 기간을 길게 할 수 있다. 그 때문에, 정지 화상을 표시할 때의 구동 주파수를, 동화

상을 표시할 때의 구동 주파수보다도 낮게 할 수 있다. 그 때문에, 소비 전력을 저감할 수 있는 액정 표시 장치를 실현할 수 있다.

도면의 간단한 설명

[0025]

- 도 1은 액정 표시 장치의 구성을 도시하는 블록도.
- 도 2a 및 도 2b는 패널과 화소의 구성을 도시하는 도면.
- 도 3은 액정 표시 장치와 백라이트의 구동 방법을 모식적으로 도시한 도면.
- 도 4a 내지 도 4c는 영역에 공급되는 광의 색상의 일례를, 모식적으로 도시하는 도면.
- 도 5a 내지 도 5b는 각 영역에 공급되는 광의 색상의 일례를, 모식적으로 도시하는 도면.
- 도 6은 주사선 구동 회로의 구성을 도시하는 도면.
- 도 7은 제x 펄스 출력 회로(20)_x를, 모식적으로 도시한 도면.
- 도 8a는 펄스 출력 회로의 구성을, 도 8b 및 도 8c는 그 타이밍 차트를 도시하는 도면.
- 도 9는 주사선 구동 회로의 타이밍 차트를 도시하는 도면.
- 도 10은 주사선 구동 회로의 타이밍 차트를 도시하는 도면.
- 도 11은 신호선 구동 회로의 구성을 도시하는 도면.
- 도 12a 및 도 12b는 신호선에 공급되는 화상 신호(DATA)의 타이밍의 일례를 나타내는 도면.
- 도 13은 선택 신호의 주사의 타이밍과, 백라이트의 점등의 타이밍을 도시하는 도면.
- 도 14는 선택 신호의 주사의 타이밍과, 백라이트의 점등의 타이밍을 도시하는 도면.
- 도 15a 내지 도 15d는 패널과 화소의 구성을 도시하는 도면.
- 도 16은 주사선 구동 회로의 구성을 도시하는 도면.
- 도 17은 주사선 구동 회로의 타이밍 차트를 도시하는 도면.
- 도 18은 신호선 구동 회로의 구성을 도시하는 도면.
- 도 19a 및 도 19b는 펄스 출력 회로의 구성을 도시하는 도면.
- 도 20a 및 도 20b는 펄스 출력 회로의 구성을 도시하는 도면.
- 도 21a 내지 도 21c는 트랜지스터의 제작 방법을 도시하는 단면도.
- 도 22a 내지 도 22d는 트랜지스터의 단면도.
- 도 23a, 23b, 23c, 23ca, 23d, 23da, 23e 및 23ea는 액정 표시 장치의 제작 방법을 도시하는 단면도.
- 도 24의 (a) 내지 (c)는 액정 표시 장치의 상면도.
- 도 25a 및 도 25b는 화소의 상면도 및 단면도.
- 도 26a 및 도 26b는 액정 표시 장치의 구성을 도시하는 상면도 및 단면도.
- 도 27은 액정 표시 장치의 구성을 도시하는 사시도.
- 도 28a 내지 도 28f는 각각 전자 기기의 도면.
- 도 29a 및 도 29b는 트랜지스터의 구성을 설명하는 도면.
- 도 30은 V_{th}의 정의를 도시하는 도면.
- 도 31a 내지 도 31c는 광 조사로 광 부(負) 바이어스 응력 시험 결과를 도시하는 도면.
- 도 32a 및 도 32b는 화소의 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하에서는, 본 발명의 실시 형태에 대해서 도면을 사용해서 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은, 이하에서 설명하는 실시 형태의 기재 내용에 한정해서 해석되는 것은 아니다.
- [0027] (실시 형태 1)
- [0028] <액정 표시 장치의 구성예>
- [0029] 도 1에 도시하는 액정 표시 장치(400)는, 복수의 화상 메모리(401)와, 화상 데이터 선택 회로(402)와, 셀렉터(403)와, CPU(404)와, 컨트롤러(405)와, 패널(406)과, 백라이트(407)와, 백라이트 제어 회로(408)를 갖는다.
- [0030] 복수의 화상 메모리(401)에는, 액정 표시 장치(400)에 입력된, 풀 컬러 화상에 대응하는 화상 데이터(풀 컬러 화상 데이터(410))가 기억된다. 상기 풀 컬러 화상 데이터(410)에는, 복수의 색상에 각각 대응하는 화상 데이터가 포함되어 있다. 복수의 각 화상 메모리(401)에는, 각 색상에 대응하는 화상 데이터가 각각 기억되어 있다.
- [0031] 화상 메모리(401)는, 예를 들어 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등의 기억 회로를 사용할 수 있다.
- [0032] 화상 데이터 선택 회로(402)는, 컨트롤러(405)로부터의 명령에 따라서 복수의 화상 메모리(401)에 기억되어 있고 각 색상에 대응하는 풀 컬러 화상 데이터를 판독하여, 셀렉터(403)에 보낸다.
- [0033] 또한, 액정 표시 장치(400)에는, 모노크롬 화상에 대응하는 화상 데이터(모노크롬 화상 데이터(411))도 입력된다. 입력된 모노크롬 화상 데이터(411)는, 셀렉터(403)에 입력된다.
- [0034] 또한, 서로 다른 색상의 색을 복수 사용하여, 각 색의 계조에 의해 표시되는 화상을 풀 컬러 화상으로 한다. 또한, 단일 색상의 색을 사용하여, 그 색의 계조에 의해 표시되는 화상을 모노크롬 화상으로 한다.
- [0035] 또한, 본 실시 형태에서는, 모노크롬 화상 데이터(411)가 직접 셀렉터(403)에 입력되는 구성을 나타내고 있지만, 본 발명은 이 구성에 한정되지 않는다. 풀 컬러 화상 데이터(410)와 마찬가지로, 모노크롬 화상 데이터(411)도, 화상 메모리(401)에 있어서 일단 기억하고, 화상 데이터 선택 회로(402)에 있어서 판독하도록 해도 된다. 이 경우, 셀렉터(403)가 화상 데이터 선택 회로(402)에 포함되는 구성으로 된다.
- [0036] 또한, 모노크롬 화상 데이터(411)는, 풀 컬러 화상 데이터(410)를 액정 표시 장치(400)에 있어서 합성함으로써, 제작되어 있어도 된다.
- [0037] CPU(404)는, 풀 컬러 화상의 표시를 행하는 경우와, 모노크롬 화상의 표시를 행하는 경우에서, 셀렉터(403)와 컨트롤러(405)의 동작이 전환되게 제어한다.
- [0038] 구체적으로, 풀 컬러 화상의 표시를 행하는 경우, 셀렉터(403)는, CPU(404)로부터의 명령에 따라, 입력된 풀 컬러 화상 데이터(410)를 선택하여, 패널(406)에 공급한다. 또한, 컨트롤러(405)는, CPU(404)로부터의 명령에 따라, 풀 컬러 화상 데이터(410)에 동기한 구동 신호 또는 풀 컬러 화상의 표시를 행할 때에 사용되는 전원 전위를 패널(406)에 공급한다.
- [0039] 혹은, 모노크롬 화상의 표시를 행하는 경우, 셀렉터(403)는, CPU(404)로부터의 명령에 따라, 입력된 모노크롬 화상 데이터(411)를 선택하여, 패널(406)에 공급한다. 또한, 컨트롤러(405)는, CPU(404)로부터의 명령에 따라, 모노크롬 화상 데이터(411)에 동기한 구동 신호 또는 모노크롬 화상의 표시를 행할 때에 사용되는 전원 전위를 패널(406)에 공급한다.
- [0040] 패널(406)은, 각 화소에 액정 소자를 갖는 화소부(412)와, 신호선 구동 회로(413), 주사선 구동 회로(414) 등의 구동 회로를 갖는다. 셀렉터(403)로부터의 풀 컬러 화상 데이터(410) 또는 모노크롬 화상 데이터(411)는, 신호선 구동 회로(413)에 부여된다. 또한, 컨트롤러(405)로부터의 구동 신호 또는 전원 전위는, 신호선 구동 회로(413) 또는 주사선 구동 회로(414)에 부여된다.
- [0041] 또한, 구동 신호에는, 신호선 구동 회로(413)의 동작을 제어하는 신호선 구동 회로용 스타트 펄스 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 주사선 구동 회로(414)의 동작을 제어하는 주사선 구동 회로용 스타트 펄스

스 신호(GSP), 주사선 구동 회로용 클록 신호(GCK) 등이 포함된다.

[0042] 백라이트(407)에는, 색상이 상이한 광을 발하는 복수의 광원이 배치되어 있다. 컨트롤러(405)는, 백라이트 제어 회로(408)를 통해서 백라이트(407)가 갖는 광원의 구동을 제어한다.

[0043] 또한, 풀 컬러 화상의 표시와 모노크롬 화상의 표시의 전환은, 인위적으로 행할 수 있다. 이 경우, 입력 장치(420)를 액정 표시 장치(400)에 설치하고, 입력 장치(420)로부터의 신호에 따라, CPU(404)가 상기 전환을 제어하도록 하면 된다.

[0044] 또한, 실시 형태에서 예시되는 액정 표시 장치(400)는, 측광 회로(421)를 갖고서 있어도 된다. 측광 회로(421)는 당해 액정 표시 장치(400)가 사용되고 있는 환경의 밝기를 측정하는 회로이다. 그리고, 측광 회로(421)에 있어서 검지된 밝기에 따라, CPU(404)가 풀 컬러 화상의 표시와 모노크롬 화상의 표시의 전환을 제어해도 된다.

[0045] 예를 들어, 본 실시 형태에서 예시되는 액정 표시 장치(400)를 어둡어둡한 환경에서 이용하는 경우, 측광 회로(421)로부터의 신호에 따라, CPU(404)가 풀 컬러 화상의 표시를 선택하고, 밝은 환경에서 이용하는 경우, 측광 회로(421)로부터의 신호에 따라, CPU(404)가 모노크롬 화상의 표시를 선택해도 된다. 또한, 측광 회로(421)에 미리 임계값을 설정하고, 사용 환경의 밝기가 임계값을 하회하면, 백라이트(407)가 점등하게 설정해도 된다.

[0046] <패널의 구성예>

[0047] 계속해서, 본 발명의 일 형태에 따른 액정 표시 장치의, 패널의 구체적인 구성에 대해, 일례를 들어 설명한다.

[0048] 도 2a는, 액정 표시 장치의 구성예를 도시하는 도면이다. 도 2a에 도시하는 액정 표시 장치는, 화소부(10)와, 주사선 구동 회로(11)와, 신호선 구동 회로(12)를 갖는다. 본 발명의 일 형태에서는, 화소부(10)가 복수의 영역으로 분할되어 있다. 구체적으로, 도 2a에서는, 화소부(10)가, 3개의 영역(영역(101) 내지 영역(103))으로 분할되어 있는 경우를 예시하고 있다. 그리고, 각 영역은, 매트릭스 형상으로 배치된 복수의 화소(15)를 갖는다.

[0049] 또한, 화소부(10)에는, 주사선 구동 회로(11)에 의해 전위가 제어되는 m개의 주사선 GL과, 신호선 구동 회로(12)에 의해 전위가 제어되는 n개의 신호선 SL이 설치되어 있다. 그리고, m개의 주사선 GL은, 화소부(10)가 갖는 영역의 수에 맞춰, 복수의 그룹으로 분할되어 있다. 예를 들어, 도 2a의 경우, 화소부(10)가 3개의 영역으로 분할되어 있으므로, m개의 주사선 GL도 3개의 그룹으로 분할되어 있다. 그리고, 각 그룹에 속하는 주사선 GL은, 당해 그룹에 대응하는 영역이 갖는 복수의 화소(15)에 접속되어 있다. 구체적으로, 각 주사선 GL은, 각 영역에 있어서 매트릭스 형상으로 배치된 복수의 화소(15) 중, 어느 한쪽의 행에 배치된 n개의 화소(15)에 접속된다.

[0050] 또한, 각 신호선 SL은, 상기 영역에 관계없이, m개의 화소(15)에 접속된다. m개의 화소(15)는 화소부(10)에 있어서 m행 n열에 배치된 복수의 화소(15)에 포함된다.

[0051] 또한, 본 명세서에 있어서 접속이란 전기적인 접속을 의미하고 있고, 전류, 전압 또는 전위가, 공급 가능, 혹은 전송 가능한 상태에 상당한다. 따라서, 접속하고 있는 상태란, 직접 접속하고 있는 상태를 반드시 가리키는 것은 아니며, 전류, 전압 또는 전위가, 공급 가능, 혹은 전송 가능하도록, 배선, 저항, 다이오드, 트랜지스터 등의 회로 소자를 통해서 간접적으로 접속하고 있는 상태도, 그 범주에 포함한다.

[0052] 또한, 회로도 상은 독립되어 있는 구성 요소끼리가 접속되어 있는 경우라도, 실제로는, 예를 들어 배선의 일부가 전극으로서도 기능하는 경우 등, 하나의 도전막이, 복수의 구성 요소의 기능을 겸비하고 있는 경우도 있다. 본 명세서에 있어서 접속이란, 이러한, 하나의 도전막이, 복수의 구성 요소의 기능을 겸비하고 있는 경우도, 그 범주에 포함한다.

[0053] 또한, 트랜지스터가 갖는 소스 전극과 드레인 전극은, 트랜지스터의 극성 및 각 전극에 부여되는 전위의 고저차에 의해, 그 부르는 법이 바뀐다. 일반적으로, n채널형 트랜지스터에서는, 낮은 전위가 부여되는 전극이 소스 전극이라고 불리고, 높은 전위가 부여되는 전극이 드레인 전극이라고 불린다. 또한, p채널형 트랜지스터에서는, 낮은 전위가 부여되는 전극이 드레인 전극이라고 불리고, 높은 전위가 부여되는 전극이 소스 전극이라고 불린다. 본 명세서에서는, 소스 전극과 드레인 전극 중 어느 한쪽을 제1 단자, 다른 쪽을 제2 단자로 하고, 트랜지스터의 접속 관계를 설명한다.

[0054] 도 2b는, 도 2a에 도시하는 액정 표시 장치가 갖는 화소(15)의 회로도의 일례를 나타내는 도면이다. 도 2b에 도시하는 화소(15)는, 스위칭 소자로서 기능하는 트랜지스터(16)와, 트랜지스터(16)를 통해서 부여된 화상 신호

의 전위에 따라, 그 투과율이 제어되는 액정 소자(18)와, 용량 소자(17)를 갖는다.

[0055] 액정 소자(18)는, 화소 전극과, 대향 전극과, 화소 전극과 대향 전극간의 전압이 인가되는 액정을 포함한 액정층을 갖고 있다. 그리고, 용량 소자(17)는, 액정 소자(18)가 갖는 화소 전극과 대향 전극간의 전압을 보유하는 기능을 갖고 있다.

[0056] 액정층에는, 예를 들어, 서모 트로픽 액정 또는 리오 트로픽 액정으로 분류되는 액정 재료를 이용할 수 있다. 액정층에 사용되는 액정 재료의 일례로서는, 예를 들어, 네마틱 액정, 스메틱 액정, 콜레스테릭 액정, 또는 디스코틱 액정을 들 수 있다. 혹은, 강유전성 액정 또는 반 강유전성 액정으로 분류되는 액정 재료를 이용할 수 있다. 혹은, 예를 들어, 주요 체인형 고분자 액정, 측쇄형 고분자 액정, 혹은, 복합형 고분자 액정, 또는 저분자 액정으로 분류되는 액정 재료를 이용할 수 있다. 혹은, 고분자 분산형 액정(PDLC)로 분류되는 액정 재료를 이용할 수 있다.

[0057] 또한, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용해도 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현하지 않기 때문에, 키랄제나 자외선 경화 수지를 첨가해서 온도 범위를 개선한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하며, 시야각 의존성이 작기 때문에 바람직하다.

[0058] 또한 액정의 구동 방법으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드, MVA(Multi-domain Vertical Alignment) 모드, IPS(In-Plane Switching) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti-Ferroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등을 적용하는 것이 가능하다.

[0059] 화소(15)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕터스 등의 그 밖의 회로 소자를, 더 갖고 있어도 된다.

[0060] 구체적으로, 도 2b에서는, 트랜지스터(16)의 게이트 전극이 주사선 GL에 접속되어 있다. 트랜지스터(16)의 제1 단자는 신호선 SL에 접속된다. 트랜지스터(16)의 제2 단자는 액정 소자(18)의 화소 전극에 접속된다. 용량 소자(17)의 한쪽의 전극은 액정 소자(18)의 화소 전극에 접속된다. 용량 소자(17)의 다른 쪽의 전극은 전위가 부여되어 있는 노드에 접속된다. 또한, 액정 소자(18)의 대향 전극에도 특정한 전위가 부여되어 있다. 그리고, 대향 전극에 부여되는 전위는, 용량 소자(17)의 다른 쪽의 전극에 부여되는 전위와 공통이어도 된다.

[0061] 그리고, 본 발명의 일형태에서는, 상기 스위칭 소자로서 기능하는 트랜지스터(16)의 채널 형성 영역에, 실리콘 반도체보다도 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘 반도체보다도 낮은 반도체를 포함하고 있어도 좋다. 상기 반도체의 일례로서, 탄화 규소(SiC), 질화 갈륨(GaN)등의 화합물 반도체, 산화 아연(ZnO)등의 금속 산화물에서 되는 산화물 반도체등을 적용할 수 있다. 이 안에서도 산화물 반도체는, 스퍼터링법이나 습식법(인쇄법등)에 의해 제작 가능하며, 양산성에 우수하면 간 이점이 있다. 또한, 탄화 실리콘이나 질화 갈륨 등의 화합물 반도체는 단결정인 것이 필수적여서, 단결정 재료를 얻기 위해서는, 산화물 반도체의 프로세스 온도보다도 현저하게 높은 온도에 의한 결정 성장, 혹은, 특수한 기관 상의 에피택셜 성장이 필요하다. 한편, 산화물 반도체는, 실온에서도 성막이 가능하기 때문에, 입수가 용이한 실리콘 웨이퍼나, 저렴해서 대형화에 대응할 수 있는 글래스 기판상에의 성막이 가능하며, 양산성이 높다. 또한, 통상의 실리콘이나 갈륨등의 반도체 재료를 이용한 집적 회로 위에, 산화물 반도체에 의한 반도체 소자를 적층시키는 것도 가능하다. 따라서, 상술한 밴드갭이 큰 반도체 중에, 특히 산화물 반도체는 양산성이 높다고 하는 장점을 갖는다. 또한, 트랜지스터의 성능(예를 들어 전계 효과 이동도)을 향상시키기 위해서 결정성의 산화물 반도체를 얻으려고 할 경우라도, 200℃ 내지 800℃의 열처리에 의해 용이하게 결정성의 산화물 반도체를 얻을 수 있다.

[0062] 이하의 설명에서는, 밴드 갭이 큰 반도체로서, 상기과 같은 이점을 갖는 산화물 반도체를 사용하는 경우를 예로 들고 있다.

[0063] 또한, 특별히 언급하지 않는 한, 본 명세서에서 오프 전류란, n채널형 트랜지스터에 있어서는, 드레인 전극을 소스 전극과 게이트 전극보다도 높은 전위로 한 상태에 있어서, 소스 전극에 대한 게이트 전극의 전압이 0 이하일 때에, 소스 전극과 드레인 전극 사이에 흐르는 전류를 의미한다. 혹은, 본 명세서에서 오프 전류란, p채널형 트랜지스터에 있어서는, 드레인 전극을 소스 전극과 게이트 전극보다도 낮은 전위로 한 상태에 있어서, 소스

전극에 대한 게이트 전극의 전압이 0 이상 일 때에, 소스 전극과 드레인 전극 사이에 흐르는 전류를 의미한다.

- [0064] 또한, 도 2b에서는, 화소(15)에 있어서, 하나의 트랜지스터(16)를 스위칭 소자로서 사용하고 있는 경우에 대해서 도시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 하나의 스위칭 소자로서 기능하는 복수의 트랜지스터를 사용하고 있어도 된다. 복수의 트랜지스터가 하나의 스위칭 소자로서 기능하는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 되고, 직렬로 접속되어 있어도 되며, 직렬과 병렬이 조합되어 접속되어 있어도 된다.
- [0065] 본 명세서에 있어서, 트랜지스터가 직렬로 접속되어 있는 상태란, 예를 들어, 제1 트랜지스터의 제1 단자와 제2 단자 중 어느 한쪽만이, 제2 트랜지스터의 제1 단자와 제2 단자 중 어느 한쪽에만 접속되어 있는 상태를 의미한다. 또한, 트랜지스터가 병렬로 접속되어 있는 상태란, 제1 트랜지스터의 제1 단자가 제2 트랜지스터의 제1 단자에 접속되고, 제1 트랜지스터의 제2 단자가 제2 트랜지스터의 제2 단자에 접속되어 있는 상태를 의미한다.
- [0066] 상술한 바와 같은 특성을 갖는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 극히 낮고, 게다가 고내압인 트랜지스터(16)를 실현할 수 있다. 그리고, 상기 구성을 갖는 트랜지스터(16)를 스위칭 소자로서 사용함으로써, 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여, 액정 소자(18)에 축적된 전하의 누설을 방지할 수 있다.
- [0067] 오프 전류가 극히 작은 트랜지스터(16)를 사용함으로써, 액정 소자(18)에 부여되는 전압이 보유되는 기간을 길게 확보할 수 있다. 그 때문에, 정지 화상과 같이, 연속하는 몇 개인가의 프레임 기간에 걸쳐, 화소부(10)에 동일한 화상 정보를 갖는 화상 신호가 기입되는 경우 등에는, 구동 주파수를 낮게 하는, 바꾸어 말하면 일정 기간 내에 있어서의 화소부(10)에의 화상 신호의 기입 횟수를 적게 해도, 화상의 표시를 유지할 수 있다. 예를 들어, 고순도화되고 산소 결핍이 감소된 산화물 반도체막을 활성층으로서 사용한 트랜지스터(16)를 사용함으로써, 화상 신호의 기입 간격을 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상으로 증가시킬 수 있다. 그리고, 화상 신호의 기입 동작들 사이의 간격을 길게 하면 할수록, 보다 소비 전력을 저감할 수 있다.
- [0068] 또한, 복수회의 화상 신호의 기입에 의한 화상을 시인할 때, 복수회에 걸쳐 전환되는 화상을 인간의 눈은 시인하게 되고, 이는 인간의 눈의 피로로서 나타날 수도 있다. 본 실시 형태에서 설명한 바와 같이, 화상 신호의 기입 횟수를 삭감하는 구성으로 함으로써, 눈의 피로를 저감시킬 수 있다.
- [0069] 또한, 화상 신호의 전위를 보다 긴 기간에 걸쳐 보유할 수 있기 때문에, 화상 신호의 전위를 보유하기 위해서, 액정 소자(18)에 용량 소자(17)를 접속하지 않아도, 표시되는 화질이 저하하는 것을 방지할 수 있다. 따라서, 용량 소자(17)를 생략하고, 혹은 용량 소자(17)의 크기를 작게 함으로써, 개구율을 높일 수 있기 때문에, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.
- [0070] 또한, 화상 신호의 전위의 극성을, 대향 전극의 전위를 기준으로 해서 반전시키는 반전 구동을 행함으로써, 번인(burn-in)이라고 불리는 액정의 열화를 방지할 수 있다. 그러나, 반전 구동을 행하면, 화상 신호의 극성이 변화할 때에 신호선에 부여되는 전위의 변화가 커지기 때문에, 스위칭 소자로서 기능하는 트랜지스터(16)의 소스 전극과 드레인 전극의 전위차가 커진다. 따라서, 트랜지스터(16)는, 임계값 전압이 시프트하는 등의 특성 열화가 발생하기 쉽다. 또한, 액정 소자(18)에 보유되어 있는 전압을 유지하기 위해서, 소스 전극과 드레인 전극의 전위차가 커도, 오프 전류가 낮은 것이 요구된다. 본 발명의 일 형태에서는, 트랜지스터(16)에, 실리콘 또는 게르마늄보다도 밴드 갭이 크고, 진성 캐리어 밀도가 낮은 산화물 반도체 등의 반도체를 사용하고 있으므로, 트랜지스터(16)의 내압성을 높이고, 오프 전류를 현저하게 낮게 할 수 있다. 따라서, 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여, 트랜지스터(16)의 열화를 방지하고, 액정 소자(18)에 보유되고 있는 전압을 유지할 수 있다.
- [0071] <패널과 백라이트의 동작예>
- [0072] 계속해서, 패널의 동작의 일례에 대해서, 백라이트의 동작과 함께 설명한다. 도 3은, 액정 표시 장치와 백라이트의 동작을 모식적으로 도시한 도면이다. 도 3에 도시한 바와 같이, 본 발명의 일 형태에 따른 액정 표시 장치의 동작은, 풀 컬러 화상을 표시하는 기간(풀 컬러 화상 표시 기간(301))과, 모노크롬 화상의 동화상을 표시하는 기간(모노크롬 동화상 표시 기간(302))과, 모노크롬 화상의 정지 화상을 표시하는 기간(모노크롬 정지 화상 표시 기간(303))으로 크게 구별된다.
- [0073] 풀 컬러 화상 표시 기간(301)에서는, 복수의 서브 프레임 기간에 의해 1프레임 기간이 구성되어 있다. 그리고, 서브 프레임 기간마다 화소부에의 화상 신호의 기입이 행하여지고 있다. 그리고, 주사선 구동 회로나 신호선

구동 회로 등의 구동 회로에는, 화상의 표시를 행하고 있는 동안에 있어서, 연속해서 구동 신호가 공급되어 있다. 따라서, 풀 컬러 화상 표시 기간(301)에서는, 구동 회로는 동작하고 있는 상태에 있다. 또한, 백라이트에 의해 화소부에 공급되는 광의 색상이, 서브 프레임 기간마다 전환된다. 그리고, 각 색상에 대응한 화상 신호를 화소부에 순서대로 기입한다. 그 후, 1프레임 기간 내에 모든 색상에 대응한 화상 신호를 기입함으로써 1화상이 형성된다. 그 때문에, 풀 컬러 화상 표시 기간(301)에서는, 화소부에의 화상 신호의 기입 횟수는 하나 초과이며, 그 수는 백라이트로부터 공급되는 광의 색상의 수에 의해 정해진다.

[0074] 모노크롬 동화상 표시 기간(302)에서는, 화소부에의 화상 신호의 기입이 모든 프레임 기간에 행하여지고 있다. 그리고, 주사선 구동 회로나 신호선 구동 회로 등의 구동 회로에는, 화상의 표시를 행하고 있는 동안에 있어서, 연속해서 구동 신호가 공급되어 있다. 따라서, 모노크롬 동화상 표시 기간(302)에서는, 구동 회로는 동작하고 있는 상태에 있다. 또한, 모노크롬 정지 화상 표시 기간(303)에서는, 백 라이트에 의해 화소부에 공급되는 광의 색상이, 프레임 기간마다에 전환되지 않지만 동일한 색상의 광이 연속해서 화소부에 공급된다. 1프레임 기간 내에, 하나의 색상에 대응한 화상 신호를 화소부에 기입함으로써, 1화상을 형성할 수 있다. 그 때문에, 모노크롬 동화상 표시 기간(302)에서는, 1프레임 기간에 있어서의 화소부에의 화상 신호의 기입 횟수는 1회이다.

[0075] 모노크롬 정지 화상 표시 기간(303)에서는, 1프레임 기간마다 화소부에의 화상 신호의 기입이 행하여지고 있다. 그러나, 풀 컬러 화상 표시 기간(301)이나 모노크롬 동화상 표시 기간(302)과는 달리, 화소부에의 화상 신호의 기입 시에 구동 회로에 구동 신호가 공급되고, 기입이 종료한 후에는 구동 회로에의 구동 신호의 공급이 정지한다. 따라서, 모노크롬 정지 화상 표시 기간(303)에서는, 화상 신호의 기입 시 이외는, 구동 회로는 비 동작의 상태에 있다. 백 라이트에 의해 화소부에 공급되는 광의 색상이, 프레임 기간마다에 전환되지 않지만 동일한 색상의 광이 연속해서 화소부에 공급된다. 이 때문에, 1프레임 기간 내에, 하나의 색상에 대응한 화상 신호를 화소부에 기입함으로써, 1화상을 형성할 수 있다. 그 때문에, 모노크롬 정지 화상 표시 기간(303)에서는, 1프레임 기간에 있어서의 화소부에의 화상 신호의 기입 횟수는 1회이다.

[0076] 또한, 모노크롬 동화상 표시 기간(302)에서는, 플리커 등의 화상의 깜빡거림이 시인되는 것을 방지하기 위해서, 1초간에 60프레임 기간 이상 설정하는 것이 바람직하다. 모노크롬 정지 화상 표시 기간(303)에서는, 1프레임 기간을 극단적으로 길게, 예를 들어 1분 이상으로 할 수 있다. 1프레임 기간을 길게 함으로써, 구동 회로가 비 동작의 기간을 길게 할 수 있으므로, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0077] 또한, 본 발명의 일 형태에 따른 액정 표시 장치는, 컬러 필터를 포함하지 않는다. 따라서, 컬러 필터를 이용한 액정 표시 장치와 비교하여, 풀 컬러 화상 표시 기간(301), 모노크롬 동화상 표시 기간(302), 모노크롬 정지 화상 표시 기간(303)의 각각 및 모든 기간에서 백 라이트의 소비 전력을 1/3로 감소시킬 수 있다.

[0078] 또한, 풀 컬러 화상 표시 기간(301)에서는, 1프레임 기간에 있어서, 화소부의 각 영역에 색상이 상이한 복수의 광을 순차 공급한다. 도 4a 내지 도 4c에, 각 영역에 공급되는 광의 색상의 일례를, 모식적으로 도시한다. 또한, 도 4a 내지 도 4c에서는, 도 2a에 도시한 바와 같이, 화소부가 3개의 영역으로 분할되어 있는 경우를 예시하고 있다. 또한, 도 4a 내지 도 4c에서는, 화소부에, 백라이트로부터 각각의 적(R)의 광, 청(B)의 광, 녹색(G)의 광이 공급되는 경우를 예시하고 있다.

[0079] 우선, 도 4a에, 최초의 서브 프레임 기간에 있어서, 영역(101)에 적(R)의 광, 영역(102)에 녹색(G)의 광, 영역(103)에 청(B)의 광이, 각각 공급되고 있는 모습을 도시한다. 그리고, 도 4b에, 다음의 서브 프레임 기간에 있어서, 영역(101)에 녹색(G)의 광, 영역(102)에 청(B)의 광, 영역(103)에 적(R)의 광이, 각각 공급되고 있는 모습을 도시한다. 그리고, 도 4c에, 또한 다음의 서브 프레임 기간에 있어서, 영역(101)에 청(B)의 광, 영역(102)에 적(R)의 광, 영역(103)에 녹색(G)의 광이, 각각 공급되고 있는 모습을 도시한다.

[0080] 그리고, 상기 모든 서브 프레임 기간이 종료함으로써, 1프레임 기간이 종료한다. 1프레임 기간에 있어서, 각 영역에 공급되는 광의 색상이 일순함으로써, 풀 컬러의 화상을 표시할 수 있다. 또한, 각 영역에서, 영역(101)에서는, 공급되는 광의 색상이, 적(R), 녹색(G), 청(B)의 순서대로 변화하고, 영역(102)에서는, 공급되는 광의 색상이, 녹색(G), 청(B), 적(R)의 순서대로 변화하고, 영역(103)에서는, 공급되는 광의 색상이, 청(B), 적(R), 녹색(G)의 순서대로 변화하고 있다. 따라서, 각 영역에는, 서로 다른 색상을 갖는 복수의 광이, 서로 상이한 순번에 따라 순차 공급되고 있는 것을 알 수 있다.

[0081] 또한, 도 4a 내지 도 4c에서는, 각 서브 프레임 기간에 있어서, 하나의 영역에 대하여 하나의 색상의 광만이 공급되고 있는 예를 도시하고 있지만, 본 발명의 일 형태는 이 구성에 한정되지 않는다. 예를 들어, 각 영역 내에 있어서, 화상 신호의 기입이 종료한 부분으로부터 순서대로 공급되는 광의 색상을 전환해 가도록 해도 된다.

이 경우, 각 색상의 광이 공급되는 영역과, 화소부가 분할됨으로써 형성되는 영역은 반드시 일치하는 것은 아니다.

[0082] 또한, 모노크롬 동화상 표시 기간(302) 및 모노크롬 정지 화상 표시 기간(303)에서는, 화소부 전체 또는 영역마다, 다른 색상을 갖는 복수의 광의 적어도 하나를 연속해서 공급한다. 도 5a 및 도 5b는, 각 영역에 공급되는 광의 색상의 일례를 모식적으로 도시한다. 도 5a 및 도 5b는, 도 2a에 도시한 것 같이 화소부를 3개의 영역으로 분할한 경우를 예시한다.

[0083] 도 5a는 백 라이트로부터 화소부에 적(R)의 광, 청(B)의 광, 녹(G)의 광이 병렬로 공급되어 있는 상태를 도시한다. 적(R)의 광, 청(B)의 광, 녹(G)의 광이 혼합되어, 영역(101, 102, 103)에 백(W)의 광이 공급된다. 따라서, 화소부에는, 백의 광의 계조를 갖는 화상이 표시된다.

[0084] 또한, 도 5a에서는, 다른 색상을 갖는 복수의 광을 혼색시킴으로써, 1의 색상을 갖는 광을 화소부에 공급하는 예를 나타내고 있지만, 혼색에 의하지 않고 1의 색상을 갖는 광을 화소부에 공급해도 좋다. 도 5b는 백 라이트로부터 화소부에 녹(G)의 광이 공급되어 있는 상태를 도시한다. 이 경우, 결과적으로 화소부에는, 녹의 광의 계조를 갖는 화상이 표시된다.

[0085] <주사선 구동 회로(11)의 구성예>

[0086] 도 6은, 도 2a에 도시하는 주사선 구동 회로(11)의 구성예를 도시하는 도면이다. 도 6에 도시하는 주사선 구동 회로(11)는, 제1 펄스 출력 회로(20)₁ 내지 제 m 펄스 출력 회로(20) _{m} 을 갖고 있다. 제1 펄스 출력 회로(20)₁ 내지 제 m 펄스 출력 회로(20) _{m} 으로부터 출력되는 선택 신호는, 각각 m 개의 주사선 GL(주사선 GL₁ 내지 주사선 GL _{m})에 공급된다.

[0087] 또한, 주사선 구동 회로(11)에는, 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4)와, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)와, 주사선 구동 회로용 스타트 펄스 신호(GSP)가, 구동 신호로서 공급되어 있다.

[0088] 또한, 도 6에서는, 제1 펄스 출력 회로(20)₁ 내지 제 k 펄스 출력 회로(20) _{k} (k 는, $m/2$ 미만의 4의 배수)가, 영역(101)의 주사선 GL₁ 내지 주사선 GL _{k} 에 접속되어 있는 경우를 예시하고 있다. 또한, 제 $k+1$ 펄스 출력 회로(20)_($k+1$) 내지 제 $2k$ 펄스 출력 회로(20) _{$2k$} 가, 영역(102)의 주사선 GL _{$k+1$} 내지 주사선 GL _{$2k$} 에 접속되어 있다. 또한, 제 $2k+1$ 펄스 출력 회로(20)_($2k+1$) 내지 제 m 펄스 출력 회로(20) _{m} 이 영역(103)의 주사선 GL _{$2k+1$} 내지 주사선 GL _{m} 에 접속되어 있다.

[0089] 제1 펄스 출력 회로(20)₁ 내지 제 m 펄스 출력 회로(20) _{m} 는, 제1 펄스 출력 회로(20)₁에 입력되는 주사선 구동 회로용 스타트 펄스 신호(GSP)에 따라서 동작을 개시하고, 펄스가 순차 시프트한 선택 신호를 출력한다.

[0090] 제1 펄스 출력 회로(20)₁ 내지 제 m 펄스 출력 회로(20) _{m} 에는, 동일한 구성을 갖는 회로를 적용할 수 있다. 제1 펄스 출력 회로(20)₁ 내지 제 m 펄스 출력 회로(20) _{m} 의 구체적인 접속 관계에 대해서, 도 7을 참조하여 설명한다.

[0091] 도 7은, 제 x 펄스 출력 회로(20) _{x} (x 는, m 이하의 자연수)를, 모식적으로 도시한 도면이다. 제1 펄스 출력 회로(20)₁ 내지 제 m 펄스 출력 회로(20) _{m} 의 각각은, 단자(21) 내지 단자(27)를 갖는다. 또한, 단자(21) 내지 단자(24) 및 단자(26)는 입력 단자이며, 단자(25) 및 단자(27)는 출력 단자이다.

[0092] 우선, 단자(21)에 대해서 설명한다. 제1 펄스 출력 회로(20)₁의 단자(21)는, 주사선 구동 회로용 스타트 펄스 신호(GSP)를 공급하는 배선에 접속된다. 제2 펄스 출력 회로(20)₂ 내지 제 m 펄스 출력 회로(20) _{m} 의 단자(21)는, 전단의 펄스 출력 회로의 단자(27)에 접속된다.

[0093] 계속해서, 단자(22)에 대해서 설명한다. 제(4a-3) 펄스 출력 회로(20)_(4a-3)(a 는, $m/4$ 이하의 자연수)의 단자(22)는, 제1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선에 접속된다. 제(4a-2) 펄스 출력 회로(20)_(4a-2)의 단자(22)는, 제2 주사선 구동 회로용 클록 신호(GCK2)를 공급하는 배선에 접속된다. 제(4a-1) 펄스 출력 회로(20)_(4a-1)의 단자(22)는, 제3 주사선 구동 회로용 클록 신호(GCK3)를 공급하는 배선에 접속된다. 제4a 펄스 출력 회로(20)_{4a}의 단자(22)는, 제4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선에 접속된다.

[0094] 계속해서, 단자(23)에 대해서 설명한다. 제(4a-3) 펄스 출력 회로(20)_(4a-3)의 단자(23)는, 제2 주사선 구동 회로용 클록 신호(GCK2)를 공급하는 배선에 접속된다. 제(4a-2)의 펄스 출력 회로(20)_(4a-2)의 단자(23)는,

제3 주사선 구동 회로용 클록 신호(GCK3)를 공급하는 배선에 접속된다. 제(4a-1) 펄스 출력 회로(20)_(4a-1)의 단자(23)는, 제4 주사선 구동 회로용 클록 신호(GCK4)를 공급하는 배선에 접속된다. 제4a 펄스 출력 회로(20)_4a의 단자(23)는, 제1 주사선 구동 회로용 클록 신호(GCK1)를 공급하는 배선에 접속된다.

[0095] 계속해서, 단자(24)에 대해서 설명한다. 제(2b-1) 펄스 출력 회로(20)_2b-1)(b는, $k/2$ 이하의 자연수)의 단자(24)는, 제1 펄스폭 제어 신호(PWC1)를 공급하는 배선에 접속된다. 제2b 펄스 출력 회로(20)_2b의 단자(24)는, 제4 펄스폭 제어 신호(PWC4)를 공급하는 배선에 접속된다. 제(2c-1) 펄스 출력 회로(20)_(2c-1)(c는, $(k/2+1)$ 이상 k 이하의 자연수)의 단자(24)는, 제2 펄스폭 제어 신호(PWC2)를 공급하는 배선에 접속된다. 제2c 펄스 출력 회로(20)_2c의 단자(24)는, 제5 펄스폭 제어 신호(PWC5)를 공급하는 배선에 접속된다. 제(2d-1)의 펄스 출력 회로(20)_(2d-1)(d는, $(k+1)$ 이상 $m/2$ 이하의 자연수)의 단자(24)는, 제3 펄스폭 제어 신호(PWC3)를 공급하는 배선에 접속된다. 제2d 펄스 출력 회로(20)_2d의 단자(24)는, 제6 펄스폭 제어 신호(PWC6)를 공급하는 배선에 접속된다.

[0096] 계속해서, 단자(25)에 대해서 설명한다. 제x 펄스 출력 회로(20)_x의 단자(25)는, x행제에 배치된 주사선 GLx에 접속된다.

[0097] 계속해서, 단자(26)에 대해서 설명한다. 제y 펄스 출력 회로(20)_y(y는, $m-1$ 이하의 자연수)의 단자(26)는, 제(y+1) 펄스 출력 회로(20)_(y+1)의 단자(27)에 접속된다. 제m 펄스 출력 회로(20)_m의 단자(26)는, 제m 펄스 출력 회로용 스톱 신호(STP)를 공급하는 배선에 접속된다. 또한, 제m 펄스 출력 회로용 스톱 신호(STP)는, 제(m+1) 펄스 출력 회로가 설치되어 있는 경우에, 당해 제(m+1) 펄스 출력 회로(20)_(m+1)의 단자(27)로부터 출력되는 신호에 상당한다. 구체적으로, 이들의 신호는, 실제로 더미 회로로서 제(m+1) 펄스 출력 회로(20)_(m+1)를 설치하는 것, 또는 외부로부터 당해 신호를 직접 입력하는 것 등에 의해, 제m 펄스 출력 회로(20)_m에 공급할 수 있다.

[0098] 각 펄스 출력 회로의 단자(27)의 접속 관계는 상술한 바와 같다. 그 때문에, 여기서는 전술한 설명을 원용하기로 한다.

[0099] <펄스 출력 회로의 구성예 1>

[0100] 계속해서, 도 8a에, 도 7에 도시하는 제x 펄스 출력 회로(20)_x의, 구체적인 구성의 일례를 도시한다. 도 8a에 도시하는 펄스 출력 회로는, 트랜지스터(31) 내지 트랜지스터(39)를 갖는다.

[0101] 트랜지스터(31)는, 그 게이트 전극이 단자(21)에 접속되어 있다. 또한, 트랜지스터(31)는, 그 제1 단자가 고전원 전위(Vdd)가 부여되고 있는 노드에 접속된다. 트랜지스터(31)는, 그 제2 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극에 접속되어 있다.

[0102] 트랜지스터(32)는, 그 게이트 전극이 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 트랜지스터(32)는, 그 제1 단자가 저 전원 전위(Vss)가 부여되고 있는 노드에 접속된다. 트랜지스터(32)는, 그 제2 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극에 접속되어 있다.

[0103] 트랜지스터(33)는, 그 제1 단자가 단자(22)에 접속된다. 트랜지스터(33)는, 그 제2 단자가 단자(27)에 접속된다.

[0104] 트랜지스터(34)는, 그 제1 단자가 저 전원 전위(Vss)가 부여되고 있는 노드에 접속된다. 트랜지스터(34)는, 그 제2 단자가 단자(27)에 접속되어 있다.

[0105] 트랜지스터(35)는, 그 게이트 전극이 단자(21)에 접속되어 있다. 또한, 트랜지스터(35)는, 그 제1 단자가 저 전원 전위(Vss)가 부여되고 있는 노드에 접속된다. 트랜지스터(35)는, 그 제2 단자가 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다.

[0106] 트랜지스터(36)는, 그 게이트 전극이 단자(26)에 접속되어 있다. 또한, 트랜지스터(36)는, 그 제1 단자가 고전원 전위(Vdd)가 부여되고 있는 노드에 접속된다. 트랜지스터(36)는, 그 제2 단자가 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(36)의 제1 단자가, 저 전원 전위(Vss)보다도 고전위이며 또한 고전원 전위(Vdd)보다도 저전위인 전원 전위(Vcc)가 부여되고 있는 노드에 접속되는 구성으로 할 수도 있다.

[0107] 트랜지스터(37)는, 그 게이트 전극이 단자(23)에 접속되어 있다. 또한, 트랜지스터(37)는, 그 제1 단자가 고전원 전위(Vdd)가 부여되고 있는 노드에 접속된다. 트랜지스터(37)는, 그 제2 단자가 트랜지스터(34)의 게이트

전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(37)의 제1 단자가, 전원 전위(V_{cc})가 부여되고 있는 노드에 접속되는 구성으로 할 수도 있다.

[0108] 트랜지스터(38)는, 그 제1 단자가 단자(24)에 접속된다. 트랜지스터(38)는, 그 제2 단자가 단자(25)에 접속되어 있다.

[0109] 트랜지스터(39)는, 그 제1 단자가 저 전원 전위(V_{ss})가 부여되고 있는 노드에 접속된다. 트랜지스터(39)는 그 제2 단자가 단자(25)에 접속되어 있다.

[0110] 계속해서, 도 8b에, 도 8a에 도시한 펄스 출력 회로의 타이밍 차트의 일례를 도시한다. 또한, 도 8b에 도시하는 기간 t_1 내지 기간 t_7 은, 동일한 길이의 기간을 나타내고 있다. 그리고, 상기 기간 t_1 내지 기간 t_7 각각의 길이는, 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4)의 펄스폭의 1/3에 각각 상당하고, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6) 각각의 펄스폭의 1/2에 각각 상당한다.

[0111] 도 8a에 도시한 펄스 출력 회로는, 기간 t_1 및 기간 t_2 에 있어서, 단자(21)에 입력되는 전위가 하이 레벨, 단자(22), 단자(23), 단자(24) 및 단자(26)에 입력되는 전위가 로우 레벨이 된다. 따라서, 단자(25)로부터 로우 레벨의 전위, 단자(27)로부터 로우 레벨의 전위가 출력된다.

[0112] 계속해서, 기간 t_3 에 있어서, 단자(21) 및 단자(24)에 입력되는 전위가 하이 레벨, 단자(22), 단자(23) 및 단자(26)에 입력되는 전위가 로우 레벨이 된다. 따라서, 단자(25)로부터 하이 레벨의 전위, 단자(27)로부터 로우 레벨의 전위가 출력된다.

[0113] 계속해서, 기간 t_4 에 있어서, 단자(22) 및 단자(24)에 입력되는 전위가 하이 레벨, 단자(21), 단자(23) 및 단자(26)에 입력되는 전위가 로우 레벨이 되기 때문에, 단자(25)로부터 하이 레벨의 전위, 단자(27)로부터 하이 레벨의 전위가 출력된다.

[0114] 계속해서, 기간 t_5 및 기간 t_6 에 있어서, 단자(22)에 입력되는 전위가 하이 레벨, 단자(21), 단자(23), 단자(24) 및 단자(26)에 입력되는 전위가 로우 레벨이 된다. 따라서, 단자(25)로부터 로우 레벨의 전위, 단자(27)로부터 하이 레벨의 전위가 출력된다.

[0115] 계속해서, 기간 t_7 에 있어서, 단자(23) 및 단자(26)에 입력되는 전위가 하이 레벨, 단자(21), 단자(22) 및 단자(24)에 입력되는 전위가 로우 레벨이 된다. 따라서, 단자(25)로부터 로우 레벨의 전위, 단자(27)로부터 로우 레벨의 전위가 출력된다.

[0116] 계속해서, 도 8c에, 도 8a에 도시한 펄스 출력 회로의 타이밍 차트의, 다른 일례를 도시한다. 또한, 도 8c에 도시하는 기간 t_1 내지 기간 t_7 은, 동일한 길이의 기간을 나타내고 있다. 그리고, 상기 기간 t_1 내지 기간 t_7 의 길이는, 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4) 각각의 펄스폭의 1/3에 각각 상당하고, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6) 각각의 펄스폭의 1/3에 각각 상당한다.

[0117] 도 8a에 도시한 펄스 출력 회로는, 기간 t_1 내지 기간 t_3 에, 단자(21)에 입력되는 전위가 하이 레벨, 단자(22), 단자(23), 단자(24) 및 단자(26)에 입력되는 전위가 로우 레벨이다. 따라서, 기간 t_1 내지 기간 t_3 에 단자(25) 및 단자(27)로부터 로우 레벨의 전위가 출력된다.

[0118] 계속해서, 기간 t_4 내지 기간 t_6 에, 단자(22) 및 단자(24)에 입력되는 전위가 하이 레벨, 단자(21), 단자(23) 및 단자(26)에 입력되는 전위가 로우 레벨이 되고, 단자(25) 및 단자(27)로부터 하이 레벨의 전위가 출력된다.

[0119] <풀 컬러 화상 표시 기간(301)에 있어서의 주사선 구동 회로의 동작예>

[0120] 계속해서, 도 6, 도 7, 도 8a를 사용해서 설명한 주사선 구동 회로(11)를 예로 들어, 도 3에 있어서 나타난 풀 컬러 화상 표시 기간(301)에 있어서의, 주사선 구동 회로(11)의 동작에 대해서 설명한다.

[0121] 도 9에, 풀 컬러 화상 표시 기간(301)에 있어서의, 주사선 구동 회로(11)의 타이밍 차트의 일례를 도시한다. 도 9에서는, 서브 프레임 기간 SF1, 서브 프레임 기간 SF2, 서브 프레임 기간 SF3이, 1프레임 기간에 설정되어 있는 경우를 예시하고 있다. 그리고, 서브 프레임 기간 SF1의 타이밍 차트를, 도 9에 대표예로서 도시하고 있다. 단, 도 9에서는, $m=3j$ 이다.

[0122] 도 9에서는, 주사선 GL1 내지 주사선 GLk는, 영역(101)의 화소에 접속되고, 주사선 GLk+1 내지 주사선 GL2k는,

영역(102)의 화소에 접속되고, 주사선 GL2k+1 내지 주사선 GL3k는, 영역(103)의 화소에 접속되어 있다.

[0123] 제1 주사선 구동 회로용 클럭 신호(GCK1)는, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저 전원 전위(Vss))를 반복하는, 듀티비가 1/4인 신호이다. 또한, 제2 주사선 구동 회로용 클럭 신호(GCK2)는, 제1 주사선 구동 회로용 클럭 신호(GCK1)로부터 1/4 주기분 위상이 지연된 신호이며, 제3 주사선 구동 회로용 클럭 신호(GCK3)는, 제1 주사선 구동 회로용 클럭 신호(GCK1)로부터 1/2 주기 위상이 지연된 신호이고, 제4 주사선 구동 회로용 클럭 신호(GCK4)는, 제1 주사선 구동 회로용 클럭 신호(GCK1)로부터 3/4 주기 위상이 지연된 신호이다.

[0124] 제1 펄스폭 제어 신호(PWC1)는, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저 전원 전위(Vss))를 반복하는, 듀티비가 1/3인 신호이다. 또한, 제2 펄스폭 제어 신호(PWC2)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/6 주기 위상이 지연된 신호이며, 제3 펄스폭 제어 신호(PWC3)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/3 주기 위상이 지연된 신호이고, 제4 펄스폭 제어 신호(PWC4)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/2 주기 위상이 지연된 신호이며, 제5 펄스폭 제어 신호(PWC5)는, 제1 펄스폭 제어 신호(PWC1)로부터 2/3 주기 위상이 지연된 신호이고, 제6 펄스폭 제어 신호(PWC6)는, 제1 펄스폭 제어 신호(PWC1)로부터 5/6 주기 위상이 지연된 신호이다.

[0125] 그리고, 도 9에서는, 제1 주사선 구동 회로용 클럭 신호(GCK1) 내지 제4 주사선 구동 회로용 클럭 신호(GCK4)의 펄스폭과 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭의 비는, 3:2로 한다.

[0126] 각 서브 프레임 기간 SF는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강에 따라서 개시한다. 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스폭은, 제1 주사선 구동 회로용 클럭 신호(GCK1) 내지 제4 주사선 구동 회로용 클럭 신호(GCK4)와 동일한 정도이다. 그리고, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강과, 제1 주사선 구동 회로용 클럭 신호(GCK1)의 펄스가 갖는 전위의 상승이 동기하고 있다. 또한, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강은, 제1 펄스폭 제어 신호(PWC1)의 펄스가 갖는 전위의 상승으로부터, 제1 펄스폭 제어 신호(PWC1)의 1/6 주기분 지연된 타이밍에서 출현한다.

[0127] 그리고, 상기 신호에 의해, 도 8a에 도시한 펄스 출력 회로는, 도 8b에 도시한 타이밍 차트에 따라서 동작한다. 따라서, 도 9에 도시하는 바와 같이, 영역(101)에 대응하는 주사선 GL1 내지 주사선 GLk에는, 펄스가 순차 시프트한 선택 신호가 부여된다. 게다가, 주사선 GL1 내지 주사선 GLk에 부여되는 선택 신호의 펄스는, 펄스폭의 2분의 3에 해당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL1 내지 주사선 GLk에 부여되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일한 정도이다.

[0128] 또한, 영역(101)의 경우와 마찬가지로, 영역(102)에 대응하는 주사선 GLk+1 내지 주사선 GL2k에는, 펄스가 순차 시프트한 선택 신호가 부여된다. 게다가, 주사선 GLk+1 내지 주사선 GL2k에 부여되는 선택 신호의 펄스는, 펄스폭의 2분의 3에 해당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GLk+1 내지 주사선 GL2k에 부여되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일한 정도이다.

[0129] 또한, 영역(101)의 경우와 마찬가지로, 영역(103)에 대응하는 주사선 GL2k+1 내지 주사선 GL3k에는, 펄스가 순차 시프트한 선택 신호가 부여된다. 게다가, 주사선 GL2k+1 내지 주사선 GL3k에 부여되는 선택 신호의 펄스는, 펄스폭의 2분의 3에 해당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL2k+1 내지 주사선 GL3k에 부여되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일한 정도이다.

[0130] 그리고, 주사선 GL1, 주사선 GLk+1, 주사선 GL2k+1에 부여되는 선택 신호의 펄스는, 펄스폭의 2분의 1에 해당하는 기간, 위상이 지연되도록 순차 시프트하고 있다.

[0131] <모노크롬 정지 화상 표시 기간(303)에 있어서의 주사선 구동 회로의 동작예>

[0132] 계속해서, 도 6, 도 7, 도 8a를 사용해서 설명한 주사선 구동 회로(11)를 예로 들어, 도 3에 있어서 도시한 모노크롬 정지 화상 표시 기간(303)에 있어서의, 주사선 구동 회로(11)의 동작에 대해서 설명한다.

[0133] 도 10에, 모노크롬 정지 화상 표시 기간(303)에 있어서의, 주사선 구동 회로(11)의 타이밍 차트의 일례를 도시한다. 도 10에서는, 화상 신호의 화소에의 기입을 행하는 기입 기간과, 상기 화상 신호의 보유를 행하는 보유

기간이, 1프레임 기간에 설정되어 있는 경우를 예시하고 있다.

- [0134] 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4)에는, 도 9과 동일한 신호이다.
- [0135] 제1 펄스폭 제어 신호(PWC1), 제4 펄스폭 제어 신호(PWC4)는, 기입 기간에 있어서의 최초의 1/3의 기간에 있어서, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저 전원 전위(Vss))를 반복하는, 듀티비가 1/2인 신호이다. 게다가, 기입 기간 이외의 기간에 제1 펄스폭 제어 신호(PWC1), 제4 펄스폭 제어 신호(PWC4)는 로우 레벨의 전위를 갖는다. 그리고, 제4 펄스폭 제어 신호(PWC4)는, 제1 펄스폭 제어 신호(PWC1)로부터 1/2 주기 위상이 지연된 신호이다.
- [0136] 또한, 제2 펄스폭 제어 신호(PWC2), 제5 펄스폭 제어 신호(PWC5)는, 기입 기간에 있어서의 한가운데의 1/3의 기간에 있어서, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저 전원 전위(Vss))를 반복하는, 듀티비가 1/2인 신호이다. 게다가, 기입 기간 이외의 기간에 제2 펄스폭 제어 신호(PWC2), 제5 펄스폭 제어 신호(PWC5)는 로우 레벨의 전위를 갖는다. 그리고, 제5 펄스폭 제어 신호(PWC5)는, 제2 펄스폭 제어 신호(PWC2)로부터 1/2 주기 위상이 지연된 신호이다.
- [0137] 또한, 제3 펄스폭 제어 신호(PWC3), 제6 펄스폭 제어 신호(PWC6)는, 기입 기간에 있어서의 마지막의 1/3의 기간에 있어서, 주기적으로 하이 레벨의 전위(고전원 전위(Vdd))와 로우 레벨의 전위(저 전원 전위(Vss))를 반복하는, 듀티비가 1/2인 신호이다. 게다가, 기입 기간 이외의 기간은 제3 펄스폭 제어 신호(PWC3), 제6 펄스폭 제어 신호(PWC6)는 로우 레벨의 전위를 갖는다. 그리고, 제6 펄스폭 제어 신호(PWC6)는, 제3 펄스폭 제어 신호(PWC3)로부터 1/2 주기 위상이 지연된 신호이다.
- [0138] 그리고, 도 10에서는, 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4)의 펄스폭과 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭의 비는, 1:1로 한다.
- [0139] 프레임 기간 F는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강에 따라서 개시한다. 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스폭은, 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4)과 동일한 정도이다. 그리고, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강과, 제1 주사선 구동 회로용 클록 신호(GCK1)의 펄스가 갖는 전위의 상승이 동기하고 있다. 또한, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 갖는 전위의 하강과, 제1 펄스폭 제어 신호(PWC1)의 펄스가 갖는 전위의 상승이 동기하고 있다.
- [0140] 그리고, 상기 신호에 의해, 도 8a에 도시한 펄스 출력 회로는, 도 8c에 도시한 타이밍 차트에 따라서 동작한다. 따라서, 도 10에 도시하는 바와 같이, 영역(101)에 대응하는 주사선 GL1 내지 주사선 GLk에는, 펄스가 순차 시프트한 선택 신호가 부여된다. 또한, 주사선 GL1 내지 주사선 GLk에 부여되는 선택 신호의 펄스는, 펄스폭에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL1 내지 주사선 GLk에 부여되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일한 정도이다.
- [0141] 또한, 영역(101)의 주사선 GL1 내지 주사선 GLk에 펄스가 순차 시프트한 선택 신호가 부여된 후, 영역(102)의 주사선 GLk+1 내지 주사선 GL2k에 펄스가 순차 시프트한 선택 신호가 부여된다. 또한, 주사선 GLk+1 내지 주사선 GL2k에 부여되는 선택 신호는, 펄스폭에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GLk+1 내지 주사선 GL2k에 부여되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일한 정도이다.
- [0142] 또한, 영역(102)의 주사선 GLk+1 내지 주사선 GL2k에 펄스가 순차 시프트한 선택 신호가 부여된 후, 영역(103)의 주사선 GL2k+1 내지 주사선 GL3k에 펄스가 순차 시프트한 선택 신호가 부여된다. 또한, 주사선 GL2k+1 내지 주사선 GL3k에 부여되는 선택 신호는, 펄스폭에 상당하는 기간, 위상이 지연되도록 시프트하고 있다. 또한, 주사선 GL2k+1 내지 주사선 GL3k에 부여되는 선택 신호의 펄스폭은, 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 펄스폭과 동일한 정도이다.
- [0143] 계속해서, 보유 기간에서는, 주사선 구동 회로(11)에의 구동 신호 및 전원 전위의 공급을 정지한다. 구체적으로는, 우선, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 공급을 정지함으로써, 주사선 구동 회로(11)에 있어서의 펄스 출력 회로로부터의 선택 신호의 출력을 정지하고, 모든 주사선에 있어서의 펄스에 의한 선택을 종료시킨다. 그 후, 주사선 구동 회로(11)에의 전원 전위 Vdd의 공급을 정지한다. 또한, 입력 또는 공급의 정지란, 예를 들어 신호 또는 전위가 입력되고 있던 배선을 부유 상태로 하는 것, 혹은, 신호 또는 전위가 입력되고 있던 배선에, 로우 레벨의 전위를 부여하는 것을 의미한다. 상기 방법에 의해, 동작을 정지할 때에 주사

선 구동 회로(11)가 오동작하는 것을 방지할 수 있다. 또한, 상기 구성 외에, 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4), 제1 펄스폭 제어 신호(PWC1) 내지 제6 펄스폭 제어 신호(PWC6)의 주사선 구동 회로(11)에의 공급을 정지해도 된다.

[0144] 주사선 구동 회로(11)에의 구동 신호 및 전원 전위의 공급을 정지함으로써, 주사선 GL1 내지 주사선 GLk와, 주사선 GLk+1 내지 주사선 GL2k와, 주사선 GL2k+1 내지 주사선 GL3k에는, 모두 로우 레벨의 전위가 부여된다.

[0145] 또한, 모노크롬 동화상 표시 기간(302)에 대해서는, 기입 기간에 있어서의 주사선 구동 회로(11)의 동작이 모노크롬 정지 화상 표시 기간(303)과 동일하다.

[0146] 본 발명의 일 형태에 의하면, 오프 전류가 극히 작은 트랜지스터를 화소에 사용함으로써, 액정 소자에 부여되는 전압이 보유되는 기간을 길게 할 수 있다. 그 때문에, 도 10에 도시하는 보유 기간을 길게 확보할 수 있고, 도 9에 도시한 동작을 행하는 경우보다도, 주사선 구동 회로(11)의 구동 주파수를 낮게 할 수 있다. 그 때문에, 소비 전력을 저감할 수 있는 액정 표시 장치를 실현할 수 있다.

[0147] <신호선 구동 회로(12)의 구성예>

[0148] 도 11은, 도 2a에 도시하는 액정 표시 장치가 갖는 신호선 구동 회로(12)의 구성예를 도시하는 도면이다. 도 11에 도시하는 신호선 구동 회로(12)는, 제1 출력 단자 내지 제n 출력 단자를 갖는 시프트 레지스터(120)와, 화상 신호(DATA)의 신호선 SL1 내지 신호선 SLn에의 공급을 제어하는 스위칭 소자군(123)을 갖는다.

[0149] 구체적으로, 스위칭 소자군(123)은, 트랜지스터(121)₁ 내지 트랜지스터(121)_n을 갖고 있다. 트랜지스터(121)₁ 내지 트랜지스터(121)_n은, 그 제1 단자가, 화상 신호(DATA)를 공급하는 배선에 접속된다. 트랜지스터(121)₁ 내지 트랜지스터(121)_n은, 그 제2 단자가 신호선 SL1 내지 신호선 SLn의 각각에 접속되어 있다. 트랜지스터(121)₁ 내지 트랜지스터(121)_n의 게이트 전극은, 시프트 레지스터(120)의 제1 출력 단자 내지 제n 출력 단자에 각각 접속되어 있다.

[0150] 또한, 시프트 레지스터(120)는, 신호선 구동 회로용 스타트 펄스 신호(SSP)와, 신호선 구동 회로용 클록 신호(SCK) 등의 구동 신호에 따라서 동작을 행하고, 펄스가 순차 시프트한 신호를 제1 출력 단자 내지 제n 출력 단자로부터 출력한다. 상기 신호가 게이트 전극에 입력됨으로써, 트랜지스터(121)₁ 내지 트랜지스터(121)_n은, 순차 온이 된다.

[0151] 도 12a는, 풀 컬러 화상 표시 기간(301)에 있어서의, 신호선에 공급되는 화상 신호(DATA)의 타이밍의 일례를 도시하는 도면이다. 도 11에 도시하는 신호선 구동 회로(12)에서는, 도 12a에 도시하는 바와 같이, 2개의 주사선에 입력되는 선택 신호의 펄스가 겹쳐 있는 기간에 있어서, 펄스가 앞서 출현한 주사선에 대응하는 화상 신호(DATA)가 샘플링되어, 각 신호선에 입력된다. 구체적으로는, 주사선 GL1에 입력되는 선택 신호의 펄스와, 주사선 GLk+1에 입력되는 선택 신호의 펄스가, 펄스폭의 1/2에 상당하는 기간 t4에 있어서 겹쳐 있다. 또한, 주사선 GL1의 펄스는 주사선 GLk+1의 펄스 앞에 출현한다. 그리고, 상기 펄스가 겹쳐 있는 기간에 있어서, 화상 신호(DATA)에 포함되고 주사선 GL1에 대응하는 화상 신호(data1)가 샘플링되어, 신호선 SL1 내지 신호선 SLn에 입력된다.

[0152] 마찬가지로, 기간 t5에 있어서, 주사선 GLk+1에 대응하는 화상 신호(datak+1)가 샘플링되어, 신호선 SL1 내지 신호선 SLn에 입력된다. 기간 t6에 있어서, 주사선 GL2k+1에 대응하는 화상 신호(data2k+1)가 샘플링되어, 신호선 SL1 내지 신호선 SLn에 입력된다. 기간 t7에 있어서, 주사선 GL2에 대응하는 화상 신호(data2)가 샘플링되어, 신호선 SL1 내지 신호선 SLn에 입력된다. 그리고, 기간 t7 다음의 각 기간에도, 마찬가지로의 동작이 반복되어, 화소부에 화상 신호(DATA)가 기입된다.

[0153] 즉, 신호선 SL1 내지 신호선 SLn에의 화상 신호의 입력은, 주사선 GLs(s는, k 미만의 자연수)에 접속된 화소, 계속해서, 주사선 GL2k+s에 접속된 화소, 계속해서, 주사선 GLs+1에 접속된 화소와 같은 순서로 행하여진다.

[0154] 도 12b는, 모노크롬 동화상 표시 기간(302) 및 모노크롬 정지 화상 표시 기간(303)이 갖는 기입 기간에 있어서의, 신호선에 공급되는 화상 신호(DATA)의 타이밍의 일례를 도시하는 도면이다. 도 11에 도시하는 신호선 구동 회로(12)에서는, 도 12b에 도시하는 바와 같이, 각 주사선에 입력되는 선택 신호의 펄스가 출현하고 있는 기간에 있어서, 당해 주사선에 대응하는 화상 신호(DATA)가 샘플링되어, 각 신호선에 입력된다. 구체적으로는, 주사선 GL1에 입력되는 선택 신호의 펄스가 출현하고 있는 기간에 있어서, 화상 신호(DATA) 중 주사선 GL1에 대응하는 화상 신호(data1)가 샘플링되어, 신호선 SL1 내지 신호선 SLn에 입력된다.

[0155] 마찬가지로, 이하, 주사선 GL1 이후의 모든 각 주사선에 있어서도 마찬가지로의 동작이 반복됨으로써, 화소부에

화상 신호(DATA)가 기입된다.

- [0156] 또한, 모노크롬 정지 화상 표시 기간(303)이 갖는 보유 기간에서는, 시프트 레지스터(120)에의 신호선 구동 회로용 스타트 펄스 신호(SSP)의 공급과, 화상 신호(DATA)의, 신호선 구동 회로(12)에의 공급을 정지한다. 구체적으로는, 우선, 신호선 구동 회로용 스타트 펄스 신호(SSP)의 공급을 정지함으로써, 신호선 구동 회로(12)에 있어서의 화상 신호의 샘플링을 정지시킨다. 그 후, 신호선 구동 회로(12)에의 화상 신호의 공급과, 전원 전위의 공급을 정지한다. 상기 방법에 의해, 동작을 정지할 때에 신호선 구동 회로(12)가 오동작하는 것을 방지할 수 있다. 또한, 상기 구성 외에, 신호선 구동 회로(12)에의, 신호선 구동 회로용 클럭 신호(SCK)의 공급을 정지해도 된다.
- [0157] <액정 표시 장치의 동작예>
- [0158] 도 13은, 풀 컬러 화상 표시 기간(301)에 있어서의, 상술한 액정 표시 장치에 있어서의 선택 신호의 주사의 타이밍과, 백라이트의 점등의 타이밍을 도시하는 도면이다. 또한, 도 13에 있어서 종축은 화소부에 있어서의 행을 나타내고, 횡축은 시간을 나타내고 있다.
- [0159] 도 13에 도시하는 바와 같이, 본 실시 형태에서 설명한 액정 표시 장치에서는, 풀 컬러 화상 표시 기간(301)에 있어서, 주사선 GL1에 대하여 선택 신호를 공급한 후에 주사선 GL1으로부터 k행인 주사선 GLk+1에 대하여 선택 신호를 공급하는 구동 방법을 사용하는 것이 가능하다. 그 때문에, 하나의 서브 프레임 기간 SF에 있어서, 주사선 GL1에 접속된 n개의 화소로부터 주사선 GLk에 접속된 n개의 화소를 순차 선택하고, 또한, 주사선 GLk+1에 접속된 n개의 화소로부터 주사선 GL2k에 접속된 n개의 화소를 순차 선택하고, 또한, 주사선 GL2k+1에 접속된 n개의 화소로부터 주사선 GL3k에 접속된 n개의 화소를 순차 선택함으로써, 각 화소에 화상 신호를 입력하는 것이 가능하다.
- [0160] 구체적으로, 도 13에서는, 제1 서브 프레임 기간 SF1에 있어서, 주사선 GL1 내지 주사선 GLk에 접속된 화소에 적(R)에 대응하는 화상 신호를 기입한 후, 주사선 GL1 내지 주사선 GLk에 접속된 화소에 적(R)의 광을 공급한다. 상기 구성에 의해, 주사선 GL1로부터 주사선 GLk에 대응하는 화소부의 영역(101)에, 적(R)에 대응하는 화상을 표시할 수 있다.
- [0161] 또한, 제1 서브 프레임 기간 SF1에 있어서, 주사선 GLk+1 내지 주사선 GL2k에 접속된 화소에 녹색(G)에 대응하는 화상 신호를 기입한 후, 주사선 GLk+1 내지 주사선 GL2k에 접속된 화소에 녹색(G)의 광을 공급한다. 상기 구성에 의해, 주사선 GLk+1로부터 주사선 GL2k에 대응하는 화소부의 영역(102)에, 녹색(G)에 대응하는 화상을 표시할 수 있다.
- [0162] 또한, 제1 서브 프레임 기간 SF1에 있어서, 주사선 GL2k+1로부터 주사선 GL3k에 접속된 화소에 청(B)에 대응하는 화상 신호를 기입한 후, 주사선 GL2k+1로부터 주사선 GL3k에 접속된 화소에 청(B)의 광을 공급한다. 상기 구성에 의해, 주사선 GL2k+1로부터 주사선 GL3k에 대응하는 화소부의 영역(103)에, 청(B)에 대응하는 화상을 표시할 수 있다.
- [0163] 이어서, 제2 서브 프레임 기간 SF2 및 제3 서브 프레임 기간 SF3에 있어서도, 제1 서브 프레임 기간 SF1과 마찬가지로의 동작을 반복한다. 단, 제2 서브 프레임 기간 SF2에서는, 주사선 GL1로부터 주사선 GLk에 대응하는 화소부의 영역(101)에, 청(B)에 대응하는 화상을 표시하고, 주사선 GLk+1로부터 주사선 GL2k에 대응하는 화소부의 영역(102)에, 적(R)에 대응하는 화상을 표시하고, 주사선 GL2k+1로부터 주사선 GL3k에 대응하는 화소부의 영역(103)에, 녹색(G)에 대응하는 화상을 표시한다. 또한, 제3 서브 프레임 기간 SF3에서는, 주사선 GL1로부터 주사선 GLk에 대응하는 화소부의 영역(101)에, 녹색(G)에 대응하는 화상을 표시하고, 주사선 GLk+1로부터 주사선 GL2k에 대응하는 화소부의 영역(102)에, 청(B)에 대응하는 화상을 표시하고, 주사선 GL2k+1로부터 주사선 GL3k에 대응하는 화소부의 영역(103)에, 적(R)에 대응하는 화상을 표시한다.
- [0164] 이러한 방식으로, 모든 주사선 GL에 제1 서브 프레임 기간 SF1 내지 제3 서브 프레임 기간 SF3이 종료하는, 즉 1프레임 기간이 종료함으로써, 풀 컬러의 화상을 화소부에 표시할 수 있다.
- [0165] 또한, 본 발명의 일 형태에서는, 각 영역을 더 분할하고, 그 분할된 영역에 있어서 화상 신호의 기입이 종료한 시점에서, 백라이트의 점등을 순차 개시하도록 해도 된다. 예를 들어, 영역(101) 중, 주사선 GL1로부터 주사선 GLh(h는 k/4 이하의 자연수로 함)에 접속된 화소에 적(R)에 대응하는 화상 신호를 기입한 후, 주사선 GLh+1로부터 주사선 GL2h에 접속된 화소에 적(R)에 대응하는 화상 신호를 기입하는 것과 병행해서, 주사선 GL1로부터 주사선 GLh에 접속된 화소에 적(R)의 광을 공급하도록 해도 된다.

- [0166] 또한, 도 14는, 모노크롬 정지 화상 표시 기간(303)에 있어서의, 상술한 액정 표시 장치에 있어서의 선택 신호의 주사의 타이밍과, 백라이트의 점등의 타이밍을 도시하는 도면이다. 또한, 도 14에 있어서 종축은 화소부에 있어서의 행을 나타내고, 횡축은 시간을 나타내고 있다.
- [0167] 도 14에 도시하는 바와 같이, 본 실시 형태에서 설명한 액정 표시 장치에서는, 모노크롬 정지 화상 표시 기간(303)에 있어서, 주사선 GL1 내지 주사선 GL3k에 대하여 순차 선택 신호를 공급한다.
- [0168] 구체적으로, 도 14에서, 예를 들어, 영역(101) 중, 주사선 GL1로부터 주사선 GLh에 접속된 화소에 화상 신호를 기입한 후, 주사선 GLh+1로부터 주사선 GL2h에 접속된 화소에 화상 신호를 기입하면서, 주사선 GL1로부터 주사선 GLh에 접속된 화소에, 적(R), 녹(G), 청(B)의 혼색에 의해 형성되는 백(W)의 광을 공급한다. 다음에, 모든 주사선의 화소에 마찬가지로의 동작을 행함으로써, 모노크롬의 화상을 화소부에 표시할 수 있다.
- [0169] 또한, 모노크롬 동화상 표시 기간(302)에는, 모든 주사선의 화소에 상기 동작이 행해진 후, 이 동작을 반복하여, 모노크롬의 화상이 연속해서 화소부에 표시된다.
- [0170] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서는, 백라이트로서 적(R), 녹(G), 청(B)의 3색에 대응하는 광원을 사용하는 구성에 대해서 나타냈지만, 본 발명의 액정 표시 장치는, 당해 구성에 한정되지 않는다. 즉, 본 발명의 액정 표시 장치에서는, 임의의 색을 나타내는 광원을 사용한 백라이트를 조합해서 사용하는 것이 가능하다. 예를 들어, 적(R), 녹(G), 청(B), 백(W), 혹은 적(R), 녹(G), 청(B), 황(Y)의 4색을 조합해서 사용하는 것, 또는 시안(C), 마젠타(M), 옐로우(Y)의 3색을 조합해서 사용하는 것 등이 가능하다.
- [0171] 또한, 백(W)의 광을 혼색에 의해 형성하는 것이 아니고, 백(W)의 광을 발하는 광원을 다시 백라이트에 설치해도 된다. 백(W)의 광을 발하는 광원은, 발광 효율이 높기 때문에, 당해 광원을 사용해서 백라이트를 구성함으로써, 소비 전력을 저감하는 것이 가능하다. 또한, 백라이트가 보색의 관계에 있는 2색의 광을 발하는 광원을 갖는 경우(예를 들어, 청(B)과 황(Y)의 2색을 갖는 경우), 당해 2색을 나타내는 광을 혼색함으로써 백(W)을 나타내는 광을 형성하는 것도 가능하다. 또한, 담색의 적(R), 녹(G) 및 청(B), 및 농색의 적(R), 녹(G) 및 청(B)의 6색을 조합해서 사용하는 것, 또는 적(R), 녹(G), 청(B), 시안(C), 마젠타(M), 옐로우(Y)의 6색을 조합해서 사용하는 것 등도 가능하다.
- [0172] 또한, 예를 들어, 적(R), 녹(G) 및 청(B)의 광원을 사용해서 표현할 수 있는 색은, 색도도 상의 각각의 발광색에 대응하는 3점이 그리는 삼각형의 내측에 나타내어지는 색에 한정된다. 따라서, 색도도 상의 상기 삼각형의 외측에 발광색이 존재하는 광원을 별도 부가함으로써, 당해 액정 표시 장치에 있어서 표현할 수 있는 색 영역을 확대하여, 색 재현성을 풍부하게 할 수 있다.
- [0173] 예를 들어, 색도도의 중심으로부터, 색도도 상의 청색의 광원 B에 대응하는 점을 향해서 대략 외측에 위치하는 점에서 표시되는 깊은 청색(Deep Blue:DB)이나, 색도도의 중심으로부터 적색의 광원 R에 대응하는 색도도 상의 점을 향해서 대략 외측에 위치하는 점에서 표시되는 보다 깊은 적색(Deep Red:DR)을 발하는 광원을, 적(R), 녹(G) 및 청(B)의 광원을 갖는 백라이트에 부가해서 사용할 수 있다.
- [0174] 백라이트의 광원으로서, 냉음극 형광 램프보다도 소비 전력을 저감할 수 있고, 광의 강약을 조절할 수 있는 발광 다이오드(LED)를 복수 사용하는 것이 바람직하다. 백라이트에 LED를 사용함으로써 부분적으로 광의 강약을 조절하여, 콘트라스트가 크고, 색의 시인성이 높은 화상 표시를 행할 수 있다.
- [0175] 또한, 화소부에 있어서 1매의 화상을 형성하는 기간의 전후에, 선택 신호의 주사 및 백라이트 유닛의 점등이 행하여지지 않는 기간(소등 기간)을 설정하는 구성으로 하는 것도 가능하다.
- [0176] 또한, 백라이트에 있어서의 색의 점등 순서가 서로 다른 복수의 프레임 기간을 설정함으로써, 컬러 브레이크의 발생을 보다 억제할 수 있다.
- [0177] <펄스 출력 회로의 구성예 2>
- [0178] 또한, 도 19a에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 19a에 도시하는 펄스 출력 회로는, 도 8a에 도시한 펄스 출력 회로에 트랜지스터(50)를 부가한 구성을 갖는다. 트랜지스터(50)는, 그 제1 단자가 고전원 전위가 부여되고 있는 노드에 접속된다. 트랜지스터(50)는, 그 제2 단자가 트랜지스터(32)의 게이트 전극, 트랜지스터(34)의 게이트 전극 및 트랜지스터(39)의 게이트 전극에 접속되어 있다. 또한 트랜지스터(50)는, 그 게이트 전극이 리셋 단자(Reset)에 접속되어 있다.
- [0179] 또한, 당해 리셋 단자에는, 화소부에 있어서 백라이트의 색상의 전환이 한바퀴 돈 후의 기간에 있어서, 하이 레

벨의 전위가 입력되고, 그 밖의 기간에 있어서는 로우 레벨의 전위가 입력된다. 또한, 트랜지스터(50)는, 하이 레벨의 전위가 입력됨으로써 온 상태가 되는 트랜지스터이다. 이에 의해, 백라이트의 점등이 행하여진 후의 기간에 있어서, 각 노드의 전위를 초기화할 수 있으므로, 오동작을 방지하는 것이 가능하게 된다.

[0180] 또한, 당해 초기화를 행하는 경우에는, 화소부에 1매의 화상이 형성되는 기간끼리의 동안에 초기화 기간을 설정할 필요가 있다. 또한, 화소부에 1화상을 형성한 후에 백라이트를 소등하는 경우, 소등하는 기간에 있어서 당해 초기화를 행하는 것이 가능하다.

[0181] 또한, 도 19b에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 19b에 도시하는 펄스 출력 회로는, 도 8a에 도시한 펄스 출력 회로에 트랜지스터(51)를 부가한 구성을 갖는다. 트랜지스터(51)는, 그 제1 단자가 트랜지스터(31)의 제2 단자 및 트랜지스터(32)의 제2 단자에 접속된다. 트랜지스터(51)는, 그 제2 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(51)는, 그 게이트 전극이 고전원 전위가 부여되고 있는 노드에 접속되어 있다.

[0182] 또한, 트랜지스터(51)는, 도 8b 및 도 8c에 도시한 기간 t1 내지 기간 t6에 있어서 오프가 된다. 그 때문에, 트랜지스터(51)를 부가한 구성으로 함으로써, 기간 t1 내지 기간 t6에 있어서, 트랜지스터(33)의 게이트 전극 및 트랜지스터(38)의 게이트 전극과, 트랜지스터(31)의 제2 단자 및 트랜지스터(32)의 제2 단자의 접속을 차단하는 것이 가능하게 된다. 이에 의해, 기간 t1 내지 기간 t6에 포함되는 기간에 있어서, 당해 펄스 출력 회로에서 행하여지는 부트스트랩 동작 시의 부하를 저감하는 것이 가능하다.

[0183] 또한, 도 20a에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 20a에 도시하는 펄스 출력 회로는, 도 19b에 도시한 펄스 출력 회로에 트랜지스터(52)를 부가한 구성을 갖는다. 트랜지스터(52)는, 그 제1 단자가 트랜지스터(33)의 게이트 전극 및 트랜지스터(51)의 제2 단자에 접속된다. 트랜지스터(52)는, 그 제2 단자가 트랜지스터(38)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(52)는, 그 게이트 전극이, 고전원 전위가 부여되고 있는 노드에 접속되어 있다.

[0184] 트랜지스터(52)를 설치함으로써, 당해 펄스 출력 회로에서 행하여지는 부트스트랩 동작 시의 부하를 저감하는 것이 가능하다. 특히, 당해 펄스 출력 회로가 트랜지스터(33)의 소스 전극과 게이트 전극의 용량 결합만에 의해, 트랜지스터(33)의 게이트 전극에 접속되어 있는 노드의 전위를 상승시키는 경우, 당해 부하를 저감하는 효과가 크다.

[0185] 또한, 도 20b에, 펄스 출력 회로의 다른 구성예를 도시한다. 도 20b에 도시하는 펄스 출력 회로는, 도 20a에 도시한 펄스 출력 회로로부터 트랜지스터(51)를 삭제하고, 트랜지스터(53)를 부가한 구성을 갖는다. 트랜지스터(53)는, 그 제1 단자가 트랜지스터(31)의 제2 단자, 트랜지스터(32)의 제2 단자 및 트랜지스터(52)의 제1 단자에 접속된다. 트랜지스터(53)는, 그 제2 단자가 트랜지스터(33)의 게이트 전극에 접속되어 있다. 또한, 트랜지스터(53)는, 그 게이트 전극이 고전원 전위가 부여되고 있는 노드에 접속되어 있다.

[0186] 트랜지스터(53)를 설치함으로써, 당해 펄스 출력 회로에서 행하여지는 부트스트랩 동작 시의 부하를 저감하는 것이 가능하다. 또한, 당해 펄스 출력 회로에 발생하는 부정 펄스가, 트랜지스터(33) 및 트랜지스터(38)의 스위칭에 부여하는 영향을 경감하는 것이 가능하다.

[0187] 본 실시 형태에서 설명한 바와 같이, 본 발명의 일 형태에 따른 액정 표시 장치는, 화소부를 복수의 영역으로 분할하고, 영역마다 서로 다른 색상의 광을 순차 공급함으로써, 컬러 화상의 표시를 행한다. 따라서, 특정 한 시각에 착안하면, 인접하는 영역에 공급되는 광의 색상을, 서로 상이하게 할 수 있다. 따라서, 각 색의 화상이 합성되지 않고 개별로 시인되는 것을 방지할 수 있어, 동화상의 표시를 행할 때에 일어나기 쉬웠던 컬러 브레이크의 발생을 방지할 수 있다.

[0188] 또한, 다른 색상을 갖는 복수의 광원을 이용해서 컬러 화상의 표시를 행할 경우, 단색의 광원과 컬러 필터를 조합할 경우와는 달리, 상기 복수의 광원을 순차 전환해서 발광시킬 필요가 있다. 그리고, 상기 광원의 전환이 행해지는 주파수는, 단색의 광원을 이용한 경우의 프레임 주파수보다도 높은 값으로 설정할 필요가 있다. 예를 들어, 단색의 광원을 이용한 경우의 프레임 주파수를 60Hz라고 하면, 적, 녹, 청의 각 색에 대응하는 광원을 이용해서 FS 구동을 행할 경우, 광원의 전환을 행하는 주파수는, 약 3배의 180Hz가 된다. 따라서, 구동 회로도 상기 광원의 주파수에 맞춰서 동작시키므로, 매우 높은 주파수에서 동작을 행하게 된다. 따라서, 구동 회로에 있어서의 소비 전력이, 단색의 광원과 컬러 필터를 조합할 경우에 비해서 높아지기 쉽다.

[0189] 그러나, 본 발명의 일 실시 형태에 따르면, 오프 전류가 매우 작은 트랜지스터를 이용함으로써, 액정 소자에 부여되는 전압이 유지되는 기간을 길게 할 수 있다. 그 때문에, 정지 화상을 표시할 때의 구동 주파수를, 동화상

을 표시할 때의 구동 주파수보다도 낮게 할 수 있다. 그 때문에, 소비 전력을 저감할 수 있는 액정 표시 장치를 실현할 수 있다.

[0190] (실시 형태 2)

[0191] 실시 형태 2에서는, 실시 형태 1과 패널의 구성이 상이한, 본 발명의 일 형태에 따른 액정 표시 장치의 일례에 대해서 설명한다.

[0192] <패널의 구성예>

[0193] 본 발명의 일 형태에 따른 패널의 구체적인 구성에 대해서, 일례를 들어 설명한다.

[0194] 도 15a는, 액정 표시 장치의 구성예를 도시하는 도면이다. 도 15a에 도시하는 액정 표시 장치는, 화소부(60)와, 주사선 구동 회로(61)와, 신호선 구동 회로(62)를 갖는다. 본 발명의 일 형태에서는, 화소부(60)가 복수의 영역으로 분할되어 있다. 구체적으로, 도 15a에서는, 화소부(60)가, 3개의 영역(영역(601) 내지 영역(603))으로 분할되어 있는 경우를 예시하고 있다. 그리고, 각 영역은, 매트릭스 형상으로 배치된 복수의 화소(615)를 갖는다.

[0195] 또한, 화소부(60)에는, 주사선 구동 회로(61)에 의해 전위가 제어되는 m개의 주사선 GL과, 신호선 구동 회로(62)에 의해 전위가 제어되는 $3 \times n$ 개의 신호선 SL이 설치되어 있다. 그리고, m개의 주사선 GL은, 화소부(60)가 갖는 영역의 수에 맞춰서, 복수의 그룹으로 분할되어 있다. 예를 들어, 도 15a의 경우, 화소부(60)가 3개의 영역으로 분할되어 있으므로, m개의 주사선 GL도 3개의 그룹으로 분할되어 있다. 그리고, 각 그룹에 속하는 주사선 GL은, 당해 그룹에 대응하는 영역이 갖는 복수의 화소(615)에 접속되어 있다. 구체적으로, 각 주사선 GL은, 각 영역에 있어서 매트릭스 형상으로 배치된 복수의 화소(615) 중, 어느 한쪽의 행에 배치된 n개의 화소(615)에 접속된다.

[0196] 또한, 신호선 SL도, 화소부(60)가 갖는 영역의 수에 맞춰서, 복수의 그룹으로 분할되어 있다. 예를 들어, 도 15a의 경우, 화소부(60)가 3개의 영역으로 분할되어 있으므로, $3 \times n$ 개의 신호선 SL도 3개의 그룹으로 분할되어 있다. 그리고, 각 그룹에 속하는 신호선 SL은, 당해 그룹에 대응하는 영역이 갖는 복수의 화소(615)에 접속되어 있다.

[0197] 구체적으로, 도 15a에서는, $3 \times n$ 개의 신호선 SL이, n개의 신호선 SLa와, n개의 신호선 SLb와, n개의 신호선 SLc로 구성되어 있는 경우를 예시하고 있다. 그리고, 도 15a에서는, n개의 신호선 SLa가, 영역(601)에 있어서 매트릭스 형상으로 배치된 복수의 화소(615) 중, 어느 한쪽의 열에 배치된 화소(615)에 접속되어 있고, n개의 신호선 SLb가, 영역(602)에 있어서 매트릭스 형상으로 배치된 복수의 화소(615) 중, 어느 한쪽의 열에 배치된 화소(615)에 접속되어 있고, n개의 신호선 SLc가, 영역(603)에 있어서 매트릭스 형상으로 배치된 복수의 화소(615) 중, 어느 한쪽의 열에 배치된 화소(615)에 접속되어 있다.

[0198] 도 15b, 도 15c, 도 15d는, 각각, 영역(601)에 있어서의 화소(615), 영역(602)에 있어서의 화소(615), 영역(603)에 있어서의 화소(615)의 회로도에 상당한다. 화소(615)의 구성은 모든 영역에 있어서 동일하다. 구체적으로는, 화소(615)는 스위칭 소자로서 기능하는 트랜지스터(616)와, 트랜지스터(616)를 통해서 부여된 화상 신호의 전위에 따라, 그 투과율이 제어되는 액정 소자(618)와, 액정 소자(618)가 갖는 화소 전극과 대향 전극간의 전압을 보유하는 용량 소자(617)를 갖는다.

[0199] 도 15b에 도시하는 바와 같이, 영역(601)에서는, 화소(615)에 인접하도록 신호선 SLa, 신호선 SLb, 신호선 SLc가 설치되어 있다. 그리고, 영역(601)에 있어서 화소(615)는, 트랜지스터(616)의 게이트 전극이 주사선 GL에 접속되어 있고, 그 제1 단자가 신호선 SLa에 접속되고, 그 제2 단자가 액정 소자(618)의 화소 전극에 접속되어 있다. 용량 소자(617)는, 한쪽의 전극이 액정 소자(618)의 화소 전극에 접속되어 있고, 다른 쪽의 전극이, 특정한 전위가 인가된 노드에 접속되어 있다.

[0200] 또한, 도 15c에 도시하는 바와 같이, 영역(602)에서는, 화소(615)에 인접하도록 신호선 SLb, 신호선 SLc가 설치되어 있다. 그리고, 영역(602)에 있어서 화소(615)는, 트랜지스터(616)의 게이트 전극이 주사선 GL에 접속되어 있고, 그 제1 단자가 신호선 SLb에 접속되고, 그 제2 단자가 액정 소자(618)의 화소 전극에 접속되어 있다. 용량 소자(617)는, 한쪽의 전극이 액정 소자(618)의 화소 전극에 접속되어 있고, 다른 쪽의 전극이, 특정한 전위가 인가된 노드에 접속되어 있다.

[0201] 한, 도 15d에 도시하는 바와 같이, 영역(603)에서는, 화소(615)에 인접하도록 신호선 SLc가 설치되어 있다. 그리고, 영역(603)에 있어서 화소(615)는, 트랜지스터(616)의 게이트 전극이 주사선 GL에 접속되어 있고, 그 제1

단자가 신호선 SLc에 접속되고, 그 제2 단자가 액정 소자(618)의 화소 전극에 접속되어 있다. 용량 소자(617)는, 한쪽의 전극이 액정 소자(618)의 화소 전극에 접속되어 있고, 다른 쪽의 전극이, 특정한 전위가 인가된 노드에 접속되어 있다.

[0202] 또한, 모든 화소(615)에 있어서, 액정 소자(618)가 갖는 대향 전극에도 특정한 전위가 인가된다. 그리고, 대향 전극에 인가된 전위는, 용량 소자(617)가 갖는 다른 쪽의 전극에 인가된 전위와 공통이어도 된다.

[0203] 화소(615)는, 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 용량 소자, 인덕턴스 등의 그 밖의 회로 소자를 더 갖고 있어도 된다.

[0204] 그리고, 본 발명의 일 형태에서는, 상기 스위칭 소자로서 기능하는 트랜지스터(616)의 채널 형성 영역에, 실리콘 반도체보다도 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘 반도체보다도 낮은 반도체를 포함하고 있어도 된다. 상술한 바와 같은 특성을 갖는 반도체 재료를 채널 형성 영역에 포함함으로써, 오프 전류가 극히 낮고, 또한 고내압인 트랜지스터(616)를 실현할 수 있다. 그리고, 상기 구성을 갖는 트랜지스터(616)를 스위칭 소자로서 사용함으로써, 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여, 액정 소자(618)에 축적된 전하의 누설을 방지할 수 있다.

[0205] 오프 전류가 극히 작은 트랜지스터(616)를 사용함으로써, 액정 소자(618)에 인가되는 전압이 보유되는 기간을 길게 할 수 있다. 그 때문에, 정지 화상과 같이, 연속하는 몇 개인가의 프레임 기간에 걸쳐, 화소부(60)에 동일한 화상 정보를 갖는 화상 신호가 기입되는 경우 등에는, 구동 주파수를 낮게 하는, 바꾸어 말하면 일정 기간 내에 있어서의 화소부(60)에의 화상 신호의 기입 횟수를 적게 해도, 화상의 표시를 유지할 수 있다. 예를 들어, 상술한 바와 같은, 고순도로 정제되고 산소 결손이 감소된 산화물 반도체막을 활성층으로서 사용한 트랜지스터(616)를 사용함으로써, 화상 신호의 기입의 간격을 10초 이상, 바람직하게는 30초 이상, 더욱 바람직하게는 1분 이상으로 할 수 있다. 그리고, 화상 신호가 기입되는 간격을 길게 하면 할수록, 보다 소비 전력을 저감할 수 있다.

[0206] 또한, 화상 신호의 전위를 보다 긴 기간에 걸쳐 유지할 수 있기 때문에, 화상 신호의 전위를 유지하기 위해서, 액정 소자(618)에 용량 소자(617)를 접속하지 않아도, 표시되는 화질이 저하하는 것을 방지할 수 있다. 따라서, 용량 소자(617)를 설치하지 않더라도, 혹은 용량 소자(617)의 크기를 작게 억제해도, 개구율을 높일 수 있기 때문에, 액정 표시 장치의 소비 전력을 저감시킬 수 있다.

[0207] 또한, 화상 신호의 전위의 극성을, 대향 전극의 전위를 기준으로 해서 반전시키는 반전 구동을 행함으로써, 번인(burn-in)이라고 불리는 액정의 열화를 방지할 수 있다. 그러나, 반전 구동을 행하면, 화상 신호의 극성이 변화할 때에 신호선에 부여되는 전위의 변화가 커지기 때문에, 스위칭 소자로서 기능하는 트랜지스터(616)의 소스 전극과 드레인 전극의 전위차가 커진다. 따라서, 트랜지스터(616)는, 임계값 전압이 시프트하는 등의 특성 열화가 발생하기 쉽다. 또한, 액정 소자(618)에 유지되고 있는 전압을 유지하기 위해서, 트랜지스터(616)는 소스 전극과 드레인 전극의 전위차가 커도, 오프 전류가 낮은 것이 요구된다. 본 발명의 일 형태에서는, 트랜지스터(616)에, 실리콘 또는 게르마늄보다도 밴드 갭이 크고, 실리콘 또는 게르마늄보다도 진성 캐리어 밀도가 낮은 산화물 반도체 등의 반도체를 사용하고 있으므로, 트랜지스터(616)의 내압성을 높이고, 오프 전류를 현저하게 낮게 할 수 있다. 따라서, 통상의 실리콘이나 게르마늄 등의 반도체 재료로 형성된 트랜지스터를 사용한 경우에 비하여, 트랜지스터(616)의 열화를 방지하여, 액정 소자(618)에 보유되어 있는 전압을 유지할 수 있다.

[0208] 또한, 도 15b 내지 도 15d에서는, 화소(615)에 있어서, 하나의 트랜지스터(616)를 스위칭 소자로서 사용하고 있는 경우에 대해서 도시하고 있지만, 본 발명은 이 구성에 한정되지 않는다. 하나의 스위칭 소자로서 기능하는 복수의 트랜지스터를 사용하고 있어도 된다. 복수의 트랜지스터가 하나의 스위칭 소자로서 기능하는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 되고, 직렬로 접속되어 있어도 되며, 직렬과 병렬이 조합되어 접속되어 있어도 된다.

[0209] <주사선 구동 회로(61)의 구성예>

[0210] 도 16은, 도 15a 내지 도 15d에 도시하는 액정 표시 장치가 갖는 주사선 구동 회로(61)의 구성예를 도시하는 도면이다. 도 16에 도시하는 주사선 구동 회로(61)는, k개의 출력 단자를 갖는 시프트 레지스터(611 내지 613)를 갖는다. 또한, 시프트 레지스터(611)가 갖는 출력 단자의 각각은, 영역(601)에 배치된 k개의 주사선 GL 중 어느 하나에 접속되고, 시프트 레지스터(612)가 갖는 출력 단자의 각각은, 영역(602)에 배치된 k개의 주사선 GL 중 어느 하나에 접속되며, 시프트 레지스터(613)가 갖는 출력 단자의 각각은, 영역(603)에 배치된 k개의 주사선 GL 중 어느 하나에 접속된다. 즉, 시프트 레지스터(611)는, 영역(601)에 있어서 선택 신호를 주사하는 시프트

레지스터이며, 시프트 레지스터(612)는, 영역(602)에 있어서 선택 신호를 주사하는 시프트 레지스터이고, 시프트 레지스터(613)는, 영역(603)에 있어서 선택 신호를 주사하는 시프트 레지스터이다.

[0211] 구체적으로, 시프트 레지스터(611)는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 입력되면, 상기 펄스에 따라, 주사선 GL1 내지 주사선 GLk에, 순차 펄스가 1/2 주기마다 시프트하는 선택 신호를 공급한다. 시프트 레지스터(612)는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 입력되면, 상기 펄스에 따라, 주사선 GLk+1 내지 주사선 GL2k에, 순차 펄스가 1/2 주기마다 시프트하는 선택 신호를 공급한다. 시프트 레지스터(613)는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 입력되면, 상기 펄스에 따라, 주사선 GL2k+1 내지 주사선 GL3k에, 순차 펄스가 1/2 주기마다 시프트하는 선택 신호를 공급한다.

[0212] 상술한 주사선 구동 회로(61)의, 풀 컬러 화상 표시 기간(301)과, 모노크롬 정지 화상 표시 기간(303)의 동작에 대해서, 도 17을 참조하여 설명한다.

[0213] 또한, 도 17에서는, 주사선 구동 회로용 클록 신호(GCK), 주사선 GL1 내지 주사선 GLk에 입력되는 선택 신호, 주사선 GLk+1 내지 주사선 GL2k에 입력되는 선택 신호, 주사선 GL2k+1 내지 주사선 GL3k에 입력되는 선택 신호의 타이밍 차트를 나타내고 있다.

[0214] 우선, 풀 컬러 화상 표시 기간(301)에 있어서의 주사선 구동 회로(61)의 동작에 대해서 설명한다. 풀 컬러 화상 표시 기간(301)에서는, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스에 따라, 제1 서브 프레임 기간 SF1이 개시한다. 제1 서브 프레임 기간 SF1에서는, 주사선 GL1 내지 주사선 GLj에, 순차 펄스가 1/2 주기마다 시프트하는 선택 신호가 공급되고, 주사선 GLk+1 내지 주사선 GL2k에도, 순차 펄스가 1/2 주기마다 시프트하는 선택 신호가 공급되고, 주사선 GL2k+1 내지 주사선 GL3k에도, 순차 펄스가 1/2 주기마다 시프트하는 선택 신호가 공급된다.

[0215] 그리고, 다시 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 주사선 구동 회로(61)에 입력되면, 상기 펄스에 따라, 제2 서브 프레임 기간 SF2가 개시한다. 제2 서브 프레임 기간 SF2에서는, 제1 서브 프레임 기간 SF1과 마찬가지로, 주사선 GL1 내지 주사선 GLj, 주사선 GLj+1 내지 주사선 GL2j, 주사선 GL2j+1 내지 주사선 GL3j에, 순차 펄스가 시프트한 선택 신호가 입력된다.

[0216] 그리고, 다시 주사선 구동 회로용 스타트 펄스 신호(GSP)의 펄스가 주사선 구동 회로(61)에 입력되면, 상기 펄스에 따라, 제3 서브 프레임 기간 SF3이 개시한다. 제3 서브 프레임 기간 SF3에서는, 제1 서브 프레임 기간 SF1과 마찬가지로, 주사선 GL1 내지 주사선 GLk, 주사선 GLk+1 내지 주사선 GL2k, 주사선 GL2k+1 내지 주사선 GL3k에, 순차 펄스가 시프트한 선택 신호가 입력된다.

[0217] 제1 서브 프레임 기간 SF1 내지 제3 서브 프레임 기간 SF3이 종료함으로써 1프레임 기간이 종료하고, 화소부에 화상이 표시된다.

[0218] 계속해서, 모노크롬 정지 화상 표시 기간(303)에 있어서의 주사선 구동 회로(61)의 동작에 대해서 설명한다. 모노크롬 정지 화상 표시 기간(303)에서는, 화상 신호의 기입 기간에 있어서, 풀 컬러 화상 표시 기간(301)에 있어서의 각 서브 프레임 기간과 마찬가지로의 동작이 주사선 구동 회로(61)에서 행하여진다.

[0219] 계속해서, 보유 기간에서는, 주사선 구동 회로(61)에의 구동 신호 및 전원 전위의 공급을 정지한다. 구체적으로는, 우선, 주사선 구동 회로용 스타트 펄스 신호(GSP)의 공급을 정지함으로써, 주사선 구동 회로(61)로부터의 선택 신호의 출력을 정지하고, 모든 주사선 GL에 있어서의 펄스에 의한 선택을 종료시키고, 그 후, 주사선 구동 회로(61)에의 전원 전위의 공급을 정지한다. 상기 방법에 의해, 주사선 구동 회로(61)의 동작을 정지할 때에 주사선 구동 회로(61)가 오동작하는 것을 방지할 수 있다. 또한, 상기 구성 외에, 제1 주사선 구동 회로용 클록 신호(GCK1) 내지 제4 주사선 구동 회로용 클록 신호(GCK4)의 주사선 구동 회로(61)에의 공급을 정지해도 된다.

[0220] 주사선 구동 회로(61)에의 구동 신호 또는 전원 전위의 공급을 정지함으로써, 주사선 GL1 내지 주사선 GLk와, 주사선 GLk+1 내지 주사선 GL2k와, 주사선 GL2k+1 내지 주사선 GL3k에는, 모두 로우 레벨의 전위가 부여된다.

[0221] 또한, 모노크롬 동화상 표시 기간(302)에 대해서는, 기입 기간에 있어서의 주사선 구동 회로(61)의 동작이 모노크롬 정지 화상 표시 기간(303)과 동일하다.

[0222] 본 발명의 일 형태에서는, 오프 전류가 극히 작은 트랜지스터를 화소에 사용함으로써, 액정 소자에 인가되는 전압이 보유되는 기간을 길게 할 수 있다. 그 때문에, 모노크롬 정지 화상 표시 기간(303)에서는, 도 17에 도시하는 보유 기간을 길게 확보할 수 있어, 풀 컬러 화상 표시 기간(301)보다도, 주사선 구동 회로(61)의 구동 주

과수를 낮게 할 수 있다. 그 때문에, 소비 전력을 저감할 수 있는 액정 표시 장치를 실현할 수 있다.

[0223] <신호선 구동 회로(62)의 구성예>

[0224] 도 18은, 도 15a에 도시하는 신호선 구동 회로(62)의 구성예를 도시하는 도면이다. 도 18에 도시하는 신호선 구동 회로(62)는, 제1 출력 단자 내지 제n 출력 단자를 갖는 시프트 레지스터(620)와, 영역(601)에 대한 화상 신호(DATA1), 영역(602)에 대한 화상 신호(DATA2), 영역(603)에 대한 화상 신호(DATA3)의, 신호선 SLa 내지 신호선 SLc에의 공급을 제어하는 스위칭 소자군(623)을 갖는다.

[0225] 구체적으로, 스위칭 소자군(623)은, 트랜지스터(65a1) 내지 트랜지스터(65an)와, 트랜지스터(65b1) 내지 트랜지스터(65bn)와, 트랜지스터(65c1) 내지 트랜지스터(65cn)를 갖고 있다.

[0226] 트랜지스터(65a1) 내지 트랜지스터(65an)는, 그 제1 단자가, 화상 신호(DATA1)를 공급하는 배선에 접속되어 있고, 그 제2 단자가 신호선 SLa1 내지 신호선 SLan의 각각에 접속되어 있고, 그 게이트 전극은, 시프트 레지스터(620)의 제1 출력 단자 내지 제n 출력 단자에 각각 접속되어 있다.

[0227] 트랜지스터(65b1) 내지 트랜지스터(65bn)는, 그 제1 단자가, 화상 신호(DATA2)를 공급하는 배선에 접속되어 있고, 그 제2 단자가 신호선 SLb1 내지 신호선 SLbn의 각각에 접속되어 있고, 그 게이트 전극은, 시프트 레지스터(620)의 제1 출력 단자 내지 제n 출력 단자에 각각 접속되어 있다.

[0228] 트랜지스터(65c1) 내지 트랜지스터(65cn)는, 그 제1 단자가, 화상 신호(DATA3)를 공급하는 배선에 접속되어 있고, 그 제2 단자가 신호선 SLc1 내지 신호선 SLcn의 각각에 접속되어 있고, 그 게이트 전극은, 시프트 레지스터(620)의 제1 출력 단자 내지 제n 출력 단자에 각각 접속되어 있다.

[0229] 또한, 시프트 레지스터(620)는, 신호선 구동 회로용 스타트 펄스 신호(SSP)와, 신호선 구동 회로용 클록 신호(SCK) 등의 구동 신호에 따라서 동작을 행하고, 펄스가 순차 시프트한 신호를 제1 출력 단자 내지 제n 출력 단자로부터 출력한다. 상기 신호가 게이트 전극에 입력됨으로써, 트랜지스터(65a1) 내지 트랜지스터(65an)와, 트랜지스터(65b1) 내지 트랜지스터(65bn)와, 트랜지스터(65c1) 내지 트랜지스터(65cn)는, 순차 온이 된다. 그리고, 신호선 SLa1 내지 SLan에 화상 신호(DATA1)가 입력되고, 신호선 SLb1 내지 SLbn에 화상 신호(DATA2)가 입력되며, 신호선 SLc1 내지 SLcn에 화상 신호(DATA3)가 입력되고, 화상이 표시된다.

[0230] 또한, 모노크롬 정지 화상 표시 기간(303)이 갖는 보유 기간에서는, 시프트 레지스터(620)에의 신호선 구동 회로용 스타트 펄스 신호(SSP)의 공급과, 화상 신호(DATA1) 내지 화상 신호(DATA3)의 신호선 구동 회로(62)에의 공급을 정지한다. 구체적으로는, 우선, 신호선 구동 회로용 스타트 펄스 신호(SSP)의 공급을 정지함으로써, 신호선 구동 회로(62)에 있어서의 화상 신호의 샘플링을 정지시키고, 그 후, 신호선 구동 회로(62)에의 화상 신호의 공급과, 전원 전위의 공급을 정지한다. 상기 방법에 의해, 동작을 정지할 때에 신호선 구동 회로(62)가 오동작하는 것을 방지할 수 있다. 또한, 상기 구성 외에, 신호선 구동 회로(62)에의 신호선 구동 회로용 클록 신호(SCK)의 공급을 정지해도 된다.

[0231] 본 실시 형태는, 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0232] (실시 형태 3)

[0233] 실시 형태 3에서는, 산화물 반도체를 사용한 트랜지스터의 제작 방법에 대해서 설명한다.

[0234] 우선, 도 21a에 도시하는 바와 같이, 기판(700)의 절연 표면 위에, 절연막(701)을 형성하고, 절연막(701) 위에 게이트 전극(702)을 형성한다.

[0235] 기판(700)으로서 사용할 수 있는 기판은 투광성을 갖고 있으면 되고, 그 밖에는 특별히 큰 제한은 없지만, 적어도, 후속 가열 처리에 견딜 수 있을 정도의 내열성을 갖고 있는 것이 필요로 된다. 예를 들어, 기판(700)에는, 퓨전법이나 플롯법으로 제작되는 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 유리 기판으로서, 후속 가열 처리의 온도가 높은 경우에는, 왜곡점이 730℃ 이상인 것을 사용하면 된다. 플라스틱 등의 가요성을 갖는 합성 수지로 이루어지는 기판은, 일반적으로 상기 기판과 비교해서 내열 온도가 낮은 경향이 있지만, 제작 공정에 있어서의 처리 온도에 견딜 수 있는 것이라면 사용하는 것이 가능하다.

[0236] 절연막(701)은, 후속 제작 공정에 있어서의 가열 처리의 온도에 견딜 수 있는 재료를 사용한다. 구체적으로, 절연막(701)으로서, 산화 규소, 질화 규소, 질화 산화 규소, 산화 질화 규소, 질화 알루미늄, 산화 알루미늄 등을 사용하는 것이 바람직하다.

- [0237] 또한, 본 명세서에 있어서 산화 질화물이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 물질이며, 또한, 질화 산화물이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 물질을 의미한다.
- [0238] 게이트 전극(702)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등의 금속 재료, 이들 금속 재료를 주성분으로 하는 합금 재료를 사용한 도전막, 혹은 이들 금속의 질화물을, 단층으로 또는 적층으로 사용할 수 있다. 또한, 후속 공정에 있어서 행하여지는 가열 처리의 온도에 견딜 수 있는 것이라면, 상기 금속 재료로서 알루미늄, 구리를 사용할 수도 있다. 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 피하기 위해서, 고용점 금속 재료와 조합해서 사용하면 된다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등을 사용할 수 있다.
- [0239] 예를 들어, 2층의 적층 구조를 갖는 게이트 전극(702)으로서, 알루미늄막 위에 몰리브덴막이 적층된 2층의 적층 구조, 구리막 위에 몰리브덴막을 적층한 2층 구조, 구리막 위에 질화 티타늄막 혹은 질화 탄탈막을 적층한 2층 구조 또는, 질화 티타늄막과 몰리브덴막을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조를 갖는 게이트 전극(702)으로서, 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막 또는 알루미늄과 네오디뮴의 합금막을 중간층으로 하고, 텅스텐막, 질화 텅스텐막, 질화 티타늄막 또는 티타늄막을 상하층으로서 적층한 구조로 하는 것이 바람직하다.
- [0240] 또한, 게이트 전극(702)에 산화 인듐, 산화 인듐 산화 주석 합금, 산화 인듐 산화 아연 합금, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄 또는 산화 아연 갈륨 등의 투광성을 갖는 산화물 도전막을 사용할 수도 있다.
- [0241] 게이트 전극(702)의 막 두께는, 10nm 내지 400nm의 범위, 바람직하게는 100nm 내지 200nm 범위이다. 본 실시 형태에서는, 텅스텐 타깃을 사용한 스퍼터링법에 의해 150nm의 게이트 전극용의 도전막을 형성하고, 예칭에 의해 원하는 형상으로 가공(패터닝)함으로써, 게이트 전극(702)을 형성한다. 또한, 형성된 게이트 전극의 단부가 테이퍼 형상이면, 위에 적층하는 게이트 절연막의 피복성이 향상하기 때문에 바람직하다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0242] 계속해서, 도 21b에 도시하는 바와 같이, 게이트 전극(702) 위에 게이트 절연막(703)을 형성한 후, 게이트 절연막(703) 위에 게이트 전극(702)과 겹치도록 섬 형상의 산화물 반도체막(704)을 형성한다.
- [0243] 게이트 절연막(703)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 규소막, 질화 규소막, 산화 질화 규소막, 질화 산화 규소막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 산화 하프늄막 또는 산화 탄탈막을 단층 구조로 또는 적층 구조로 형성할 수 있다. 게이트 절연막(703)은, 수 분이나, 수소, 산소 등의 불순물을 최대한 포함하지 않는 것이 바람직하다. 스퍼터링법에 의해 산화 규소막을 성막하는 경우에는, 타깃으로서 실리콘 타깃 또는 석영 타깃을 사용하고, 스퍼터 가스로서 산소 또는 산소 및 아르곤의 혼합 가스를 사용한다.
- [0244] 불순물을 제거함으로써 고순도화된 산화물 반도체는 계면 준위, 계면 전하에 대하여 극히 민감하기 때문에, 고순도화된 산화물 반도체와 게이트 절연막(703)의 계면은 중요하다. 그 때문에 고순도화된 산화물 반도체에 접하는 게이트 절연막(GI)은, 고품질화가 요구된다.
- [0245] 예를 들어, 마이크로파(주파수 2.45GHz)를 사용한 고밀도 플라즈마 CVD는, 치밀하고 절연 내압이 높은 고품질의 절연막을 형성할 수 있으므로 바람직하다. 이는 고순도화된 산화물 반도체와 고품질 게이트 절연막이 밀착하여 접착함으로써, 계면 준위를 저감해서 계면 특성을 양호한 것으로 할 수 있기 때문이다.
- [0246] 물론, 게이트 절연막(703)으로서 양질의 절연막을 형성할 수 있는 것이면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 또한, 성막후의 열처리에 의해 막질이나, 산화물 반도체와의 계면 특성이 개선되는 절연막이여도 된다. 어떻든간에, 게이트 절연막으로서의 막질이 양호한 것은 물론, 게이트 절연막과 산화물 반도체 사이의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있는 임의의 절연막을 사용할 수 있다.
- [0247] 배리어성이 높은 재료를 사용한 절연막과, 질소의 함유 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 적층시킨 구조를 갖는 게이트 절연막(703)을 형성해도 된다. 이 경우, 산화 규소막, 산화 질화 규소막 등의 절연막은, 배리어성이 높은 절연막과 산화물 반도체막 사이에 형성한다. 배리어성이 높은 절연막으로서, 예를 들어 질화 규소막, 질화 산화 규소막, 질화 알루미늄막, 또는 질화 산화 알루미늄막 등을 들 수 있다. 배리

여성이 높은 절연막을 사용함으로써, 수분 또는 수소 등의 분위기 중의 불순물, 혹은 기판 내에 포함되는 알칼리 금속, 중금속 등의 불순물이, 산화물 반도체막내, 게이트 절연막(703)내, 혹은, 산화물 반도체막과 다른 절연막의 계면과 그 근방에 인입하는 것을 방지할 수 있다. 또한, 산화물 반도체막에 접하도록 질소의 함유 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 형성함으로써, 배리어성이 높은 절연막이 직접 산화물 반도체막에 접하는 것을 방지할 수 있다.

[0248] 예를 들어, 제1 게이트 절연막으로서 스퍼터링법에 의해 막 두께 50nm 이상 200nm 이하의 질화 규소막($\text{SiN}_y(y>0)$)을 형성하고, 제1 게이트 절연막 위에 제2 게이트 절연막으로서 막 두께 5nm 이상 300nm 이하의 산화 규소막($\text{SiO}_x(x>0)$)을 적층하여, 막 두께 100nm의 게이트 절연막이 게이트 절연막(703)으로 형성될 수 있다. 게이트 절연막(703)의 막 두께는, 트랜지스터에 요구되는 특성에 따라 적절히 설정하면 되고 350nm 내지 400nm 정도일 수 있다.

[0249] 본 실시 형태에서는, 스퍼터링법으로 형성된 막 두께 50nm의 질화 규소막 위에 스퍼터링법으로 형성된 막 두께 100nm의 산화 규소막을 적층하여, 게이트 절연막(703)을 형성한다.

[0250] 또한, 게이트 절연막(703)은 후에 형성되는 산화물 반도체와 접한다. 산화물 반도체에 수소가 함유되면 특성에 악영향을 미치므로, 게이트 절연막(703)은 수소, 수산기 및 수분이 포함되지 않는 것이 바람직하다. 게이트 절연막(703)에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서는, 성막 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 전극(702)이 형성된 기판(700)을 예비 가열하고, 기판(700)에 흡착한 수분 또는 수소 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 설치하는 배기 수단은 저온 펌프가 바람직하다. 또한, 이 예비 가열의 처리는 생략할 수도 있다.

[0251] 게이트 절연막(703) 위에 형성한 산화물 반도체막을 원하는 형상으로 가공하여, 섬 형상의 산화물 반도체막을 형성할 수 있다. 상기 산화물 반도체막의 막 두께는, 2nm 이상 200nm 이하, 바람직하게는 3nm 이상 50nm 이하, 더욱 바람직하게는 3nm 이상 20nm 이하로 한다. 산화물 반도체막은, 산화물 반도체를 타깃으로 해서 사용하고, 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막은, 희가스(예를 들어 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스(예를 들어 아르곤) 및 산소 혼합 분위기 하에서 스퍼터링법에 의해 형성할 수 있다.

[0252] 또한, 산화물 반도체막을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하고, 게이트 절연막(703)의 표면에 부착되어 있는 진애를 제거하는 것이 바람직하다. 역스퍼터란, 타깃측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 사용해서 전압을 인가해서 기판 근방에 플라즈마를 형성해서 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 아산화질소 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 염소, 4불화 탄소 등을 첨가한 분위기에서 행해도 된다.

[0253] 산화물 반도체막에는, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물 반도체, Sn-Zn계 산화물 반도체, Al-Zn계 산화물 반도체, Zn-Mg계 산화물 반도체, Sn-Mg계 산화물 반도체, In-Mg계 산화물 반도체, In-Ga계 산화물 반도체, 3원계 금속의 산화물인 In-Ga-Zn계 산화물 반도체(IGZO라고도 표기함), In-Al-Zn계 산화물 반도체, In-Sn-Zn계 산화물 반도체, Sn-Ga-Zn계 산화물 반도체, Al-Ga-Zn계 산화물 반도체, Sn-Al-Zn계 산화물 반도체, In-Hf-Zn계 산화물 반도체, In-La-Zn계 산화물 반도체, In-Ce-Zn계 산화물 반도체, In-Pr-Zn계 산화물 반도체, In-Nd-Zn계 산화물 반도체, In-Sm-Zn계 산화물 반도체, In-Eu-Zn계 산화물 반도체, In-Gd-Zn계 산화물 반도체, In-Tb-Zn계 산화물 반도체, In-Dy-Zn계 산화물 반도체, In-Ho-Zn계 산화물 반도체, In-Er-Zn계 산화물 반도체, In-Tm-Zn계 산화물 반도체, In-Yb-Zn계 산화물 반도체, In-Lu-Zn계 산화물 반도체, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물 반도체, In-Hf-Ga-Zn계 산화물 반도체, In-Al-Ga-Zn계 산화물 반도체, In-Sn-Al-Zn계 산화물 반도체, In-Sn-Hf-Zn계 산화물 반도체, In-Hf-Al-Zn계 산화물 반도체를 사용할 수 있다.

[0254] 산화물 반도체는, 바람직하게는 In을 함유하는 산화물 반도체, 더욱 바람직하게는, In 및 Ga를 함유하는 산화물 반도체이다. 산화물 반도체막을 I형(진성)으로 하기 위해서, 후에 설명하는 탈수화 또는 탈수소화와, 산화물 반도체막에의 산소의 공여에 의한 산소 결손의 저감은 유효하다.

[0255] 본 실시 형태에서는, In(인듐), Ga(갈륨) 및 Zn(아연)을 포함하는 타깃을 이용한 스퍼터법에 의해 얻어지는 막 두께 30nm의 In-Ga-Zn-O계 산화물 반도체의 박막을, 산화물 반도체막으로서 이용한다. 상기 타깃으로서, 예를 들어, $\text{In}_{203}:\text{Ga}_{203}:\text{ZnO}=1:1:1$ [mol비], 또는 $\text{In}_{203}:\text{Ga}_{203}:\text{ZnO}=1:1:2$ [mol비], 또는 $\text{In}_{203}:\text{Ga}_{203}:\text{ZnO}=1:1:4$

[mol비]의 타깃을 이용할 수 있다. In, Ga 및 Zn을 포함하는 타깃의 충전율은 90%이상 100%이하, 바람직하게는 95%이상 100%미만이다. 충전율의 높은 타깃을 이용함에 따라, 산화물 반도체막은 치밀한 막으로 된다.

[0256] 또한, 산화물 반도체막으로서 In-Zn-O계의 재료를 사용하는 경우, 사용하는 타깃의 조성비는, 원자수비로, In:Zn=50:1 내지 1:2(몰수비로 환산하면 In₂O₃:ZnO=25:1 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 In₂O₃:ZnO=10:1 내지 1:2), 더욱 바람직하게는 In:Zn=1.5:1 내지 15:1(몰수비로 환산하면 In₂O₃:ZnO=3:4 내지 15:2)로 한다. 예를 들어, In-Zn-O계 산화물 반도체층의 형성에 사용하는 타깃은, 원자수비가 In:Zn:O=X:Y:Z일 때, Z>1.5X+Y로 한다. Zn의 비율을 상기 범위 내에 설정함으로써, 이동도를 실현할 수 있다.

[0257] 본 실시 형태에서는, 감압 상태로 보유된 처리실 내에 기관을 보유하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터 가스를 도입하고, 상기 타깃을 사용해서 기관(700) 위에 산화물 반도체막을 성막한다. 성막 시에, 기관 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 설정할 수 있다. 기관을 가열하는 상태로 성막함으로써, 성막한 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 저온 펌프, 이온 펌프, 티타늄 사브리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서는, 터보 펌프에 콜드트랩을 부가한 것이어도 된다. 저온 펌프를 사용해서 처리실을 배기하면, 예를 들어, 수소 원자, 물(H₂O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 배기되기 때문에, 당해 처리실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.

[0258] 성막 조건의 일례로서는, 기관과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 비율 100%) 분위기 하에서의 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 사용하면, 성막 시에 발생하는 진애를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다.

[0259] 또한, 산화물 반도체막에 수소, 수산기 및 수분이 가능한 한 포함되지 않도록 하기 위해서, 성막 전처리로서, 스퍼터링 장치의 예비 가열실에서 게이트 절연막(703)까지의 요소가 형성된 기관(700)을 예비 가열하고, 기관(700)에 흡착한 수분 또는 수소 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는, 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 설치하는 배기 수단은 저온 펌프가 바람직하다. 또한, 이 예비 가열의 처리는 생략할 수도 있다. 또한, 이 예비 가열은, 후에 행하여지는 절연막(707)의 성막 전에, 도전막(705), 도전막(706)까지의 요소가 형성한 기관(700)에도 마찬가지로 행해도 된다.

[0260] 또한, 섬 형상의 산화물 반도체막(704)을 형성하기 위한 에칭은, 드라이 에칭이어도 웨트 에칭이어도 되고, 양쪽을 사용해도 된다. 드라이 에칭에 사용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl₂), 염화 붕소(BCl₃), 4염화규소(SiCl₄), 4염화탄소(CCl₄) 등)가 바람직하다. 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 4불화 탄소(CF₄), 6불화 황(SF₆), 3불화 질소(NF₃), 트리플루오로메탄(CHF₃) 등), 취화 수소(HBr), 산소(O₂), 이들 가스에 헬륨(He)이나 아르곤(Ar) 등의 희가스를 첨가한 가스 등을 사용할 수 있다.

[0261] 드라이 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma: 유도 결합형 플라즈마) 에칭법을 사용할 수 있다. 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)을 적절히 조절한다.

[0262] 웨트 에칭에 사용하는 에칭액으로서, ITO-07N(간또 가가꾸사제)을 사용해도 된다.

[0263] 섬 형상의 산화물 반도체막(704)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0264] 또한, 다음 공정의 도전막을 형성하기 전에 역스퍼터를 행하여, 섬 형상의 산화물 반도체막(704) 및 게이트 절연막(703)의 표면에 부착되어 있는 레지스트 잔사 등을 제거하는 것이 바람직하다.

[0265] 또한, 스퍼터 등으로 성막된 산화물 반도체막 중에는, 불순물로서의 수분 또는 수소(수산기를 포함함)가 다량으로 함유되어 있는 것이 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서는 불순물이다. 그래서, 본 발명의 일 형태에서는, 산화물 반도체막 중의 수분 또는 수소 등의 불순물을 저감(탈

수화 또는 탈수소화)하기 위해서, 섬 형상의 산화물 반도체막(704)에 대하여, 감압 분위기하, 질소나 희가스 등의 불활성 가스 분위기 하, 산소 가스 분위기 하 또는 초 건조 에어(CRDS(캐비티링다운 레이저 분광법) 방식의 노점계를 사용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기 하에서, 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시한다.

섬 형태의 산화물 반도체막(704)에 가열 처리를 실시함으로써, 섬 형태의 산화물 반도체막(704) 중의 수분 또는 수소를 탈리시킬 수 있다. 구체적으로는, 250℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 왜곡점 미만의 온도에서 가열 처리를 행하면 된다. 예를 들어, 500℃, 3분간 이상 6분간 이하의 시간동안 열 처리를 행하면 된다. 가열 처리에 RTA법을 사용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 유리 기판의 왜곡점을 초과하는 온도에서도 처리할 수 있다.

본 실시 형태에서는, 가열 처리 장치의 하나인 전기로를 사용한다.

또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 된다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용해서 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 희가스 또는 질소와 같은, 가열 처리에 의해 처리된 피처리물과 반응하지 않는 불활성 기체가 사용된다.

또한, 가열 처리에 있어서는, 질소 또는 헬륨, 네온, 아르곤 등의 희가스, 수분 또는 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.

이상의 공정에 의해, 섬 형상의 산화물 반도체막(704) 중의 수소의 농도를 저감하여, 고순도화할 수 있다. 그것에 의해 산화물 반도체막의 안정화를 도모할 수 있다. 또한, 유리 전이 온도 이하의 가열 처리에서, 수소에 기인하는 캐리어가 적고, 밴드 갭이 넓은 산화물 반도체막을 형성할 수 있다. 이 때문에, 대면적 기판을 사용해서 트랜지스터를 제작할 수 있어, 양산성을 높일 수 있다. 상기 가열 처리는, 산화물 반도체막의 성막 이후이면, 언제라도 행할 수 있다.

또한, 산화물 반도체막을 가열하는 경우, 산화물 반도체막의 재료나 가열 조건에 의하지만, 산화물 반도체막의 표면에 판 형상 결정이 형성되는 경우가 있다. 판 형상 결정은, 산화물 반도체막의 표면에 대하여 대략 수직으로 c축 배향한 단결정체인 것이 바람직하다. 판 형상 결정이 단결정체가 아니더라도, 각 결정이 산화물 반도체막의 표면에 대하여 대략 수직으로 c축배향한 다결정체인 것이 바람직하다. 상기 다결정체는, c축 배향인 것 외에, 각 결정은 ab면이 동일하거나, a축, 혹은, b축이 동일한 것이 바람직하다. 또한, 산화물 반도체막과 접하는 게이트 절연막(703)의 표면이 불균일한 경우, 판 형상 결정은 다결정체이다. 따라서, 게이트 절연막(703)의 표면은 가능한 한 평탄한 것이 바람직하다.

계속해서, 도 21c에 도시하는 바와 같이, 소스 전극, 드레인 전극으로서 기능하는 도전막(705), 도전막(706), 상기 도전막(705), 도전막(706) 및 섬 형상의 산화물 반도체막(704) 위에 절연막(707)을 형성한다.

도전막(705), 도전막(706)은, 섬 형상의 산화물 반도체막(704)을 덮도록, 스퍼터링법이나 진공 증착법으로 도전막을 형성한 후, 에칭 등에 의해 상기 도전막을 패터닝함으로써 형성할 수 있다.

도전막(705) 및 도전막(706)은, 섬 형상의 산화물 반도체막(704)에 접하고 있다. 도전막(705), 도전막(706)이 되는 도전막의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 알루미늄 또는 구리 등의 금속막의 하층 혹은 상층에 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 등의 고용점 금속막을 적층시킨 구성으로 해도 된다. 또한, 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 피하기 위해서, 고용점 금속 재료와 조합해서 사용하면 된다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐, 이트륨 등을 사용할 수 있다.

또한, 도전막은, 단층 구조이어도, 2층 이상의 적층 구조로 해도 된다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 위에 겹쳐서 알루

미늄막을 적층하고, 또한 그 위에 티타늄막을 성막하는 3층 구조 등을 들 수 있다.

[0276] 또한, 도전막(705), 도전막(706)에 포함되는 도전막으로서, 도전성의 금속 산화물로 형성해도 된다. 도전성의 금속 산화물로서는 산화 인듐, 산화 주석, 산화 아연, 산화 인듐 산화 주석 합금, 산화 인듐 산화 아연 합금 또는 금속 산화물 재료에 실리콘 혹은 산화 실리콘을 포함시킨 것을 사용할 수 있다.

[0277] 도전막 형성 후에 가열 처리를 행하는 경우에는, 이 가열 처리에 건디는 내열성을 도전막에 갖게 하는 것이 바람직하다.

[0278] 또한, 도전막의 에칭 시에, 섬 형상의 산화물 반도체막(704)이 가능한 한 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다. 에칭 조건에 따라서는, 섬 형상의 산화물 반도체막(704)의 노출된 부분이 일부 에칭됨으로써, 흠부(오목부)가 형성되는 경우도 있다.

[0279] 본 실시 형태에서는, 도전막에 티타늄막을 사용한다. 그 때문에, 암모니아와 과산화수소를 포함하는 용액(암모니아 과수)을 사용하여, 선택적으로 도전막을 웨트 에칭할 수 있다. 구체적으로는, 31 중량%의 과산화수소수와, 28 중량%의 암모니아수와, 순수를, 체적비 5:2:2로 혼합한 암모니아 과수를 포함하는 수용액을 이용한다. 혹은, 염소(Cl_2), 염화 붕소(BCl_3) 등을 포함하는 가스를 사용하여, 도전막을 드라이 에칭해도 된다.

[0280] 또한, 포토리소그래피 공정에서 사용하는 포토마스크수 및 공정수를 삭감하기 위해서, 투과한 광에 다단계의 강도를 가지게 하는 다계조 마스크에 의해 형성된 레지스트 마스크를 사용해서 에칭 공정을 행해도 된다. 다계조 마스크를 사용해서 형성한 레지스트 마스크는 복수의 막 두께를 갖는 형상이 되고, 에칭을 행함으로써 다시 형상을 변형할 수 있기 때문에, 서로 다른 패턴으로 가공하는 복수의 에칭 공정에 사용할 수 있다. 따라서, 1매의 다계조 마스크에 의해, 적어도 2종류 이상의 서로 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 제조 공정의 간략화가 가능하게 된다.

[0281] 또한, 절연막(707)을 형성하기 전에, N_2O , N_2 또는 Ar 등의 가스를 사용한 플라즈마 처리를 섬 형상의 산화물 반도체막(704)에 대하여 행한다. 이 플라즈마 처리에 의해 노출되어 있는 섬 형상의 산화물 반도체막(704)의 표면에 부착된 흡착수 등을 제거한다. 또한, 산소와 아르곤의 혼합 가스를 사용해서 플라즈마 처리를 행해도 된다.

[0282] 절연막(707)은, 수분이나 수소등의 불순물을 최대한 포함하지 않는 것이 바람직하다. 절연막(707)에 있어서 단층의 절연막이여도 좋고, 적층된 복수의 절연막으로 구성되고 있어도 좋다. 절연막(707)에 수소가 포함되면, 그 수소가 산화물 반도체막에 침입하거나 수소가 산화물 반도체막 중의 산소를 인발하고, 섬 형상의 산화물 반도체막(704)의 백 채널부가 저저항화(n형화)하게 되어, 기생 채널이 형성될 우려가 있다. 따라서, 절연막(707)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 이용하지 않는 것이 중요하다. 상기 절연막(707)에는, 배리어성이 높은 재료를 이용하는 것이 바람직하다. 예를 들어, 배리어성이 높은 절연막으로서, 질화 규소막, 질화 산화 규소막, 질화 알루미늄막, 또는 질화 산화 알루미늄 막 등을 이용할 수 있다. 복수의 적층된 절연막을 이용할 경우, 질소의 함유 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을, 상기 배리어성이 높은 절연막보다도, 섬 형상의 산화물 반도체막(704)에 가까운 측에 형성한다. 그리고, 질소의 함유 비율이 낮은 절연막을 사이에 두고, 도전막(705), 도전막(706) 및 섬 형상의 산화물 반도체막(704)과 겹치도록, 배리어성이 높은 절연막을 형성한다. 배리어성이 높은 절연막을 이용함으로써, 섬 형상의 산화물 반도체막(704) 내, 게이트 절연막(703) 내, 혹은, 섬 형상의 산화물 반도체막(704)과 다른 절연막의 계면과 그 근방에, 수분 또는 수소 등의 불순물이 인입하는 것을 방지할 수 있다. 또한, 섬 형상의 산화물 반도체막(704)에 접하도록 질소의 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 형성함으로써, 배리어성이 높은 재료를 이용한 절연막이 직접 섬 형상의 산화물 반도체막(704)에 접하는 것을 방지할 수 있다.

[0283] 본 실시 형태에서는, 스퍼터링법으로 형성된 막 두께 200nm의 산화 규소막 위에 스퍼터링법으로 형성된 막 두께 100nm의 질화 규소막을 적층시킨 구조를 갖는 절연막(707)을 형성한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시 형태에서는 100℃로 설정될 수 있다.

[0284] 또한, 절연막(707)을 형성한 후에, 가열 처리를 실시해도 된다. 가열 처리는, 질소, 초건조 공기 또는 희가스(아르곤, 헬륨 등)의 분위기 하에서, 바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하에서 행한다. 상기 가스는, 물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하인 것이 바람직하다. 본 실시 형태에서는, 예를 들어, 질소 분위기 하에서 250℃, 1시간의 가열 처리를 행한다. 혹은,

은, 도전막(705), 도전막(706)을 형성하기 전에, 수분 또는 수소를 저감시키기 위한 산화물 반도체막에 대해 행한 이전의 가열 처리와 마찬가지로, 고온 단시간의 RTA 처리를 행해도 된다. 산소를 포함하는 절연막(707)이 형성된 후에 가열 처리가 실시됨으로써, 이전의 가열 처리에 의해, 섬 형상의 산화물 반도체막(704)에 산소 결손이 발생하고 있었다고 해도, 절연막(707)으로부터 섬 형상의 산화물 반도체막(704)에 산소가 공여된다. 그리고, 섬 형상의 산화물 반도체막(704)에 산소가 공여됨으로써, 섬 형상의 산화물 반도체막(704)에 있어서, 도너가 되는 산소 결손을 저감하여, 화학양론비를 만족하는 것이 가능하다. 섬 형상의 산화물 반도체막(704)에는, 조성비가 화학양론비를 초과하는 양의 산소가 포함되어 있는 것이 바람직하다. 그 결과, 섬 형상의 산화물 반도체막(704)을 i형에 근접시킬 수 있어, 산소 결손에 의한 트랜지스터의 전기 특성의 편차를 경감하고, 전기 특성의 향상을 실현할 수 있다. 이 가열 처리를 행하는 타이밍은, 절연막(707)의 형성 후이면 특별히 한정되지 않는다. 이 가열 처리는 다른 공정, 예를 들어 수지막 형성 시의 가열 처리나, 투광성을 갖는 도전막을 저저항화시키기 위한 가열 처리와 결합함으로써, 공정수를 증가시키는 일 없이, 섬 형상의 산화물 반도체막(704)을 i형에 근접시킬 수 있다.

[0285] 또한, 산소 분위기 하에서 섬 형상의 산화물 반도체막(704)에 가열 처리를 실시함으로써, 산화물 반도체에 산소를 첨가하여, 섬 형상의 산화물 반도체막(704) 중에 있어서 도너가 되는 산소 결손을 저감시켜도 된다. 가열 처리의 온도는, 예를 들어 100℃ 이상 350℃ 미만, 바람직하게는 150℃ 이상 250℃ 미만에서 행한다. 상기 산소 분위기 하에서의 가열 처리에 사용되는 산소 가스에는, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 산소 가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 산소 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다.

[0286] 혹은, 이온 주입법 또는 이온 도핑법 등을 사용하여, 섬 형상의 산화물 반도체막(704)에 산소를 첨가함으로써, 도너가 되는 산소 결손을 저감시켜도 된다. 예를 들어, 2.45GHz의 마이크로파로 플라즈마화한 산소를 섬 형상의 산화물 반도체막(704)에 첨가하면 된다.

[0287] 또한, 절연막(707) 위에 도전막을 형성한 후, 상기 도전막을 패터닝함으로써, 섬 형상의 산화물 반도체막(704)과 겹치도록 백 게이트 전극을 형성해도 된다. 백 게이트 전극을 형성한 경우는, 백 게이트 전극을 덮도록 절연막을 형성하는 것이 바람직하다. 백 게이트 전극은, 게이트 전극(702), 혹은 도전막(705), 도전막(706)과 같은 재료, 구조를 사용해서 형성하는 것이 가능하다.

[0288] 백 게이트 전극의 막 두께는, 10nm 이상 400nm 이하, 바람직하게는 100nm 이상 200nm 이하로 한다. 예를 들어, 티타늄막, 알루미늄막, 티타늄막이 적층된 구조를 갖는 도전막을 형성한 후, 포토리소그래피법 등에 의해 레지스트 마스크를 형성하고, 에칭에 의해 도전막의 불필요한 부분을 제거하여, 상기 도전막을 원하는 형상으로 가공(패터닝)함으로써, 백 게이트 전극을 형성하면 된다.

[0289] 이상의 공정에 의해, 트랜지스터(708)가 형성된다.

[0290] 트랜지스터(708)는, 게이트 전극(702)과, 게이트 전극(702) 상의 게이트 절연막(703)과, 게이트 절연막(703) 위에 있어서 게이트 전극(702)과 겹쳐 있는 섬 형상의 산화물 반도체막(704)과, 섬 형상의 산화물 반도체막(704) 위에 형성된 한 쌍의 도전막(705) 또는 도전막(706)을 갖는다. 또한, 트랜지스터(708)는, 절연막(707)을, 그 구성 요소에 포함해도 된다. 도 21c에 도시하는 트랜지스터(708)는, 도전막(705)과 도전막(706) 사이에 있어서, 섬 형상의 산화물 반도체막(704)의 일부가 에칭된 채널 에치 구조이다.

[0291] 또한, 트랜지스터(708)는 싱글 게이트 구조의 트랜지스터를 사용해서 설명하였지만, 필요에 따라, 전기적으로 접속된 복수의 게이트 전극(702)을 가짐으로써, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 트랜지스터도 형성할 수 있다.

[0292] 본 실시 형태는, 임의의 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0293] (실시 형태 4)

[0294] 실시 형태 4에서는, 트랜지스터의 구성예에 대해서 설명한다. 또한, 상기 실시 형태와 동일 부분 또는 동일한 기능을 갖는 부분 및 공정은, 상기 실시 형태와 마찬가지로 행할 수 있고, 본 실시 형태에서의 반복되는 설명은 생략한다. 또한, 동일한 개소의 상세한 설명도 생략한다.

[0295] 도 22a에 도시하는 트랜지스터(2450)는, 기판(2400) 위에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 위에 게이트 절연막(2402)이 형성되며, 게이트 절연막(2402) 위에 산화물 반도체막(2403)이 형성되고, 산화물 반도체막(2403) 위에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 산화물 반도체막(2403),

소스 전극(2405a) 및 드레인 전극(2405b) 위에 절연막(2407)이 형성되어 있다. 또한, 절연막(2407) 위에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2450)는, 보텀 게이트 구조의 트랜지스터의 하나이며, 역 스택거형 트랜지스터의 하나이기도 하다.

[0296] 도 22b에 도시하는 트랜지스터(2460)는, 기판(2400) 위에 게이트 전극(2401)이 형성되고, 게이트 전극(2401) 위에 게이트 절연막(2402)이 형성되며, 게이트 절연막(2402) 위에 산화물 반도체막(2403)이 형성되고, 산화물 반도체막(2403) 위에 채널 보호층(2406)이 형성되며, 채널 보호층(2406) 및 산화물 반도체막(2403) 위에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 소스 전극(2405a) 및 드레인 전극(2405b) 위에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2460)는, 채널 보호형(채널 스톱형이라고도 함)이라고 불리는 보텀 게이트 구조의 트랜지스터의 하나이며, 역 스택거형 트랜지스터의 하나이기도 한다. 채널 보호층(2406)은, 다른 절연막과 동일한 재료 및 방법을 사용해서 형성할 수 있다.

[0297] 도 22c에 도시하는 트랜지스터(2470)는, 기판(2400) 위에 바탕막(2436)이 형성되고, 바탕막(2436) 위에 산화물 반도체막(2403)이 형성되며, 산화물 반도체막(2403) 및 바탕막(2436) 위에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되고, 산화물 반도체막(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 위에 게이트 절연막(2402)이 형성되며, 게이트 절연막(2402) 위에 게이트 전극(2401)이 형성되어 있다. 또한, 게이트 전극(2401) 위에 보호 절연막(2409)을 형성해도 된다. 트랜지스터(2470)는, 톱 게이트 구조의 트랜지스터의 하나이다.

[0298] 도 22d에 도시하는 트랜지스터(2480)는, 기판(2400) 위에 제1 게이트 전극(2411)이 형성되고, 제1 게이트 전극(2411) 위에 제1 게이트 절연막(2413)이 형성되며, 제1 게이트 절연막(2413) 위에 산화물 반도체막(2403)이 형성되고, 산화물 반도체막(2403) 및 제1 게이트 절연막(2413) 위에 소스 전극(2405a) 및 드레인 전극(2405b)이 형성되어 있다. 또한, 산화물 반도체막(2403), 소스 전극(2405a) 및 드레인 전극(2405b) 위에 제2 게이트 절연막(2414)이 형성되고, 제2 게이트 절연막(2414) 위에 제2 게이트 전극(2412)이 형성되어 있다. 또한, 제2 게이트 전극(2412) 위에 보호 절연막(2409)을 형성해도 된다.

[0299] 트랜지스터(2480)는, 트랜지스터(2450)와 트랜지스터(2470)를 합친 구조를 갖고 있다. 제1 게이트 전극(2411)과 제2 게이트 전극(2412)을 전기적으로 접속해서 하나의 게이트 전극으로서 기능시킬 수 있다. 또한, 제1 게이트 전극(2411)과 제2 게이트 전극(2412) 중, 어느 한쪽을 간단히 게이트 전극이라고 하고, 다른 쪽을 백 게이트 전극이라고 부르는 경우가 있다.

[0300] 백 게이트 전극의 전위를 변화시킴으로써, 트랜지스터의 임계값 전압을 변화시킬 수 있다. 백 게이트 전극은, 산화물 반도체막(2403)의 채널 형성 영역과 겹치도록 형성한다. 백 게이트 전극은, 전기적으로 절연하고 있는 플로팅의 상태이어도 되고, 전위가 부여되는 상태이어도 된다. 후자의 경우, 백 게이트 전극에는, 게이트 전극과 동일한 높이의 전위가 부여되고 있어도 되고, 그라운드 등의 고정 전위가 부여되고 있어도 된다. 백 게이트 전극에 부여하는 전위의 높이를 제어함으로써, 트랜지스터(2480)의 임계값 전압을 제어할 수 있다.

[0301] 또한, 백 게이트 전극에 의해 산화물 반도체막(2403)을 덮음으로써, 백 게이트 전극측으로부터 산화물 반도체막(2403)에 광이 입사하는 것을 방지할 수 있다. 따라서, 산화물 반도체막(2403)의 광 열화를 방지하고, 트랜지스터의 임계값 전압이 시프트하는 등의 특성의 열화가 일어나는 것을 방지할 수 있다.

[0302] 산화물 반도체막(2403)에 접하는 절연막(본 실시 형태에 있어서는, 게이트 절연막(2402), 절연막(2407), 채널 보호층(2406), 바탕막(2436), 제1 게이트 절연막(2413), 제2 게이트 절연막(2414)이 상당함.)은, 제13족 원소 및 산소를 포함하는 절연 재료를 사용하는 것이 바람직하다. 산화물 반도체 재료에는 제13족 원소를 포함하는 것이 많고, 제13족 원소를 포함하는 절연 재료는 산화물 반도체의 상성이 좋으며, 이것을 산화물 반도체막에 접하는 절연막에 사용함으로써, 산화물 반도체막과의 계면의 상태를 양호하게 유지할 수 있다.

[0303] 제13족 원소를 포함하는 절연 재료란, 절연 재료에 하나 또는 복수의 제13족 원소를 포함하는 것을 의미한다. 제13족 원소를 포함하는 절연 재료로서는, 예를 들어, 산화 갈륨, 산화 알루미늄, 산화 알루미늄 갈륨, 산화 갈륨 알루미늄 등이 있다. 여기서, 산화 알루미늄 갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 것을 나타내고, 산화 갈륨 알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 것을 나타낸다.

[0304] 예를 들어, 갈륨을 함유하는 산화물 반도체막에 접해서 절연막을 형성하는 경우에, 절연막에 산화 갈륨을 포함하는 재료를 사용함으로써 산화물 반도체막과 절연막의 계면 특성을 양호하게 유지할 수 있다. 예를 들어, 산화물 반도체막과 산화 갈륨을 포함하는 절연막을 접해서 형성함으로써, 산화물 반도체막과 절연막의 계면에 있어서의 수소의 파일 업을 저감할 수 있다. 또한, 절연막에 산화물 반도체막의 성분 원소와 동일한 족의 원소를

사용하는 경우에는, 마찬가지로의 효과를 얻는 것이 가능하다. 예를 들어, 산화 알루미늄을 포함하는 재료를 사용해서 절연막을 형성하는 것도 유효하다. 또한, 산화 알루미늄은, 물을 투과시키기 어렵다라고 하는 특성을 갖고 있기 때문에, 산화 알루미늄을 포함하는 재료를 사용하는 것은, 산화물 반도체막에의 물의 침입 방지라고 하는 점에 있어서도 바람직하다.

[0305] 또한, 산화물 반도체막(2403)에 접하는 절연막은, 산소 분위기 하에 의한 열처리나, 산소 도프 등에 의해, 절연 재료를 화학양론적 조성비보다 산소가 많은 상태로 하는 것이 바람직하다. 산소 도프란, 산소를 벌크에 첨가하는 것을 말한다. 또한, "벌크"란 용어는, 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확하게 한다는 취지로 사용하고 있다. 또한, 산소 도프에는, 플라즈마화한 산소를 벌크에 첨가하는 산소 플라즈마 도프가 그 범주에 포함된다. 또한, 산소 도프는, 이온 주입법 또는 이온 도핑법을 사용해서 행해도 된다.

[0306] 예를 들어, 산화물 반도체막(2403)에 접하는 절연막으로서 산화 갈륨을 사용한 경우, 산소 분위기 하에 의한 열처리나, 산소 도프를 행함으로써, 산화 갈륨의 조성을 $Ga_2O_x(X=3+\alpha, 0<\alpha<1)$ 로 할 수 있다.

[0307] 또한, 산화물 반도체막(2403)에 접하는 절연막으로서 산화 알루미늄을 사용한 경우, 산소 분위기 하에 의한 열처리나, 산소 도프를 행함으로써, 산화 알루미늄의 조성을 $Al_2O_x(X=3+\alpha, 0<\alpha<1)$ 로 할 수 있다.

[0308] 또한, 산화물 반도체막(2403)에 접하는 절연막으로서 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 사용한 경우, 산소 분위기 하에 의한 열처리나, 산소 도프를 행함으로써, 산화 갈륨 알루미늄(산화 알루미늄 갈륨)의 조성을 $Ga_xAl_{2-x}O_{3+\alpha}(0<X<2, 0<\alpha<1)$ 로 할 수 있다.

[0309] 산소 도프 처리를 행함으로써, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막을 형성할 수 있다. 이러한 영역을 구비하는 절연막과 산화물 반도체막이 접함으로써, 절연막 중의 과잉의 산소가 산화물 반도체막에 공급되고, 산화물 반도체막 중 또는 산화물 반도체막과 절연막의 계면에 있어서의 산소 결손을 저감한다. 따라서, 산화물 반도체막을 i형 또는 i형에 한없이 가까운 산화물 반도체로 할 수 있다.

[0310] 또한, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막은, 산화물 반도체막(2403)에 접하는 절연막 중, 상층에 위치하는 절연막 또는 하층에 위치하는 절연막 중, 어느 한쪽에만 사용해도 되지만, 양쪽의 절연막에 사용하는 쪽이 바람직하다. 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막을, 산화물 반도체막(2403)에 접하는 절연막의, 상층 및 하층에 위치하는 절연막에 사용하고, 산화물 반도체막(2403)을 사이에 두는 구성으로 함으로써, 상기 효과를 보다 높일 수 있다.

[0311] 또한, 산화물 반도체막(2403)의 상층 또는 하층에 사용하는 절연막은, 상층과 하층에서 동일한 구성 원소를 갖는 절연막으로 해도 되고, 서로 다른 구성 원소를 갖는 절연막으로 해도 된다. 예를 들어, 상층과 하층 모두, 조성이 $Ga_2O_x(X=3+\alpha, 0<\alpha<1)$ 인 산화 갈륨으로 해도 되고, 상층과 하층의 한쪽을 조성이 $Ga_2O_x(X=3+\alpha, 0<\alpha<1)$ 인 산화 갈륨으로 하고, 다른 쪽을 조성이 $Al_2O_x(X=3+\alpha, 0<\alpha<1)$ 인 산화 알루미늄으로 해도 된다.

[0312] 또한, 산화물 반도체막(2403)에 접하는 절연막은, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막의 적층으로 해도 된다. 예를 들어, 산화물 반도체막(2403)의 상층에 조성이 $Ga_2O_x(X=3+\alpha, 0<\alpha<1)$ 인 산화 갈륨을 형성하고, 그 위에 조성이 $Ga_xAl_{2-x}O_{3+\alpha}(0<X<2, 0<\alpha<1)$ 인 산화 갈륨 알루미늄(산화 알루미늄 갈륨)을 형성해도 된다. 또한, 산화물 반도체막(2403)의 하층을, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막의 적층으로 해도 된다. 또한, 산화물 반도체막(2403)의 상층 및 하층의 양쪽을, 화학양론적 조성비보다 산소가 많은 영역을 갖는 절연막의 적층으로 해도 된다.

[0313] 본 실시 형태는, 임의의 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0314] (실시 형태 5)

[0315] 실시 형태 5에서는, 본 발명의 일 형태에 따른 액정 표시 장치에 있어서 사용되는 기관의 일 형태에 대해서, 도 23a, 23b, 23c, 23ca, 23d, 23da, 23e 및 23ea와 도 24의 (a), 도 24의 (b), 도 24의 (c)를 사용해서 설명한다.

[0316] 우선, 기관(6200) 위에 박리층(6201)을 개재해서 피박리층(6116)을 형성한다(도 23a 참조).

[0317] 기관(6200)으로서는, 석영 기관, 사파이어 기관, 세라믹 기관이나, 유리 기관, 금속 기관 등을 사용할 수 있다. 또한, 이들 기관은, 가요성을 명확하게 나타내지 않을 정도로 두께가 있는 것을 사용함으로써, 정밀도 좋게 트

랜지스터 등의 소자를 형성할 수 있다. 가요성을 명확하게 나타내지 않을 정도라는 것은, 통상 액정 디스플레이를 제작할 때에 사용되고 있는 유리 기판의 탄성률 정도, 혹은 보다 탄성률이 큰 것을 의미한다.

[0318] 박리층(6201)은, 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등에 의해, 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 규소(Si)로부터 선택된 원소, 또는 원소를 주성분으로 하는 합금 재료, 또는 원소를 주성분으로 하는 화합물 재료로 이루어지는 층을, 단층 또는 적층해서 형성한다.

[0319] 박리층(6201)이 단층 구조인 경우, 바람직하게는, 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성한다. 또는, 텅스텐의 산화물 혹은 산화 질화물을 포함하는 층, 몰리브덴의 산화물 혹은 산화 질화물을 포함하는 층, 또는 텅스텐과 몰리브덴의 혼합물의 산화물 혹은 산화 질화물을 포함하는 층을 형성한다. 또한, 텅스텐과 몰리브덴의 혼합물은, 예를 들어, 텅스텐과 몰리브덴의 합금에 상당한다.

[0320] 박리층(6201)이 적층 구조인 경우, 바람직하게는, 1층째로서 금속층을 형성하고, 2층째로서 금속 산화물층을 형성한다. 대표적으로는 1층째로서 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성하고, 2층째로서, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 질화물, 산화 질화물 또는 질화 산화물을 형성하면 된다. 2층째의 금속 산화물층의 형성은, 1층째의 금속층 위에 산화물층(예를 들어 산화 실리콘층 등의 절연층으로서 이용할 수 있는 것)을 형성함으로써 금속층 표면에 당해 금속의 산화물이 형성되는 것을 응용해도 된다.

[0321] 피박리층(6116)으로서는, 트랜지스터나 층간 절연막, 배선, 화소 전극 및 경우에 따라서 대향 전극이나 차폐막, 배향막 등, 소자 기판으로서 필요한 요소가 포함된다. 이들은, 박리층(6201) 위에 통상대로 제작할 수 있다. 이들의 재료, 제작 방법 및 구조 등에 관해서는 상기 실시 형태에 있어서 설명한 것과 마찬가지로 하기 때문에, 설명을 생략한다. 이와 같이, 트랜지스터나 전극은 공지의 재료나 방법을 사용해서 정밀도 좋게 제작할 수 있다.

[0322] 계속해서, 박리용 접착제(6203)를 사용해서 피박리층(6116)을 가지지 기판(6202)에 접착한 후, 피박리층(6116)을 기판(6200)의 박리층(6201)으로부터 박리해서 전치한다(도 23b 참조). 이에 의해 피박리층(6116)은, 가지지 기판층에 형성된다. 또한, 본 명세서에 있어서, 제작용 기판으로부터 가지지 기판에 박리층을 전치하는 공정을 전치 공정이라고 한다.

[0323] 가지지 기판(6202)은, 유리 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 금속 기판 등을 사용할 수 있다. 또한, 이후의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판을 사용해도 된다.

[0324] 또한, 여기서 사용하는 박리용 접착제(6203)는, 물이나 용매에 가용인 것이나, 자외선 등의 조사에 의해 가소화시키는 것이 가능한, 필요 시에 가지지 기판(6202)과 피박리층(6116)을 분리하는 것이 가능한 접착제를 사용한다.

[0325] 또한, 피박리층(6116)을 가지지 기판(6202)으로 전치하는 공정은, 여러 가지의 방법을 적절히 사용할 수 있다. 예를 들어, 박리층(6201)으로서, 피박리층(6116)과 접하는 측에 금속 산화막을 포함하는 막을 형성한 경우에는, 당해 금속 산화막을 결정화시킴으로써 취약화해서, 피박리층(6116)을 기판(6200)으로부터 박리할 수 있다. 또한, 기판(6200)과 피박리층(6116) 사이에, 박리층(6201)으로서 수소를 포함하는 비정질규소막을 형성한 경우에는, 레이저광의 조사 또는 에칭에 의해 당해 수소를 포함하는 비정질규소막을 제거하여, 피박리층(6116)을 기판(6200)으로부터 박리할 수 있다. 또한, 박리층(6201)으로서 질소, 산소나 수소 등을 포함하는 막(예를 들어, 수소를 포함하는 비정질규소막, 수소 함유 합금막, 산소 함유 합금막 등)을 사용한 경우에는, 박리층(6201)에 레이저광을 조사해서 박리층(6201) 내에 함유하는 질소, 산소나 수소를 가스로서 방출시켜, 피박리층(6116)과 기판(6200)의 분리를 촉진할 수 있다. 다른 방법으로서, 박리층(6201)과 피박리층(6116)의 계면에 액체를 침투시켜 기판(6200)으로부터 피박리층(6116)을 박리해도 된다. 박리층(6201)을 텅스텐으로 형성하고, 암모니아와 수에 의해 박리층(6201)을 에칭하면서 박리를 행하는 방법도 있다.

[0326] 또한, 상기 박리 방법을 복수 조합함으로써 보다 용이하게 전치 공정을 행할 수 있다. 레이저광의 조사, 가스나 용액 등에 의한 박리층에의 에칭, 날카로운 나이프나 메스 등에 의한 기계적인 제거를 부분적으로 행하고, 박리층과 피박리층을 박리하기 쉬운 상태로 하고나서, 물리적인 힘(기계 등에 의함)에 의해 박리를 행하는 공정 등이 이것에 상당한다. 박리층(6201)을 금속과 금속 산화물의 적층 구조에 의해 형성한 경우, 레이저광의 조사에 의해 형성되는 홈이나 날카로운 나이프나 메스 등에 의한 흠집 등을 계기로 해서, 박리층으로부터 물리적으로 떼어내는 것도 용이하게 된다.

- [0327] 또한, 이들 박리를 행할 때에 물 등의 액체를 뿌리면서 행해도 된다.
- [0328] 피박리층(6116)을 기판(6200)으로부터 분리하는 방법으로서, 그 밖에, 피박리층(6116)이 형성된 기판(6200)을, 기계적으로 연마 등을 행해서 제거하는 방법이나, 용액이나 NF_3 , BrF_3 , ClF_3 등의 불화 할로젠 가스에 의한 에칭으로 제거하는 방법 등도 사용할 수 있다. 이 경우는, 박리층(6201)을 형성하지 않아도 된다.
- [0329] 계속해서, 기판(6200)으로부터 박리되고, 노출된 박리층(6201), 혹은 피박리층(6116) 표면에 박리용 접착제(6203)와는 상이한 접착제에 의한 제1 접착제층(6111)을 사용해서 전치 기판(6110)을 접착한다(도 23c 참조).
- [0330] 제1 접착제층(6111)의 재료로서는, 자외선 경화형 접착제 등 광경화형의 접착제, 반응 경화형 접착제, 열경화형 접착제 또는 염기형 접착제 등 각종 경화형 접착제를 사용할 수 있다.
- [0331] 전치 기판(6110)으로서, 진성이 큰 각종 기판을 사용하고, 예를 들어, 유기 수지의 필름이나 금속 기판 등을 적절하게 사용할 수 있다. 진성이 큰 기판은 내충격성이 우수하고, 파손되기 어려운 기판이다. 경량인 유기 수지 필름 또는 박막 기판을 사용함으로써, 통상의 유리 기판을 사용하는 경우와 비교하여, 대폭적인 경량화가 가능하게 된다. 이러한 기판을 사용함으로써, 가볍고, 파손되기 어려운 액정 표시 장치를 제작할 수 있게 된다.
- [0332] 투과형 혹은 반투과형의 액정 표시 장치의 경우에는, 전치 기판(6110)으로서, 진성이 크고 또한 가시광에 대한 투과성을 갖는 기판을 사용하면 된다. 이러한 기판을 구성하는 재료로서는, 예를 들어, 폴리에틸렌테레프탈레이트(PET) 또는 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스테르 수지, 아크릴 수지, 폴리아크릴 니트릴 수지, 폴리아미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카르보네이트 수지(PC), 폴리에테르 술폰 수지(PES), 폴리아미드 수지, 시클로올레핀 수지, 폴리스티렌 수지, 폴리아미드이미드 수지, 폴리염화비닐 수지 등을 들 수 있다. 이들 유기 수지로 이루어지는 기판은, 진성이 큰 것부터, 내충격성에도 우수하고, 파손되기 어려운 기판이다. 또한, 이들 유기 수지의 필름은 경량이기 때문에, 통상의 유리 기판과 비교하여, 매우 경량화된 액정 표시 장치를 제작하는 것이 가능하게 된다. 또한, 이 경우, 전치 기판(6110)은, 적어도 각 화소의 광이 투과하는 영역과 겹치는 부분에 개구가 형성된 금속판(6206)을 더 구비하는 것이 바람직한 구성이다. 이 구성으로 함으로써, 치수 변화를 억제하면서 진성이 크고, 내충격성이 높아 파손되기 어려운 전치 기판(6110)을 구성할 수 있다. 또한, 금속판(6206)의 두께를 얇게 함으로써 종래의 유리 기판보다도 가벼운 전치 기판(6110)을 구성할 수 있다. 이러한 기판을 사용함으로써, 가볍고, 파손되기 어려운 액정 표시 장치를 제작할 수 있게 된다(도 23d 참조).
- [0333] 도 24의 (a)는 액정 표시 장치에 있어서의 상면도의 일례이다. 도 24의 (a)와 같이, 제1 배선층(6210)과 제2 배선층(6211)이 교차하고, 제1 배선층(6210)과 제2 배선층(6211)으로 둘러싸여진 영역이 광이 투과하는 영역(6212)인 액정 표시 장치의 경우, 도 24의 (b)와 같이, 제1 배선층(6210) 및 제(2)의 배선층(6211)과 겹치는 부분이 남고, 바둑판의 눈 형상으로 개구가 설치된 금속판(6206)을 이용하면 좋다. 도 24의 (c)에 도시하는 것 같이, 이러한 금속판(6206)을 접합해서 이용함으로써, 유기 수지로 이루어지는 기판을 이용한 것에 의한 정합 정밀도의 악화나 기판의 신장에 의한 치수 변화를 억제할 수 있다. 또한, 편광판(도시 생략)이 필요할 경우에는, 전치 기판(6110)과 금속판(6206)의 사이에 설치해도, 금속판(6206)의 더욱 외측에 설치해도 좋다. 편광판은 미리 금속판(6206)에 부착되어 있어도 좋다. 또한, 경량화의 관점에서는, 금속판(6206)으로서 상기 치수 안정화의 효과를 발휘하는 범위 내에 있어서 얇은 기판을 채용하는 것이 바람직하다.
- [0334] 그 후, 피박리층(6116)으로부터 가지지 기판(6202)을 분리한다. 박리용 접착제(6203)는 필요 시에 가지지 기판(6202)과 피박리층(6116)을 분리하는 것이 가능한 재료로 형성되어 있으므로, 당해 재료에 맞는 방법에 의해 가지지 기판(6202)을 분리하면 된다. 또한, 백라이트는 도면의 화살표와 같이 조사된다(도 23e 참조).
- [0335] 이상에 의해, 트랜지스터로부터 화소 전극까지가 형성된 피박리층(6116)(필요에 따라 대향 전극, 차폐막, 배향막 등이 형성되어 있어도 됨)을 전치 기판(6110) 위에 제작할 수 있고, 경량 또한 내충격성이 높은 소자 기판을 제작할 수 있다.
- [0336] <변형예>
- [0337] 상술한 구성을 갖는 액정 표시 장치는, 본 발명의 일 형태로서, 당 액정 표시 장치와 상이한 구성을 구비하는 이하의 액정 표시 장치도, 본 발명에 포함된다. 상술한 전치 공정(도 23b) 후, 전치 기판(6110)을 부착하기 전에, 노출된 박리층(6201), 혹은 피박리층(6116) 표면에, 금속판(6206)을 부착해도 된다(도 23ca 참조). 이 경우, 금속판(6206)으로부터의 오염 물질이, 피박리층(6116)에 있어서의 트랜지스터의 특성에 악영향을 미치는 것

을 방지하기 위해서, 배리어층(6207)을 사이에 형성하면 된다. 배리어층(6207)을 형성하는 경우에는, 노출된 박리층(6201), 혹은 피박리층(6116)에 인접하게 배리어층(6207)을 설치하고나서, 금속판(6206)을 부착하면 된다. 배리어층(6207)은 무기 재료나 유기 재료 등에 의해 형성하면 되고, 대표적으로는 질화 실리콘 등을 들 수 있다. 배리어층의 재료는 트랜지스터의 오염을 방지할 수 있으면, 이들에 한정되는 일은 없다. 배리어층은 투광성을 갖는 재료로 형성하거나, 혹은 투광성을 가질 정도로 얇은 막으로 하는 등, 적어도 가시광에 대한 투광성을 갖도록 제작한다. 또한, 금속판(6206)은, 박리용 접착제(6203)와는 상이한 접착제를 사용해서 제2 접착제층(도시하지 않음)을 형성하고, 접착하면 된다.

[0338] 이 후, 제1 접착제층(6111)을 금속판(6206) 표면에 인접하게 형성하고, 전치 기관(6110)을 부착하고(도 23da), 피박리층(6116)으로부터 가지지 기관(6202)을 분리함(도 23ea)으로써, 경량 또한 내충격성이 높은 소자 기관을 제작할 수 있다. 또한, 백라이트로부터는, 도면의 화살표와 같이 광이 조사된다.

[0339] 이와 같이 제작한 경량 또한 내충격성이 높은 소자 기관과, 대향 기관을 액정층을 사이에 협지시켜 시일재로 고착함으로써, 경량 또한 내충격성이 높은 액정 표시 장치를 제작할 수 있다. 대향 기관으로서는, 진성이 크고, 가시광에 대한 투광성을 갖는 기관(전치 기관(6110)에 사용하는 것이 가능한 플라스틱 기관과 마찬가지로의 것)을 사용할 수 있다. 필요에 따라 이것에 편광판, 차폐막이나 대향 전극 및 배향막이 형성되어서 있어도 된다. 액정층을 형성하는 방법으로서, 종래와 마찬가지로 디스펜서법이나 주입법 등을 적용할 수 있다.

[0340] 이상과 같이 제작된 경량 또한 내충격성이 높은 액정 표시 장치는, 트랜지스터 등의 미세한 소자의 제작을, 치수 안정성이 비교적 양호한 유리 기관상 등에서 행할 수 있고, 또한, 종래대로의 제작 방법의 적용이 가능하기 때문에, 미세한 소자이어도 정밀도 좋게 형성할 수 있다. 이 때문에, 내충격성을 가지면서도, 고정밀로 고품질의 화상을 제공할 수 있고, 또한 경량인 액정 표시 장치를 제공하는 것이 가능하게 된다.

[0341] 또한, 상기와 같이 제작한 액정 표시 장치는, 가요성을 갖게 하는 것도 가능하다.

[0342] 본 실시 형태는, 임의의 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0343] (실시 형태 6)

[0344] 계속해서, 본 발명의 일 형태에 따른 액정 표시 장치의 패널에 대해서, 도 26a 및 도 26b를 사용해서 설명한다. 도 26a는, 기관(4001)과 대향 기관(4006)을 시일재(4005)에 의해 접착시킨 패널의 상면도이고, 도 26b는, 도 26a의 파선 A-A'에 있어서의 단면도에 상당한다.

[0345] 기관(4001) 위에 설치된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 시일재(4005)가 설치되어 있다. 또한, 화소부(4002), 주사선 구동 회로(4004) 위에 대향 기관(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 기관(4001)과 시일재(4005)와 대향 기관(4006)에 의해, 액정(4007)과 함께 밀봉되어 있다.

[0346] 또한, 기관(4001) 상의 시일재(4005)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 신호선 구동 회로(4003)가 형성된 기관(4021)이 실장되어 있다. 도 26b에서는, 신호선 구동 회로(4003)에 포함되는 트랜지스터(4009)를 예시하고 있다.

[0347] 또한, 기관(4001) 위에 설치된 화소부(4002), 주사선 구동 회로(4004)는, 트랜지스터를 복수 갖고 있다. 도 26b에서는, 화소부(4002)에 포함되는 트랜지스터(4010), 트랜지스터(4022)를 예시하고 있다. 트랜지스터(4010), 트랜지스터(4022)는, 산화물 반도체를 채널 형성 영역에 포함하고 있다. 그리고, 대향 기관(4006)에 형성되어 있는 차폐막(4040)은, 트랜지스터(4010), 트랜지스터(4022)와 겹쳐 있다. 트랜지스터(4010), 트랜지스터(4022)를 차광함으로써, 산화물 반도체의 광에 의한 열화를 방지하고, 트랜지스터(4010), 트랜지스터(4022)의 임계값 전압이 시프트하는 등의 특성의 열화를 방지할 수 있다.

[0348] 또한, 액정 소자(4011)에 포함된 화소 전극(4030)은, 트랜지스터(4010)와 전기적으로 접속되어 있다. 그리고, 액정 소자(4011)의 대향 전극(4031)은, 대향 기관(4006)에 형성되어 있다. 화소 전극(4030)과 대향 전극(4031)과 액정(4007)이 서로 겹쳐 있는 부분이, 액정 소자(4011)에 상당한다.

[0349] 또한, 스페이서(4035)가, 화소 전극(4030)과 대향 전극(4031) 사이의 거리(셀 갭)를 제어하기 위해서 설치되어 있다. 또한, 도 26b에서는, 스페이서(4035)가, 절연막을 패터닝함으로써 형성되어 있는 경우를 예시하고 있지만, 구 형상 스페이서를 사용하고 있어도 된다.

[0350] 또한, 신호선 구동 회로(4003), 주사선 구동 회로(4004), 화소부(4002)에 부여되는 각종 신호 및 전위는, 리드

배선(4014) 및 리드 배선(4015)을 거쳐서 접속 단자(4016)로부터 공급되어 있다. 접속 단자(4016)는, FPC(4018)이 갖는 단자와, 이방성 도전막(4019)을 개재해서 전기적으로 접속되어 있다.

[0351] 또한, 기관(4001), 대향 기관(4006), 기관(4021)에는, 유리, 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱에는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름 등이 포함된다. 또한, 알루미늄 호일을 PVF 필름 사이에 끼운 구조의 시트를 사용할 수도 있다.

[0352] 단, 액정 소자(4011)로부터의 광의 취출 방향에 위치하는 기관에는, 유리판, 플라스틱, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.

[0353] 도 27은, 본 발명의 일 형태에 따른 액정 표시 장치의 구조를 도시하는 사시도의 일례이다. 도 27에 도시하는 액정 표시 장치는, 화소부를 갖는 패널(1601)과, 제1 확산판(1602)과, 프리즘 시트(1603)와, 제2 확산판(1604)과, 도광판(1605)과, 백라이트 패널(1607)과, 회로 기관(1608)과, 신호선 구동 회로가 형성된 기관(1611)을 갖고 있다.

[0354] 패널(1601)과, 제1 확산판(1602)과, 프리즘 시트(1603)와, 제2 확산판(1604)과, 도광판(1605)과, 백라이트 패널(1607)은 순서대로 적층되어 있다. 백라이트 패널(1607)은, 복수의 광원으로 구성된 백라이트(1612)를 갖고 있다. 도광판(1605) 내부에 확산된 백라이트(1612)로부터의 광은, 제1 확산판(1602), 프리즘 시트(1603) 및 제2 확산판(1604)에 의해 패널(1601)에 조사된다.

[0355] 또한, 본 실시 형태에서는, 제1 확산판(1602)과 제2 확산판(1604)을 사용하고 있지만, 확산판의 수는 이것에 한정되지 않고, 단수이어도 3 이상이어도 된다. 그리고, 확산판은 도광판(1605)과 패널(1601) 사이에 설치되어 있으면 된다. 따라서, 프리즘 시트(1603)보다도 패널(1601)에 가까운 측에만 확산판이 설치되어 있어도 되고, 프리즘 시트(1603)보다도 도광판(1605)에 가까운 측에만 확산판이 설치되어 있어도 된다.

[0356] 또한 프리즘 시트(1603)는, 도 27에 도시한 단면이 톱니형상인 형상에 한정되지 않고, 도광판(1605)으로부터의 광을 패널(1601)측에 집광할 수 있는 형상을 갖고 있으면 된다.

[0357] 회로 기관(1608)에는, 패널(1601)에 입력되는 각종 신호를 생성하는 회로 또는 이들 신호에 처리를 실시하는 회로 등이 설치되어 있다. 그리고, 도 27에서는, 회로 기관(1608)과 패널(1601)이, COF 테이프(1609)를 개재해서 접속되어 있다. 또한, 신호선 구동 회로가 형성된 기관(1611)이, COF(Chip ON Film)법을 사용해서 COF 테이프(1609)에 접속되어 있다.

[0358] 도 27에서는, 백라이트(1612)의 구동을 제어하는 제어계의 회로가 회로 기관(1608)에 설치되어 있고, 상기 제어계의 회로와 백라이트 패널(1607)이 FPC(1610)를 개재해서 접속되어 있는 예를 나타내고 있다. 상기 제어계의 회로는 패널(1601)에 형성되어 있어도 된다. 이 경우는 패널(1601)과 백라이트 패널(1607)이 FPC 등에 의해 접속되도록 한다.

[0359] 본 실시 형태는, 임의의 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0360] (실시 형태 7)

[0361] 도 25a는 화소의 상면도를 일례로서 도시한다. 또한, 도 25b에, 도 25a의 파선 A1-A2에서의 단면도를 도시한다.

[0362] 도 25a 및 도 25b에 도시하는 화소는, 주사선 GL로서 기능하는 도전막(501)과, 신호선 SL로서 기능하는 도전막(502)과, 배선 COM으로서 기능하는 도전막(503)과, 트랜지스터(16)의 제2 단자로서 기능하는 도전막(504)을 갖는다. 도전막(501)은, 도 2b에 도시한 트랜지스터(16)의 게이트 전극으로서도 기능한다. 또한, 도전막(502)은, 트랜지스터(16)의 제1 단자로서도 기능한다.

[0363] 도전막(501), 도전막(503)은, 절연 표면을 갖는 기관(500) 위에 형성된 1개의 도전막을 원하는 형상으로 가공하는 것으로 형성될 수 있다. 도전막(501), 도전막(503) 위에는 게이트 절연막(506)이 형성된다. 또한, 도전막(502), 도전막(504)은, 게이트 절연막(506) 위에 형성된 1개의 도전막을 원하는 형상으로 가공하는 것으로 형성할 수 있다.

[0364] 또한, 트랜지스터(16)의 활성층(507)은, 도전막(501)과 겹치도록 게이트 절연막(506) 위에 형성된다. 도 25a 및 도 25b에 도시하는 것 같이, 활성층(507)은, 게이트 전극으로서 기능하는 도전막(501)과 완전히 겹친다. 상기 구성을 채용함으로써, 기관(500)측으로부터 입사한 광으로 인한 활성층(507) 중의 산화물 반도체가 열화하는

것을 방지하고, 따라서, 트랜지스터(16)의 임계치 전압이 시프트 하는 등의 특성의 열화를 방지할 수 있다.

[0365] 또한, 도 25a 및 도 25b에 도시하는 화소는, 활성층(507), 도전막(502), 도전막(504)을 덮도록, 절연막(512)과 절연막(513)이 순서대로 형성된다. 그리고, 절연막(513) 위에 화소 전극(505)이 형성되어 있고, 절연막(512) 및 절연막(513)에 형성된 콘택트 홀을 통하여, 도전막(504)과 화소 전극(505)이 접속되어 있다.

[0366] 또한, 배선 COM으로서 기능하는 도전막(503)과, 도전막(504)이 게이트 절연막(506)을 사이에 두고 중첩된 부분은 용량 소자로서 기능한다.

[0367] 본 실시 형태에서는, 도전막(501)과 게이트 절연막(506)의 사이에 절연막(508)이 형성된다. 절연막(508)은, 도전막(501)과 도전막(502)의 사이에 설치되고 있으므로, 도전막(501)과 도전막(502)의 사이에 발생하는 기생 용량을 절연막(508)에 의해 작게 억제할 수 있다.

[0368] 또한, 본 실시 형태에서는, 도전막(503)과 게이트 절연막(506)의 사이에 절연막(509)이 형성된다. 그리고, 절연막(509)과 겹치도록 화소 전극(505) 위에 스페이서(510)이 형성된다.

[0369] 도 25a에는, 스페이서(510)가 형성된 직후의 화소의 상면도를 도시하고 있다. 도 25b에는, 도 25a에 도시된 상태로 기관(500)이 대향하도록 기관(514)이 배치되어 있는 상태를 도시한다.

[0370] 기관(514)에는 대향 전극(515)이 형성되어 있고, 화소 전극(505)과 대향 전극(515)의 사이에는 액정을 포함하는 액정층(516)이 설치되어 있다. 화소 전극(505)과, 대향 전극(515)과, 액정층(516)이 서로 겹치는 부분에 액정 소자(18)가 형성된다.

[0371] 화소 전극(505)과 대향 전극(515)에는, 예를 들어, 산화 규소를 포함하는 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 갈륨을 첨가한 산화 아연(GZO) 등의 투광성을 갖는 도전 재료를 이용하여 형성될 수 있다.

[0372] 또한, 화소 전극(505)과 액정층(516)의 사이 및/또는 대향 전극(515)과 액정층(516)의 사이에, 배향막을 적절히 설치해도 좋다. 배향막은, 폴리이미드 또는 폴리비닐 알코올 등의 유기 수지를 이용해서 형성할 수 있다. 배향막의 표면에는, 러빙 등의 액정 분자를 일정 방향으로 배열시키기 위한 배향 처리가 실시되어 있다. 러빙은, 배향막에 접하면서 나일론 등의 천으로 감긴 롤러를 회전시켜서, 상기 배향막의 표면을 일정 방향으로 문지러서 행할 수 있다. 또한, 산화 규소 등의 무기 재료를 이용하여, 배향 처리를 하지 않고, 증착법 등으로 배향 특성을 갖는 배향막을 형성하는 것도 가능하다.

[0373] 액정층(516)을 형성하기 위한 액정은, 디스펜서식(적하식) 또는 디핑식(침방식)에 의해 주입될 수 있다.

[0374] 또한, 기관(514) 위에는, 화소간에 액정의 배향의 불균일에 기인하는 디스클리네이션(disclination)이 시인되는 것을 방지하기 위해, 혹은, 확실한 광이 인접하는 복수의 화소에 입사하는 것을 방지하기 위해, 광을 차폐할 수 있는 차폐 막(517)이 설치되어 있다. 차폐 막(517)은, 카본 블랙 또는 이산화 티탄보다도 산화수가 작은 저차 산화 티탄 등의 흑색 안료를 포함하는 유기 수지를 이용하여 형성될 수 있다. 또는, 차폐 막(517)은, 크롬을 이용한 막으로 형성하는 것도 가능하다.

[0375] 또한, 차폐 막(517)을 트랜지스터(16)의 활성층(507)과 겹치도록 설치함으로써, 기관(514)측으로부터 입사한 광으로 인한 활성층(507) 중의 산화물 반도체가 열화하는 것을 방지하고, 따라서, 트랜지스터(16)의 임계치 전압이 시프트 하는 등의 특성의 열화를 방지할 수 있다.

[0376] 또한, 도 25a 및 도 25b에는, 화소 전극(505)과 대향 전극(515) 사이에 액정층(516)이 설치된 액정 소자(18)가 예로서 도시되어 있지만, 본 발명의 일 실시형태에 관한 액정 표시 장치의 구조는 이 구성에 한정되지 않는다. IPS형의 액정 소자나 블루 상을 나타내는 액정을 이용한 액정 소자와 같이, 한 쌍의 전극이 1개의 기관 위에 형성되어 있어도 좋다.

[0377] 또한, 구동 회로를 패널이 형성되는 기관 위에 형성할 경우, 구동 회로에 이용되는 트랜지스터에 게이트 전극 혹은 차폐 막에 의한 차광을 행함으로써, 트랜지스터의 임계치 전압이 시프트 하는 등의 특성의 열화를 방지할 수 있다.

[0378] 또한, 활성층(507)에 광의 입사를 보다 확실하게 방지하기 위해서, 차광성을 갖는 도전막을 활성층(507)과 겹치도록 설치해도 좋다. 도 25a 및 도 25b에 도시한 화소에서, 활성층(507)과 겹치도록 차광성을 갖는 도전막(530)을 설치한 모습을, 도 32a 및 도 32b에 도시한다. 도 32a는 화소의 상면도이고, 도 32b는 도 32a의 파선 A1-A2에서의 단면도이다.

- [0379] 구체적으로, 도 32a 및 도 32b에는, 절연막(512) 위에 절연막(531)을 설치하고, 도전막(530)은 절연막(531) 위에 형성된다. 또한, 도전막(530)을 덮도록, 절연막(531) 위에 절연막(513)이 형성된다.
- [0380] 활성층(507)은, 도전막(502) 및 도전막(504)과 부분적으로 겹치고 있기 때문에, 활성층(507)은 도전막(502) 또는 도전막(504)에 의해 덮여져 있는 부분과, 도전막(502) 및 도전막(504)에 의해 덮이지 않고 노출된 부분을 갖는다. 도 32a 및 도 32b에서는, 도전막(530)을, 도전막(502) 및 도전막(504)에 의해 덮이지 않고 노출된 부분과 겹치도록 설치한다.
- [0381] 도전막(530)으로, 기판(514)측으로부터 입사한 광으로 인한 활성층(507) 중의 산화물 반도체가 열화하는 것을 방지하고, 따라서, 트랜지스터(16)의 임계치 전압이 시프트 하는 등의 특성의 열화를 방지할 수 있다.
- [0382] 도전막(530)은, 전기적으로 절연하고 있는 플로팅 상태여도 좋고, 전위가 인가된 상태여도 좋다.
- [0383] 본 실시 형태는, 임의의 상술한 실시 형태와 적절 조합해서 실시하는 것이 가능하다.
- [0384] (실시 형태 8)
- [0385] 실시 형태 8에서는, 다른 실시 형태에 나타난 제작 방법을 사용해서 트랜지스터(951) 및 백 게이트 전극을 갖는 트랜지스터(952)의 2종류의 트랜지스터를 제작하고, 광 부바이어스 시험 전후에서의 임계값 전압(V_{th}) 변화량을 평가한 결과를 설명한다.
- [0386] 우선, 도 29a를 사용해서 트랜지스터(951)의 적층 구성 및 제작 방법에 대해서 설명한다. 기판(900) 위에 바탕막(936)으로서, CVD법에 의해 질화 실리콘막(두께 200nm)과 산화 질화 실리콘막(두께 400nm)의 적층막을 형성하였다. 다음으로, 바탕막(936) 위에 스퍼터링법에 의해 질화 탄탈막(두께 30nm)과, 텅스텐막(두께 100nm)의 적층막을 성막하고, 선택적으로 에칭해서 게이트 전극(901)을 형성하였다.
- [0387] 다음으로, 게이트 전극(901) 위에 게이트 절연막(902)으로서, 고밀도 플라즈마 CVD법에 의해 산화 질화 실리콘막(두께 30nm)을 형성하였다.
- [0388] 다음으로, 게이트 절연막(902) 위에 스퍼터링법에 의해 In-Ga-Zn-O계 산화물 반도체 타깃을 사용하여, 산화물 반도체막(두께 30nm)을 형성하였다. 계속해서, 산화물 반도체막을 선택적으로 에칭하고, 섬 형상의 산화물 반도체막(903)을 형성하였다.
- [0389] 다음으로, 질소 분위기 하에서, 450℃에서 60분간의 제1 가열 처리를 행하였다.
- [0390] 다음으로, 산화물 반도체막(903) 위에 티타늄막(두께 100nm), 알루미늄막(두께 200nm) 및 티타늄막(두께 100nm)의 적층막을 스퍼터링법에 의해 성막하고, 선택적으로 에칭해서 소스 전극(905a) 및 드레인 전극(905b)을 형성하였다.
- [0391] 다음으로, 질소 분위기 하에서, 300℃에서 60분간의 제2 가열 처리를 행하였다.
- [0392] 다음으로, 산화물 반도체막(903)의 일부에 접하여, 소스 전극(905a) 및 드레인 전극(905b) 위에 절연막(907)으로서 스퍼터링법에 의해 산화 실리콘막을 형성하고, 절연막(907) 위에 절연막(908)으로서, 폴리이미드 수지층(두께 1.5 μ m)을 형성하였다.
- [0393] 다음으로, 질소 분위기 하에서, 250℃에서 60분간의 제3 가열 처리를 행하였다.
- [0394] 다음으로, 절연막(908) 위에 절연막(909)으로서, 폴리이미드 수지층(두께 2.0 μ m)을 형성하였다.
- [0395] 다음으로, 질소 분위기 하에서, 250℃에서 60분간의 제4 가열 처리를 행하였다.
- [0396] 도 29b에 도시하는 트랜지스터(952)는, 트랜지스터(951)와 마찬가지로 제작할 수 있다. 또한, 트랜지스터(952)는 절연막(908)과 절연막(909) 사이에 백 게이트 전극(912)이 형성되어 있다는 점에서 트랜지스터(951)와 상이하다. 백 게이트 전극(912)은, 절연막(908) 위에 티타늄막(두께 100nm), 알루미늄막(두께 200nm) 및 티타늄막(두께 100nm)의 적층막을 스퍼터링법에 의해 성막하고, 선택적으로 에칭함으로써 형성하였다. 백 게이트 전극(912)은, 소스 전극(905a)과 전기적으로 접속시켰다.
- [0397] 또한, 트랜지스터(951) 및 트랜지스터(952) 모두, 채널 길이는 3 μ m, 채널 폭은 20 μ m으로 하였다.
- [0398] 계속해서, 본 실시 형태에서 제작한 트랜지스터(951) 및 트랜지스터(952)에 대해 행한 광 부바이어스 시험에 대해서 설명한다.

- [0399] 광 부바이어스 시험은 가속 시험의 일종으로서, 광이 조사되고 있는 환경 하에 있어서의 트랜지스터의 특성 변화를 단시간에 평가할 수 있다. 특히, 광 부바이어스 시험에 있어서의 트랜지스터의 V_{th} 의 변화량은, 신뢰성을 조사하기 위한 중요한 지표가 된다. 광 부바이어스 시험에 있어서, V_{th} 의 변화량이 적을수록, 신뢰성이 높은 트랜지스터라고 할 수 있다. 광 부바이어스 시험의 전후에 있어서의 V_{th} 의 변화량은, 1V 이하가 바람직하고, 0.5V 이하가 더욱 바람직하다.
- [0400] 구체적으로는, 광 부바이어스 시험은, 트랜지스터가 형성되어 있는 기판의 온도(기판 온도)를 일정하게 유지하고, 트랜지스터의 소스 전극 및 드레인 전극을 동전위로 하고, 광을 조사하면서, 게이트 전극에 소스 전극 및 드레인 전극보다도 낮은 전위를 일정 시간 인가함으로써 행한다.
- [0401] 광 부바이어스 시험의 스트레스 강도는, 광 조사 조건, 기판 온도, 게이트 절연막에 가해지는 전계 강도, 전계 인가 시간에 의해 결정할 수 있다. 게이트 절연막에 가해지는 전계 강도는, 게이트 전극과, 소스 전극 및 드레인 전극과의 전위차를 게이트 절연막의 두께로 나누어 얻은 값에 따라 결정된다. 예를 들어, 두께가 100nm인 게이트 절연막에 인가하는 전계 강도를 2MV/cm으로 하고 싶은 경우에는, 전위차를 20V로 하면 된다.
- [0402] 또한, 광이 조사되고 있는 환경 하에 있어서, 소스 전극 및 드레인 전극의 전위보다도 높은 전위를 게이트 전극에 인가해서 행하는 시험을 광 정(正) 바이어스 응력 시험이라 한다. 광 정 바이어스 응력 시험보다도, 광 부바이어스 응력 시험 쪽이, 트랜지스터의 특성 변동이 일어나기 쉽기 때문에, 본 실시 형태에서는 광 부 바이어스 응력 시험으로 평가하고 있다.
- [0403] 본 실시 형태에 있어서의 광 부바이어스 시험은, 기판 온도를 실온(25℃)으로 하고, 게이트 절연막(902)에 인가하는 전계 강도를 2MV/cm로 하고, 광 조사 및 전계 인가 시간을 1시간으로 해서 행하였다. 또한, 광 조사의 조건은, 아사히 분광사 크세논 광원 「MAX-302」을 사용하여, 피크 파장 400nm(반값폭 10nm), 방사 조도 326 $\mu\text{W}/\text{cm}^2$ 로 하였다.
- [0404] 광 부바이어스 시험에 앞서, 우선, 시험 대상이 되는 트랜지스터의 초기 특성을 측정하였다. 본 실시 형태에서는, 기판 온도를 실온(25℃)으로 하고, 소스 전극과 드레인 전극간의 전압(이하, 드레인 전압 또는 V_d 라고 함)을 3V로 하고, 소스 전극과 게이트 전극간의 전압(이하, 게이트 전압 또는 V_g 라고 함)을 -5V로부터 +5V까지 변화시켰을 때의, 소스 전극과 드레인 전극간에 흐르는 전류(이하, 드레인 전류 또는 I_d 라고 함)의 변화 특성, 즉 V_g - I_d 특성을 측정하였다.
- [0405] 다음으로, 절연막(909)측으로부터 광 조사를 개시하고, 트랜지스터의 소스 전극 및 드레인 전극의 전위를 0V로 하고, 트랜지스터의 게이트 절연막(902)에 인가되는 전계 강도가 2MV/cm이 되도록 게이트 전극(901)에 부의 전압을 인가하였다. 여기서는, 트랜지스터의 게이트 절연막(902)의 두께가 30nm이기 때문에, 게이트 전극(901)에 -6V를 인가하고, 그대로 1시간 유지하였다. 여기서는 인가 시간을 1시간으로 하였지만, 목적에 따라서 적절히 시간을 변경해도 된다.
- [0406] 다음으로, 전압의 인가를 종료하고, 광을 조사한 상태로, 초기 특성의 측정과 동일 조건에서 V_g - I_d 특성을 측정하고, 광 부바이어스 시험 후의 V_g - I_d 특성을 얻었다.
- [0407] 여기서, 본 실시 형태에 있어서의 V_{th} 의 정의에 대해서 도 30을 예시해서 설명해 둔다. 도 30의 횡축은 게이트 전압을 리니어 스케일로 나타내고 있고, 종축은 드레인 전류의 평방근(이하, $\sqrt{I_d}$ 라고도 함)을 리니어 스케일로 나타내고 있다. 곡선(921)은, V_g - I_d 특성에 있어서의 V_{th} 의 값을 평방근으로 나타낸 곡선(이하, $\sqrt{I_d}$ 곡선이라고도 함)이다.
- [0408] 우선, 측정된 V_g - I_d 곡선으로부터 $\sqrt{I_d}$ 곡선(곡선(921))을 구한다. 다음으로, $\sqrt{I_d}$ 곡선 상의, $\sqrt{I_d}$ 곡선의 미분값이 최대가 되는 점의 접선(924)을 구한다. 다음으로, 접선(924)을 연신하고, 접선(924) 위에서 I_d 가 0A가 될 때의 V_g , 즉 접선(924)의 게이트 전압축 절편(925)의 값을 V_{th} 로서 정의한다.
- [0409] 도 31a 내지 도 31c에, 광 부바이어스 시험 전후에 있어서의 트랜지스터(951) 및 트랜지스터(952)의 V_g - I_d 특성을 나타낸다. 도 31a 및 도 31b 모두, 횡축은 게이트 전압(V_g)이고, 종축은 게이트 전압에 대한 드레인 전류(I_d)를 대수 눈금으로 나타내고 있다.
- [0410] 도 31a는, 광 부바이어스 시험 전후에 있어서의 트랜지스터(951)의 V_g - I_d 특성을 나타내고 있다. 초기 특성(931)은, 광 부바이어스 시험 전의 트랜지스터(951)의 V_g - I_d 특성이며, 시험 후 특성(932)은, 광 부바이어스 시험 후의 트랜지스터(951)의 V_g - I_d 특성이다. 초기 특성(931)의 V_{th} 는, 1.01V이며, 시험 후 특성(932)의 V_{th} 는, 0.44V이었다.

- [0411] 도 31b는, 광 부바이어스 시험 전후에 있어서의 트랜지스터(952)의 V_g - I_d 특성을 나타내고 있다. 또한, 도 31c는, 도 31b 중의 부위(945)를 확대한 도면이다. 초기 특성(941)은, 광부 바이어스 시험 전의 트랜지스터(952)의 V_g - I_d 특성이며, 시험 후 특성(942)은, 광 부바이어스 시험 후의 트랜지스터(952)의 V_g - I_d 특성이다. 초기 특성(941)의 V_{th} 는, 1.16V이며, 시험 후 특성(942)의 V_{th} 는, 1.10V이었다. 또한, 트랜지스터(952)의 백 게이트 전극(912)은 소스 전극(905a)과 전기적으로 접속되어 있기 때문에, 백 게이트 전극(912)과 소스 전극(905a)의 전위는 동전위가 된다.
- [0412] 도 31a에 있어서, 시험 후 특성(932)은, 초기 특성(931)에 비하여 V_{th} 가 마이너스 방향으로 0.57V 변화하고 있고, 도 31b에 있어서, 시험 후 특성(942)은, 초기 특성(941)에 비하여 V_{th} 가 마이너스 방향으로 0.06V 변화하고 있다. 트랜지스터(951) 및 트랜지스터(952) 모두, V_{th} 의 변화량은 1V 이하로서, 신뢰성이 높은 트랜지스터인 것을 확인할 수 있다. 또한, 백 게이트 전극(912)을 설치한 트랜지스터(952)는, V_{th} 의 변화량이 0.1V 이하로서, 트랜지스터(952)는 트랜지스터(951)보다도 더욱 신뢰성이 높은 트랜지스터인 것을 확인할 수 있다.
- [0413] [실시예 1]
- [0414] 본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 고화질인 화상의 표시를 행할 수 있는 전자 기기를 제공하는 것이 가능하다. 혹은, 본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 저소비 전력의 전자 기기를 제공하는 것이 가능하다. 특히 전력의 공급을 항상 받는 것이 곤란한 휴대용 전자 기기의 경우, 본 발명의 일 형태에 따른 액정 표시 장치를 그 구성 요소에 추가함으로써, 연속 사용 시간이 길어진다고 하는 장점도 얻어진다.
- [0415] 본 발명의 일 형태에 따른 액정 표시 장치는, 표시 장치, 노트북형 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD=Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 밖에, 본 발명의 일 형태에 따른 액정 표시 장치를 사용할 수 있는 전자 기기로서, 휴대전화, 휴대형 게임기, 휴대 정보 단말기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체예를 도 28a 내지 도 28f에 도시한다.
- [0416] 도 28a는 전자 서적으로서, 하우징(7001), 표시부(7002) 등을 갖는다. 본 발명의 일 형태에 따른 액정 표시 장치는, 표시부(7002)에 사용할 수 있다. 표시부(7002)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 고화질인 화상의 표시가 가능한 전자 서적, 혹은, 저소비 전력의 전자 서적을 제공할 수 있다. 또한, 가요성을 갖는 기관에서 패널을 제작하고, 게다가 터치 패널에도 가요성을 갖게 함으로써, 액정 표시 장치에 가요성을 갖게 할 수 있으므로, 플렉시블 또한 가볍고 사용 편의성이 좋은 전자 서적을 제공할 수 있다.
- [0417] 도 28b는 표시 장치로서, 하우징(7011), 표시부(7012), 지지대(7013) 등을 갖는다. 본 발명의 일 형태에 따른 액정 표시 장치는, 표시부(7012)에 사용할 수 있다. 표시부(7012)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 고화질인 화상의 표시가 가능한 표시 장치, 혹은, 저소비 전력의 표시 장치를 제공할 수 있다. 또한, 표시 장치에는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 등의 모든 정보 표시용 표시 장치가 포함된다.
- [0418] 도 28c는 현금 자동 입출금기로서, 하우징(7021), 표시부(7022), 동전 투입구(7023), 지폐 투입구(7024), 카드 투입구(7025), 통장 투입구(7026) 등을 갖는다. 본 발명의 일 형태에 따른 액정 표시 장치는, 표시부(7022)에 사용할 수 있다. 표시부(7022)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 고화질인 화상의 표시가 가능한 현금 자동 입출금기, 혹은, 저소비 전력의 현금 자동 입출금기를 제공할 수 있다.
- [0419] 도 28d는 휴대형 게임기로서, 하우징(7031), 하우징(7032), 표시부(7033), 표시부(7034), 마이크론(7035), 스피커(7036), 조작 키(7037), 스타일러스(7038) 등을 갖는다. 본 발명의 일 형태에 따른 액정 표시 장치는, 표시부(7033) 및/또는 표시부(7034)에 사용할 수 있다. 표시부(7033) 및/또는 표시부(7034)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 고화질인 화상의 표시가 가능한 휴대형 게임기, 혹은, 저소비 전력의 휴대형 게임기를 제공할 수 있다. 또한, 도 28d에 도시한 휴대형 게임기는, 2개의 표시부(7033)와 표시부(7034)를 갖고 있지만, 휴대형 게임기가 갖는 표시부의 수는, 2개에 한정되지 않는다.
- [0420] 도 28e는 휴대전화로서, 하우징(7041), 표시부(7042), 음성 입력부(7043), 음성 출력부(7044), 조작 키(7045), 수광부(7046) 등을 갖는다. 수광부(7046)에 있어서 수신한 광을 전기 신호로 변환함으로써, 외부의 화상을 도입할 수 있다. 본 발명의 일 형태에 따른 액정 표시 장치는, 표시부(7042)에 사용할 수 있다. 표시부(7042)에

본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 고화질인 화상의 표시가 가능한 휴대전화, 혹은, 저 소비 전력의 휴대전화를 제공할 수 있다.

[0421] 도 28f는 휴대 정보 단말기로서, 하우징(7051), 표시부(7052), 조작 키(7053) 등을 갖는다. 도 28f에 도시하는 휴대 정보 단말기는, 모뎀이 하우징(7051)에 내장되어 있어도 된다. 본 발명의 일 형태에 따른 액정 표시 장치는, 표시부(7052)에 사용할 수 있다. 표시부(7052)에 본 발명의 일 형태에 따른 액정 표시 장치를 사용함으로써, 고화질인 화상의 표시가 가능한 휴대 정보 단말기, 혹은, 저소비 전력의 휴대 정보 단말기를 제공할 수 있다.

[0422] 본 실시예는, 임의의 상기 실시 형태와 적절히 조합해서 실시하는 것이 가능하다.

[0423] 본 출원은 2010년 7월 2일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2010-152158호를 기초로 하며, 그 전체 요지는 본 명세서에 참조로 인용된다.

부호의 설명

- [0424]
- 10 : 화소부
 - 11 : 주사선 구동 회로
 - 12 : 신호선 구동 회로
 - 15 : 화소
 - 16 : 트랜지스터
 - 17 : 용량 소자
 - 18 : 액정 소자
 - 20 : 펄스 출력 회로
 - 21 : 단자
 - 22 : 단자
 - 23 : 단자
 - 24 : 단자
 - 25 : 단자
 - 26 : 단자
 - 27 : 단자
 - 31 : 트랜지스터
 - 32 : 트랜지스터
 - 33 : 트랜지스터
 - 34 : 트랜지스터
 - 35 : 트랜지스터
 - 36 : 트랜지스터
 - 37 : 트랜지스터
 - 38 : 트랜지스터
 - 39 : 트랜지스터
 - 50 : 트랜지스터
 - 51 : 트랜지스터

52 : 트랜지스터
 53 : 트랜지스터
 60 : 화소부
 61 : 주사선 구동 회로
 62 : 신호선 구동 회로
 65a : 트랜지스터
 65b : 트랜지스터
 65c : 트랜지스터
 101 : 영역
 102 : 영역
 103 : 영역
 120 : 시프트 레지스터
 121 : 트랜지스터
 123 : 스위칭 소자군
 301 : 풀 컬러 화상 표시 기간
 302 : 모노크롬 동화상 표시 기간
 303 : 모노크롬 정지 화상 표시 기간
 400 : 액정 표시 장치
 401 : 화상 메모리
 402 : 화상 데이터 선택 회로
 403 : 셀렉터
 404 : CPU
 405 : 컨트롤러
 406 : 패널
 407 : 백라이트
 408 : 백라이트 제어 회로
 410 : 풀 컬러 화상 데이터
 411 : 모노크롬 화상 데이터
 412 : 화소부
 413 : 신호선 구동 회로
 414 : 주사선 구동 회로
 420 : 입력 장치
 421 : 측광 회로
 500 : 기관
 501 : 도전막
 502 : 도전막

503 : 도전막
 504 : 도전막
 505 : 화소 전극
 506 : 게이트 절연막
 507 : 활성층
 508 : 절연막
 509 : 절연막
 510 : 스페이서
 512 : 절연막
 513 : 절연막
 514 : 기관
 515 : 대향 전극
 516 : 액정층
 517 : 차폐막
 530 : 도전막
 531 : 절연막
 601 : 영역
 602 : 영역
 603 : 영역
 611 : 시프트 레지스터
 612 : 시프트 레지스터
 613 : 시프트 레지스터
 615 : 화소
 616 : 트랜지스터
 617 : 용량 소자
 618 : 액정 소자
 620 : 시프트 레지스터
 623 : 스위칭 소자군
 700 : 기관
 701 : 절연막
 702 : 게이트 전극
 703 : 게이트 절연막
 704 : 산화물 반도체막
 705 : 도전막
 706 : 도전막
 707 : 절연막

708 : 트랜지스터

900 : 기관

901 : 게이트 전극

902 : 게이트 절연막

903 : 산화물 반도체막

905a: 소스 전극

905b: 드레인 전극

907 : 절연막

908 : 절연막

909 : 절연막

912 : 백 게이트 전극

921 : 곡선

924 : 접선

925 : 게이트 전압축 절편

931 : 초기 특성

932 : 시험 후 특성

936 : 바탕막

941 : 초기 특성

942 : 시험 후 특성

945 : 부위

951 : 트랜지스터

952 : 트랜지스터

1601 : 패널

1602 : 제1 확산판

1603 : 프리즘 시트

1604 : 제2 확산판

1605 : 도광판

1607 : 백라이트 패널

1608 : 회로 기관

1609 : COF 테이프

1610 : FPC

1611 : 기관

1612 : 백라이트

2400 : 기관

2401 : 게이트 전극

2402 : 게이트 절연막

2403 : 산화물 반도체막
 2405a : 소스 전극
 2405b : 드레인 전극
 2406 : 채널 보호층
 2407 : 절연막
 2409 : 보호 절연막
 2411 : 제1 게이트 전극
 2412 : 제2 게이트 전극
 2413 : 제1게이트 절연막
 2414 : 제2 게이트 절연막
 2436 ; 바탕막
 2450 : 트랜지스터
 2460 : 트랜지스터
 2470 : 트랜지스터
 2480 : 트랜지스터
 4001 : 기관
 4002 : 화소부
 4003 : 신호선 구동 회로
 4004 : 주사선 구동 회로
 4005 : 시일재
 4006 : 대향 기관
 4007 ; 액정
 4009 : 트랜지스터
 4010 : 트랜지스터
 4011 : 액정 소자
 4014 : 리드 배선
 4015 : 리드 배선
 4016 : 접속 단자
 4018 : FPC
 4019 : 이방성 도전막
 4021 : 기관
 4022 : 트랜지스터
 4030 : 화소 전극
 4031 : 대향 전극
 4035 : 스페이서
 4040 : 차광막

6110 : 전치 기관
 6111 : 제1 접촉제층
 6116 : 피박리층
 6200 : 기관
 6201 : 박리층
 6202 : 가지지 기관
 6203 : 박리용 접촉제
 6206 : 금속판
 6207 : 배리어층
 6210 : 제1 배선층
 6211 : 제2 배선층
 6212 : 영역
 7001 : 하우징
 7002 : 표시부
 7011 : 하우징
 7012 : 표시부
 7013 : 지지대
 7021 : 하우징
 7022 : 표시부
 7023 : 경화 투입구
 7024 : 지폐 투입구
 7025 : 카드 투입구
 7026 : 통장 투입구
 7031 : 하우징
 7032 : 하우징
 7033 : 표시부
 7034 : 표시부
 7035 : 마이크폰
 7036 : 스피커
 7037 : 조작 키
 7038 : 스타일러스
 7041 : 하우징
 7042 : 표시부
 7043 : 음성 입력부
 7044 : 음성 출력부
 7045 : 조작 키

7046 : 수광부

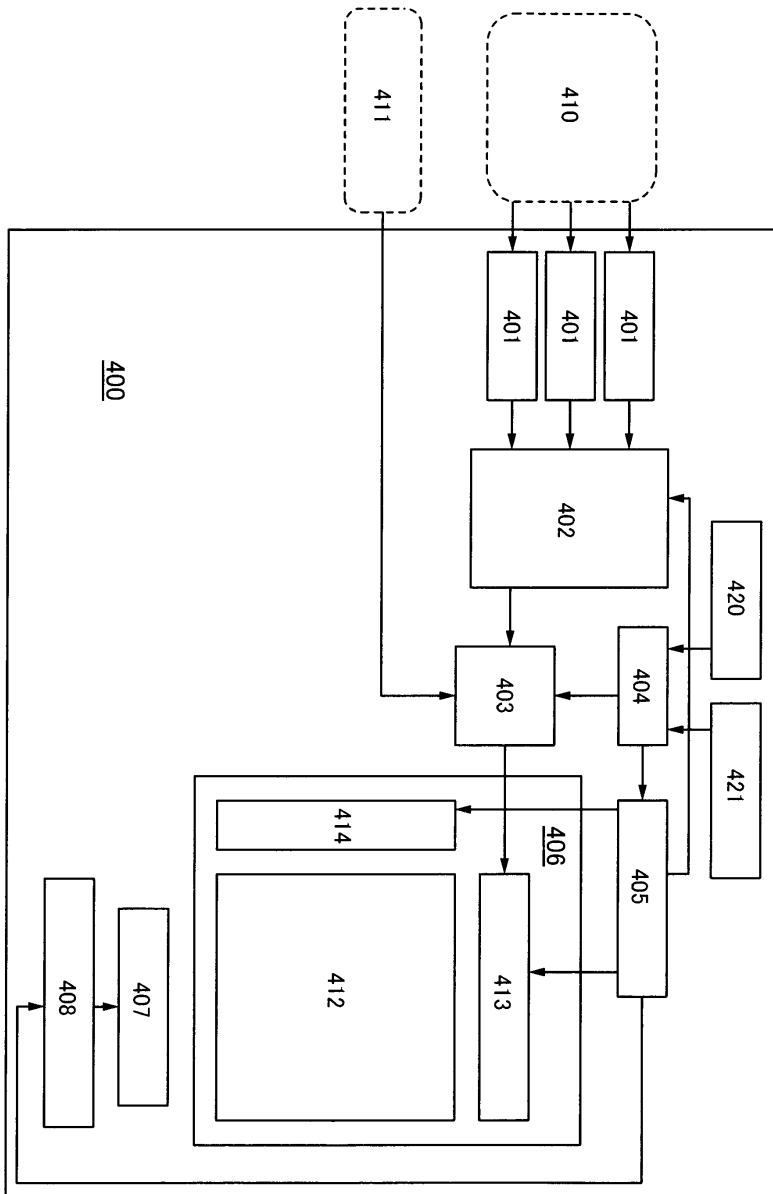
7051 : 하우징

7052 : 표시부

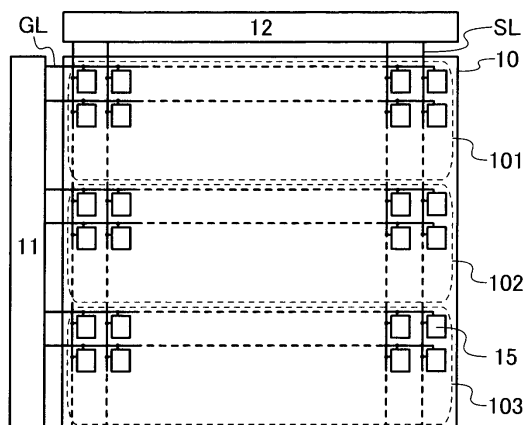
7053 : 조작 키

도면

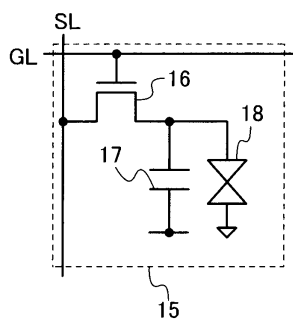
도면1



도면2a



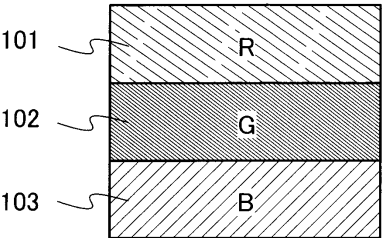
도면2b



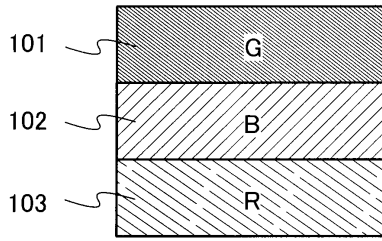
도면3

구동 회로 백라이트 화상 신호 가입 회수	301	302	303
	동작	동작	기업중을 제외하고 동작하지 않음
	색상이 전환됨	색상이 전환되지 않음	색상이 전환되지 않음
	색상의 수와 동일	단수	단수

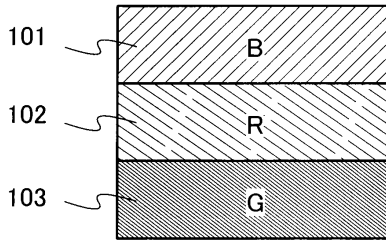
도면4a



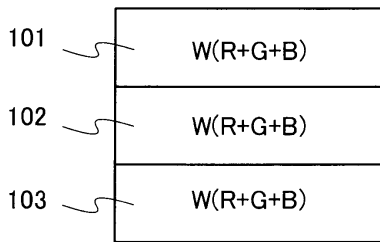
도면4b



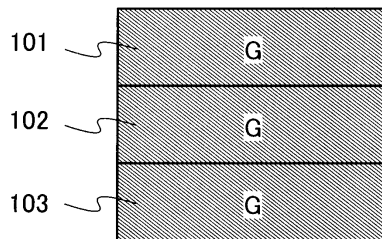
도면4c



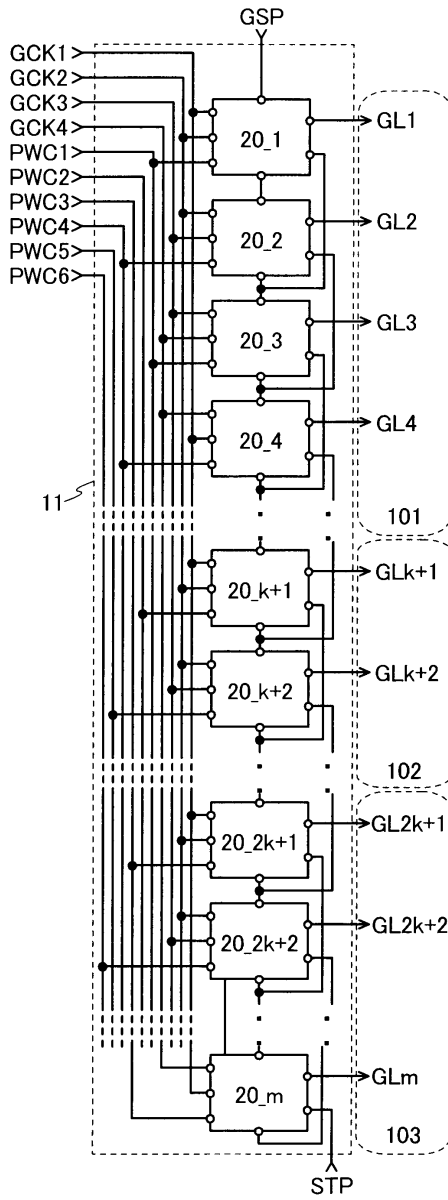
도면5a



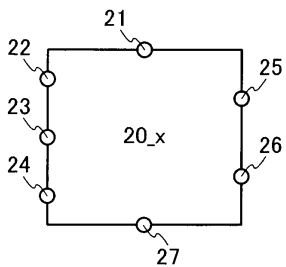
도면5b



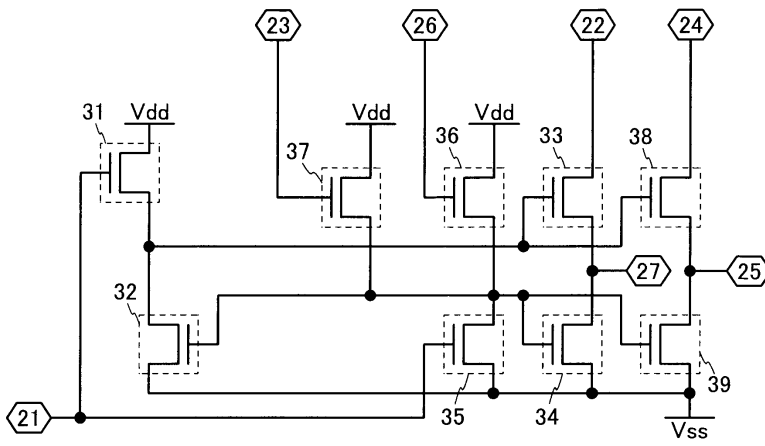
도면6



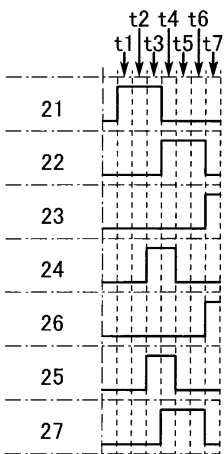
도면7



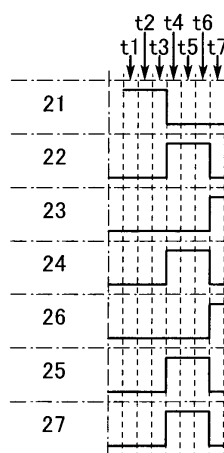
도면8a



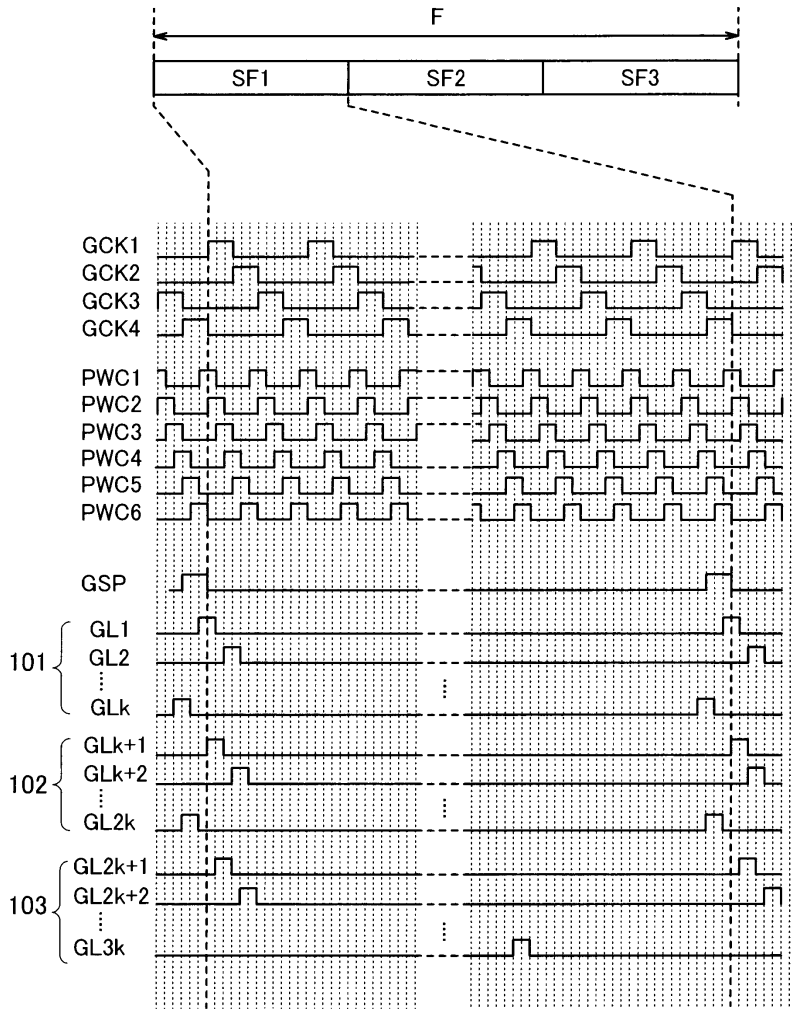
도면8b



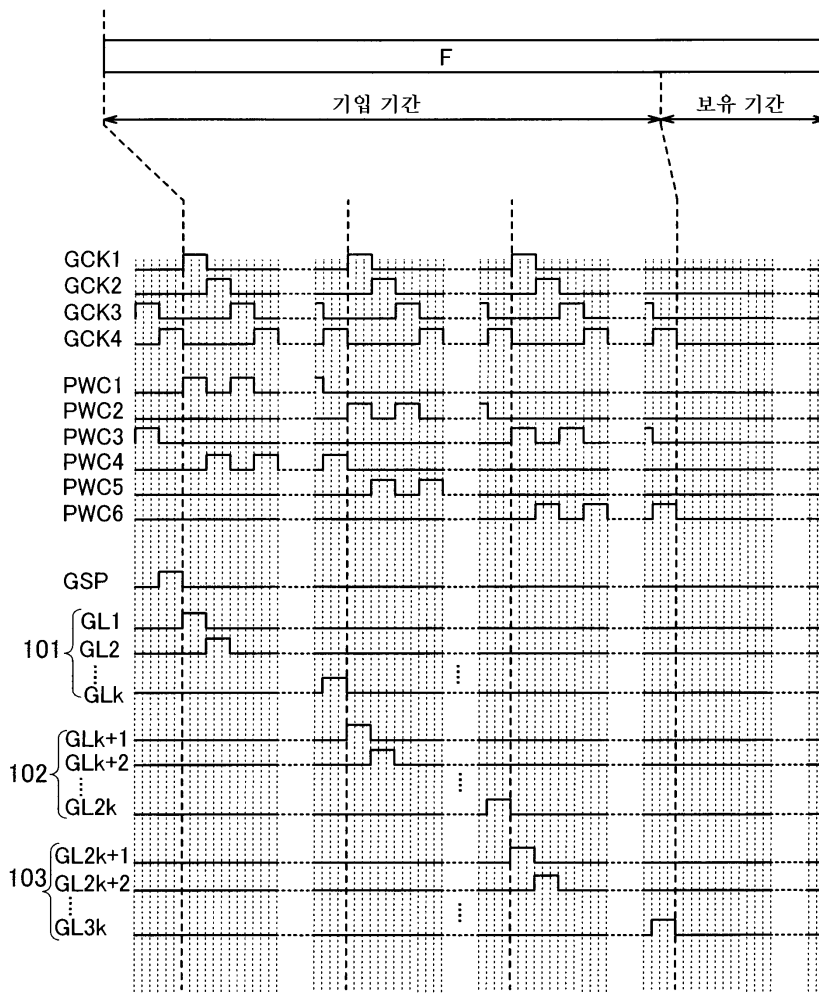
도면8c



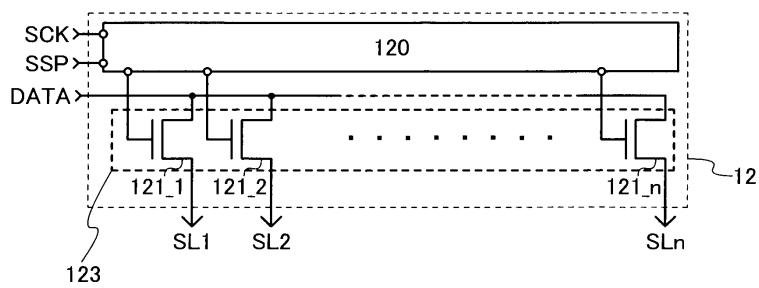
도면9



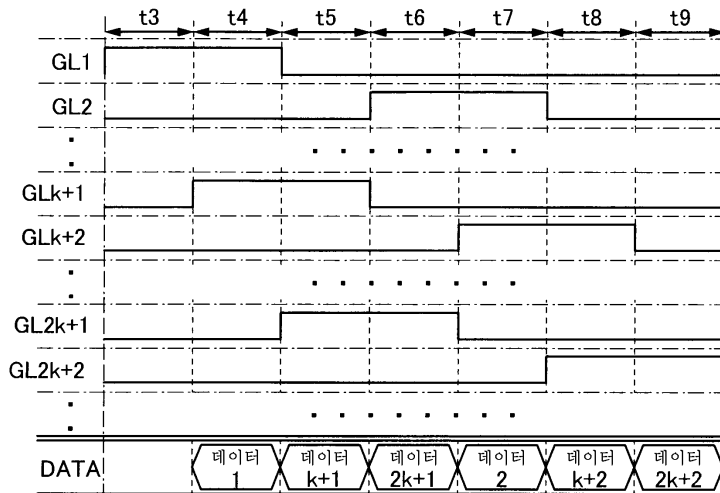
도면10



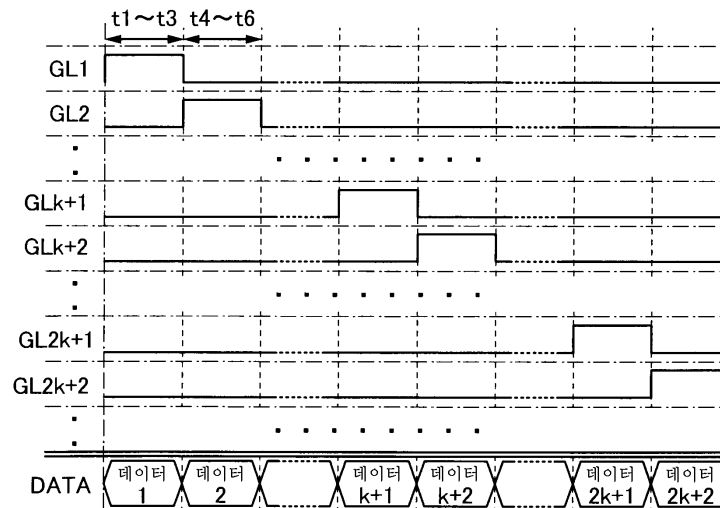
도면11



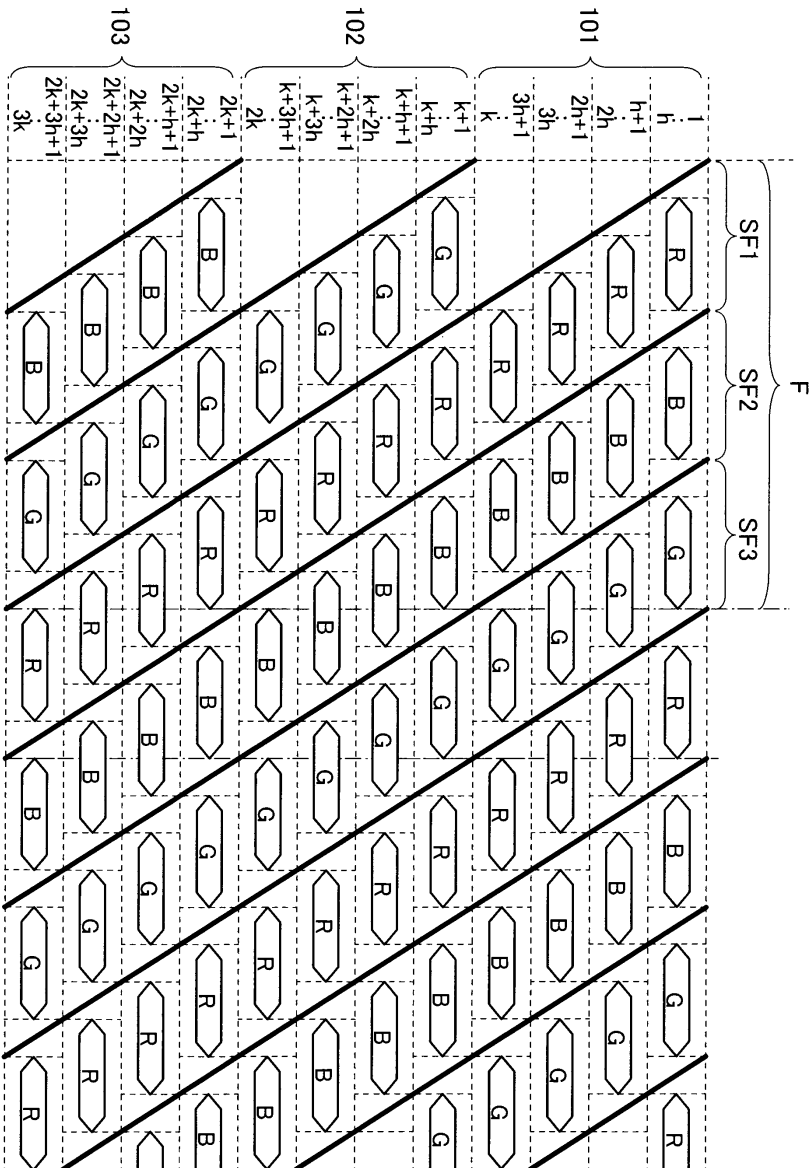
도면12a



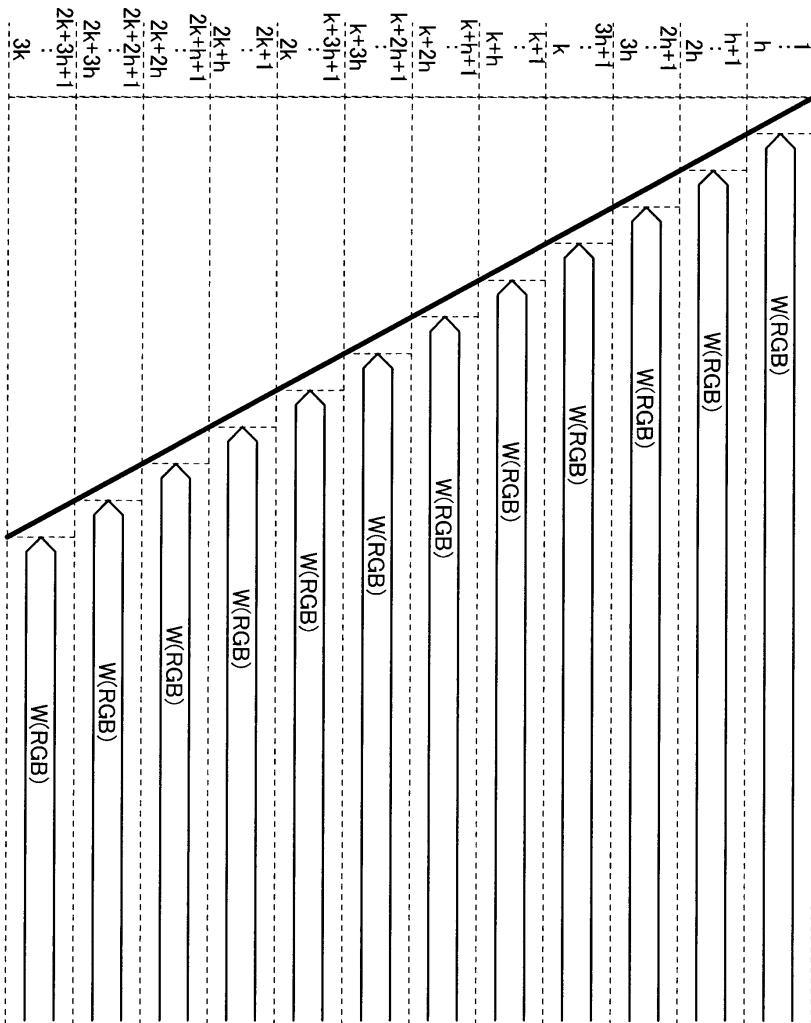
도면12b



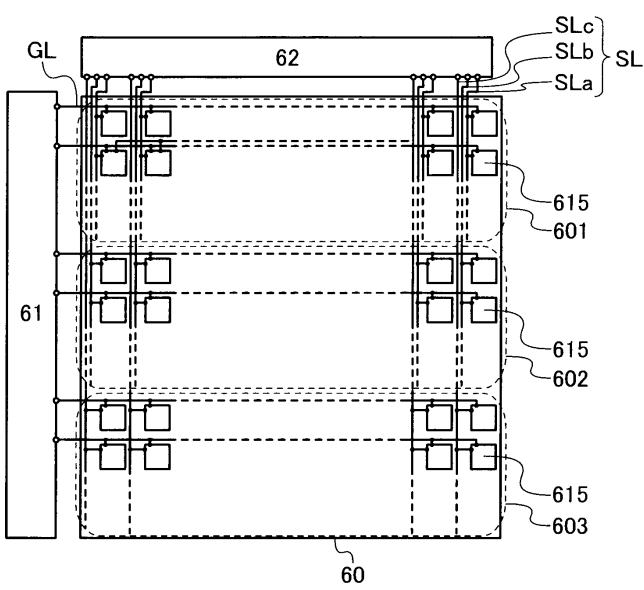
도면13



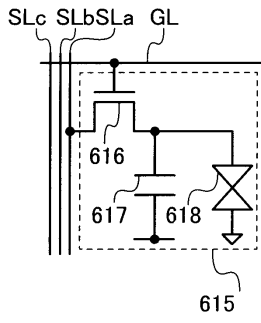
도면14



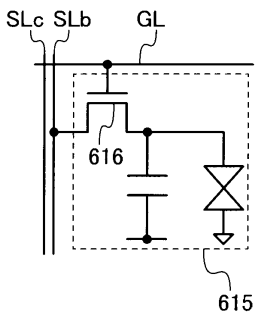
도면15a



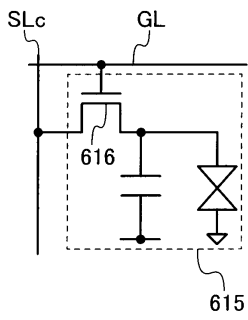
도면15b



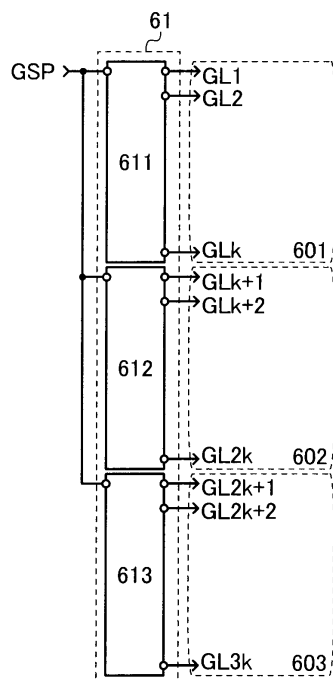
도면15c



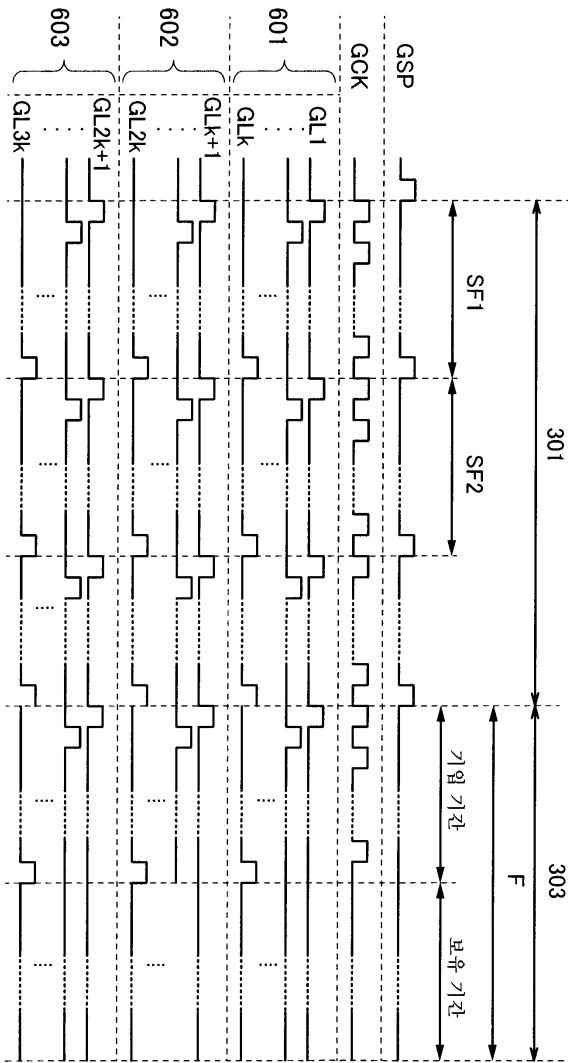
도면15d



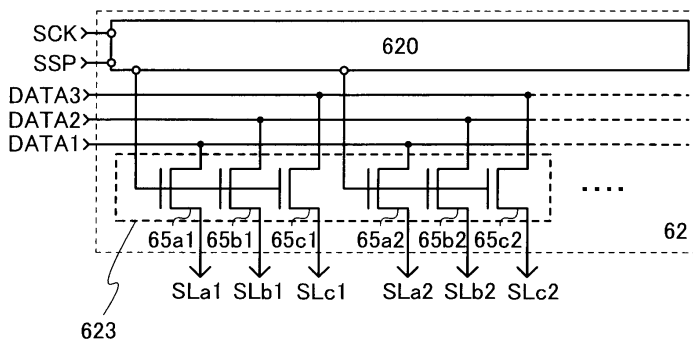
도면16



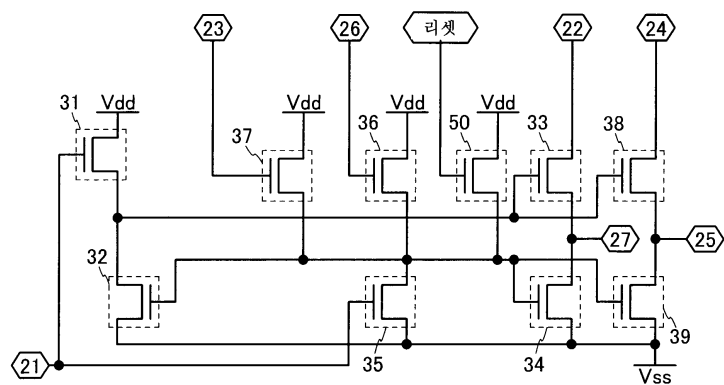
도면17



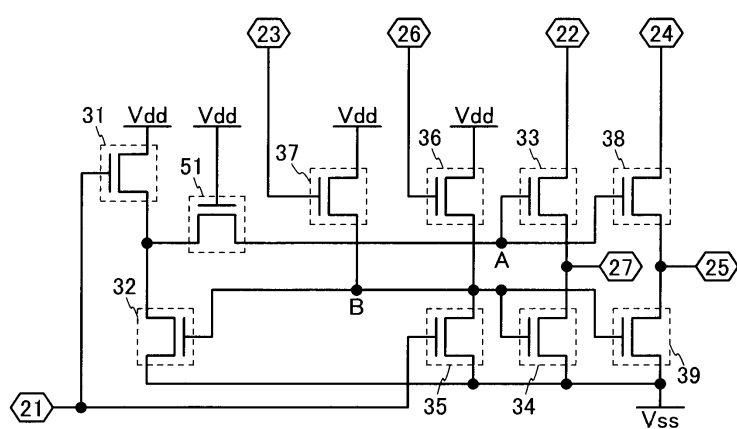
도면18



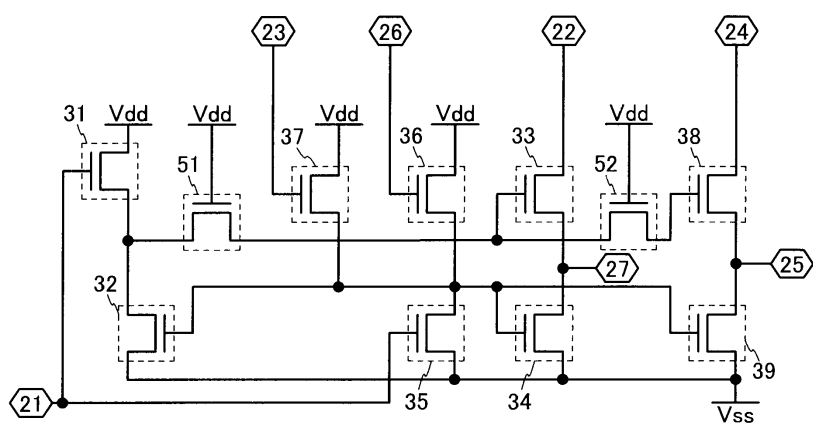
도면19a



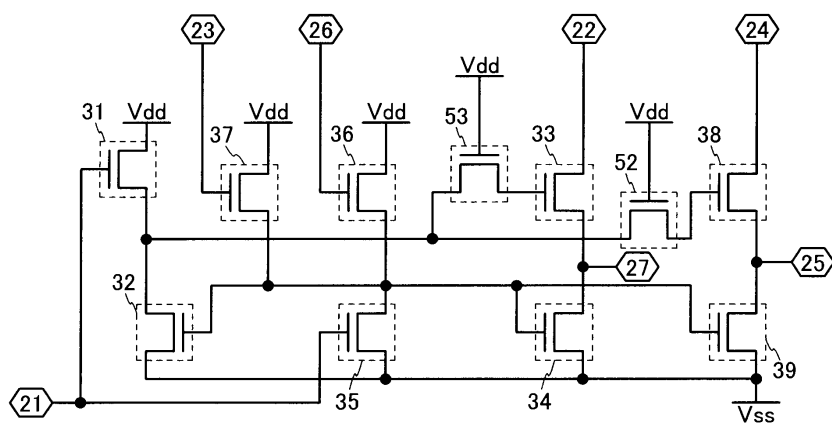
도면19b



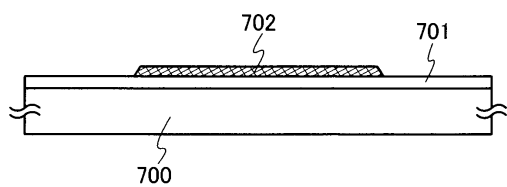
도면20a



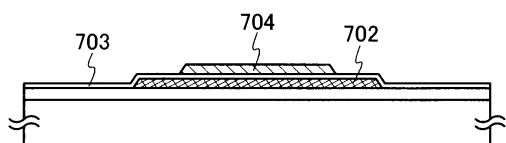
도면20b



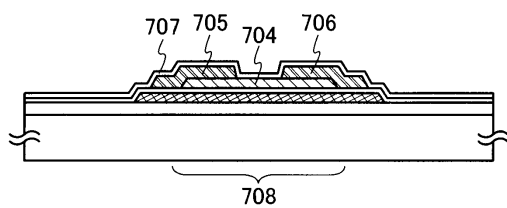
도면21a



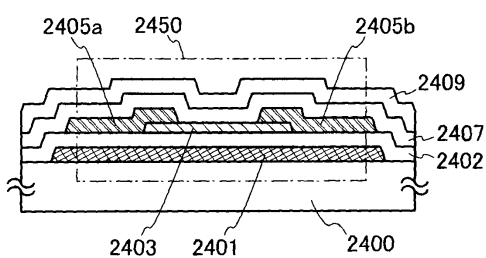
도면21b



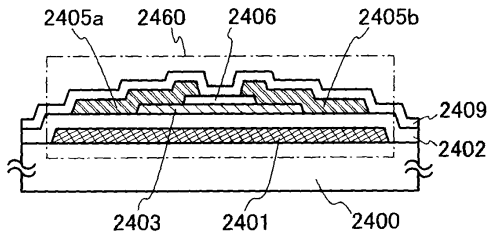
도면21c



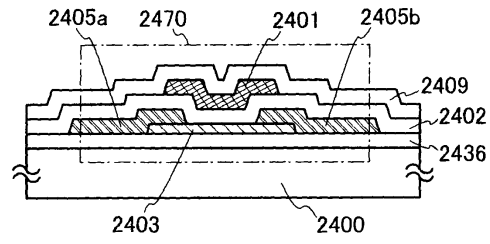
도면22a



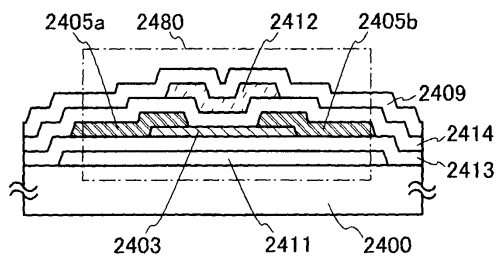
도면22b



도면22c



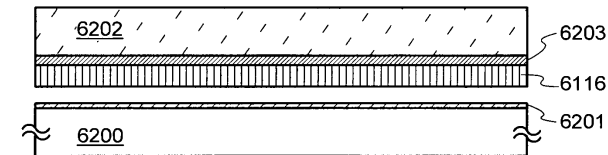
도면22d



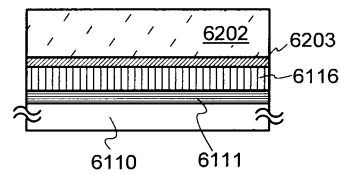
도면23a



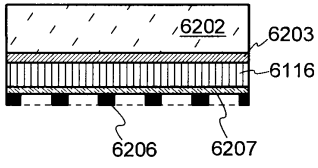
도면23b



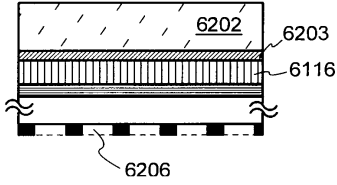
도면23c



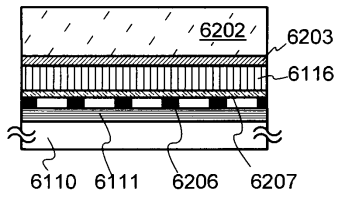
도면23ca



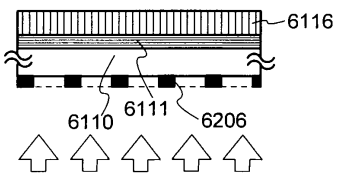
도면23d



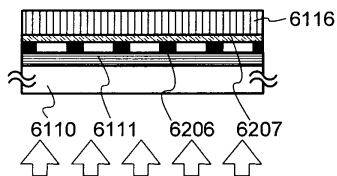
도면23da



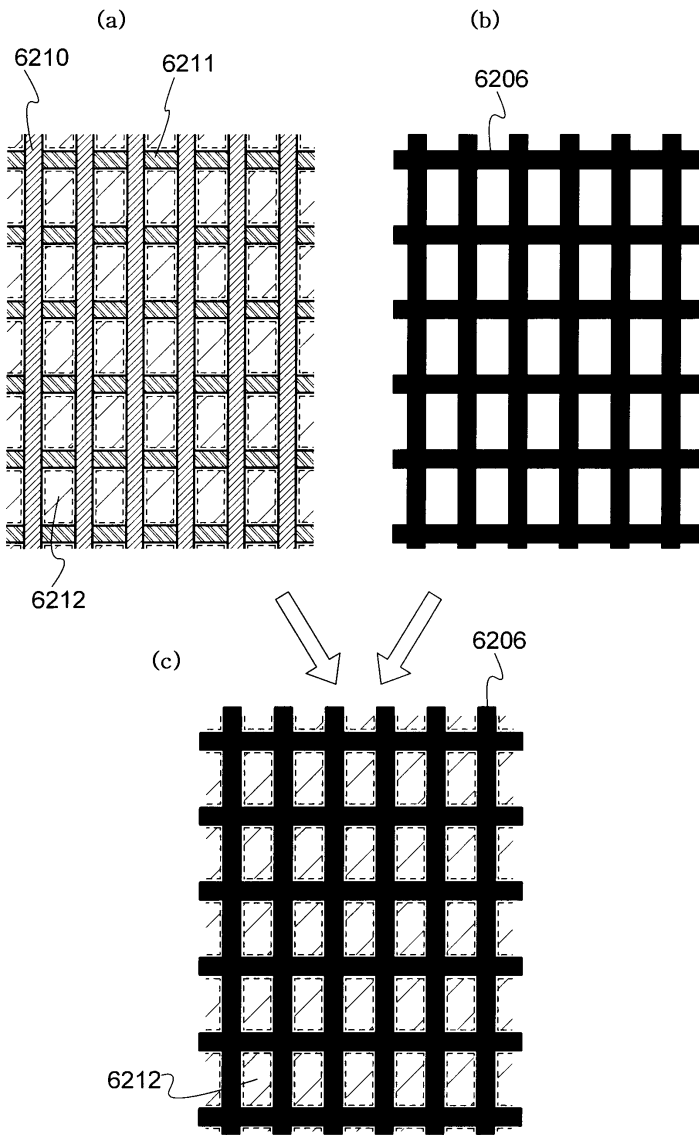
도면23e



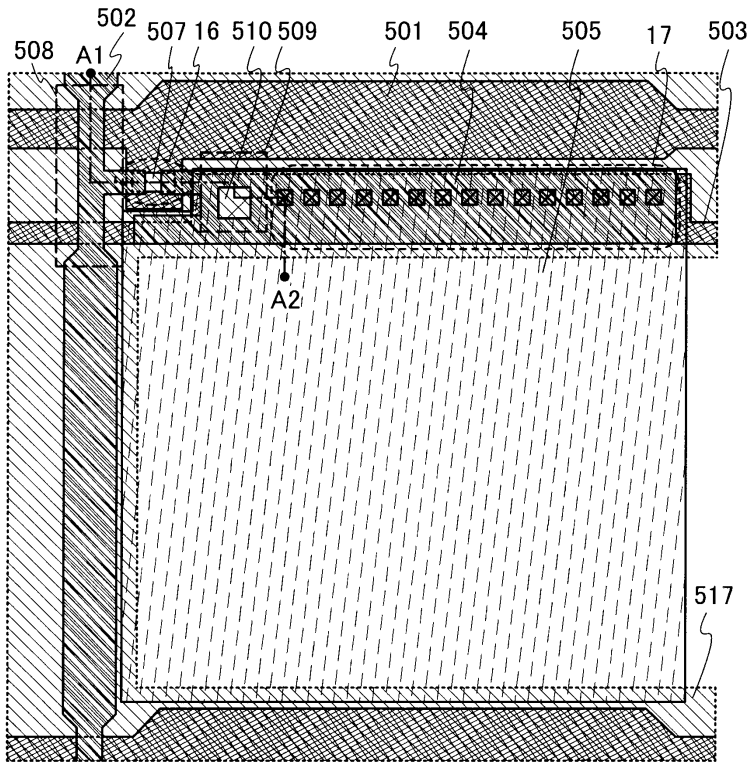
도면23ea



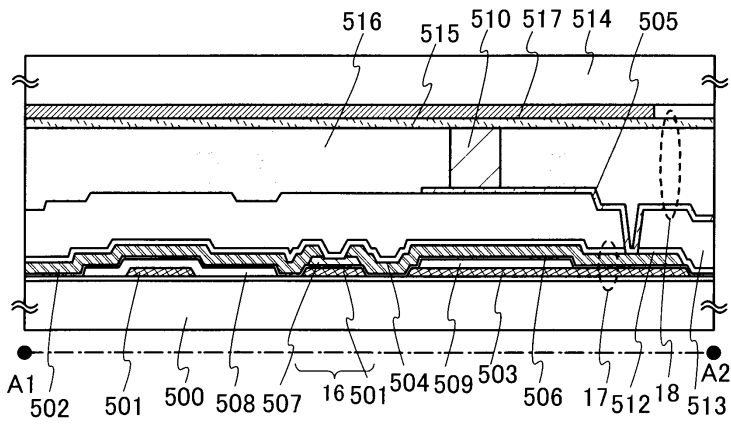
도면24



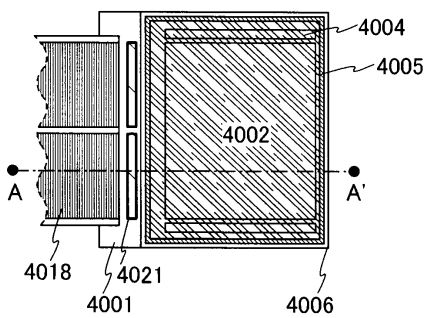
도면25a



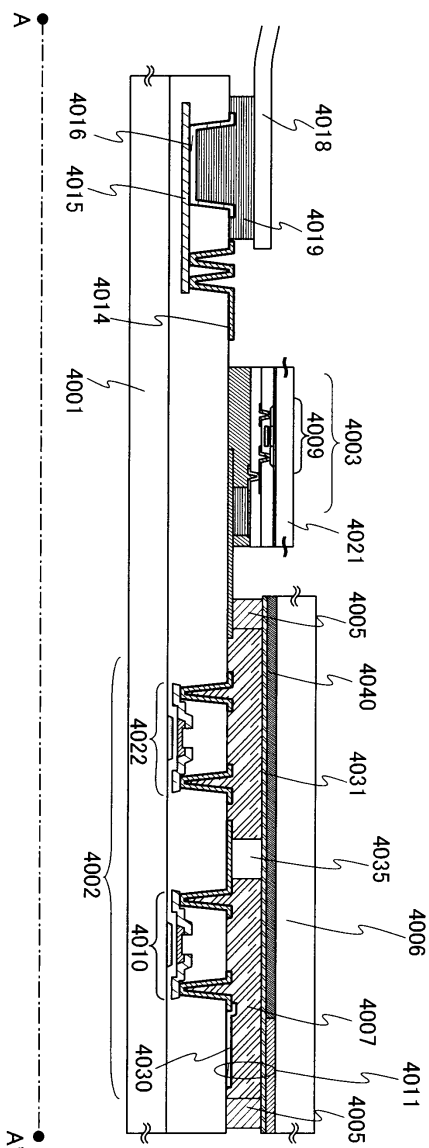
도면25b



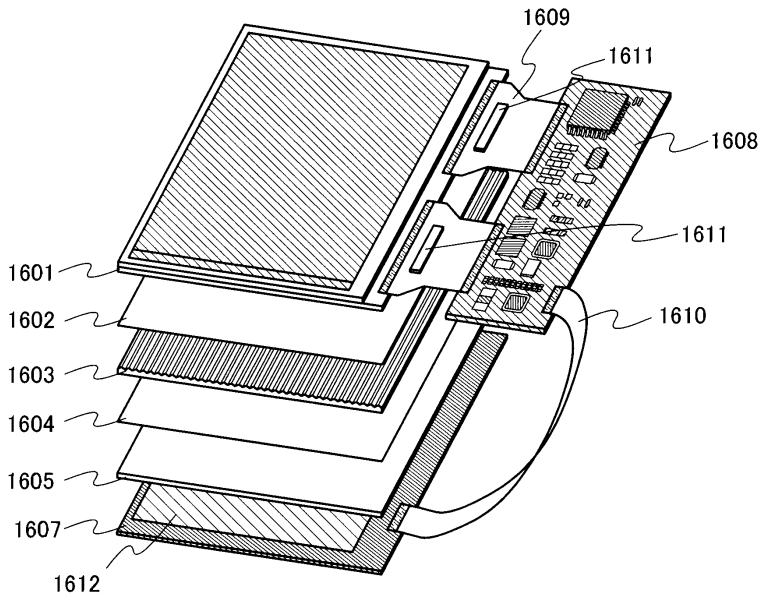
도면26a



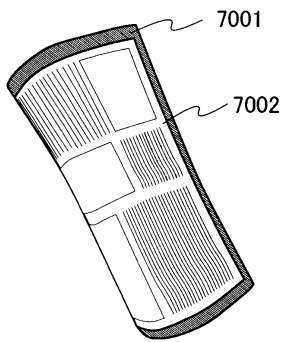
도면26b



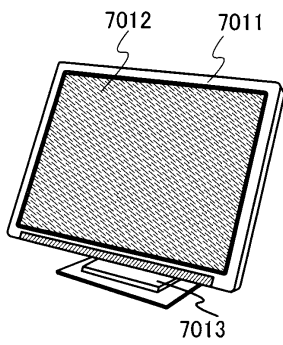
도면27



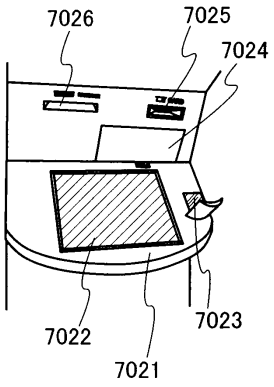
도면28a



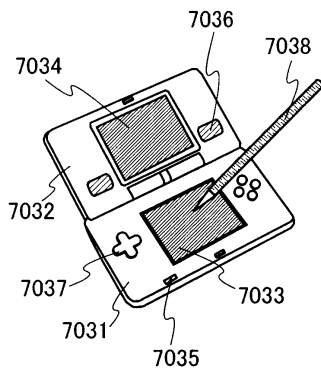
도면28b



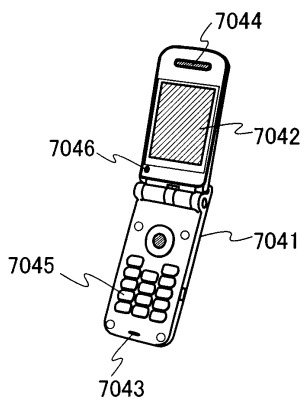
도면28c



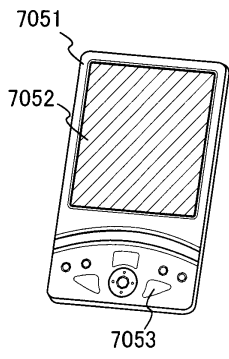
도면28d



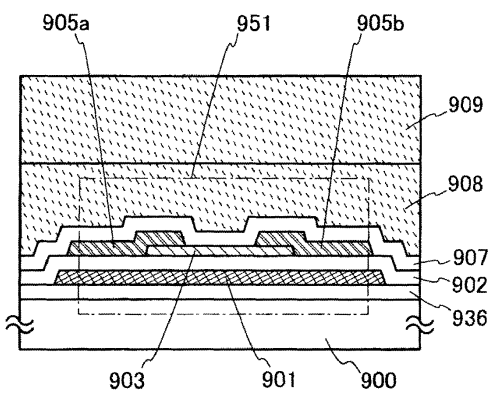
도면28e



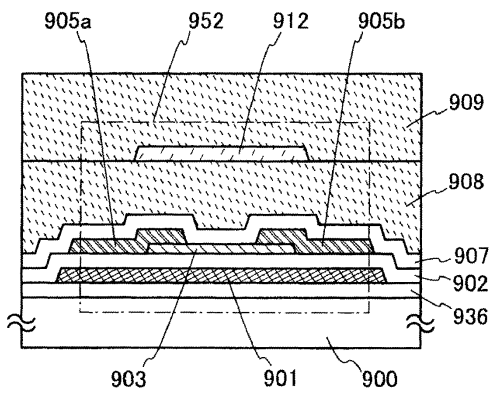
도면28f



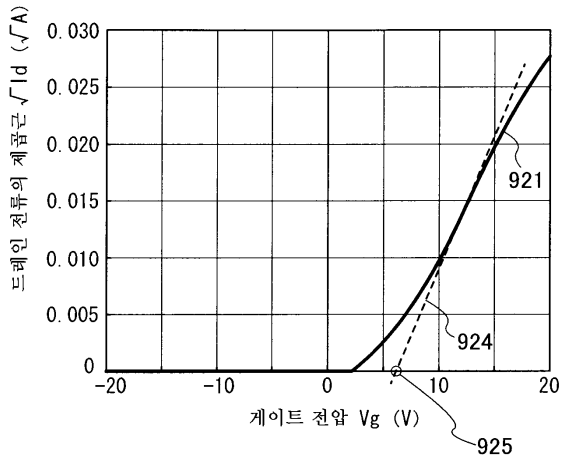
도면29a



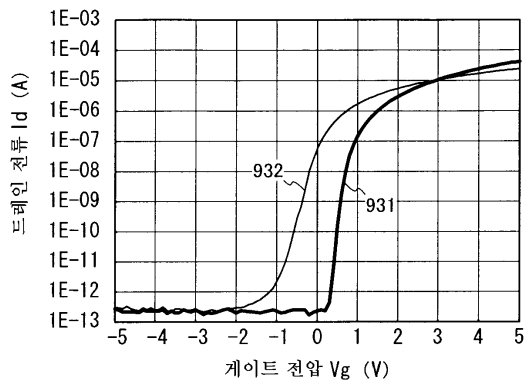
도면29b



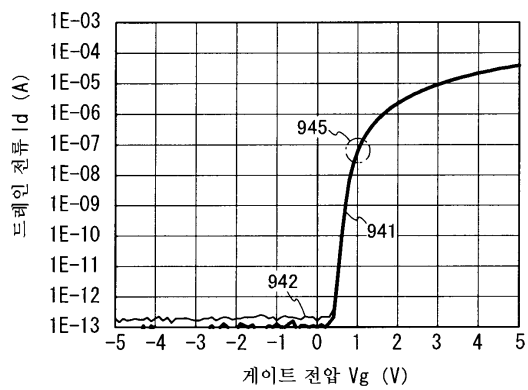
도면30



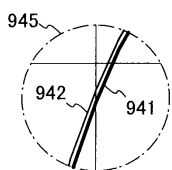
도면31a



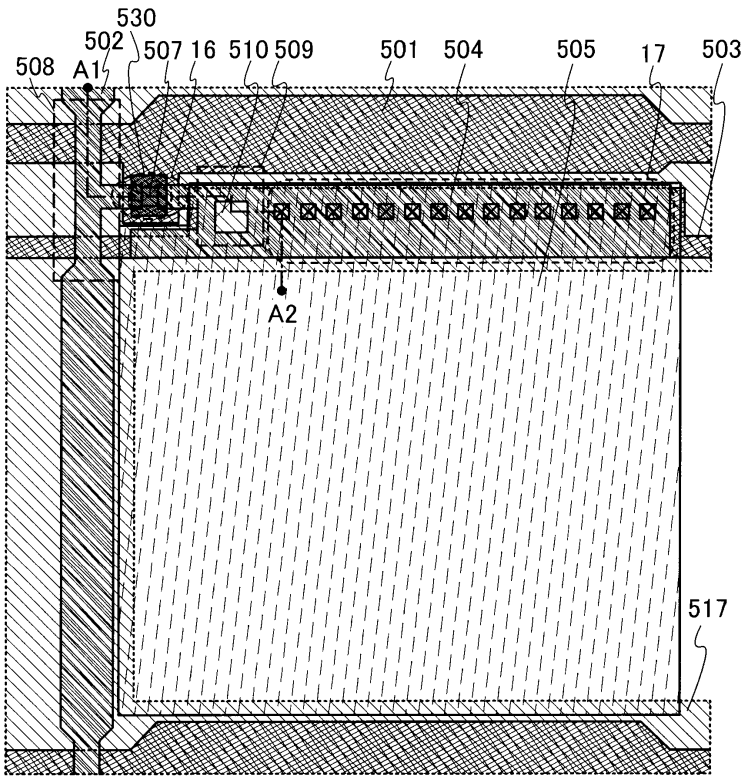
도면31b



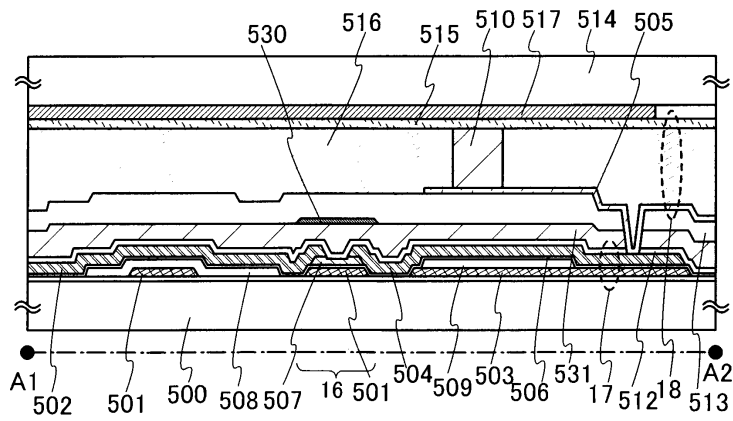
도면31c



도면32a



도면32b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130090405A	公开(公告)日	2013-08-13
申请号	KR1020137002756	申请日	2011-06-15
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KOYAMA JUN 고야마준 MIYAKE HIROYUKI 미야케히로유키 TOYOTAKA KOUHEI 도요타카고우헤이		
发明人	야마자키순페이 고야마준 미야케히로유키 도요타카고우헤이		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36		
CPC分类号	G09G2310/0235 G09G3/3688 G09G3/3413 G09G3/3677		
代理人(译)	CHANG, SOO KIL LEE , JUNG HEE		
优先权	2010152158 2010-07-02 JP		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括像素部分和多个光源，像素部分包括第一区域和第二区域。第一区域和第二区域中的每一个包括液晶元件和晶体管，液晶元件的透射率根据图像信号的电压来控制，晶体管用于控制具有非常低的截止电流的电压的保持。多个光源执行第一驱动和第二驱动，并且具有不同颜色的光以第一转数顺序地提供给第一区域，以与第一转数不同的第二转数顺序地提供给第二区域，并且将具有单色的光连续地提供给第二驱动的第一区域和第二区域中的一个或两个。在第一驱动器和第二驱动器之间保持电压的时段是不同的。

	301	302	303
구동 회로	동작	동작	기입중을 제외하고 동작하지 않음
백라이트	색상이 전환됨	색상이 전환되지 않음	색상이 전환되지 않음
화상 신호 기입 횟수	색상의 수와 동일	단수	단수