



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0010539
(43) 공개일자 2013년01월29일

(51) 국제특허분류(Int. Cl.)

G02F 1/1333 (2006.01) G06F 3/041 (2006.01)

G02F 1/1343 (2006.01) G02F 1/1339 (2006.01)

(21) 출원번호 10-2011-0071230

(22) 출원일자 2011년07월19일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정호영

대구광역시 수성구 신매로 91, 협화아파트 213동 107호 (신매동)

유재성

서울특별시 송파구 올림픽로 99, 115동 1302호 (잠실동, 잠실엘스)

박제훈

경기도 파주시 월롱면 덕은리 정다운마을 103동 1317호

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

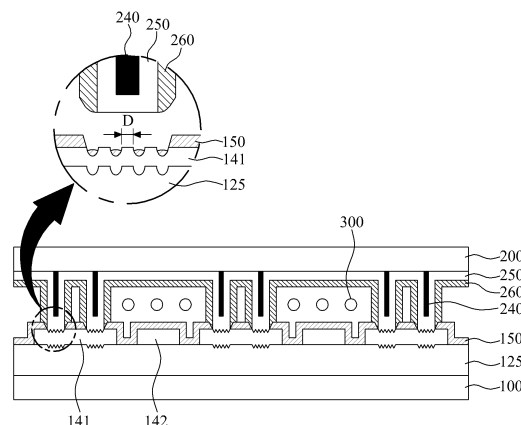
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은, 제1 기판 및 제2 기판; 상기 제1 기판 상에서 서로 교차 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인; 상기 화소 영역 내에 형성된 화소 전극; 상기 화소 전극과 함께 전계를 형성함과 더불어 사용자의 터치를 센싱하는 역할을 하는 제1 공통 전극 블록 및 제2 공통 전극 블록; 상기 제1 공통 전극 블록 및 제2 공통 전극 블록 상에 형성된 제1 배향막; 상기 제2 기판 상에서 셀갭을 유지하기 위해 형성된 컬럼 스페이서; 및 상기 컬럼 스페이서 상에 형성되어, 상기 제1 공통 전극 블록과 전기적으로 연결되는 제1 센싱 라인을 포함하여 이루어지며, 이때, 상기 제1 공통 전극 블록은 상기 컬럼 스페이서 형성 영역에 복수 개의 트렌치가 형성되어 있는 것을 특징으로 하는 액정표시장치에 관한 것으로서,

본 발명은 제1 기판에 형성된 제1 공통 전극 블록을 제2 기판에 형성되는 제1 센싱 라인에 연결함에 있어서, 상기 제1 공통 전극 블록에 복수 개의 트렌치를 형성함으로써 상기 제1 공통 전극 블록과 상기 제1 센싱 라인 사이에 배향막이 형성되지 않는 영역을 확보할 수 있게 되어, 상기 제1 공통 전극 블록과 상기 제1 센싱 라인 사이에 전기전도율이 우수한 연결을 얻을 수 있다.

대표도 - 도2b



특허청구의 범위

청구항 1

제1 기관 및 제2 기관;

상기 제1 기관 상에서 서로 교차 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인;

상기 화소 영역 내에 형성된 화소 전극;

상기 화소 전극과 함께 전계를 형성함과 더불어 사용자의 터치를 센싱하는 역할을 하는 제1 공통 전극 블록 및 제2 공통 전극 블록;

상기 제1 공통 전극 블록 및 제2 공통 전극 블록 상에 형성된 제1 배향막;

상기 제2 기관 상에서 셀갭을 유지하기 위해 형성된 컬럼 스페이서; 및

상기 컬럼 스페이서 상에 형성되어, 상기 제1 공통 전극 블록과 전기적으로 연결되는 제1 센싱 라인을 포함하여 이루어지며,

이때, 상기 제1 공통 전극 블록은 상기 컬럼 스페이서 형성 영역에 복수 개의 트렌치가 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제1 공통 전극 블록의 하면에는 보호막이 형성되어 있고, 상기 보호막에는 복수 개의 트렌치가 형성되어 있으며, 상기 보호막에 형성된 복수 개의 트렌치는 상기 제1 공통 전극 블록에 형성된 복수 개의 트렌치에 대응하는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 보호막에 형성된 복수 개의 트렌치는 상기 보호막을 관통하도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제2항에 있어서,

상기 보호막은 제1 보호막 및 제2 보호막으로 이루어지고, 상기 제1 보호막 및 제2 보호막 모두에 복수 개의 트렌치가 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 복수 개의 트렌치 사이의 이격 거리는 $1\ \mu\text{m} \sim 20\ \mu\text{m}$ 인 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 제1 공통 전극 블록 및 제2 공통 전극 블록은 각각 복수 개가 형성되어 있고, 상기 제1 센싱 라인은 상기 제2 공통 전극 블록들과는 연결되지 않고 상기 제1 공통 전극 블록들과는 일 방향으로 연결되어 있는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 컬럼 스페이서는 상기 제1 공통 전극 블록 영역에서는 상기 제1 센싱 라인과 접촉하지만 상기 제2 공통 전

극 블록 영역에서는 상기 제1 센싱 라인과 접촉하지 않는 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서,

상기 제1 기관 상에 상기 제2 공통 전극 블록과 연결되는 제2 센싱 라인이 추가로 형성된 것을 특징으로 하는 액정표시장치.

청구항 9

제8항에 있어서,

상기 제2 센싱 라인은 상기 제1 센싱 라인과 접촉하지 않으면서 상기 제1 센싱 라인에 교차하도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제1항에 있어서,

상기 제1 기관 상에 상기 공통 전극 블록 및 제2 공통 전극 블록의 저항을 감소시키기 위해서 상기 공통 전극 블록 및 제2 공통 전극 블록과 연결되는 도전성 라인이 추가로 형성된 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 보다 구체적으로는 사용자의 터치를 센싱하기 위한 센싱 전극을 구비한 액정표시장치에 관한 것이다.

배경기술

- [0002] 액정표시장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.
- [0003] 액정표시장치는 하부기관, 상부기관, 및 상기 양 기관 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 액정층의 배열이 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.
- [0004] 이와 같은 액정표시장치는 그 입력 수단으로서 마우스나 키보드가 일반적이지만, 네비게이션(navigation), 휴대용 단말기 및 가전 제품 등의 경우에는 손가락이나 펜을 이용하여 직접 정보를 입력할 수 있는 터치 스크린이 많이 적용되고 있다.
- [0005] 이하에서는, 터치 스크린이 적용된 종래의 액정표시장치에 대해서 상세히 설명하기로 한다.
- [0006] 도 1은 종래의 액정표시장치의 개략적인 단면도이다.
- [0007] 도 1에서 알 수 있듯이, 종래의 액정표시장치는, 액정 패널(10) 및 터치 스크린(20)을 포함하여 이루어진다.
- [0008] 상기 액정 패널(10)은 화상을 디스플레이하는 것으로서, 하부 기관(12), 상부 기관(14) 및 양 기관(12, 14) 사이에 형성된 액정층(16)을 포함하여 이루어진다.
- [0009] 상기 터치 스크린(20)은 상기 액정 패널(10)의 상면에 형성되어 사용자의 터치를 센싱하는 것으로서, 터치 기관(22), 상기 터치 기관(22)의 하면에 형성된 제1 센싱 전극(24), 및 상기 터치 기관(22)의 상면에 형성된 제2 센싱 전극(26)을 포함하여 이루어진다.
- [0010] 상기 제1 센싱 전극(24)은 상기 터치 기관(22)의 하면에서 가로 방향으로 배열되고, 상기 제2 센싱 전극(26)은 상기 터치 기관(22)의 상면에서 세로 방향으로 배열되어 있다. 따라서, 사용자가 소정 위치를 터치하게 되면, 터치된 위치에서 상기 제1 센싱 전극(24)과 제2 센싱 전극(26) 사이의 커패시턴스(capacitance)가 변화되고, 결국, 커패시턴스가 변화된 위치를 센싱함으로써 사용자의 터치 위치를 센싱할 수 있게 된다.
- [0011] 그러나, 이와 같은 종래의 액정표시장치는 상기 액정 패널(10)의 상면에 별도의 터치 스크린(20)이 형성된 구조이기 때문에, 상기 터치 스크린(20)으로 인해서 전체 두께가 증가되고, 제조 공정이 복잡하고, 또한 제조 단가

가 증가되는 단점이 있다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 사용자의 터치를 센싱하기 위한 센싱 전극을 액정 패널 내부에 내장함으로써, 종래와 같이 액정 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고, 제조 공정도 단순화되며, 제조 단가도 감소될 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0013] 본 발명은 상기 목적을 달성하기 위해서, 제1 기관 및 제2 기관; 상기 제1 기관 상에서 서로 교차 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인; 상기 화소 영역 내에 형성된 화소 전극; 상기 화소 전극과 함께 전계를 형성함과 더불어 사용자의 터치를 센싱하는 역할을 하는 제1 공통 전극 블록 및 제2 공통 전극 블록; 상기 제1 공통 전극 블록 및 제2 공통 전극 블록 상에 형성된 제1 배향막; 상기 제2 기관 상에서 셀갭을 유지하기 위해 형성된 컬럼 스페이서; 및 상기 컬럼 스페이서 상에 형성되어, 상기 제1 공통 전극 블록과 전기적으로 연결되는 제1 센싱 라인을 포함하여 이루어지며, 이때, 상기 제1 공통 전극 블록은 상기 컬럼 스페이서 형성 영역에 복수 개의 트렌치가 형성되어 있는 것을 특징으로 하는 액정표시장치를 제공한다.

발명의 효과

- [0014] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.
- [0015] 본 발명은 액정 구동을 위한 전계 형성을 위해 이용되는 공통 전극을 사용자의 터치를 센싱하기 위한 센싱 전극으로 활용함으로써, 종래와 같이, 액정 패널 상면에 별도의 터치 스크린을 구성할 필요가 없어, 두께가 감소하고, 제조 공정도 단순화되며, 제조 단가도 감소되는 효과가 있다.
- [0016] 특히, 본 발명은 제1 기관에 형성된 제1 공통 전극 블록을 제2 기관에 형성되는 제1 센싱 라인에 연결함에 있어서, 상기 제1 공통 전극 블록에 복수 개의 트렌치를 형성함으로써 상기 제1 공통 전극 블록과 상기 제1 센싱 라인 사이에 배향막이 형성되지 않는 영역을 확보할 수 있게 되어, 상기 제1 공통 전극 블록과 상기 제1 센싱 라인 사이에 전기전도율이 우수한 연결을 얻을 수 있다.

도면의 간단한 설명

- [0017] 도 1은 종래의 액정표시장치의 개략적인 단면도이다.
- 도 2a는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 2b는 도 2a의 I-I라인의 개략적인 단면도이다.
- 도 3a는 본 발명의 일 실시예에 따른 제1 기관의 평면도이고, 도 3b 및 도 3c는 각각 도 3a의 A-A라인의 다양한 실시예에 따른 단면도이다.
- 도 4a는 본 발명의 일 실시예에 따른 제2 기관의 평면도이고, 도 4b는 도 4a의 B-B라인의 일 실시예에 따른 단면도이다.
- 도 5a는 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 5b는 도 5a의 I-I라인의 개략적인 단면도이다.
- 도 6a는 본 발명의 또 다른 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 6b는 도 6a의 I-I라인의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0019] 도 2a는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 2b는 도 2a의 I-I라인의 개략적인 단면도이다.

- [0020] 도 2a를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치는 액정층(미도시)을 사이에 두고 서로 합착된 제1 기관(100)과 제2 기관(200)을 포함하여 이루어진다.
- [0021] 상기 제1 기관(100) 상에는 스위칭 소자로서 박막 트랜지스터(미도시)가 형성되어 있고, 액정을 구동하는 전극 쌍으로서 화소 전극(미도시)과 공통 전극(140)이 형성되어 있다. 도 2a에는 액정을 구동하는 전극으로 기능함과 더불어 사용자의 터치를 센싱하기 위한 센싱 전극으로 기능하는 공통 전극(140)만을 도시하였으며, 그 외의 구성을 포함하여 상기 제1 기관(100)의 구체적인 구성에 대해서는 도 3a 내지 도 3c를 참조하여 후술하기로 한다.
- [0022] 상기 공통 전극(140)은 전술한 바와 같이 액정을 구동하는 전극으로 기능함과 더불어 사용자의 터치를 센싱하기 위한 센싱 전극으로 기능하게 된다. 이와 같이, 상기 공통 전극(140)이 센싱 전극으로 기능하기 위해서, 상기 공통 전극(140)은 기관(100)의 전체 면에 하나의 몸체(one body)로 형성되는 것이 아니라 소정의 형태로 패턴 형성된다.
- [0023] 즉, 상기 공통 전극(140)은 복수 개의 제1 공통 전극 블록(141)들 및 복수 개의 제2 공통 전극 블록(142)들을 포함하여 이루어져, 상기 복수 개의 제1 공통 전극 블록(141)들에 의해서 사용자가 터치한 Y축 위치를 센싱할 수 있고, 상기 복수 개의 제2 공통 전극 블록(142)들에 의해서 사용자가 터치한 X축 위치를 센싱할 수 있다.
- [0024] 상기 제1 공통 전극 블록(141) 및 상기 제2 공통 전극 블록(142)의 크기는 손가락 또는 펜의 터치면 등을 고려하여 적절하게 형성할 수 있다. 예로서, 상기 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142)은 수십 개 내지 수백 개의 화소에 대응하는 크기로 형성될 수 있다.
- [0025] 또한, 상기 제1 공통 전극 블록(141) 및 상기 제2 공통 전극 블록(142) 각각은 하나의 몸체로 형성될 수도 있지만, 복수 개의 전극들이 전기적으로 연결되어 형성될 수도 있다.
- [0026] 이하에서는, 센싱 전극으로 기능하는 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142)에 대해서 보다 상세히 설명하기로 한다.
- [0027] 우선, 사용자가 터치한 X축 위치를 센싱하기 위해서, 복수 개의 제2 공통 전극 블록(142)들은 세로 방향으로 길게 형성된 구조로 이루어지며, 이와 같은 구조의 복수 개의 제2 공통 전극 블록(142)들 각각이 가로 방향에서 소정 간격으로 이격되어 전체적으로 스트라이프(stripe) 형상으로 이루어져 있다.
- [0028] 따라서, 사용자가 소정 위치를 터치하게 되면, 소정 간격으로 이격된 복수 개의 제2 공통 전극 블록(142)들 중에서 커패시턴스(capacitance)가 변화되는 제2 공통 전극 블록(142)이 인지되고, 그에 따라 사용자가 터치한 X축 위치를 센싱할 수 있게 된다.
- [0029] 다음, 사용자가 터치한 Y축 위치를 센싱하기 위해서, 복수 개의 제1 공통 전극 블록(141)들 각각은 세로 방향에서 소정 간격으로 이격된 구조로 이루어져 있다. 다만, 상기 제1 공통 전극 블록(141)이 가로 방향으로 길게 형성되면, 제1 공통 전극 블록(141)과 제2 공통 전극 블록(142)이 서로 전기적으로 연결되어 사용자가 터치한 X축 위치 및 Y축 위치를 센싱할 수 없게 된다. 따라서, 상기 제1 공통 전극 블록(141)은 가로 방향으로 길게 형성되지 않고, 가로 방향에서도 소정 간격으로 이격된 구조로 이루어져 있다.
- [0030] 결과적으로, 도시된 바와 같이, 제1 공통 전극 블록(141) 들은 바둑판 형상으로 이루어지고, 제2 공통 전극 블록(142) 들은 스트라이프 형상으로 이루어진다. 특히, 가로 방향에서는, 복수 개의 제1 공통 전극 블록(141)들 사이에 제2 공통 전극 블록(142)이 형성되어 있고, 세로 방향에서는, 복수 개의 제1 공통 전극 블록(141)들 사이에 제2 공통 전극 블록(142)이 형성되어 있지 않게 된다.
- [0031] 이와 같이, 가로 방향에서, 상기 제2 공통 전극 블록(142)을 사이에 두고 복수 개의 제1 공통 전극 블록(141)들이 소정 간격으로 이격되어 있기 때문에, 상기 복수 개의 제1 공통 전극 블록(141)들을 가로 방향으로 연결시킬 필요가 있다. 이와 같은 복수 개의 제1 공통 전극 블록(141)들을 가로 방향으로 연결시키는 것은 상기 제2 기관(200)에 형성된 컬럼 스페이스(240) 및 제1 센싱 라인(250)을 통해 이루어지며, 이하에서 그에 대해서 설명하기로 한다.
- [0032] 상기 제2 기관(200) 상에는 광 누설을 방지하기 위한 차광층(미도시)이 형성되고, 상기 차광층 사이에 컬러 필터(미도시)가 형성되고, 상기 컬러 필터 상에 오버 코트층(미도시)이 형성되고, 상기 오버 코트층 상에 셀갭 유지를 위한 컬럼 스페이스(240)가 형성되고, 상기 컬럼 스페이스(240) 위에 제1 센싱 라인(250)이 형성되어 있다. 도 2a에는 전술한 복수 개의 제1 공통 전극 블록(141)들을 가로 방향으로 연결시키는 역할을 수행하는 컬럼 스페이스(240)와 제1 센싱 라인(250)만을 도시하였으며, 그 외의 구성을 포함하여 상기 제2 기관(200)의 구

체적인 구성에 대해서는 도 4a 내지 도 4b를 참조하여 후술하기로 한다.

- [0033] 상기 컬럼 스페이스(240)는 액정표시장치의 셀갭을 유지시키는 역할을 함과 더불어 상기 제1 센싱 라인(250)과 함께 전술한 복수 개의 제1 공통 전극 블록(141)들을 가로 방향으로 연결시키는 역할을 한다.
- [0034] 구체적으로 설명하면, 상기 제1 센싱 라인(250)이 상기 컬럼 스페이스(240) 위를 지나면서 가로 방향으로 길게 형성되면, 상기 컬럼 스페이스(240) 형성 영역에서 상기 제1 센싱 라인(150)이 상기 제1 공통 전극 블록(141)과 접촉하게 되고, 그에 따라 상기 복수 개의 제1 공통 전극 블록(141)들이 가로 방향으로 연결되게 된다
- [0035] 이와 같이 상기 제1 센싱 라인(250)을 통해서 가로 방향으로 배열된 제1 공통 전극(141)들을 전기적으로 연결시키게 되지만, 상기 제1 센싱 라인(250)이 상기 제2 공통 전극 블록(142)들과도 접촉하게 되면 결과적으로 터치 위치 센싱이 불가능하게 되므로, 상기 제1 센싱 라인(250)은 상기 제2 공통 전극 블록(142)들과는 접촉하지 않도록 형성되어야 한다. 즉, 상기 제1 센싱 라인(250)은 상기 제1 공통 전극 블록(141)들과는 전기적으로 연결되지만, 상기 제2 공통 전극 블록(142)들과는 전기적으로 연결되지 않도록 형성된다.
- [0036] 이를 위해서, 상기 제1 센싱 라인(250)은 상기 제2 공통 전극 블록(142) 위에서는 상기 컬럼 스페이스(240) 위를 지나지 않게 된다.
- [0037] 즉, 상기 제1 센싱 라인(250)은 상기 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142) 위를 지나면서 가로 방향으로 길게 형성되어 있는데, 이때, 상기 컬럼 스페이스(240)는 상기 제1 공통 전극 블록(141) 영역에서는 상기 제1 센싱 라인(250)과 접촉하지만 상기 제2 공통 전극 블록(142) 영역에서는 상기 제1 센싱 라인(250)과 접촉하지 않게 된다. 따라서, 상기 제1 센싱 라인(250)은 상기 컬럼 스페이스(240)를 통해서 제1 공통 전극 블록(141)과는 전기적으로 연결되고 상기 제2 공통 전극 블록(142)과는 전기적으로 연결되지 않는다.
- [0038] 한편, 도면에는 하나의 제1 센싱 라인(250)에 의해서 제1 공통 전극 블록(141)들이 가로 방향으로 연결된 모습을 도시하였지만, 반드시 그에 한정되는 것은 아니고, 복수 개의 제1 센싱 라인(250)에 의해서 제1 공통 전극 블록(141)들이 연결될 수도 있다. 특히, 상기 제1 공통 전극 블록(141)은 일반적으로 IT0와 같은 저항이 큰 투명금속으로 이루어지기 때문에, 상기 제1 공통 전극 블록(141)에 전기전도도가 우수한 금속으로 이루어진 제1 센싱 라인(250)을 복수 개 연결할 경우 전극의 저항을 줄일 수 있는 효과가 있다.
- [0039] 한편, 도 2a에는 상기 제1 센싱 라인(250)이 가로 방향으로 형성된 모습을 도시하였지만, 반드시 그에 한정되는 것은 아니고, 상기 제1 센싱 라인(250)이 세로 방향으로 형성될 수도 있다. 이 경우, 상기 제2 공통 전극 블록(142)은 가로 방향으로 길게 형성된 구조로 이루어질 것이다.
- [0040] 이와 같이 컬럼 스페이스(240)를 이용하여 제1 센싱 라인(250)과 제1 공통 전극 블록(141) 사이를 전기적으로 연결하는 방법은 도 2b를 참조하면 보다 용이하게 이해할 수 있을 것이다.
- [0041] 도 2b는 도 2a의 I-I라인의 단면도로서 상기 제1 센싱 라인(250)이 형성된 영역의 단면에 해당하는 것이다.
- [0042] 도 2b에서 알 수 있듯이, 제1 기판(100) 위에는 보호막(125)이 형성되어 있고, 상기 보호막(125) 상에 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142)이 교대로 형성되어 있고, 상기 제1/제2 공통 전극 블록(141, 142) 상에 제1 배향막(150)이 형성되어 있다.
- [0043] 상기 보호막(125)은 실제로는 박막 트랜지스터 위에 형성되는 것으로서, 상기 보호막(125)과 상기 제1 기판(100) 사이에는 다양한 구조의 박막 트랜지스터가 형성될 수 있으며, 그 일 예는 후술할 도 3b 및 도 3c와 같다.
- [0044] 제2 기판(200) 위에는 컬럼 스페이스(240)가 형성되어 있고, 상기 컬럼 스페이스(240) 상에 제1 센싱 라인(250)이 형성되어 있고, 상기 제1 센싱 라인(250) 상에 제2 배향막(260)이 형성되어 있다.
- [0045] 상기 컬럼 스페이스(240)는 실제로는 오버 코트층 위에 형성되는 것으로서, 상기 컬럼 스페이스(240)의 하부 구성의 일 예는 후술할 도 4b와 같다.
- [0046] 상기 컬럼 스페이스(240)는 상기 제1 공통 전극 블록(141)에 대응하는 영역에 형성되고 상기 제2 공통 전극 블록(142)에 대응하는 영역에는 형성되지 않기 때문에, 상기 컬럼 스페이스(240) 위에 형성된 제1 센싱 라인(250)은 상기 제1 공통 전극 블록(141)과는 전기적으로 연결되지만 상기 제2 공통 전극 블록(142)과는 전기적으로 연결되지 않게 된다.
- [0047] 도면에는 2개의 컬럼 스페이스(240)를 이용하여 제1 공통 전극 블록(141)과 제1 센싱 라인(250)이 연결된 모습

을 도시하였지만, 반드시 그에 한정되는 것은 아니고, 1개의 컬럼 스페이스(240)을 통해서 제1 공통 전극 블록(141)과 제1 센싱 라인(250)이 연결될 수도 있고, 3개 이상의 컬럼 스페이스(240)을 통해서 제1 공통 전극 블록(141)과 제1 센싱 라인(250)이 연결될 수도 있다. 다만, 저항을 감소시키기 위해서는 상기 컬럼 스페이스(240)의 개수를 증가시키는 것이 바람직할 수 있다.

[0048] 한편, 상기 제1 기관(100) 위에는 제1 배향막(150)이 형성되고, 상기 제2 기관(200) 위에는 제2 배향막(260)이 형성되어, 상기 제1 배향막(150) 및 제2 배향막(260)에 의해서 액정층(300)의 초기 배향방향을 결정된다.

[0049] 따라서, 상기 제1 배향막(150)은 상기 제1 기관(100)의 최상면, 즉, 상기 제1/제2 공통 전극 블록(141, 142) 상에 형성되어 있고, 상기 제2 배향막(260)은 상기 제2 기관(200)의 최하면, 즉, 상기 제1 센싱 라인(250) 상에 형성되어 있다.

[0050] 이와 같이 제1 배향막(150)은 상기 제1 공통 전극 블록(141) 상에 형성되어 있고, 제2 배향막(260)은 상기 제1 센싱 라인(250) 상에 형성되어 있기 때문에, 상기 컬럼 스페이스(240) 형성 영역에서 상기 제1 센싱 라인(250)과 상기 제1 공통 전극 블록(141)이 전기적으로 연결되기 위해서는 그 영역에서 상기 제1 배향막(150)과 제2 배향막(260)이 제거될 필요가 있다.

[0051] 상기 제1 배향막(150)과 제2 배향막(260)은 당업계에 공지된 롤러(roller)를 이용한 프린팅 방법으로 형성되는데, 상기 제2 배향막(260)의 경우는 공정 특성상 별도의 공정을 수행하지 않아도 상기 컬럼 스페이스(240)의 끝단 위에는 형성되지 않게 되지만, 상기 제1 배향막(150)의 경우는 별도의 공정을 수행하지 않을 경우 상기 제1 공통 전극 블록(141) 상에 형성되어 문제가 될 수 있다.

[0052] 보다 구체적으로 설명하면, 상기 컬럼 스페이스(240)의 끝단은 작은 단면적을 갖게 되므로, 롤러를 이용한 프린팅 방법으로 상기 제2 배향막(260)을 도포하게 되면, 상기 컬럼 스페이스(240)의 끝단에 도포되는 제2 배향막(260)은 옆으로 흘러 내리게 되고, 그에 따라서 상기 컬럼 스페이스(240)의 끝단 위의 제1 센싱 라인(250) 상에는 제2 배향막(260)이 형성되지 않게 되며, 설령 제2 배향막(260)이 형성된다 하더라도 일부만이 형성된다.

[0053] 따라서, 상기 컬럼 스페이스(240) 형성 영역에서 상기 제1 센싱 라인(250)과 상기 제1 공통 전극 블록(141)을 전기적으로 연결함에 있어서 상기 제2 배향막(260)은 큰 문제가 되지 않는다.

[0054] 그러나, 롤러를 이용한 프린팅 방법으로 상기 제1 배향막(150)을 도포하게 되면, 상기 컬럼 스페이스(240) 형성 영역의 상기 제1 공통 전극 블록(141) 상에 상기 제1 배향막(150)이 형성되고, 따라서, 상기 제1 센싱 라인(250)과 상기 제1 공통 전극 블록(141)을 전기적으로 연결함에 있어서 상기 제1 배향막(150)은 문제가 될 수 있다.

[0055] 따라서, 상기 컬럼 스페이스(240) 형성 영역에서 상기 제1 배향막(150)에 의해서 상기 제1 공통 전극 블록(141)이 가려지는 문제를 해결할 필요가 있다. 이를 위해서, 본 발명에서는 상기 컬럼 스페이스(240) 형성 영역에서 상기 제1 공통 전극 블록(141)에 복수 개의 트렌치(trench)를 형성함으로써, 프린팅 방법으로 상기 제1 배향막(150)을 도포할 경우 상기 제1 배향막(150)이 상기 제1 공통 전극 블록(141)에 형성된 복수 개의 트렌치 내로 흘러 들어가도록 하여 결국 상기 복수 개의 트렌치들 사이의 상기 제1 공통 전극 블록(141) 표면상에는 상기 제1 배향막(150)이 형성되지 않도록 한 것이다.

[0056] 이를 위해서는, 상기 제1 공통 전극 블록(141)에 형성된 복수 개의 트렌치들 사이의 이격 거리(D)를 적절히 설정할 필요가 있으며, 실험에 의하면 상기 이격 거리(D)를 $1\ \mu\text{m} \sim 20\ \mu\text{m}$ 범위로 설정하는 것이 바람직하다.

[0057] 만약, 상기 이격 거리(D)가 $1\ \mu\text{m}$ 미만일 경우에는 상기 제1 센싱 라인(250)과 접촉하는 상기 제1 공통 전극 블록(141)의 표면적이 너무 작아서 저항이 증가될 수 있고, 상기 이격 거리(D)가 $20\ \mu\text{m}$ 를 초과할 경우에는 상기 제1 공통 전극 블록(141)의 표면 상에 제1 배향막(150)이 형성될 수 있기 때문이다. 다만, 상기 이격 거리(D)가 반드시 상기 범위로 한정되어야 하는 것은 아니다.

[0058] 상기 트렌치의 개수, 크기 및 형상 등은 다양하게 변경할 수 있다.

[0059] 한편, 이와 같이 제1 공통 전극 블록(141)에 복수 개의 트렌치들을 형성하기 위해서, 상기 제1 공통 전극 블록(141) 아래에 형성되는 보호막(125)에 복수 개의 트렌치들을 형성할 수 있다.

[0060] 즉, 상기 보호막(125)을 형성할 때 상기 컬럼 스페이스(240) 형성 영역에 복수 개의 트렌치들을 형성함으로써, 그 위에 제1 공통 전극 블록(141)을 형성할 때 별도의 추가 공정 없이 상기 보호막(125)에 형성된 복수 개의 트렌치들에 대응하는 트렌치들이 상기 제1 공통 전극 블록(141) 내에 형성될 수 있도록 할 수 있다.

- [0061] 상기 보호막(125)에 형성되는 복수 개의 트렌치들은 상기 보호막(125)을 관통하도록 형성할 수도 있고 관통하지 않도록 형성할 수도 있다.
- [0062] 이하에서는, 도 3a 내지 도 3c 및 도 4a 내지 도 4b를 참조하여 전술한 본 발명의 구성들을 포함하여 본 발명의 제1 기관(100) 및 제2 기관(200)의 보다 구체적인 실시예에 대해서 설명하기로 한다.
- [0063] 도 3a는 본 발명의 일 실시예에 따른 제1 기관(100)의 평면도로서, 이는 전술한 도 2a의 P영역에 해당하는 것이다.
- [0064] 도 3a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 제1 기관(100) 상에는, 게이트 라인(110), 데이터 라인(120), 박막 트랜지스터(T), 화소 전극(130), 및 공통 전극(140)을 포함하여 이루어진다.
- [0065] 상기 게이트 라인(110)은 상기 기관(100) 상에서 제1 방향, 예로서 가로 방향으로 배열되어 있고, 상기 데이터 라인(120)은 상기 기관(100) 상에서 제2 방향, 예로서 세로 방향으로 배열되어 있으며, 이와 같이 게이트 라인(110)과 데이터 라인(120)이 서로 교차 배열되어 복수 개의 화소 영역이 정의된다. 도면에는, 상기 게이트 라인(110)과 데이터 라인(120)이 곧은 직선으로 배열된 모습을 도시하였지만, 반드시 그에 한정되는 것은 아니고, 굽은 직선으로 배열될 수도 있다.
- [0066] 상기 박막 트랜지스터(T)는 스위칭 소자로서 상기 게이트 라인(110)과 데이터 라인(120)이 교차하는 영역에 형성된다. 상기 박막 트랜지스터(T)는 게이트 전극(112), 반도체층(117), 소스 전극(122) 및 드레인 전극(124)을 포함하여 이루어진다. 상기 게이트 전극(112)은 상기 게이트 라인(110)에서 분기되어 있고, 상기 소스 전극(122)은 상기 데이터 라인(120)에서 분기되어 있고, 상기 드레인 전극(124)은 상기 소스 전극(122)과 마주하고 있다.
- [0067] 이와 같은 박막 트랜지스터(T)의 구성은, 상기 게이트 전극(112)이 상기 반도체층(117) 아래에 위치하는 바텀 게이트(bottom gate) 구조 또는 상기 게이트 전극(112)이 상기 반도체층(117) 위에 위치하는 탑 게이트(top gate) 구조 등 다양하게 변경될 수 있고, 각각의 전극의 형태 등도 당업계에 공지된 다양한 형태로 변경될 수 있다.
- [0068] 상기 화소 전극(130)은 상기 화소 영역 각각에 형성되어 있으며, 이와 같은 화소 전극(130)은 상기 박막 트랜지스터(T)의 드레인 전극(124)과 전기적으로 연결되어 있다. 특히, 상기 화소 전극(130)은 상기 드레인 전극(124)과 직접 연결될 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0069] 상기 공통 전극(140)은 상기 화소 전극(130)과 함께 전계를 형성하여 액정층을 구동시키는 역할을 하는 것으로서, 특히, 상기 공통 전극(140)은 상기 화소 영역에서 하나 이상의 슬릿(Slit)(145)을 구비하고 있다. 따라서, 상기 슬릿(145)을 통해서 상기 화소 전극(130)과 상기 공통 전극(140) 사이에 프린지 필드(fringe field)가 형성되고, 이와 같은 프린지 필드에 의해서 액정이 구동될 수 있다.
- [0070] 도 3b는 도 3a의 A-A라인의 일 실시예에 따른 단면도로서, 이는 바텀 게이트 구조의 일 예에 해당하는 것이다.
- [0071] 도 3b에서 알 수 있듯이, 제1 기관(100) 상에는 게이트 전극(112)이 형성되어 있고, 상기 게이트 전극(112) 상에는 게이트 절연막(115)이 형성되어 있고, 상기 게이트 절연막(115) 상에는 반도체층(117)이 형성되어 있다.
- [0072] 상기 반도체층(117) 상에는 소스 전극(122) 및 드레인 전극(124)이 서로 마주하면서 형성되어 있다. 또한, 상기 게이트 절연막(115) 상에 데이터 라인(120)이 형성되어 있다.
- [0073] 상기 드레인 전극(124) 상에는 화소 전극(130)이 형성되어 있어 상기 드레인 전극(124)과 화소 전극(130)이 직접 연결되어 있다. 한편, 도시된 바와 같이, 화소 전극(130)이 상기 드레인 전극(124)의 상면으로 연장되도록 형성될 수도 있지만, 경우에 따라서, 화소 전극(130)이 드레인 전극(124)의 하면으로 연장되도록 형성될 수도 있다.
- [0074] 상기 화소 전극(130) 상에는 보호막(125)이 형성되어 있다. 상기 보호막(125)은 컬럼 스페이서 형성 영역에 복수 개의 트렌치들이 형성되어 있다.
- [0075] 상기 보호막(125) 상에는 공통 전극(140), 특히 제1 공통 전극 블록(141)이 형성되어 있다. 상기 제1 공통 전극 블록(141)은 상기 화소 전극(130)의 상부 영역에 하나 이상의 슬릿(145)을 구비하고 있어, 상기 화소 전극(130)과 상기 제1 공통 전극 블록(141) 사이에 프린지 필드가 형성될 수 있다. 또한, 상기 제1 공통 전극 블록(141)은 컬럼 스페이서 형성 영역에 복수 개의 트렌치들이 형성되어 있다. 상기 제1 공통 전극 블록(141)에 형

성된 복수 개의 트렌치들은 상기 보호막(125)에 형성된 복수 개의 트렌치들에 대응하는 것이다.

- [0076] 상기 제1 공통 전극 블록(141) 상에는 제1 배향막(150)이 형성되어 있다. 다만, 상기 제1 배향막(150)은 컬럼 스페이서 형성 영역에서 상기 제1 공통 전극 블록(141)의 표면 상에 형성되지 않게 되고, 그에 따라 상기 제1 공통 전극 블록(141)이 컬럼 스페이서 형성 영역에서 외부로 노출된다.
- [0077] 도 3c는 도 3a의 A-A라인의 다른 실시예에 따른 단면도로서, 이는 탑 게이트 구조의 일 예에 해당하는 것이다.
- [0078] 도 3c에서 알 수 있듯이, 제1 기관(100) 상에는 배리어층(105)이 형성되어 있고, 상기 배리어층(105) 상에 반도체층(117)이 형성되어 있고, 상기 반도체층(117) 상에 게이트 절연막(115)이 형성되어 있고, 상기 게이트 절연막(115) 상에 게이트 전극(112)이 형성되어 있고, 상기 게이트 전극(112) 상에 층간 절연막(119)이 형성되어 있다.
- [0079] 상기 층간 절연막(119) 상에는 소스 전극(122) 및 드레인 전극(124)이 서로 마주하면서 형성되어 있고, 또한 상기 소스 전극(122) 및 드레인 전극(124) 각각은 상기 게이트 절연막(115)과 층간 절연막(119)에 형성된 콘택홀을 통해서 상기 반도체층(117)과 연결되어 있다. 또한, 상기 층간 절연막(119) 상에 데이터 라인(120)이 형성되어 있다.
- [0080] 상기 드레인 전극(124) 상에는 제1 보호막(125a)이 형성되어 있다. 상기 제1 보호막(125a)은 컬럼 스페이서 형성 영역에 복수 개의 트렌치들이 형성되어 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 제1 보호막(125a)에는 상기와 같은 복수 개의 트렌치들이 형성되지 않을 수도 있다.
- [0081] 상기 제1 보호막(125a) 상에는 화소 전극(130)이 형성되어 있다. 상기 화소 전극(130)은 상기 제1 보호막(125a)에 형성된 콘택홀을 통해서 상기 드레인 전극(124)과 연결되어 있다.
- [0082] 상기 화소 전극(130) 상에는 제2 보호막(125b)이 형성되어 있다. 상기 제2 보호막(125b)은 컬럼 스페이서 형성 영역에 복수 개의 트렌치들이 형성되어 있다. 상기 제2 보호막(125b)에 형성된 복수 개의 트렌치들은 상기 제1 보호막(125a)에 형성된 복수 개의 트렌치들에 대응하는 것이다.
- [0083] 상기 제2 보호막(125b) 상에는 공통 전극(140), 특히 제1 공통 전극 블록(141)이 형성되어 있다. 상기 제1 공통 전극 블록(141)은 상기 화소 전극(130)의 상부 영역에 하나 이상의 슬릿(145)을 구비하고 있어, 상기 화소 전극(130)과 상기 제1 공통 전극 블록(141) 사이에 프린지 필드가 형성될 수 있다.
- [0084] 또한, 상기 제1 공통 전극 블록(141)은 컬럼 스페이서 형성 영역에 복수 개의 트렌치들이 형성되어 있다. 상기 제1 공통 전극 블록(141)에 형성된 복수 개의 트렌치들은 상기 제2 보호막(125b)에 형성된 복수 개의 트렌치들에 대응하는 것이다.
- [0085] 상기 제1 공통 전극 블록(141) 상에는 제1 배향막(150)이 형성되어 있다. 다만, 상기 제1 배향막(150)은 컬럼 스페이서 형성 영역에서 상기 제1 공통 전극 블록(141)의 표면 상에 형성되지 않게 되고, 그에 따라 상기 제1 공통 전극 블록(141)이 컬럼 스페이서 형성 영역에서 외부로 노출된다.
- [0086] 도 4a는 본 발명의 일 실시예에 따른 제2 기관(200)의 평면도로서, 이는 전술한 도 2a의 P영역에 해당하는 것이다.
- [0087] 도 4a에서 알 수 있듯이, 본 발명의 일 실시예에 따른 제2 기관(100) 상에는, 차광층(210), 컬러 필터층(220), 컬럼 스페이서(240), 및 제1 센싱 라인(250)을 포함하여 이루어진다.
- [0088] 상기 차광층(210)은 화소 영역 이외의 영역으로 광이 누설되는 것을 차단하는 역할을 하는 것으로, 상기 제2 기관(200) 상에 매트릭스 구조로 형성된다.
- [0089] 상기 컬러 필터층(220)은 상기 차광층(210) 사이 영역에 형성되며, 적색(R), 녹색(G), 및 청색(B)의 컬러 필터층을 포함하여 이루어질 수 있다.
- [0090] 상기 컬럼 스페이서(240)는 액정표시장치의 셀갭을 유지시키는 역할을 하는 것으로서, 상기 차광층(210)에 대응하는 영역에 형성됨으로써, 상기 컬럼 스페이서(240)에 의해서 광투과율이 저하되는 것을 방지할 수 있다.
- [0091] 상기 제1 센싱 라인(250)은 전술한 제1 기관(100) 상에 형성된 제1 공통 전극(141)들을 전기적으로 연결시키는 역할을 하는 것으로서, 상기 컬럼 스페이서(140) 위를 지나도록 형성된다. 한편, 상기 제1 센싱 라인(250)으로 인해서 광투과도가 저하되는 것을 방지하기 위해서, 상기 제1 센싱 라인(250)은 광이 투과하지 못하는 비투과 영역, 즉, 상기 차광층(210)에 대응하는 영역에 형성되는 것이 바람직하다.

- [0092] 도 4b는 도 4a의 B-B라인의 일 실시예에 따른 단면도이다.
- [0093] 도 4b에서 알 수 있듯이, 제2 기관(200) 상에는 차광층(210)이 형성되어 있고, 상기 차광층(210) 상에 컬러 필터층(220)이 형성되어 있고, 상기 컬러 필터층(220) 상에 오버 코트층(230)이 형성되어 있다.
- [0094] 상기 오버 코트층(230) 상에는 컬럼 스페이서(240)가 형성되어 있고, 상기 컬럼 스페이서(240) 상에는 제1 센싱 라인(250)이 형성되어 있다.
- [0095] 상기 제1 센싱 라인(250) 상에는 제2 배향막(260)이 형성되어 있다. 상기 제2 배향막(260)은 상기 컬럼 스페이서(240)의 끝단 위의 제1 센싱 라인(250) 상에는 형성되지 않는다.
- [0096] 도 5a는 본 발명의 다른 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 5b는 도 5a의 I-I라인의 개략적인 단면도이다.
- [0097] 도 5a 및 도 5b에 도시한 액정표시장치는 제1 기관(100) 상의 제2 공통 전극 블록(142)의 패턴이 변경되고 그에 따라 제2 센싱 라인(160)이 추가로 형성된 것을 제외하고, 전술한 도 2a 및 도 2b에 도시한 액정표시장치와 동일하다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0098] 도 5a에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 액정표시장치에 따르면, 제1 기관(100) 상에 복수 개의 제1 공통 전극 블록(141)들 및 복수 개의 제2 공통 전극 블록(142)들이 형성되어 있다.
- [0099] 이때, 상기 복수 개의 제1 공통 전극 블록(141)들은 전술한 실시예에서와 동일한 패턴으로 형성되어 있고, 따라서, 상기 복수 개의 제1 공통 전극 블록(141)들은 제2 기관(200) 상에 형성된 컬럼 스페이서(240) 및 제1 센싱 라인(250)에 의해서 가로 방향으로 연결되어 있다.
- [0100] 다만, 상기 복수 개의 제2 공통 전극 블록(142)들은 전술한 실시예에서와 상이하게 형성되어 있다. 즉, 상기 복수 개의 제2 공통 전극 블록(142)들은 세로 방향으로 길게 형성되지 않고, 세로 방향에서 소정 간격으로 이격된 구조로 형성됨으로써, 전체적으로 바둑판 형상으로 이루어진다.
- [0101] 따라서, 세로 방향에서 상기 복수 개의 제2 공통 전극 블록(142)들을 연결시킬 필요가 있고, 그를 위해서 상기 제2 공통 전극 블록(142)과 연결되는 제2 센싱 라인(160)이 추가로 형성되어 있다. 이때, 상기 제2 센싱 라인(160)은 상기 제1 센싱 라인(250)과 접촉하지 않으면서 상기 제1 센싱 라인(250)과 교차하는 방향으로 형성된다.
- [0102] 도 5b에서 알 수 있듯이, 상기 제2 센싱 라인(160)은 상기 복수 개의 제2 공통 전극 블록(142)의 하면에 형성됨으로써, 상기 복수 개의 제2 공통 전극 블록(142)들을 세로 방향으로 연결시킬 수 있지만, 반드시 그에 한정되는 것은 아니고, 상기 제2 센싱 라인(160)이 상기 복수 개의 제2 공통 전극 블록(142)의 상면에 형성될 수도 있다.
- [0103] 한편, 도 5a의 확대도에서 알 수 있듯이, 상기 제2 센싱 라인(160)은 데이터 라인(120)과 오버랩되도록 형성되는 것이, 광투과도 저하를 방지할 수 있어 바람직하다.
- [0104] 한편, 도 5a에는 제2 기관(200) 상에 형성되는 제1 센싱 라인(250)이 가로 방향으로 형성되고, 제1 기관(100) 상에 형성되는 제2 센싱 라인(160)이 세로 방향으로 형성된 모습을 도시하였지만, 반드시 그에 한정되는 것은 아니고, 상기 제1 센싱 라인(250)이 세로 방향으로 형성되고, 상기 제2 센싱 라인(160)이 가로 방향으로 형성될 수도 있다. 이 경우, 상기 제2 센싱 라인(160)은 광투과도 저하를 방지하기 위해서 게이트 라인(110)과 오버랩되도록 형성될 수 있다.
- [0105] 이와 같이, 제2 공통 전극 블록(142)의 패턴이 변경된 것과 제2 센싱 라인(160)이 추가로 형성된 것으로 제외하고, 나머지 구성들은 전술한 도 2a 및 도 2b에 도시한 실시예와 동일하다. 또한, 상기 구성의 차이를 제외하고, 제1 기관(100)은 전술한 도 3a 내지 도 3c와 같이 다양하게 형성될 수 있고, 제2 기관(200)은 전술한 도 4a 내지 도 4b와 같이 형성될 수 있다.
- [0106] 한편, 도시하지는 않았지만, 전술한 도 2a 및 도 2b에 따른 액정표시장치에서도, 제2 공통 전극 블록(142)의 하면 또는 상면 상에 상기 제2 센싱 라인(160)이 형성되어도 무방하다.
- [0107] 도 6a는 본 발명의 또 다른 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 6b는 도 6a의 I-I라인의 개략적인 단면도이다.

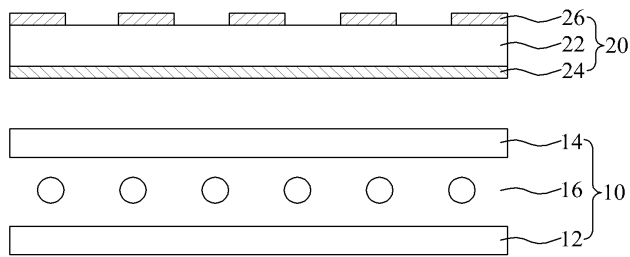
- [0108] 도 6a 및 도 6b에 도시한 액정표시장치는 제1 기관(100) 상에 도전성 라인(170)이 추가로 형성된 것을 제외하고, 전술한 도 5a 및 도 5b에 도시한 액정표시장치와 동일하다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 동일한 구성에 대한 반복 설명은 생략하기로 한다.
- [0109] 도 6a에서 알 수 있듯이, 본 발명의 다른 실시예에 따른 액정표시장치에 따르면, 복수 개의 제1 공통 전극 블록(141)들은 제2 기관(200) 상에 형성된 제1 센싱 라인(250)에 의해서 가로 방향으로 연결되어 있고, 복수 개의 제2 공통 전극 블록(142)들은 제1 기관(100) 상에 형성된 제2 센싱 라인(160)에 의해서 세로 방향으로 연결되어 있다.
- [0110] 또한, 상기 제1 공통 전극 블록(141)들 및 상기 제2 공통 전극 블록(142)들 각각에는 도전성 라인(170)이 추가로 형성되어 있다.
- [0111] 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142)은 일반적으로 ITO와 같은 투명금속을 이용하는데, 이와 같은 투명금속은 저항이 큰 단점이 있다. 따라서, 본 발명의 또 다른 실시예에서는, 상기 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142)의 저항을 감소시키기 위해서, 상기 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142) 각각에 전기전도도가 우수한 금속으로 이루어진 도전성 라인(170)을 연결시킨 것이다.
- [0112] 상기 도전성 라인(170)은 상기 제1 기관(100) 상에 가로 방향 및 세로 방향으로 형성될 수 있으며, 특히, 게이트 라인(110) 및 데이터 라인(120)과 오버랩되도록 형성됨으로써 광투과도 저하를 방지할 수 있다.
- [0113] 도 6b에서 알 수 있듯이, 상기 도전성 라인(170)은 상기 제2 센싱 라인(160)과 동일하게, 상기 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142)의 하면에 형성될 수 있다. 상기 도전성 라인(170)을 상기 제2 센싱 라인(160) 형성 공정시 함께 형성함으로써 상기 도전성 라인(170)을 상기 제2 센싱 라인(160)과 동일한 층에 동일한 물질로 형성할 경우 별도의 추가 공정이 요구되지 않는 장점이 있다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 도전성 라인(170)을 상기 제2 센싱 라인(160)과 상이한 층에 형성할 수도 있다.
- [0114] 또한, 도 6a에서 알 수 있듯이, 상기 도전성 라인(170)은 상기 제2 센싱 라인(160)과 교차하면서 연결될 수도 있으며, 이와 같은 도전성 라인(170)의 형성 위치 및 개수 등은 다양하게 변경될 수 있다.
- [0115] 이와 같이, 도전성 라인(170)이 추가로 형성된 것으로 제외하고, 나머지 구성들은 전술한 도 5a 및 도 5b에 도시한 실시예와 동일하다. 또한, 상기 구성의 차이를 제외하고, 제1 기관(100)은 전술한 도 3a 내지 도 3c와 같이 다양하게 형성될 수 있고, 제2 기관(200)은 전술한 도 4a 내지 도 4b와 같이 형성될 수 있다.
- [0116] 한편, 도시하지는 않았지만, 전술한 도 2a 및 도 2b에 따른 액정표시장치에서도, 제1 공통 전극 블록(141) 및 제2 공통 전극 블록(142)과 연결되는 상기 도전성 라인(170)이 형성되어도 무방하다.

부호의 설명

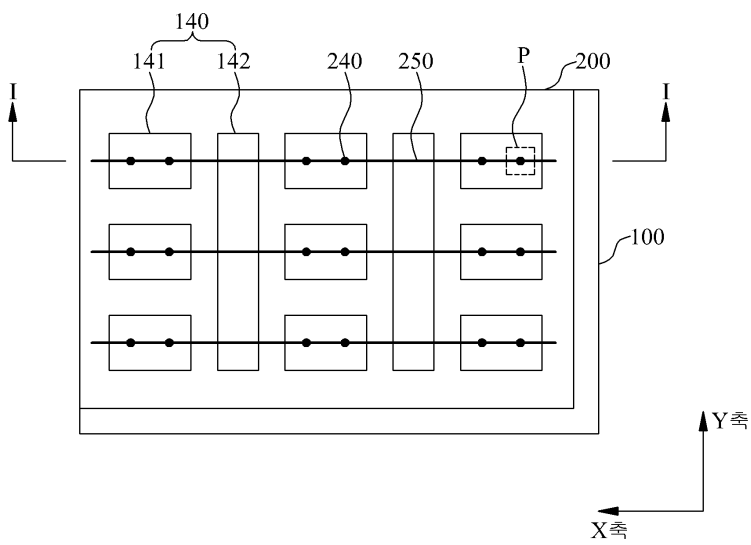
- [0117]
- | | |
|--|---------------|
| 100: 제1 기관 | 110: 게이트 라인 |
| 115: 게이트 절연막 | 120: 데이터 라인 |
| 125, 125a, 125b: 보호막, 제1 보호막, 제2 보호막 | |
| 130: 화소 전극 | |
| 140, 141, 142: 공통 전극, 제1 공통 전극 블록, 제2 공통 전극 블록 | |
| 145: 슬릿 | 150: 제1 배향막 |
| 160: 제2 센싱 라인 | 170: 도전성 라인 |
| 200: 제2 기관 | 210: 차광층 |
| 220: 컬러 필터층 | 230: 오버 코트층 |
| 240: 컬럼 스페이서 | 250: 제1 센싱 라인 |
| 260: 제2 배향막 | |

도면

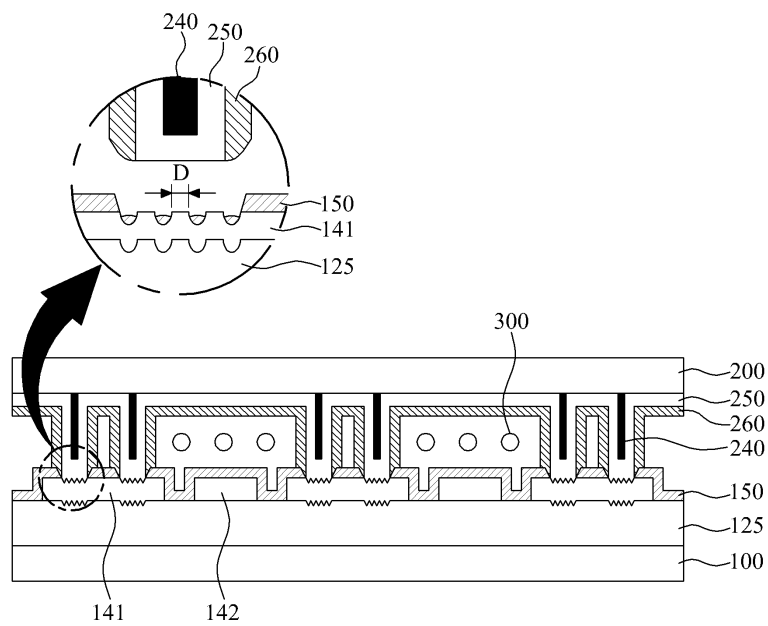
도면1



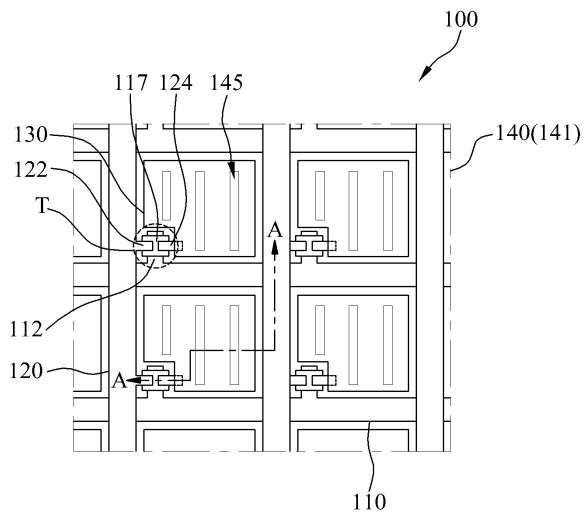
도면2a



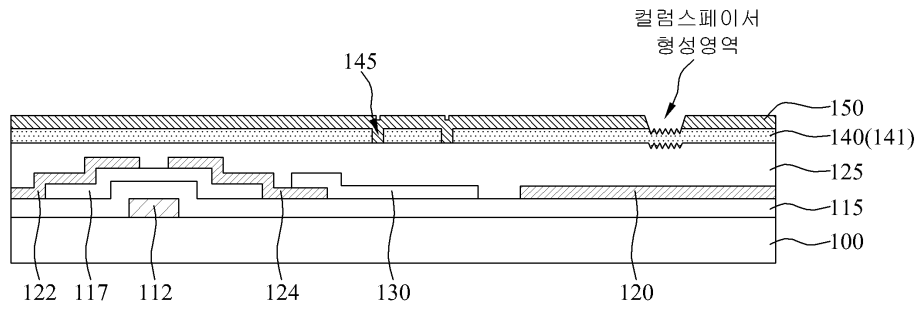
도면2b



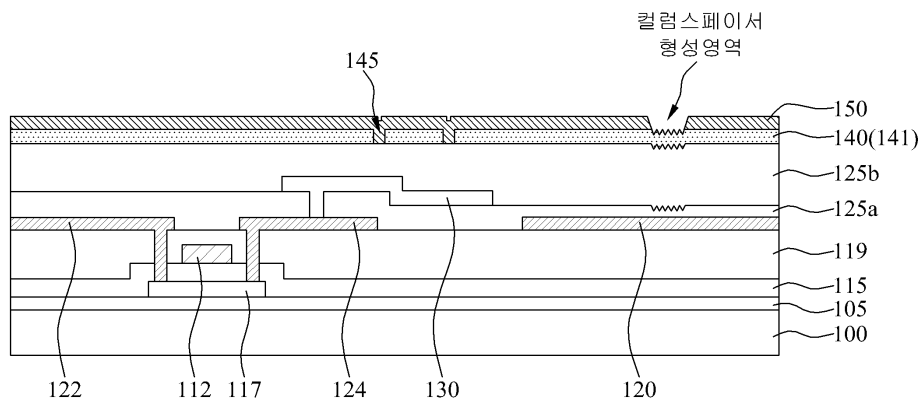
도면3a



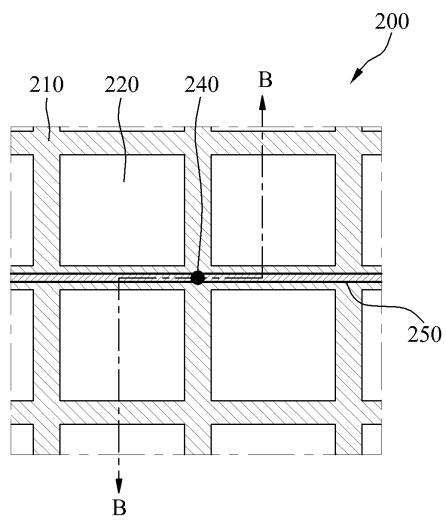
도면3b



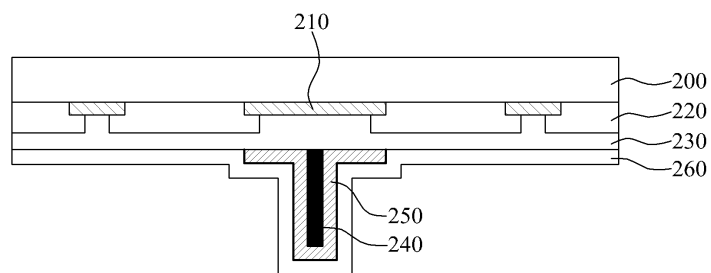
도면3c



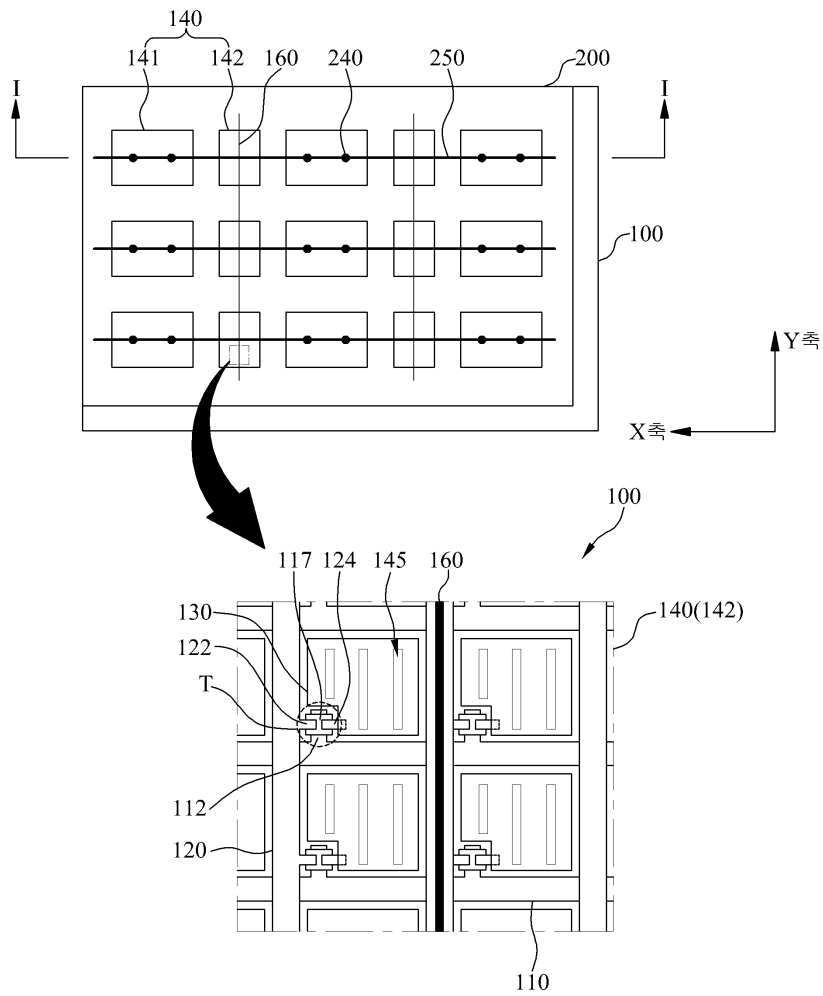
도면4a



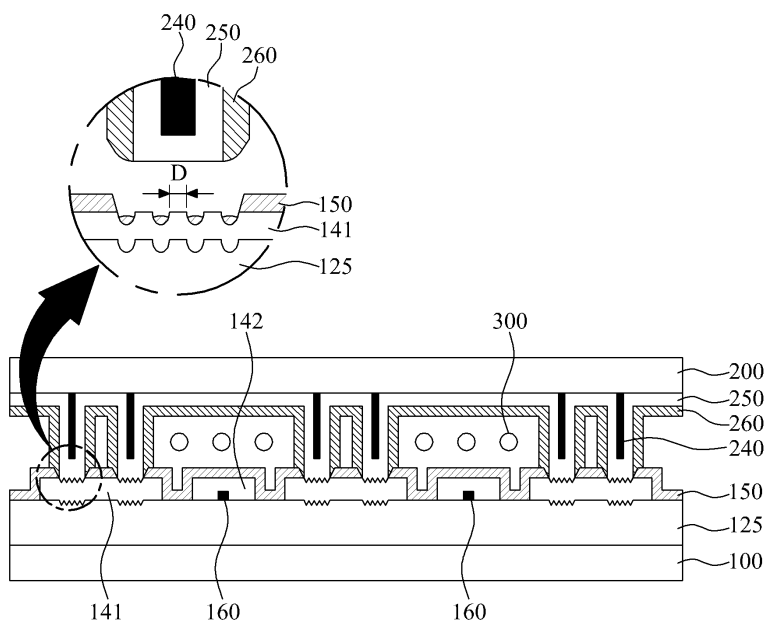
도면4b



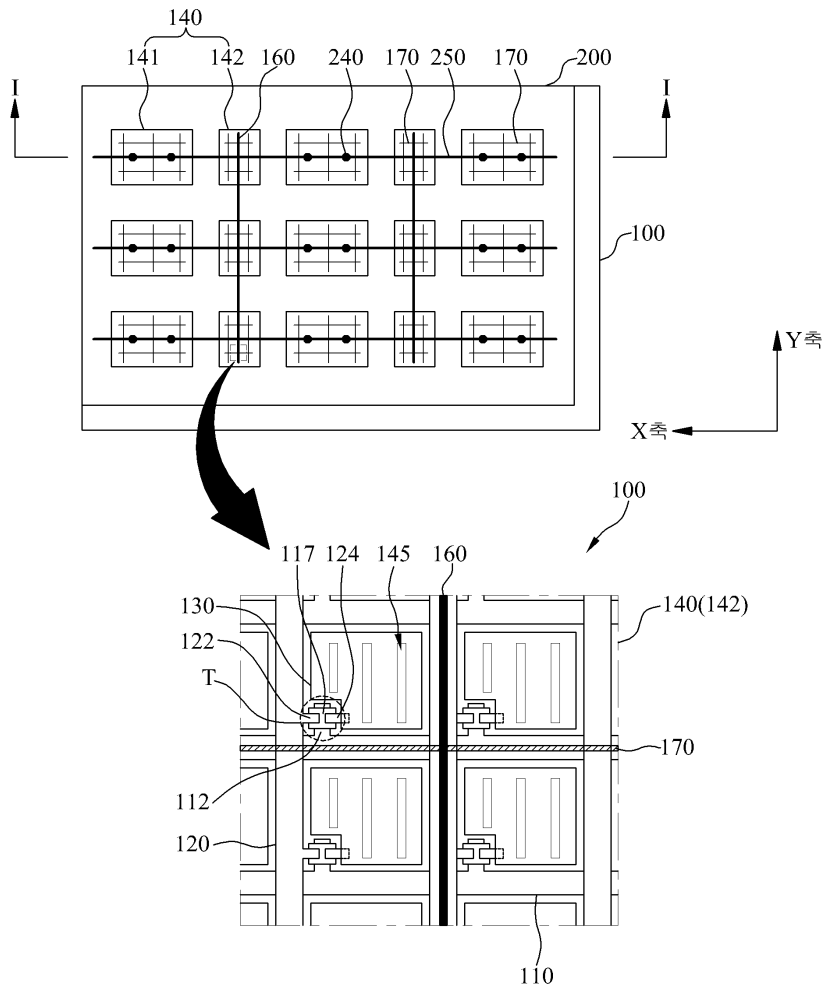
도면5a



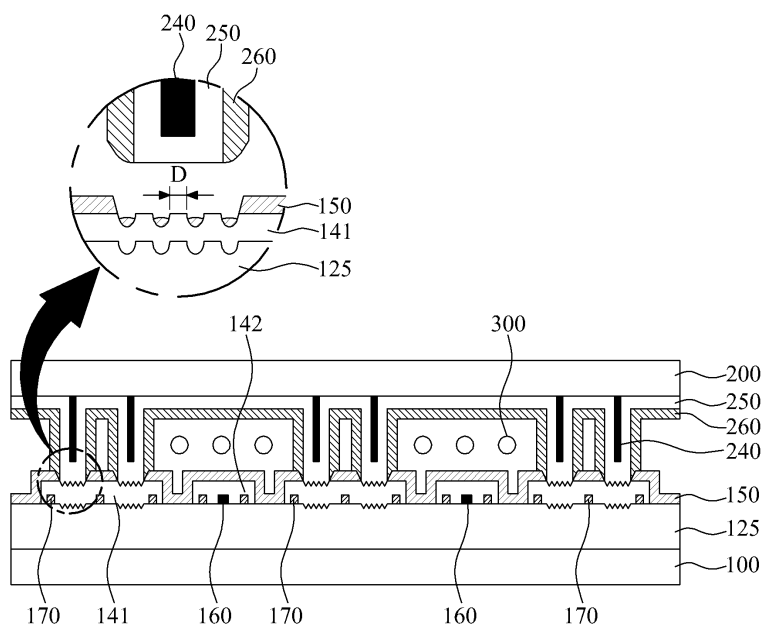
도면5b



도면6a



도면6b



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130010539A	公开(公告)日	2013-01-29
申请号	KR1020110071230	申请日	2011-07-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG HO YOUNG 정호영 YU JAE SUNG 유재성 PARK JAE HOON 박제훈		
发明人	정호영 유재성 박제훈		
IPC分类号	G02F1/1333 G06F3/041 G02F1/1343 G02F1/1339		
CPC分类号	G02F1/1333 G02F1/13338 G06F3/0412 G06F3/044 G02F1/134309 G02F1/1339		
其他公开文献	KR101820661B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种发光装置，包括：第一基板和第二基板；栅极线和数据线在第一基板上彼此交叉以限定像素区域；形成在像素区域中的像素电极；第一公共电极块和第二公共电极块，其与像素电极一起形成电场并感测用户的触摸；形成在第一公共电极块和第二公共电极块上的第一取向层；形成柱状间隔物以在第二基板上保持单元间隙；和形成在柱状衬垫料，在第一制造，包括公共电极块并电连接到第一感测线，此时，在第一公共电极块与在柱状衬垫料形成区域中的多个沟槽形成因为它根据权利要求所述的液晶显示装置中，本发明提供以形成形成在第一基板上的第二基板的第一公共电极块中，多个第一公共电极块的感测线的第一连接通过形成所述块和所述第一感测线之间的第一公共电极取向膜的两个沟槽，以便能够确保非形成区域，和所述第一公共电极块和所述第二导电性的第一感测线之间优越你可以得到一个连接。专利文献10-2013-0010539

