



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0108438
(43) 공개일자 2012년10월05일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(21) 출원번호 10-2011-0026292

(22) 출원일자 2011년03월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

배진성

대구광역시 달서구 장산남로 33, 롯데캐슬 그랜드 103동 1908호 (용산동)

최병진

경상북도 구미시 도봉로 62, 도량휴먼시아 403동 303호 (도량동)

최희승

대구광역시 북구 공항로15길 8, 서한2차 101동 1003호 (북현동)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 6 항

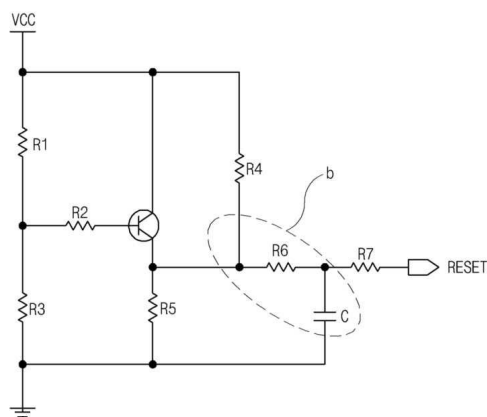
(54) 발명의 명칭 리셋 회로 및 이를 포함하는 액정표시장치

(57) 요약

본 발명은 리셋 회로 및 이를 포함하는 액정표시장치에 관한 것이다.

신호 지연부를 포함하는 리셋 회로 구현을 통해 제1 EDID 메모리부와 시스템과의 제1 통신과, 제2 EDID 메모리부와 시스템과의 제2 통신을 시간적으로 분리함에 따라 양 통신을 물리적으로 분리시키던 MUX IC를 제거시키는 액정표시장치를 제공한다.

대표도 - 도7b



특허청구의 범위

청구항 1

타이밍 제어부가 게이트드라이버 및 데이터 드라이버의 동작타이밍을 제어하기 위한 다수의 제어신호를 생성하는 것을 제어하기 위한 리셋 신호를 제공하는 리셋 회로에 있어서,

제1 EDID 메모리부와 시스템과의 제1 통신이 끝난 후에, 제2 EDID 메모리부와 상기 타이밍 제어부와 제2 통신이 이루어지도록 상기 리셋 신호가 인가되는 시간을 지연시키기 위한 신호 지연부를 포함하는 것을 특징으로 하는 리셋 회로.

청구항 2

제1항에 있어서,

상기 신호 지연부는,

상기 리셋 신호가 인가되는 시간을 200ms만큼 지연시키는 RC 지연 회로인 것을 특징으로 하는 리셋 회로.

청구항 3

다수의 게이트배선 및 다수의 데이터배선이 서로 교차하여 정의되는 다수의 화소영역을 포함하는 액정패널과;

데이터신호를 생성하고, 생성된 상기 데이터신호를 상기 다수의 데이터배선에 공급하는 데이터 드라이버와;

게이트신호를 생성하고, 생성된 상기 게이트신호를 상기 다수의 게이트배선에 공급하는 게이트 드라이버와;

상기 게이트드라이버 및 상기 데이터 드라이버의 동작타이밍을 제어하기 위한 다수의 제어신호를 공급하는 타이밍제어부와;

제1 EDID정보를 저장하는 제1 EDID 메모리부와;

제2 EDID정보를 저장하는 제2 EDID 메모리부와;

상기 타이밍 제어부가 상기 다수의 제어신호를 생성하는 것을 제어하기 위한 리셋 신호를 생성하는 리셋회로부를 포함하며,

상기 리셋회로부는, 시스템과의 제1 통신이 끝난 후에, 상기 타이밍 제어부와 제2 통신이 이루어지도록 상기 리셋 신호가 인가되는 시간을 지연시키는 신호 지연부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 신호 지연부는,

상기 리셋 신호가 인가되는 시간을 200ms만큼 지연시키는 RC 지연 회로인 것을 특징으로 하는 액정표시장치.

청구항 5

제3항에 있어서,

상기 제1 EDID 메모리부는,

상기 제1 통신을 통해 상기 제1 EDID정보를 상기 시스템으로 제공하는 것을 특징으로 하는 액정표시장치.

청구항 6

제4항에 있어서,

상기 제2 EDID 메모리부는,

상기 제2 통신을 통해 상기 제2 EDID정보를 상기 타이밍 제어부로 제공하는 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 리셋 회로 및 이를 포함하는 액정표시장치에 관한 것으로, 보다 상세하게는 리셋 신호의 인가를 지연시켜 이이피움들의 동시 통신에 따른 통신 에러를 방지하기 위해 리셋 회로 및 이를 포함하는 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근 정보화 사회가 발전함에 따라 디스플레이 분야에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 박형화, 경량화, 저소비 전력화 등의 특징을 지닌 여러 평판 표시 장치(Flat Panel Display device), 예를 들어, 액정표시장치(Liquid Crystal Display device), 플라스마표시장치(Plasma Display Panel device), 전기발광표시장치(Electro Luminescent Display device) 등이 연구되고 있다.

[0003] 이 중에서 액정표시장치는 현재 가장 널리 사용되는 평판 표시 장치 중 하나이며, 화소전극과 공통전극 등이 형성되는 두 기판과, 두 기판 사이의 액정층을 포함한다.

[0004] 이러한 액정표시장치는, 전극에 인가된 전압에 의해 생성된 전기장에 따라 액정층의 액정분자들의 배향을 결정하고, 입사광의 편광을 제어하여 영상을 표시한다.

[0005] 그리고, 액정표시장치는 동화상 표시에 유리하고 높은 콘트라스트비(contrast ratio)로 인하여 기존의 음극선관(Cathode Ray Tube)을 대체하면서 이동 단말기의 표시장치(노트북 모니터 등)뿐만 아니라 컴퓨터의 모니터, 텔레비전 등으로 다양하게 이용되고 있다.

[0006] 액정표시장치는 자체 발광소자를 갖지 못해서 별도의 광원을 갖추어야 하는데, 그 광원을 백라이트 유닛(BackLight Unit: BLU)이라고 한다.

[0007] 여기서, 백라이트 유닛의 광원으로는 냉음극형광램프(Cold Cathode Fluorescent Lamp), 외부전극형광램프(External Electrode Fluorescent Lamp), 그리고 발광다이오드(Light Emitting Diode: LED) 등이 사용된다.

[0008] 일반 액정표시장치가 단순히 시스템으로부터 신호를 받아 디스플레이하는 표시장치인데 반해, 플러그 앤 플레이 액정표시장치는 시스템과의 정보교환에 의해 시스템이 사용자 환경을 재구성함에 따라 바로 디스플레이할 수 있는 표시장치이다.

[0009] 즉 액정표시장치에 플러그 앤 플레이 기능을 적용하기 위해서는 액정표시장치에 미리 저장된EDID(Extended Display Identification Data) 정보를 시스템에 제공하여 디스플레이할 수 있는 환경을 재구성하여야 한다.

[0010] 도1a는 종래의 제1 EDID 메모리부와 시스템의 제1 통신을 설명하기 위해 참조되는 도면이고, 도1b는 제1 EDID 메모리부와 시스템의 제1 통신을 나타내는 타이밍도이다.

[0011] 도1a 및 도1b에 도시한 바 같이, 제1 EDID 메모리부(30)는 커넥터(20)를 통해 제1 EDID 정보를 시스템(10)으로 제공한다.

[0012] 여기서, 제1 EDID 메모리부(30)는 비휘발성 메모리, 특히 EEPROM(Electrically Erasable Programmable Read-Only Memory)으로 구성될 수 있다.

- [0013] EEPROM을 사용하면, 전원 없이도 제1 EDID 메모리부(30)에 저장된 정보를 장기간 안정적으로 기억할 수 있을 뿐만 아니라, 사용자가 기입된 정보를 반복적으로 수정할 수 있다.
- [0014] 커넥터(20)의 두 핀(PIN)은 SCL 핀과 SDA 핀으로 할당될 수 있는데, SCL 핀은 시스템(10)과의 통신에서 EDID 클락(CLOCK) 신호(SCL)가 인가되는 핀이고, SDA 핀은 EDID 데이터(DATA) 신호(SDA)가 인가되는 핀이며, 제1 통신에서 제1 EDID 정보를 시스템(10)에 전달할 때 이용할 수 있다.
- [0015] 도시하지는 않았지만, 커넥터(20)의 핀(PIN) 중 하나는 /WP 핀으로 할당될 수 있으며, /WP 핀은 시스템(10)으로부터 기입 프로텍션 신호(/WP)가 인가되는 핀일 수 있다.
- [0016] 여기서, 기입 프로텍션 신호(/WP)는 메모리에 기입 동작이 가능하지 여부를 결정하는 신호로서, 제1 EDID 메모리부(30)로 제1 EDID 정보를 저장할 때 사용될 수 있다.
- [0017] 시스템(10)은 액정표시장치로부터 제1 EDID 정보를 읽어 들여 액정표시장치를 인식한 후, 영상 신호 등을 액정표시장치로 전달할 수 있고, 여기서, 제1 EDID 정보는 제조사명, 모델명, 시리얼 넘버 등일 수 있다.
- [0018] 시스템(10)으로부터 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는 시점이 되면, 그 시점으로부터 T1시간이 경과한 시점이 제1통신의 시작점이 되고, 그로부터 T2시간 동안 시스템(10)은 제1 EDID 메모리부(30)로부터 제1 EDID 정보를 읽어드릴 수 있다.
- [0019] 여기서, T1은 메인 전원(VLCD)의 크기가 90%가 되는 시점으로부터 제1통신이 시작할 때까지 걸리는 시간이고, T2는 제1통신이 이루어지는 시간으로서, T1과 T2 각각은 예를 들어, 100ms일 수 있다.
- [0020] 도2a는 종래의 제2 EDID 메모리부와 타이밍 제어부의 제2 통신을 설명하기 위해 참조되는 도면이고, 도2b는 제2 EDID 메모리부와 타이밍 제어부의 제2 통신을 나타내는 타이밍도이다.
- [0021] 도2a 및 도2b에 도시한 바와 같이, 제2 EDID 메모리부(40)는 SCL 라인과 SDA 라인을 통해 제2 EDID 정보를 타이밍 제어부(50)로 제공한다.
- [0022] 여기서, SCL 라인은 타이밍 제어부(50)와의 통신에서 EDID 클락(CLOCK) 신호(SCL)가 인가되는 라인이고, SDA 라인은 EDID 데이터(DATA) 신호(SDA)가 인가되는 라인으로, 제2 통신에서 제2 EDID 정보를 타이밍 제어부(50)로 전달할 때 이용할 수 있다.
- [0023] 제2 EDID 메모리부(40)로 제2 EDID 정보를 저장하는 경우에 SCL 라인과 SDA 라인은 각각 EDID 클락(CLOCK) 신호(SCL)가 인가되거나 EDID 데이터(DATA) 신호(SDA)가 인가될 때 사용될 수도 있다.
- [0024] 타이밍 제어부(50)는 액정표시장치가 구동할 때 사용되는 다양한 제어신호를 제공하는 역할을 하는데, 예를 들어 액정패널에서 영상을 표시하도록 하기 위해 다양한 제어신호를 게이트 드라이버 및 데이터 드라이버로 게이트로 제공할 수 있다.
- [0025] 이때, 타이밍 제어부(50)는 제2 EDID 메모리부(40)로부터 읽어온 제2 EDID 정보를 이용하여 게이트 제어신호 및 데이터 제어신호를 생성될 수 있고, 여기서, 제2 EDID 정보는 수평 주파수, 수직 주파수 등일 수 있다.
- [0026] 시스템(10)으로부터 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는 시점이 되면, 그 시점으로부터 t시간이 경과한 시점에 타이밍 제어부(50)로 리셋 신호(RESET)가 인가될 수 있다.
- [0027] 여기서, t은 메인 전원(VLCD)의 크기가 90%가 되는 시점으로부터 리셋 신호(RESET)가 인가될 때까지 걸리는 시간으로서, 예를 들어, 13ms일 수 있다.
- [0028] 리셋 신호(RESET)가 인가된 시점으로부터 소정의 시간이 경과한 후 제2통신(제2 EDID 메모리부(40)와 타이밍 제어부(50)와의 통신)의 시작점이 되어 타이밍 제어부(50)는 제2 EDID 메모리부(40)로부터 제2 EDID 정보를 읽어드릴 수 있다.
- [0029] 도3은 종래의 액정표시장치에서의 제1 통신과 제2 통신의 관계를 나타내는 타이밍도이다. 도1a 내지 도2b를 참조하여 설명하기로 한다.
- [0030] 도3에 도시한 바와 같이, 액정표시장치를 구동하기 위해 제1 통신 및 제2 통신이 일어나는 경우에, 두 개의 통신이 충돌함에 따라 통신 에러가 발생할 수 있다.
- [0031] 다시 말해서, 제2 통신은 리셋 신호(RESET)가 인가된 시점으로부터 소정의 시간이 경과한 후 발생하게 되는데,

제2 통신이 끝나기 전에 메인 전원(VLCD)의 크기가 90%가 되는 시점으로부터 T1시간이 경과함에 따라 제1 통신이 시작될 수 있다.

[0032] 그 결과 동일한 SCL 라인과 SDA 라인을 이용하는 제1 통신과 제2 통신이 충돌하여 a영역에서 통신 에러가 발생할 수 있다.

[0033] 도4는 제1 통신과 제2 통신의 통신 에러를 방지하기 위한 MUX IC가 장착된 종래의 액정표시장치의 일부를 도시한 도면이다.

[0034] 도4에 도시한 바와 같이, 액정표시장치에서 영상을 표시하기 위해서는 제1 EDID 정보 및 제2 EDID 정보를 각각 읽어와야 하는데, 제1 통신 및 제2 통신을 위해 SCL 핀과 SDA 핀을 분리하여 할당할 수가 없었다.

[0035] 따라서, 종래의 액정표시장치는 제1 통신 및 제2 통신 중 어느 한 통신이 SCL 라인과 SDA 라인을 선택적으로 이용할 수 있도록 하기 위해, 즉, 제1 통신 및 제2 통신의 통신 에러를 방지하기 위해 MUX IC(60)를 추가하였다.

[0036] MUX IC를 사용함에 따라 제2 통신이 선택되어 통신이 이루어지는 동안에는 제1 통신을 일어날 수 없도록 물리적으로 분리시킬 수 있었으나, 그에 따른 비용 증가 문제 등이 발생하였다.

발명의 내용

해결하려는 과제

[0037] 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 신호 지연부를 포함하는 리셋 회로 구현을 통해 제1 EDID 메모리부와 시스템과의 제1 통신과, 제2 EDID 메모리부와 시스템과의 제2 통신을 시간적으로 분리함에 따라 MUX IC를 제거할 수 있는 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0038] 상기한 바와 같은 목적을 달성하기 위한 리셋회로는, 타이밍 제어부가 게이트드라이버 및 데이터 드라이버의 동작타이밍을 제어하기 위한 다수의 제어신호를 생성하는 것을 제어하기 위한 리셋 신호를 제공하는 리셋 회로에 있어서, 제1 EDID 메모리부와 시스템과의 제1 통신이 끝난 후에, 제2 EDID 메모리부와 상기 타이밍 제어부와 제2 통신이 이루어지도록 상기 리셋 신호가 인가되는 시간을 지연시키기 위한 신호 지연부를 포함하는 것을 특징으로 한다.

[0039] 여기서, 상기 신호 지연부는, 상기 리셋 신호가 인가되는 시간을 200ms만큼 지연시키는 RC 지연 회로일 수 있다.

[0040] 상기한 바와 같은 목적을 달성하기 위한 액정표시장치는, 다수의 게이트배선 및 다수의 데이터배선이 서로 교차하여 정의되는 다수의 화소영역을 포함하는 액정패널과; 데이터신호를 생성하고, 생성된 상기 데이터신호를 상기 다수의 데이터배선에 공급하는 데이터 드라이버와; 게이트신호를 생성하고, 생성된 상기 게이트신호를 상기 다수의 게이트배선에 공급하는 게이트 드라이버와; 상기 게이트드라이버 및 상기 데이터 드라이버의 동작타이밍을 제어하기 위한 다수의 제어신호를 공급하는 타이밍제어부와; 제1 EDID정보를 저장하는 제1 EDID 메모리부와; 제2 EDID정보를 저장하는 제2 EDID 메모리부와; 상기 타이밍 제어부가 상기 다수의 제어신호를 생성하는 것을 제어하기 위한 리셋 신호를 생성하는 리셋회로부를 포함하며, 상기 리셋회로부는, 시스템과의 제1 통신이 끝난 후에, 상기 타이밍 제어부와 제2 통신이 이루어지도록 상기 리셋 신호가 인가되는 시간을 지연시키는 신호 지연부를 포함하는 것을 특징으로 한다.

[0041] 여기서, 상기 신호 지연부는, 상기 리셋 신호가 인가되는 시간을 200ms만큼 지연시키는 RC 지연 회로일 수 있다.

[0042] 그리고, 상기 제1 EDID 메모리부는, 상기 제1 통신을 통해 상기 제1 EDID정보를 상기 시스템으로 제공할 수 있다.

[0043] 그리고, 상기 제2 EDID 메모리부는, 상기 제2 통신을 통해 상기 제2 EDID정보를 상기 타이밍 제어부로 제공할 수도 있다.

발명의 효과

[0044] 이상 설명한 바와 같이, 본 발명에 따른 리셋 회로를 포함하는 액정표시장치에서는, 신호 지연부를 포함하는 리셋 회로 구현을 통해 제1 EDID 메모리부와 시스템과의 제1 통신과, 제2 EDID 메모리부와 시스템과의 제2 통신을 시간적으로 분리함에 따라 통신 에러를 방지할 수 있다.

[0045] 제1 및 제2 통신을 이를 물리적으로 분리하기 위해 필요했던 MUX IC 부품을 제거할 수 있고, 그에 따라 비용을 절감시킬 수 있다.

도면의 간단한 설명

[0046] 도1a는 종래의 제1 EDID 메모리부와 시스템의 제1 통신을 설명하기 위해 참조되는 도면이고, 도1b는 제1 EDID 메모리부와 시스템의 제1 통신을 나타내는 타이밍도이다.

도2a는 종래의 제2 EDID 메모리부와 타이밍 제어부의 제2 통신을 설명하기 위해 참조되는 도면이고, 도2b는 제2 EDID 메모리부와 타이밍 제어부의 제2 통신을 나타내는 타이밍도이다.

도3은 종래의 액정표시장치에서의 제1 통신과 제2 통신의 관계를 나타내는 타이밍도이다.

도4는 제1 통신과 제2 통신의 통신 에러를 방지하기 위한 MUX IC가 장착된 종래의 액정표시장치의 일부를 도시한 도면이다.

도5는 본 발명의 바람직한 실시예에 따른 액정표시장치를 도시한 도면이다.

도6은 본 발명의 바람직한 실시예에 따른 액정패널의 화소영역의 등가회로를 개략적으로 도시한 도면이다.

도7a는 타이밍 제어부로 리셋 신호를 제공하는 리셋 회로부를 도시한 도이고, 도7b는 본 발명의 바람직한 실시예에 따른 리셋 회로를 도시한 도면이다.

도8은 본 발명의 바람직한 실시예에 따른 제1 통신과 제2 통신의 관계를 나타내는 타이밍도이다.

도9는 제1 통신과 제2 통신의 통신 에러를 방지하기 위한 MUX IC가 제거된 본 발명의 바람직한 실시예에 따른 액정표시장치의 일부를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0047] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0048] 도5는 본 발명의 바람직한 실시예에 따른 액정표시장치를 도시한 도면이다. 도6을 참조하여 설명한다.

[0049] 도5에 도시한 바와 같이, 액정표시장치(100)는, 다수의 화소영역(P)을 포함하는 액정패널(110)과, 다수의 데이터배선(DL)을 구동하기 위한 데이터 드라이버(Data Driver)(120)와, 다수의 게이트배선(GL)을 구동하기 위한 게이트 드라이버(Gate Driver)(130)와, 데이터 드라이버(120) 및 게이트 드라이버(130) 각각의 구동 타이밍을 제어하기 위한 타이밍 제어부(140)와, 제1 EDID정보 및 제2 EDID 정보를 저장하는 EDID 메모리부(150) 등을 포함할 수 있다.

[0050] 액정패널(110)은, 다수의 게이트배선(GL), 다수의 데이터배선(DL)이 서로 교차하여 정의되는 다수의 화소영역(P)을 포함할 수 있다.

[0051] 다수의 게이트배선(GL)을 통해 전달되는 게이트신호에 의해 각 화소영역(P)의 박막트랜지스터(T)가 라인별로 순차적으로 턴-온(Turn-On) 되고, 다수의 데이터배선(DL)을 통해 전달되는 데이터신호가 각 화소영역(P)에 인가됨에 따라 영상을 표시할 수 있다.

[0052] 데이터 드라이버(120)는 다수의 데이터제어신호를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 다수

의 데이터배선(DL)에 공급할 수 있다.

- [0053] 게이트 드라이버(130)는 다수의 게이트제어신호를 이용하여 게이트신호를 생성하고, 생성된 게이트신호를 다수의 게이트배선(GL)에 공급할 수 있다.
- [0054] 타이밍 제어부(timing controller)(140)는 그래픽 카드와 같은 시스템(미도시)으로부터 원본 영상신호(RGB)와 데이터인에이블신호(DE) 등의 다수의 제어신호를 입력 받아 게이트 드라이버(130) 및 데이터 드라이버(120)의 동작 타이밍을 제어하기 위한 다수의 게이트제어신호, 다수의 데이터제어신호를 각각 생성하여 해당 드라이버로 공급할 수 있다.
- [0055] 그리고, 타이밍 제어부(140)는 원본 영상신호(RGB) 및 다수의 데이터제어신호를 데이터 드라이버(120)에 공급하여 데이터 드라이버(120)가 원본 영상신호(RGB) 및 다수의 데이터제어신호를 이용하여 데이터신호를 생성하고, 생성된 데이터신호를 액정패널(110)의 다수의 데이터배선(DL)에 공급하도록 제어할 수 있다.
- [0056] EDID 메모리부(150)는 제1 EDID정보 및 제2 EDID 정보를 저장할 수 있으며, 여기서, 제1 EDID 정보는 제조사명, 모델명, 시리얼 넘버 등이고, 제2 EDID 정보는 수평 주파수, 수직 주파수 등일 수 있다.
- [0057] 커넥터(160)는 시스템(미도시)과 액정표시장치(100)를 연결시키는 수단으로서, 시스템(미도시)으로부터 발생된 다수의 제어신호등을 액정표시장치(100)로 전달하기 위한 인터페이스로서의 역할을 한다.
- [0058] 커넥터(160)의 다수의 핀(PIN) 중에서 두 개의 핀을 SCL 핀과 SDA 핀으로 할당할 수 있는데, 여기서, SCL 핀은 시스템과의 통신에서 EDID 클락(CLOCK) 신호(SCL)가 인가되는 핀이고, SDA 핀은 EDID 데이터(DATA) 신호(SDA)가 인가되는 핀이다.
- [0059] SCL 핀과 SDA 핀 각각에 연결된 SCL 라인과 SDA 라인을 이용하여, 제1 통신에서 제1 EDID 정보를 시스템에 전달하거나, 제2 통신에서 제2 EDID 정보를 타이밍 제어부(140)로 전달될 수 있다.
- [0060] 도시하지는 않았지만, 커넥터(160)의 핀(PIN) 중 하나는 /WP 핀으로 할당될 수 있으며, /WP 핀은 시스템으로부터 기입 프로텍션 신호(/WP)가 인가되는 핀일 수 있다.
- [0061] 여기서, 기입 프로텍션 신호(/WP)는 메모리(EEPROM)에 기입 동작이 가능하지 여부를 결정하는 신호로서, 제1 및 제2 EDID 메모리부(도9의 152, 154)로 제1 및 제2 EDID 정보를 저장할 때 사용될 수 있다.
- [0062] 예를 들면, /WP 라인을 통해 로우전압이 인가되면, 메모리(EEPROM)에 데이터를 쓸 수 있고, 하이전압이 인가되면, 메모리(EEPROM)에 데이터를 쓸 수 없고 읽기만 할 수 있다.
- [0063] 본 발명은 타이밍 제어부(140)로 인가되는 리셋 신호(RESET)를 기존의 리셋 신호(RESET)가 인가되는 시점보다 200ms만큼 지연시켜 인가시킴에 따라 제1 및 제2 통신을 시간적으로 분리시켜 동일한 SCL 라인과 SDA 라인을 이용하더라도 1 통신과 제2 통신이 충돌하는 통신 에러를 방지할 수 있다.
- [0064] 그에 따라 물리적으로 분리하기 위해 필요했던 MUX IC를 제거할 수 있고, 그에 따라 비용을 절감시킬 수 있다.
- [0065] 여기서, 제1 통신은, 제1 EDID 메모리부(도9의 152)와 시스템(미도시)과의 통신을 의미하고, 제2통신은 제2 EDID 메모리부(도9의 154)와 타이밍 제어부(140)와의 통신을 의미한다.
- [0066] 도6은 본 발명의 바람직한 실시예에 따른 액정패널의 화소영역의 등가회로를 개략적으로 도시한 도면이다.
- [0067] 도6에 도시한 바와 같이, 액정패널(도5의 110)에는 서로 교차하여 화소영역(P)을 정의하는 게이트 배선(GL) 및 데이터 배선(DL)이 형성되고, 각 화소영역(P)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 형성된다.
- [0068] 도시하지는 않았지만, 화소 전극(미도시)은 박막트랜지스터(T)과 연결되며, 화소 전극(미도시)에 대응하여 공통 전극(미도시)이 형성될 수 있다.
- [0069] 이러한 화소 전극(미도시)과 공통 전극(미도시) 각각에 데이터 전압 및 공통전압이 인가되면, 화소 전극(미도시)과 공통 전극(미도시) 사이에 전계가 형성되고, 형성된 전계를 이용하여 액정표시장치를 구동할 수 있다.
- [0070] 그리고, 스토리지 커패시터(Cst)는 화소 전극(미도시)에 인가된 데이터 전압을 다음 프레임까지 저장하는 역할을 한다.

- [0071] 도7a는 타이밍 제어부로 리셋 신호를 제공하는 리셋 회로부를 도시한 도이고, 도7b는 본 발명의 바람직한 실시예에 따른 리셋 회로를 도시한 도면이다. 도8을 참조하여 설명한다.
- [0072] 도7a 및 도7b에 도시한 바와 같이, 리셋회로부(170)는 전압공급부(미도시)로부터 인가 받은 Vcc를 이용하여 리셋 신호(RESET)를 생성하고, 생성한 리셋 신호(RESET)를 타이밍 제어부(140)로 제공하여 타이밍 제어부(140)가 다수의 제어신호를 생성하는 것을 제어할 수 있다.
- [0073] 여기서, 리셋회로부(170)는, 제1 EDID 메모리부(도9의 152)와 시스템(미도시)과의 제1 통신이 끝난 후에, 제2 EDID 메모리부(도9의 154)와 타이밍 제어부(140)와의 제2 통신이 이루어지도록 상기 리셋 신호(RESET)가 인가되는 시점을 지연시키기 위한 신호 지연부(b)를 포함할 수 있다.
- [0074] 그리고, 신호 지연부(b)는, 리셋 신호(RESET)가 인가되는 시점을 기존의 리셋 신호(RESET)가 인가되는 시점(시스템으로부터 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는 시점+t)으로부터 200ms($T1+T2$)만큼 지연시키는 RC 지연 회로일 수 있다.
- [0075] 여기서, T1은 메인 전원(VLCD)의 크기가 90%가 되는 시점으로부터 제1통신이 시작할 때까지 걸리는 시간이고, T2는 제1통신이 이루어지는 시간으로서, T1과 T2 각각은 예를 들어, 100ms일 수 있다.
- [0076] 여기서, t은 메인 전원(VLCD)의 크기가 90%가 되는 시점으로부터 리셋 신호(RESET)가 인가될 때까지 걸리는 시간으로서, 예를 들어, 13ms일 수 있다.
- [0077] 리셋 회로를 살펴보면, 리셋 신호(RESET)가 인가되는 시점을 종래의 리셋 신호(RESET)가 인가되는 시점으로부터 200ms만큼 지연시킬 수 있도록 종래의 리셋 회로에서 R6, C를 추가하였음을 알 수 있다.
- [0078] 여기서, R6, C는 시상수(RC)가 200ms가 되는 경우로서, 예를 들어, 각각 91k Ω , 220 μ F 일 수 있으나, 이에 한정하지 않는다.
- [0079] 도8은 본 발명의 바람직한 실시예에 따른 제1 통신과 제2 통신의 관계를 나타내는 타이밍도로서, 설명의 편의를 위해 종래의 리셋 신호 인가시점을 함께 도시하였다. 도9를 참조하여 설명한다.
- [0080] 도8에 도시한 바와 같이, 본 발명의 액정표시장치의 제1통신의 경우는, 시스템(미도시)으로부터 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는 시점이 되면, 그 시점으로부터 T1(100ms)이 경과한 시점이 제1통신(제1 EDID 메모리부와 시스템과의 통신)의 시작점이 되고, 그로부터 T2(제1통신 시간)(100ms) 동안 시스템(미도시)은 제1 EDID 메모리부(152)로부터 제1 EDID 정보를 읽어드릴 수 있다.
- [0081] 이때, 시스템(미도시)은, 액정표시장치로부터 제1 EDID 정보를 읽어 들여 액정표시장치를 인식한 후, 영상 신호등을 액정표시장치로 전달할 수 있다.
- [0082] 반면, 제2통신의 경우에는, 리셋회로부(도7a의 170)에 신호 지연부(도7a의 b)가 추가됨에 따라 리셋 신호(RESET)가 인가되는 시점(시스템(10)으로부터 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는 시점+t)을 기존의 리셋 신호(RESET)가 인가되는 시점으로부터 200ms($T3=T1+T2$)만큼 지연시켰음을 알 수 있다.
- [0083] 그에 따라, 새로운 리셋 신호(RESET)가 인가된 시점(종래의 리셋 신호(RESET)가 인가된 시점+T3)으로부터 소정의 시간이 경과한 후 제2통신의 시작점이 되어 타이밍 제어부(140)는 제2 EDID 메모리부(154)로부터 제2 EDID 정보를 읽어드릴 수 있다.
- [0084] 이때, 타이밍 제어부(140)는, 제2 EDID 정보를 이용하여 게이트 제어신호 및 데이터 제어신호를 생성하고, 생성한 게이트 제어신호 및 데이터 제어신호를 각각 게이트 드라이버(도5의 130) 및 데이터 드라이버(도5의 120)로 제공할 수 있다.
- [0085] 즉, 종래의 액정표시장치는, 시스템(미도시)으로부터 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는 시점이 되면, 그 시점으로부터 T1(100ms)이 경과한 시점이 제1통신의 시작점이 되어 그로부터 T2(제1통신 시간)(100ms) 동안 시스템은 제1 EDID 메모리부(도9의 152)로부터 제1 EDID 정보를 읽어드릴 수 있었다.
- [0086] 하지만 본 발명은, 시스템(미도시)으로부터 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는

시점이 되면, 그 시점으로부터 $t(13ms)$ 시간이 경과한 시점에 타이밍 제어부(140)로 리셋 신호(RESET)가 인가될 수 있었고, 리셋 신호(RESET)가 인가된 시점으로부터 소정의 시간이 경과한 후 제2통신의 시작점이 되어 타이밍 제어부(140)는 제2 EDID 메모리부(152)로부터 제2 EDID 정보를 읽어드릴 수 있었다.

- [0087] 그 결과 동일한 SCL 라인과 SDA 라인을 이용하는 제1 통신과 제2 통신이 충돌하여 a영역에서 통신 에러가 발생할 수 있었는데, 본 발명에 따라 리셋 회로부(170)가 신호 지연부(도7b의 b)를 포함함에 따라 메인 전원(VLCD)이 입력되어 메인 전원(VLCD)의 크기가 90%가 되는 시점으로부터 $t+T3(213ms)$ 시간이 경과한 시점에 타이밍 제어부(140)로 리셋 신호(RESET)가 인가됨에 따라 양 통신을 시간적으로 분리시킬 수 있다.
- [0088] 즉, 제1통신이 끝난 후에 제2통신이 이루어져 양자가 동일한 SCL 라인과 SDA 라인을 각각 다른 시간대에서 사용하기 때문에 MUX IC를 제거하더라도 통신 충돌에 의한 통신 에러를 방지할 수 있다.
- [0089] 도9는 제1 통신과 제2 통신의 통신 에러를 방지하기 위한 MUX IC가 제거된 본 발명의 바람직한 실시예에 따른 액정표시장치의 일부를 도시한 도면이다.
- [0090] 도9에 도시한 바와 같이, EDID 메모리부(150)는 제1 EDID 정보 및 제2 EDID 정보를 제1 EDID 메모리부(152) 및 제2 EDID 메모리부(154)를 포함할 수 있다.
- [0091] 제1 EDID 메모리부(152)는 커넥터(160)를 통해 미리 저장하고 있던 제1 EDID 정보를 시스템으로 제공할 수 있다.
- [0092] 여기서, 제1 EDID 메모리부(152)는 비휘발성 메모리, 특히 EEPROM(Electrically Erasable Programmable Read-Only Memory)으로 구성될 수 있다.
- [0093] EEPROM을 사용하면, 전원 없이도 제1 EDID 메모리부(152)에 저장된 정보를 장기간 안정적으로 기억할 수 있을 뿐만 아니라, 사용자가 기입된 정보를 반복적으로 수정할 수 있다.
- [0094] 여기서, 제1 EDID 정보는 제조사명, 모델명, 시리얼 넘버 등일 수 있다.
- [0095] 예를 들어, 시스템(미도시)은 액정표시장치로부터 제조사명, 모델명, 시리얼 넘버 등을 포함하는 제1 EDID 정보를 커넥터(160)를 통해 읽어 들임에 따라 시스템(미도시)과 연결하고 있는 액정표시장치를 인식하고, 그에 따라 적절한 원본 영상신호(RGB) 등을 액정표시장치로 전달할 수 있다.
- [0096] 제2 EDID 메모리부(154)는 제2통신을 통해 미리 저장하고 있던 제2 EDID 정보를 타이밍 제어부(140)로 제공한다.
- [0097] 여기서, 제2 EDID 메모리부(154)는 비휘발성 메모리, 특히 EEPROM으로 구성될 수 있으며, EEPROM을 사용하면, 전원 없이도 제2 EDID 메모리부(154)에 저장된 정보를 장기간 안정적으로 기억할 수 있을 뿐만 아니라, 사용자가 기입된 정보를 반복적으로 수정할 수 있다.
- [0098] 타이밍 제어부(140)는 액정표시장치가 구동할 때 사용되는 다양한 제어신호를 제공하는 역할을 하며, 제2 EDID 정보를 이용하여 게이트 제어신호 및 데이터 제어신호를 생성하고, 생성한 게이트 제어신호 및 데이터 제어신호를 각각 게이트 드라이버(도5의 130) 및 데이터 드라이버(도5의 120)로 제공할 수 있다.
- [0099] 여기서, 제2 EDID 정보는 수평 주파수, 수직 주파수 등일 수 있다.
- [0100] 종래의 액정표시장치는 제1 통신 및 제2 통신 중 어느 한 통신이 SCL 라인과 SDA 라인을 선택적으로 이용할 수 있도록 하기 위해, 즉, 제1 통신 및 제2 통신의 통신 에러를 방지하기 위해 MUX IC를 추가하였고, 그에 따라 제2 통신이 선택되어 통신이 이루어지는 동안에는 제1 통신을 일어날 수 없도록 물리적으로 분리시킬 수 있었으나, 그에 따른 비용 증가 문제 등이 발생하였었다.
- [0101] 본 발명은 타이밍 제어부(140)로 인가되는 리셋 신호(RESET)를 기존의 리셋 신호(RESET)가 인가되는 시점보다 200ms만큼 지연시켜 인가시킴에 따라 제1 및 제2 통신을 시간적으로 분리시켜 동일한 SCL 라인과 SDA 라인을 이용하더라도 1 통신과 제2 통신이 충돌하는 통신 에러를 방지할 수 있다.
- [0102] 그에 따라 물리적으로 분리하기 위해 필요했던 MUX IC를 제거할 수 있고, 그에 따라 비용을 절감시킬 수 있다.
- [0103] 이상과 같은 본 발명의 실시예는 예시적인 것에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진

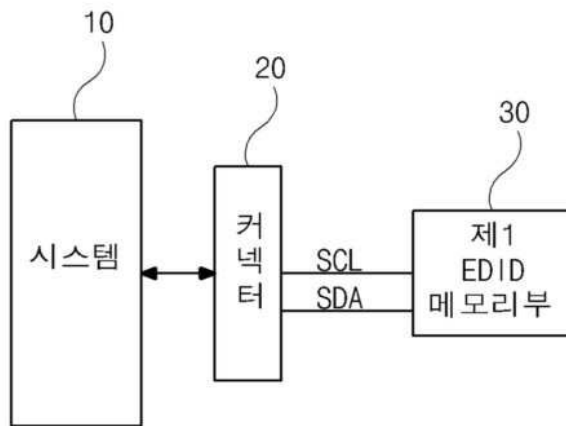
자라면 본 발명의 요지를 벗어나지 않는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명의 보호범위는 첨부된 특허청구범위 및 이와 균등한 범위 내에서의 본 발명의 변형을 포함한다.

부호의 설명

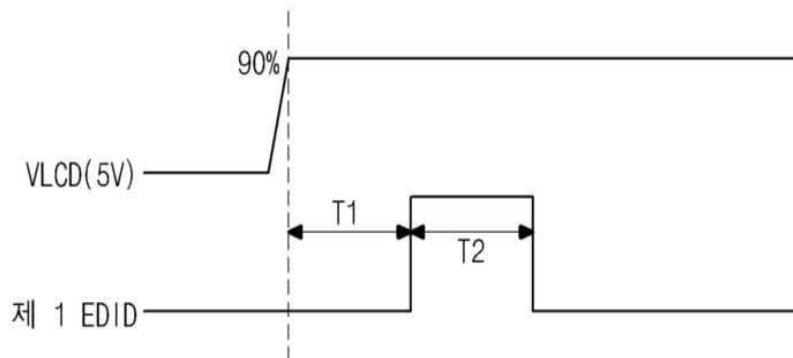
100: 액정표시장치	110: 액정패널
120: 데이터 드라이버	130: 게이트 드라이버
140: 타이밍 제어부	150: EDID 메모리부
160: 커넥터	170: 리셋회로부

도면

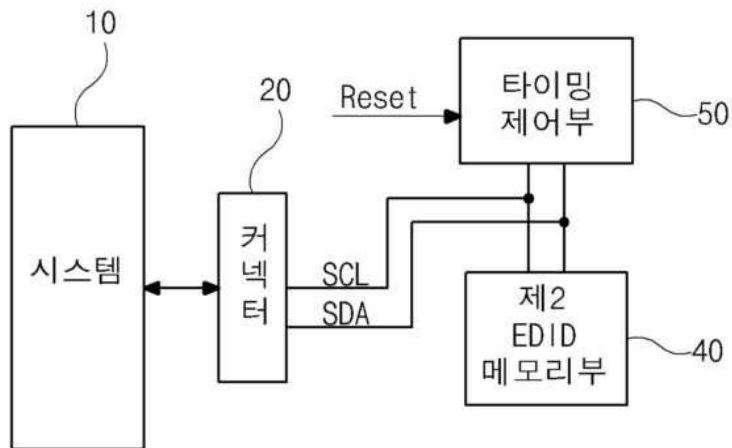
도면1a



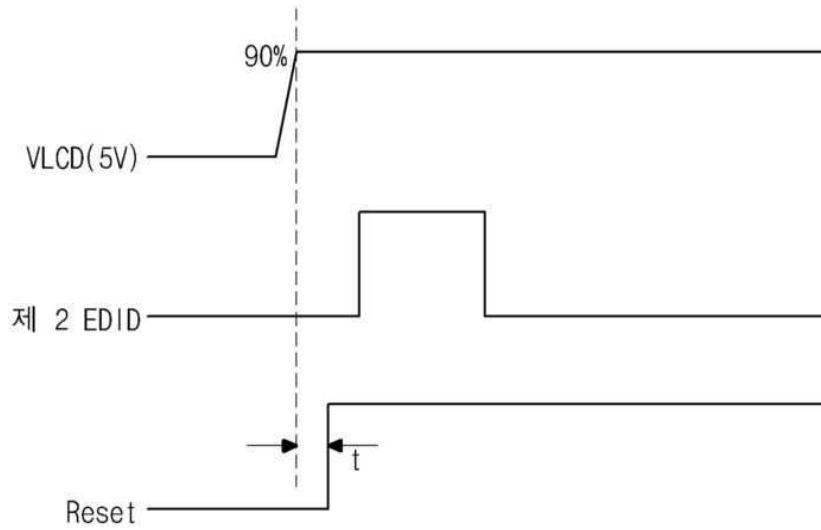
도면1b



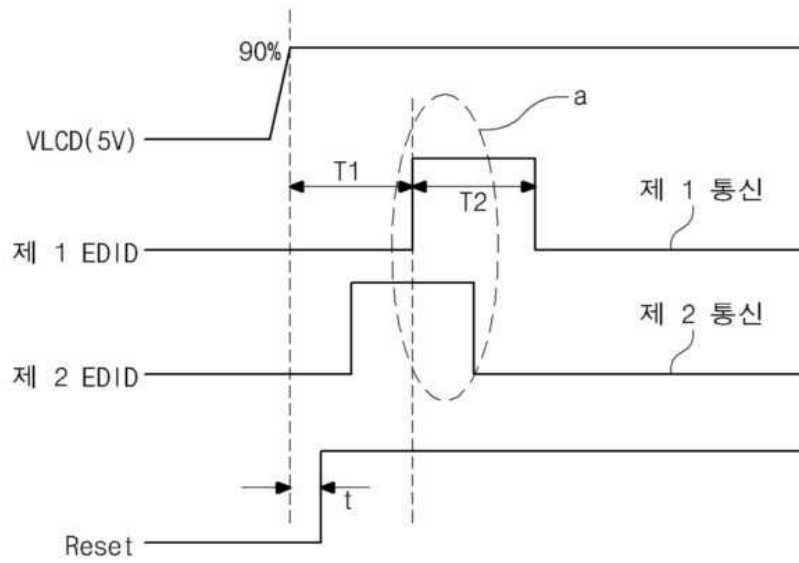
도면2a



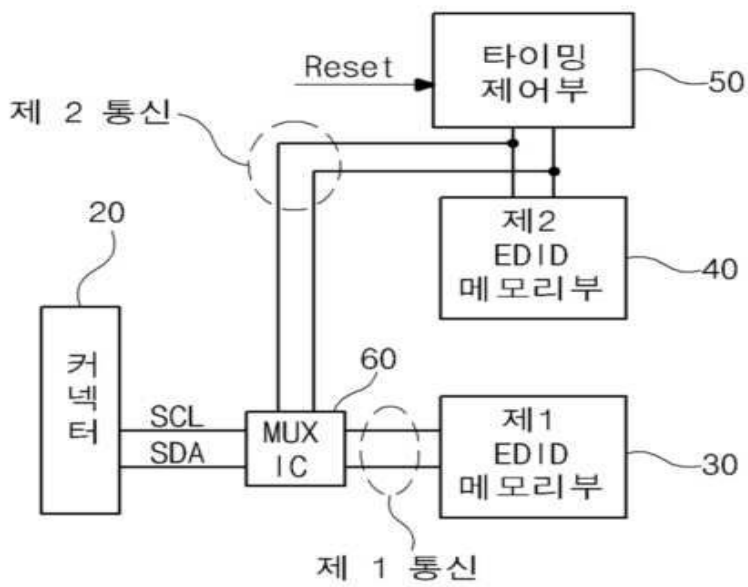
도면2b



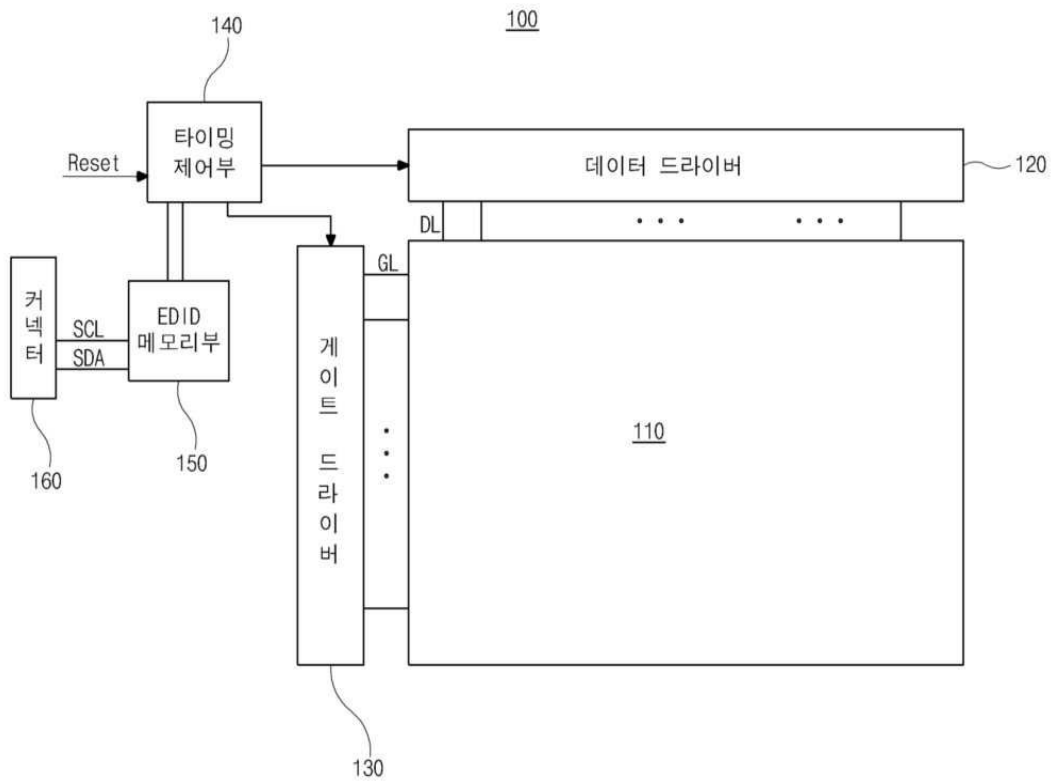
도면3



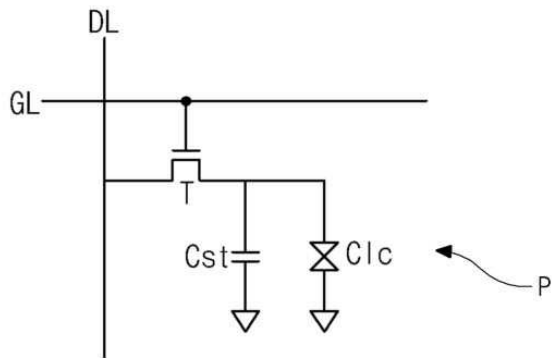
도면4



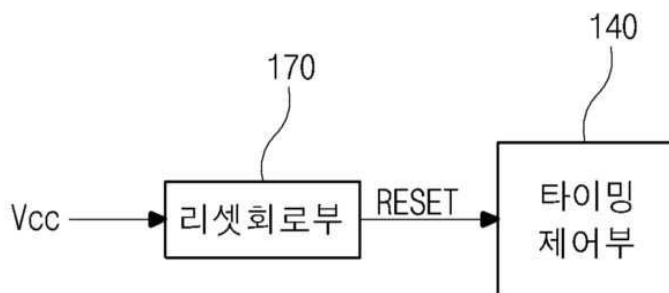
도면5



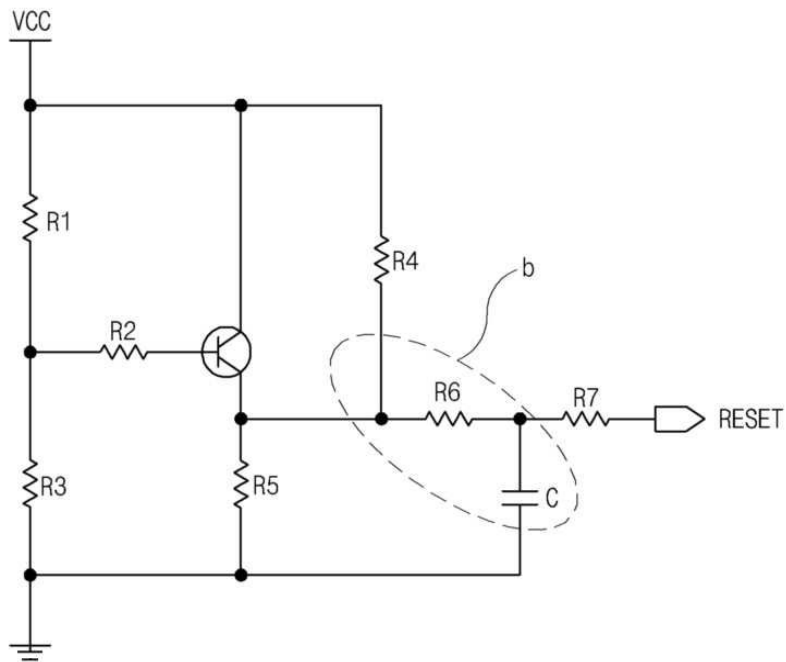
도면6



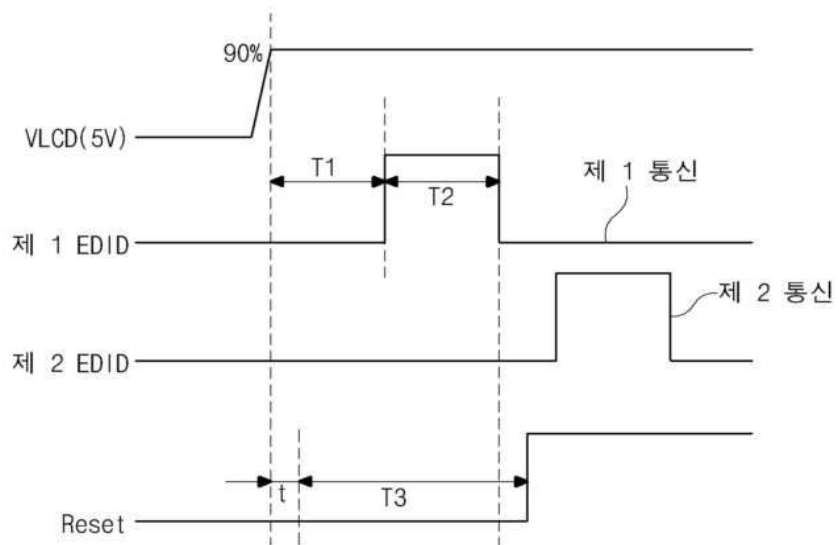
도면7a



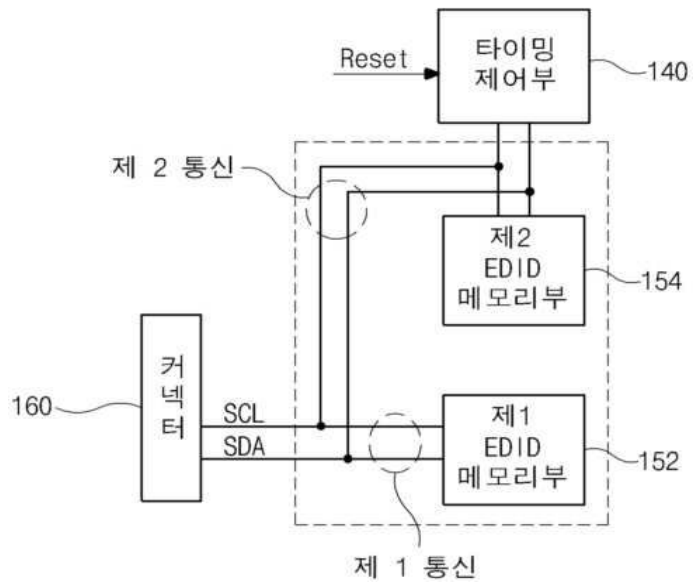
도면7b



도면8



도면9



专利名称(译)	标题：包含相同的复位电路和液晶显示装置		
公开(公告)号	KR1020120108438A	公开(公告)日	2012-10-05
申请号	KR1020110026292	申请日	2011-03-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAE JIN SUNG 배진성 CHOI BYUNG JIN 최병진 CHOI HEE SEUNG 최희승		
发明人	배진성 최병진 최희승		
IPC分类号	G09G3/36		
CPC分类号	G09G3/36 G09G3/3648 G09G2310/08 G09G2320/0223 G09G2310/061		
其他公开文献	KR101782007B1		
外部链接	Espacenet		

摘要(译)

用途：提供复位电路和包括复位电路的液晶显示装置，以通过将第一EDID存储器和系统之间的第一通信与第二EDID存储器和系统之间的第二通信分开来防止通信错误。组件：复位电路使用从电压供应单元施加的VCC产生复位信号（RESET），并将复位信号发送到定时控制器。复位电路包括信号延迟单元（b），以延迟施加复位信号的时间。

