



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0074575
(43) 공개일자 2012년07월06일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2010-0136455
(22) 출원일자 2010년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장창재
경기도 파주시 한마음1길 25, 금촌주공아파트
104동 508호 (금촌동)
(74) 대리인
특허법인천문

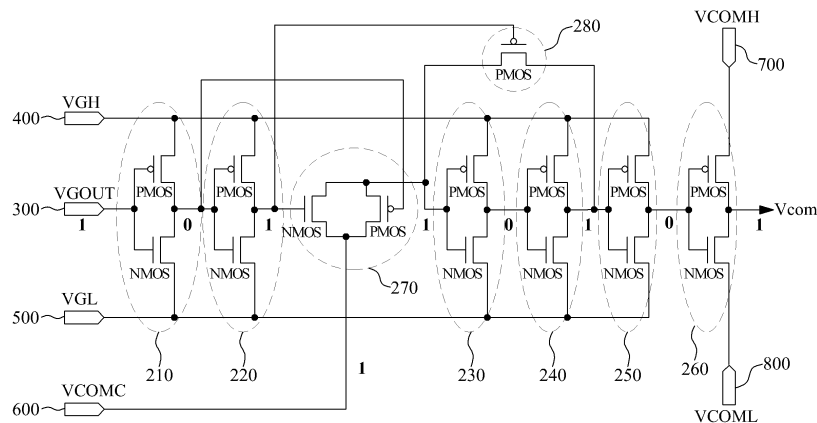
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 공통전압 구동장치 및 이를 이용한 액정표시장치

(57) 요약

본 발명은 CMOS 트랜지스터를 이용하여 형성된, 공통전압 구동장치 및 이를 이용한 액정표시장치를 제공하는 것을 기술적 과제로 한다. 이를 위해 본 발명에 따른 공통전압 구동장치는, 패널의 각 수평라인 마다 형성되어 있는 공통전압라인들과 각각 연결되어 있는 복수의 공통전압 구동부를 포함하며, 상기 공통전압 구동부 각각은, 시모스(CMOS)로 구성되며, 고전위신호 공급단자와 저전위신호 공급단자 사이에 연결되어 있는 제1내지 제5스위치; 클럭을 입력하기 위한 클럭신호 공급단자; 상기 제3스위치와 상기 제4스위치 사이에 형성되어, 상기 클럭을 상기 제4스위치로 전송하거나 차단시키는 선택부; 상기 선택부의 출력단자와 상기 제4스위치의 출력단자 사이에 연결되어 있으며, 상기 제2스위치의 출력신호를 게이트로 입력받는 제환부; 및 시모스(CMOS)로 구성되며, 상기 제5스위치의 출력을 입력받아, 고전위공통전압 또는 저전위공통전압을 공통전압으로 출력하기 위한 제6스วิต치를 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

패널의 각 수평라인 마다 형성되어 있는 공통전압라인들과 각각 연결되어 있는 복수의 공통전압 구동부를 포함하며, 상기 공통전압 구동부 각각은,

시모스(CMOS)로 구성되며, 고전위신호 공급단자와 저전위신호 공급단자 사이에 연결되어 있는 제1내지 제5스위치;

클럭을 입력하기 위한 클럭신호 공급단자;

상기 제3스위치와 상기 제4스위치 사이에 형성되어, 상기 클럭을 상기 제4스위치로 전송하거나 차단시키는 선택부;

상기 선택부의 출력단자와 상기 제4스위치의 출력단자 사이에 연결되어 있으며, 상기 제2스위치의 출력신호를 게이트로 입력받는 레환부; 및

시모스(CMOS)로 구성되며, 상기 제5스위치의 출력을 입력받아, 고전위공통전압 또는 저전위공통전압을 공통전압으로 출력하기 위한 제6스위치를 포함하는 공통전압 구동장치.

청구항 2

제 1 항에 있어서,

상기 시모스(CMOS)는,

PMOS 트랜지스터와 NMOS 트랜지스터가 직렬로 연결되어 있고, 입력은 상기 PMOS 트랜지스터와 NMOS 트랜지스터의 게이트에 같이 연결되어 있으며, 출력은 상기 PMOS 트랜지스터와 NMOS 트랜지스터의 드레인 사이의 단자를 통해 출력되는 것을 특징으로 하는 공통전압 구동장치.

청구항 3

제 2 항에 있어서,

상기 제1내지 제5스위치에 적용되는 상기 PMOS 트랜지스터의 소스는 상기 상기 고전위신호 공급단자와 연결되어 있으며, 상기 NMOS 트랜지스터의 소스는 상기 저전위 공급단자에 연결되어 있는 것을 특징으로 하는 공통전압 구동장치.

청구항 4

제 1 항에 있어서,

상기 선택부는,

PMOS 트랜지스터; 및

상기 제2스위치의 출력단자와 연결되어 있는 NMOS를 포함하며,

상기 PMOS 트랜지스터와 상기 NMOS 트랜지스터는 상기 클럭 공급단자와 상기 제3스위치 사이에 병렬로 연결되어 있는 것을 특징으로 하는 공통전압 구동장치.

청구항 5

제 1 항에 있어서,

상기 레환부는,

PMOS 트랜지스터로 구성되는 것을 특징으로 하는 공통전압 구동장치.

청구항 6

제 1 항에 있어서,

상기 제6스위치는,

PMOS 트랜지스터와 NMOS 트랜지스터가 직렬로 연결되어 있고, 입력은 상기 제5스위치의 출력단자와 연결되어 있으며,

상기 PMOS 트랜지스터는 고전위공통전압 공급단자와 연결되고 있고, 상기 NMOS 트랜지스터는 저전위공통전압 공급단자와 연결되어 있는 것을 특징으로 하는 공통전압 구동장치.

청구항 7

제 1 항에 있어서,

상기 제1 내지 제6스위치는, 입력되는 신호와 반대되는 극성을 갖는 신호를 출력하는 것을 특징으로 하는 공통전압 구동장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 기재되어 있는 상기 공통전압 구동장치;

액정패널;

상기 타이밍 컨트롤러의 제어에 따라 상기 패널에 형성된 데이터 라인을 제어하기 위한 데이터 드라이버; 및

상기 타이밍 컨트롤러의 제어에 따라 상기 패널에 형성된 게이트 라인을 제어하기 위한 게이트 드라이버를 포함하는 공통전압 구동장치를 이용한 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 공통전압 구동장치는 상기 게이트 드라이버에 형성되어 있는 것을 특징으로 하는 공통전압 구동장치를 이용한 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 게이트 드라이버는 상기 패널에 형성되어 있는 것을 특징으로 하는 공통전압 구동장치를 이용한 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 특히, 액정표시장치의 패널에 공통전압을 인가시키는 공통전압 구동장치 및 이를 이용한 액정표시장치에 관한 것이다.

배경 기술

[0002] 통상적으로, 액정표시장치(Liquid Crystal Display)는 매트리스 형태로 배열된 복수의 액정셀과, 이들 액정셀에 공급될 화소전압을 절환하기 위한 복수의 제어용 스위치들로 구성된 액정패널에 의해, 백라이트 유닛(Back Light Unit)에서 공급되는 광의 투과량을 조절하여 화면에 원하는 영상을 표시하게 된다.

[0003] 이와 같은 액정 표시 장치는, 액정셀에 한 방향의 전계가 장시간 인가되어 발생하는 액정의 열화 현상을 방지하기 위하여, 프레임 인버전(Frame Inversion) 방식, 라인 인버전(Line Inversion) 방식, 컬럼 인버전 방식(Column Inversion) 또는 도트 인버전(Dot Inversion) 방식과 같은 다양한 인버전 방식의 구동방법을 이용한다.

[0004] 도 1은 일반적인 라인 인버전 방식 및 컬럼 인버전 방식을 나타내고 있는 예시도이며, 도 2는 일반적인 라인

인버전 방식에서의 파형도 및 공통전압의 구성을 나타낸 예시도이다.

- [0005] 상기한 바와 같은, 프레임 인버전 방식은 프레임이 변경될 때마다 액정셀들에 공급되는 데이터 신호의 극성을 반전시키며, 도트 인버전 방식은 액정셀들에 공급되는 데이터 신호의 극성을 도트 단위로 반전시킴과 아울러 프레임 단위로 반전시킨다. 한편, 라인 인버전 방식은 도 1의 (a)에 도시된 바와 같이, 액정셀들에 공급되는 데이터 신호의 극성을 수평라인 단위로 반전시킴과 아울러 프레임 단위로 반전시키며, 컬럼 인버전 방식은 도 1의 (b)에 도시된 바와 같이, 액정셀들에 공급되는 데이터 신호의 극성을 컬럼(수직라인) 단위로 반전시킴과 아울러 프레임마다 반전시킨다.
- [0006] 한편, 라인 인버전 방식의 경우, 도 1의 (a) 및 도 2에 도시된 바와 같이, 데이터 전압(V_d)과 공통전압(V_{com})이 서로 반대되는 극성을 갖는 상태로 $2H$ (수평기간)를 주기로 하여 스위칭하고 있다.
- [0007] 즉, 라인 인버전 방식의 경우, 데이터 신호의 극성을 수평라인 단위로 반전시키고 있을 뿐만 아니라, 도 2의 (b)에 도시된 바와 같이, 공통전압 역시 데이터 신호의 극성과 반대되는 극성을 갖도록 수평라인 단위로 극성을 반전시키고 있다. 또한, 도트 인버전 방식에서도 공통전압은 도 2의 (a) 및 (b)에 도시된 바와 같이 스위칭할 수 있다.
- [0008] 도 3은 종래의 공통전압 구동장치의 일실시에 구성도이다.
- [0009] 종래의 공통전압 구동장치의 일예로서, 도 3에는 NMOS와 PMOS 단일 프로세스(process)에 의한 공통전압 구동장치(V_{com} driver)의 구조가 도시되어 있다.
- [0010] 즉, 도 3에 도시된 종래의 공통전압 구동장치는, 트랜지스터(Transistor)와 커패시터(Capacitor)의 조합으로 공통전압 인버전(V_{com} inversion)을 위한 공통전압(V_{com}) 출력을 내는 방식으로서, 픽셀 트랜지스터(Pixel transistor)를 온/오프(on/off) 시키는 게이트 라인(Gate line) 신호를 게이트 드라이버(Gate driver)를 이용하여 순차적으로 구동시키는 게이트 출력 및 서로 다른 위상으로 출력되는 클럭(Clock) 신호를 사용하여, 직류(DC)인 고전위 공통전압(V_{COMH})과 저전위 공통전압(V_{COML})을 출력하고 있다.
- [0011] 이러한 종래의 공통전압 구동장치(도 3)에서, V_{COM1} 및 V_{COM2} 는 서로 다른 위상을 가진 클럭(Clock) 신호 전원이고, V_{GL} 은 네거티브(Negative) 전원이고, V_{COMH} 는 액정을 구동시키는 높은 기준 전압(고전위 공통전압)이고, V_{COML} 은 액정을 구동시키는 낮은 기준 전압(저전위 공통전압)이고, COM 은 V_{COMH} 나 V_{COML} 전압 출력단이며, $GATE1/2/3$ 은 게이트 드라이버 각 단의 구동전압을 말한다.
- [0012] 한편, 상기한 바와 같은 종래의 공통전압 구동장치는, 트랜지스터(Transistor)와 커패시터(capacitor)의 수가 많음을 알 수 있다.
- [0013] 이처럼, 종래의 공통전압 구동장치에서 트랜지스터와 커패시터의 수가 많은 이유는, 출력 전압을 제어하는 트랜지스터의 게이트 전압을 커패시터를 이용하여 더 크게 레벨 업(level up) 해주기 위함이다.
- [0014] 즉, 종래의 공통전압 구동장치는 출력 전압을 레벨 업 시켜주기 위한 목적으로 많은 수의 커패시터 및 트랜지스터가 구비되어야 하기 때문에, 회로 설계가 복잡해지고, 제작 공정 및 단가가 상승된다는 문제점을 가지고 있다.
- [0015] 또한, 종래의 공통전압 구동장치는 상기한 바와 같이, 두 개의 클럭(V_{COM1} , V_{COM2})을 이용하고 있기 때문에 전력소모가 많다는 문제점을 가지고 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, CMOS 트랜지스터를 이용하여 형성된, 공통전압 구동장치 및 이를 이용한 액정표시장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

- [0017] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 공통전압 구동장치는, 패널의 각 수평라인 마다 형성되어 있는 공통전압라인들과 각각 연결되어 있는 복수의 공통전압 구동부를 포함하며, 상기 공통전압 구동부 각각은, 시모스(CMOS)로 구성되며, 고전위신호 공급단자와 저전위신호 공급단자 사이에 연결되어 있는 제1내지

제5스위치; 클럭을 입력하기 위한 클럭신호 공급단자; 상기 제3스위치와 상기 제4스위치 사이에 형성되어, 상기 클럭을 상기 제4스위치로 전송하거나 차단시키는 선택부; 상기 선택부의 출력단자와 상기 제4스위치의 출력단자 사이에 연결되어 있으며, 상기 제2스위치의 출력신호를 게이트로 입력받는 궤환부; 및 시모스(CMOS)로 구성되며, 상기 제5스위치의 출력을 입력받아, 고전위공통전압 또는 저전위공통전압을 공통전압으로 출력하기 위한 제6스วิต치를 포함한다.

[0018] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 공통전압 구동장치를 이용한 액정표시장치는, 상기 공통전압 구동장치; 액정패널; 상기 타이밍 컨트롤러의 제어에 따라 상기 패널에 형성된 데이터 라인을 제어하기 위한 데이터 드라이버; 및 상기 타이밍 컨트롤러의 제어에 따라 상기 패널에 형성된 게이트 라인을 제어하기 위한 게이트 드라이버를 포함한다.

발명의 효과

[0019] 상술한 해결 수단에 따라 본 발명은 다음과 같은 효과를 제공한다.

[0020] 즉, 본 발명에 따른 공통전압 구동장치는, CMOS 트랜지스터를 이용하여 형성됨으로써, 저 소비전력 구현이 가능하다는 효과를 제공한다.

도면의 간단한 설명

[0021] 도 1은 일반적인 라인 인버전 방식 및 컬럼 인버전 방식을 나타내고 있는 예시도.

도 2는 일반적인 라인 인버전 방식에서의 파형도 및 공통전압의 구성을 나타낸 예시도.

도 3은 종래의 공통전압 구동장치의 일실시에 구성도.

도 4는 본 발명에 따른 공통전압 구동장치를 이용한 액정표시장치의 일실시에 구성도.

도 5 내지 도 9는 본 발명에 따른 공통전압 구동장치의 구동 방법을 설명하기 위한 예시도.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.

[0023] 도 4는 본 발명에 따른 공통전압 구동장치를 이용한 액정표시장치의 일실시에 구성도이다.

[0024] 본 발명에 따른 액정표시장치는 도 4에 도시된 바와 같이, 패널(102), 타이밍 콘트롤러(114), 데이터 드라이버(106) 및 게이트 드라이버(104)를 포함하고 있다.

[0025] 패널(102)은 두 장의 유리기관 사이에 적하된 액정분자들을 구비한다. 이 패널에는 데이터 라인들(DL1 내지 DLm)과 게이트라인들(GL1 내지 GLn)의 교차 구조에 의해 매트릭스 형태로 $m \times n$ 개의 액정셀들(C1c)이 배치된다.

[0026] 패널의 하부 유리기관에는 m 개의 데이터라인들(DL1 내지 DLm), n개의 게이트라인들(GL1 내지 GLn), TFT들, TFT에 접속된 액정셀(C1c)의 화소전극들 및 스토리지 커패시터(Cst) 등이 형성된다.

[0027] 패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 하부 유리기관 상에 형성된다. 이러한 공통전극은 공통전극라인(108)에 의해 공통전압을 공급받는다.

[0028] 한편, 본 발명은 공통전극에 인가되는 공통전압을 인버전하는 것을 특징으로 하는 것인바, 이를 위해 공통전극라인(108) 및 공통전극(픽셀 내부에 형성되어 있음)은 도 4에 도시된 바와 같이, 하부기관 상에서 게이트라인(GL)과 평행하게 형성되어 있다.

[0029] 또한, 패널의 상부 유리기관과 하부 유리기관 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.

[0030] 타이밍 콘트롤러(114)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 시스템(112)으로부터 입력받아, 데이터 드라이버(106)와 게이트 드라이버(104)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 이러한 제어신호들은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable :

GOE), 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 극성제어신호(Polarity : POL) 등을 포함한다. 또한, 타이밍 컨트롤러는 시스템(112)으로부터 입력되는 디지털 비디오 데이터(RGB)(이하, 간단히 '영상신호'라 함)를 패널(102)에 맞게 재정렬하여 데이터 드라이버(106)에 공급한다.

[0031] 데이터 드라이버(106)는 입력라인과 데이터라인 사이에 종속적으로 접속된 쉬프트 레지스터, 제1 및 제2 래치, 디지털-아날로그 변환기 및 출력 버퍼를 포함하는 다수의 게이트 드라이브 IC(미도시)들로 구성된다. 이 데이터 드라이버는 타이밍 컨트롤러(114)의 제어 하에 데이터(RGB)를 래치하고 그 데이터를 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 발생하고 그 데이터전압을 데이터라인들(DL1 내지 DLm)에 공급한다.

[0032] 마지막으로, 게이트 드라이버(104)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(GL1 내지 GLn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성되어 대략 1 수평기간의 펄스폭을 가지는 스캔펄스들을 게이트 라인들에 순차적으로 출력한다.

[0033] 또한, 게이트 드라이버(104)에는 본 발명에 따른 공통전압 구동장치(110)가 포함되어 있다. 본 발명에 따른 공통전압 구동장치는 공통전압 인버전 모드를 구현하기 위한 것으로서, 공통전압 구동장치로부터 공통전압을 인가받는 공통전압라인(108)은 도 4에 도시된 바와 같이, 게이트 라인(GL)과 평행하게 각 수평라인마다 형성되어 있다.

[0034] 즉, 공통전압 구동장치(110)는 게이트 드라이버(104)에서 생성되어, 제1프레임(Frame) 동안, 각 게이트 라인으로 인가되는 스캔신호를 이용하여, 각 게이트 라인에 스캔신호가 인가되는 1수평기간(1H) 동안 하이레벨(또는 로우레벨)의 공통전압을 해당 게이트 라인과 연결되는 수평라인의 화소들로 전송하며, 1수직기간 중 해당 게이트 라인에 스캔신호가 인가되지 않는 나머지 기간 동안에도 하이레벨(또는 로우레벨)의 공통전압을 해당 게이트 라인과 연결되는 수평라인의 화소들로 전송하는 기능을 수행한다.

[0035] 또한, 공통전압 구동장치(110)는 제2프레임 동안, 각 게이트 라인으로 인가되는 스캔신호를 이용하여, 각 게이트 라인에 스캔신호가 인가되는 1수평기간(1H) 동안 로우레벨(또는 하이레벨)의 공통전압을 해당 게이트 라인과 연결되는 수평라인의 화소들로 전송하며, 제2프레임의 1수직기간 중 해당 게이트 라인에 스캔신호가 인가되지 않는 나머지 시간 동안에도 로우레벨(또는 하이레벨)의 공통전압을 해당 게이트 라인과 연결되는 수평라인의 화소들로 전송하는 기능을 수행한다.

[0036] 즉, 공통전압 구동장치는, 제1프레임 동안, 인접된 각 공통전압라인별로 서로 다른 극성을 갖는 공통전압을 스캔신호와 함께 인가하는 한편, 제2프레임 동안에는 각 공통전압라인에 대하여 제1프레임에서의 극성과 반대되는 극성을 갖는 공통전압을 스캔신호와 함께 인가하는 기능을 수행한다.

[0037] 따라서, 제1프레임 동안, 제1수평라인에 하이레벨의 공통전압이 스캔신호와 함께 인가되었다면, 제2수평라인에는 로우레벨의 공통전압이 스캔신호와 함께 인가된다. 또한, 제2프레임 동안, 제1수평라인에는 로우레벨의 공통전압이 스캔신호와 함께 인가되며, 제2수평라인에는 하이레벨의 공통전압이 스캔신호와 함께 인가된다.

[0038] 이를 통해, 공통전압 구동장치는 패널을 공통전압 인버전 방식으로 구동시킬 수 있다.

[0039] 한편, 본 발명에 적용되는 게이트 드라이버는 상기한 바와 같은 기능을 수행하기 위해 도 4에 도시된 바와 같이, 패널에 형성되는 GIP(Gate In Panel) 방식으로 구성되며, 공통전압 구동장치(110) 역시 게이트 드라이버(104)와 함께 패널에 형성될 수 있다. 그러나, 공통전압 구동장치는 게이트 드라이버의 출력신호를 이용하고 있다는 점을 제외하고는, 게이트 드라이버와 개별적으로 형성 및 동작되는 것으로, 게이트 드라이버와 개별적으로 형성될 수도 있다. 즉, 도 4에서는 공통전압 구동장치가 게이트 드라이버에 형성된 것으로 도시되어 있으나, 게이트 드라이버 외부에 독립적으로 형성될 수도 있다.

[0040] 도 5 내지 도 9는 본 발명에 따른 공통전압 구동장치의 구동 방법을 설명하기 위한 예시도이다.

[0041] 우선, 도 5를 참조하여 본 발명에 따른 공통전압 구동장치의 구성을 설명하면 다음과 같다. 즉, 본 발명에 적용되는 시모스(CMOS : Complementary Metal-Oxide-Semiconductor)(이하, 간단히 'CMOS'라 함)는 집적 회로의 한 종류로서, P채널과 N채널의 MOS 트랜지스터를 전원 전압 간에 직렬로 구성하고, 입력은 두 가지 MOS 트랜지스터의 게이트에 같이 연결하며, 출력은 두가지 MOS의 드레인 사이에 연결한 집적 회로를 말한다.

- [0042] 이러한 COMS는 스위치로 간주될 수 있으며, 같은 입력신호에 대하여 P채널과 N채널이 서로 반대로 동작되어, 전원전압과 접지사이에 기본적으로 흐르는 블리딩 전류(bleeding current)가 거의 없어지고, TTL 논리 소자에 비해 소비 전력이 적은 논리 회로를 구현할 수 있으며, 면적을 많이 차지하는 저항이 아닌 CMOS를 부하로 사용하므로 집적도를 향상시킬 수 있다.
- [0043] 한편, 상기한 바와 같은 CMOS를 이용하는 본 발명에 따른 공통전압 구동장치는 도 5에 도시된 바와 같이, 제1 내지 제6스위치(210 내지 260)가 COMS를 이용하여 구성되어 있다. 따라서, 제1내지 제6스위치 각각은, 상기한 바와 같이, P채널과 N채널의 MOS 트랜지스터가 전원 전압 간에 직렬로 구성되어 있고, 입력은 두 가지 MOS의 게이트에 같이 연결되어 있으며, 출력은 두가지 MOS의 드레인 사이에 연결된 형태로 구성된다.
- [0044] 이때, 제1내지 제5스위치(210 내지 250)의 P채널 MOS 트랜지스터(이하, 간단히 'PMOS'라 함)는 고전위신호(VGH) 공급단자(400)와 연결되어 있으며, N채널 MOS 트랜지스터(이하, 간단히 'NMOS'라 함)는 저전위신호(VGL) 공급단자(500)와 연결되어 있다.
- [0045] 또한, 제1스위치(210)의 NMOS와 PMOS의 게이트는 스캔신호(VGOUT) 공급단자(300)와 연결되어 있으며, 제2스위치(220)의 NMOS와 PMOS의 게이트는 제1스위치의 출력단자와 연결되어 있다.
- [0046] 또한, 제2스위치(210)의 출력단자는 선택부(270)를 구성하는 NMOS의 게이트와 연결되어 있다. 선택부(270)는 PMOS와, 제2스위치의 출력단자와 연결되어 있는 NMOS가 클럭(VCOMC) 공급단자(600)와 제3스위치(230) 사이에 병렬로 연결되어 있는 형태로 구성된다. 여기서, 선택부의 PMOS는 제1스위치(210)의 출력단자와 연결되어 있다.
- [0047] 제3스위치(230)의 NMOS와 PMOS의 게이트는 선택부(270)의 출력단자와 연결되어 있고, 제4스위치(240)의 NMOS와 PMOS의 게이트는 제3스위치의 출력단자와 연결되어 있고, 제5스위치(250)의 NMOS와 PMOS의 게이트는 제4스위치의 출력단자와 연결되어 있으며, 제6스위치(260)의 NMOS와 PMOS의 게이트는 제5스위치의 출력단자와 연결되어 있다.
- [0048] 여기서, 제6스위치(260)의 PMOS의 소스는 고전위공통전압(VCOMH) 공급단자(700)와 연결되어 있고, NMOS의 소스는 저전위공통전압(VCOML) 공급단자(800)와 연결되어 있으며, PMOS와 NMOS의 드레인 사이에 연결되어 있는 출력단자는 패널의 공통전압 공급라인과 연결되어 있다.
- [0049] 한편, 선택부(270)의 출력신호는 제3스위치(230)와 궤환부(280)로 분기된다. 즉, 궤환부(280)는 선택부(270)의 출력단자와 제4스위치(240)의 출력단자 사이에 연결된 PMOS로 구성되며, PMOS의 게이트는 제2스위치의 출력단자와 연결되어 있다.
- [0050] 상기한 바와 같은 구성 및 도 5 내지 도 8에서, 클럭(VCOMC)은 단일 위상을 가진 클럭신호 전원을 말하고, 저전위신호(VGL)는 네거티브(Negative) 전원을 말하며, 고전위신호(VGH)는 포지티브(Positive) 전원을 말한다.
- [0051] 또한, 고전위공통전압(VCOMH)은 패널의 액정을 구동시키는 높은 기준 전압을 말하고, 저전위공통전압(VCOML)은 액정을 구동시키는 낮은 기준 전압을 말하고, 공통전압(VCOM)은 VCOMH나 VCOML에 의해 실제로 패널에 공급되는 전압을 말하며, 스캔신호(VGOUT)는 게이트 드라이버의 구동 전압을 말한다.
- [0052] 즉, 본 발명은 게이트 라인으로 입력되는 스캔신호(VGOUT)를 입력으로 받아, 공통전압을 출력하기 위한 것으로서, 본 발명에 따른 공통전압 구동장치(110)가 상기한 바와 같이, 각 수평라인별로 매 프레임 마다 서로 다른 극성의 공통전압을 패널에 공급하는 방법은 이하에서 도 5 내지 도 9를 참조하여 상세히 설명된다.
- [0053] 이하에서 설명되는 공통전압 구동장치(110)는 제1수평라인, 즉, 제1게이트라인(GL1)과 연결되어 있는 화소들에 공통전압을 인가하는 제1공통전압 구동부가 본 발명의 일예로서 설명된다. 따라서, 제2수평라인에 공통전압을 공급하는 제2공통전압 구동부는 제2수평라인에 인가되는 스캔신호에 따라 제1공통전압 구동부와 극성이 다른 공통전압을 인가시키고 있다는 점을 제외하고는 제1공통전압 구동부와 동일한 구성 및 기능을 포함하고 있으며, 각 수평라인별로 형성되어 있는 나머지 공통전압 구동부 역시, 제1공통전압 구동부 및 제2공통전압 구동부와 동일하게 형성될 수 있다. 즉, 본 발명에 따른 공통전압 구동장치는 각 공통전압라인(108)으로 공통전압을 발생하기 위한 복수의 공통전압 구동부들로 구성된다.
- [0054] 또한, 제1프레임 동안 하이레벨의 공통전압을 해당 수평라인에 공급한 공통전압 구동부는, 제2프레임 동안에는 로우레벨의 공통전압을 해당 수평라인에 공급하고 있는바, 이하에서는, 제1공통전압 구동장치가 제1프레임 동안 하이레벨의 공통전압을 해당 수평라인의 공통전극라인으로 공급하고, 제2프레임 동안 로우레벨의 공통전

압을 해당 수평라인의 공통전극라인으로 공급하는 것을 일예로 하여 본 발명이 설명된다.

- [0055] 또한, 이하에서는 설명의 편의상, 하이레벨의 신호를 '1'로 표시하고, 로우레벨의 신호를 '0'으로 표시하여 본 발명이 설명된다.
- [0056] 즉, 도 5와 9를 참조하면, 제1프레임 기간 중, 하이레벨(1)의 스캔신호(VGOUT)가 입력되면, 제1스위치(210)는 출력신호로 로우레벨(0)을 출력한다. 즉, CMOS의 게이트로 하이레벨이 입력되므로, PMOS는 턴오프되고, NMOS는 턴온된다. 이때, 턴온상태의 NMOS를 통해 저전위신호(VGL)가 공급되므로, 결국, 제1스위치의 출력신호는 로우레벨(0)이 된다.
- [0057] 다음으로, 제2스위치(220)는 로우레벨(0)을 입력으로 받아 하이레벨(1)을 출력한다. 즉, CMOS의 게이트로 로우레벨(0)이 입력되므로, PMOS는 턴온되고, NMOS는 턴오프된다. 이때, 턴온상태의 PMOS를 통해 고전위신호(VGH)가 공급되므로, 결국, 제2스위치의 출력신호는 하이레벨(1)이 된다.
- [0058] 다음으로, 선택부(270)의 NMOS의 게이트는 하이레벨(1)을 입력으로 받아 하이레벨의 클럭(VCOMC)을 출력한다. 즉, 제2스위치로부터 하이레벨(1)을 입력받는 NMOS가 턴온되어 하이레벨(1)의 클럭을 출력시킴으로 선택부의 출력은 하이레벨(1)이 된다. 이때, PMOS 역시 제1스위치의 출력인 로우레벨을 입력으로 받아 클럭의 하이레벨(1)을 출력한다.
- [0059] 다음으로, 제3스위치(230)는 선택부로부터 하이레벨(1)을 입력받아, 제1스위치와 마찬가지로 로우레벨(0)을 출력한다.
- [0060] 다음으로, 제4스위치(240)는 제2스위치와 마찬가지로 로우레벨(0)을 입력받아 하이레벨(1)을 출력한다.
- [0061] 다음으로, 제5스위치(250)는 제3스위치와 마찬가지로 하이레벨(1)을 입력받아 로우레벨(0)을 출력한다.
- [0062] 다음으로, 제6스위치(260)는 제5스위치로부터 로우레벨(0)을 입력받는다. 이때, PMOS가 턴오프되어 하이레벨(1)의 고전위공통전압(VCOOMH)을 출력한다. 이때, NMOS는 턴오프된다.
- [0063] 즉, 상기한 바와 같은 과정에 의해 하이레벨(1)의 스캔신호가 입력되면, 1수평기간(1H) 동안 하이레벨(1)의 공통전압이 해당 수평라인의 공통전압 라인을 통해 공통전극으로 인가된다.
- [0064] 이때, 궤환부(280)의 게이트는 제2스위치(220)의 출력인 하이레벨을 입력받기 때문에 턴오프된다.
- [0065] 다음으로, 도 6과 9를 참조하면, 제1프레임 기간 중, 도 5에서 1수평기간 후 스캔신호가 로우레벨(0)로 변하며, 로우레벨의 스캔신호(VGOUT)가 입력되면, 제1스위치(210)는 출력신호로 하이레벨(1)을 출력한다.
- [0066] 다음으로, 제2스위치(220)는 하이레벨(1)을 입력으로 받아 로우레벨(0)을 출력한다.
- [0067] 다음으로, 선택부(270)의 NMOS는 제2스위치로부터 로우레벨(0)을 입력받고, PMOS는 제1스위치로부터 하이레벨(1)을 입력받는다. 따라서, PMOS와 NMOS는 모두 턴오프된다.
- [0068] 이때, 궤환부(280)의 게이트는 제2스위치로부터 로우레벨(0)을 입력받아 턴온되어, 도 5에서 하이레벨(1)을 유지하고 있는 제3스위치(230)의 입력신호를 제4스위치(240)의 출력단자로 궤환시킨다.
- [0069] 다음으로, 제5스위치(250)는 궤환부(280)로부터 하이레벨(0)을 입력받아 로우레벨(0)을 출력한다.
- [0070] 다음으로, 제6스위치(260)는 제5스위치로부터 로우레벨(0)을 입력받는다. 이때, PMOS가 턴오프되어 하이레벨(1)의 고전위공통전압(VCOOMH)을 출력한다. 이때, NMOS는 턴오프된다.
- [0071] 즉, 상기한 바와 같은 과정에 의해, 로우레벨의 스캔신호가 입력되더라도, 궤환부의 궤환에 의해 하이레벨의 공통전압이 해당 수평라인의 공통전압 라인을 통해 공통전극으로 지속적으로 공급될 수 있다.
- [0072] 부연하여 설명하면, 공통전압 공급부는 제1프레임 기간 중, 1수평기간(1H) 동안 하이레벨의 스캔신호에 의해 하이레벨의 고전위공통전압을 출력한 후, 나머지 프레임 기간 동안에는 지속적으로 하이레벨을 출력하게 되며, 따라서, 도 9에 도시된 바와 같이, 제1프레임 동안 하이레벨(1)의 출력을 유지하게 된다.
- [0073] 다음으로, 도 7과 도 9를 참조하면, 제2프레임 기간 중, 하이레벨(1)의 스캔신호(VGOUT)가 입력되면, 제1스위

치(210)는 출력신호로 로우레벨(0)을 출력한다.

- [0074] 다음으로, 제2스위치(220)는 로우레벨(0)을 입력으로 받아 하이레벨(1)을 출력한다.
- [0075] 다음으로, 선택부(270)의 NMOS의 게이트는 하이레벨(1)을 입력으로 받아 로우레벨(0)의 클럭(VCOMC)을 출력한다. 즉, 제2스위치로부터 하이레벨(1)을 입력받는 NMOS가 턴온되어 로우레벨(0)의 클럭을 출력시킴으로 선택부의 출력은 로우레벨(0)이 된다. 이때, PMOS 역시 제1스위치의 출력인 로우레벨을 입력으로 받아 클럭의 로우레벨(0)을 출력한다.
- [0076] 다음으로, 제3스위치(230)는 선택부로부터 로우레벨(0)을 입력받아, 하이레벨(1)을 출력한다.
- [0077] 다음으로, 제4스위치(240)는 하이레벨(1)을 입력받아 로우레벨(0)을 출력한다.
- [0078] 다음으로, 제5스위치(250)는 로우레벨(0)을 입력받아 하이레벨(1)을 출력한다.
- [0079] 다음으로, 제6스위치(260)는 제5스위치로부터 하이레벨(1)을 입력받는다. 이때, POMS는 턴오프되고, NMOS가 턴온되어 로우레벨(0)의 저전위공통전압(VCOOML)을 출력한다.
- [0080] 즉, 상기한 바와 같은 과정에 의해 제2프레임에서는 하이레벨의 스캔신호가 입력되더라도, 도 9에 도시된 바와 같이, 1수평기간(1H) 동안 로우레벨의 공통전압이 해당 수평라인의 공통전압 라인을 통해 공통전극으로 인가된다.
- [0081] 이때, 캐환부(280)의 게이트는 제2스위치(220)의 출력인 하이레벨을 입력받기 때문에 턴오프된다.
- [0082] 마지막으로, 도 8과 9를 참조하면, 제2프레임 기간 중, 도 7에서 1수평기간 후 스캔신호가 로우레벨(0)로 변하며, 로우레벨의 스캔신호(VGOUT)가 입력되면, 제1스위치(210)는 출력신호로 하이레벨(1)을 출력한다.
- [0083] 다음으로, 제2스위치(220)는 하이레벨(1)을 입력으로 받아 로우레벨(0)을 출력한다.
- [0084] 다음으로, 선택부(270)의 NMOS는 제2스위치로부터 로우레벨(0)을 입력받고, PMOS는 제1스위치로부터 하이레벨(1)을 입력받는다. 따라서, PMOS와 NMOS는 모두 턴오프된다.
- [0085] 이때, 캐환부(280)의 게이트는 제2스위치로부터 로우레벨(0)을 입력받아 턴온되어, 도 7에서 로우레벨(0)을 유지하고 있는 제3스위치(230)의 입력신호를 제4스위치(240)의 출력단자로 캐환시킨다.
- [0086] 다음으로, 제5스위치(250)는 캐환부(280)로부터 로우레벨(0)을 입력받아 하이레벨(1)을 출력한다.
- [0087] 다음으로, 제6스위치(260)는 제5스위치로부터 하이레벨(1)을 입력받는다. 이때, POMS가 턴오프되고 NMOS가 턴온되어 로우레벨(0)의 저전위공통전압(VCOOMH)을 공통전압으로 출력한다.
- [0088] 즉, 상기한 바와 같은 과정에 의해, 제2프레임에서는 하이레벨 또는 로우레벨의 스캔신호가 입력되더라도, 모두 로우레벨의 공통전압이 해당 수평라인의 공통전압 라인을 통해 공통전극으로 지속적으로 공급될 수 있다.
- [0089] 부연하여 설명하면, 공통전압 공급부는 제2프레임 기간 중, 1수평기간(1H) 동안 하이레벨의 스캔신호에 의해 로우레벨의 고전위공통전압을 출력한 후, 나머지 프레임 기간 동안에는 지속적으로 로우레벨을 출력하게 되며, 따라서, 도 9에 도시된 바와 같이, 제2프레임 동안 로우레벨(0)의 출력을 유지하게 된다.
- [0090] 이후, 제3프레임 동안에는, 다시 도 5 및 도 6의 과정이 수행되므로써, 제3프레임 동안에는 하이레벨의 공통전압이 해당 공통전압 라인을 통해 공통전극에 인가된다.
- [0091] 상기한 바와 같은 본 발명은 PMOS(P-channel MOS) 트랜지스터와 NMOS(N-channel MOS) 트랜지스터로 구성된 CMOS(Complementary MOS)를 이용하여 외부에서 들어오는 노이즈에 무관한 라인 반전용 공통 전압 변환 회로를 제공하는데 그 목적이 있다.
- [0092] 즉, 본 발명은 CMOS TFT 프로세스(process)를 적용한 공통전압 구동장치(Vcom driver)를 이용하여 공통전압 인버전 모드를 구현하는 것을 특징으로 하고 있다.
- [0093] 본 발명과 같이, CMOS로 구성된 공통전압 구동장치(Vcom driver)를 적용할 경우, 공통전압 인버전(Vcom inversion)에 의한 소비 전력 감소와 더불어, 공통전압 구동장치(Vcom driver)를 구동시키는 구동 전압 레벨(level)을 감소시켜, NMOS와 PMOS 구조로 구성된 공통전압 구동장치와 비교해 볼 때, 소비 전력의 추가 감소

가 기대될 수 있다.

[0094] 또한, 본 발명과 같이 CMOS로 구성된 공통전압 구동장치를 적용할 경우, 트랜지스터의 수를 감소시켜 컴팩트(compact)한 설계가 구현될 수 있다.

[0095] 한편, 상기한 바와 같은 본 발명의 원리를 부연하여 설명하면 다음과 같다. 즉, 본 발명은 게이트 드라이버(Gate driver)에서, 게이트 라인 출력과 단일 위상의 클럭(Clock) 신호를 사용하여, NMOS 트랜지스터와 PMOS 트랜지스터의 논리 조합을 하이레벨(high)과 로우레벨(low)의 액정 기준 전압(DC)인 VCOMH와 VCOML로 출력하고 있다.

[0096] 본 발명에 따른 CMOS형 공통전압 구동장치를 적용할 경우, 공통전압 인버전(Vcom inversion)에 의한 소비 전력 감소와 더불어, 공통전압 구동장치를 구동시키는 구동 전압 레벨을 감소시켜 NMOS와 PMOS로 구성된 종래의 공통전압 구동장치와 비교해 볼 때, 소비 전력의 추가 감소가 기대될 수 있다.

[0097] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0098] 210 내지 260 : 제1 내지 제6스위치

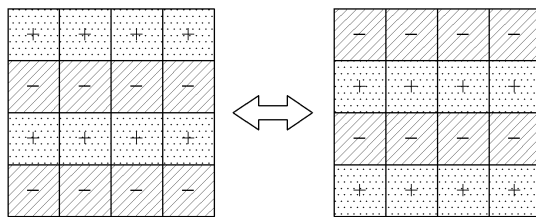
270 : 선택부

280 : 궤환부

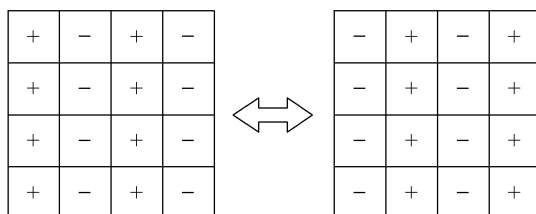
도면

도면1

(a) 라인 인버전

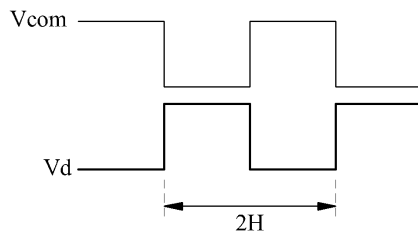


(b) 컬럼 인버전

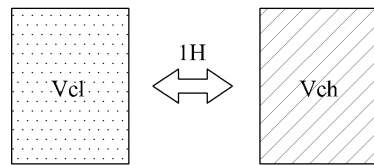


도면2

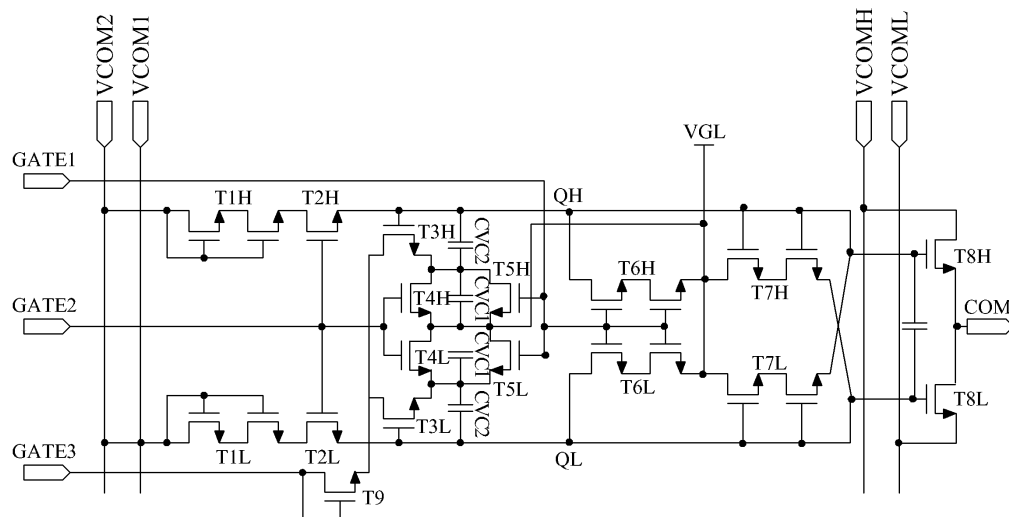
(a) 라인 인버전 방식의 파형도



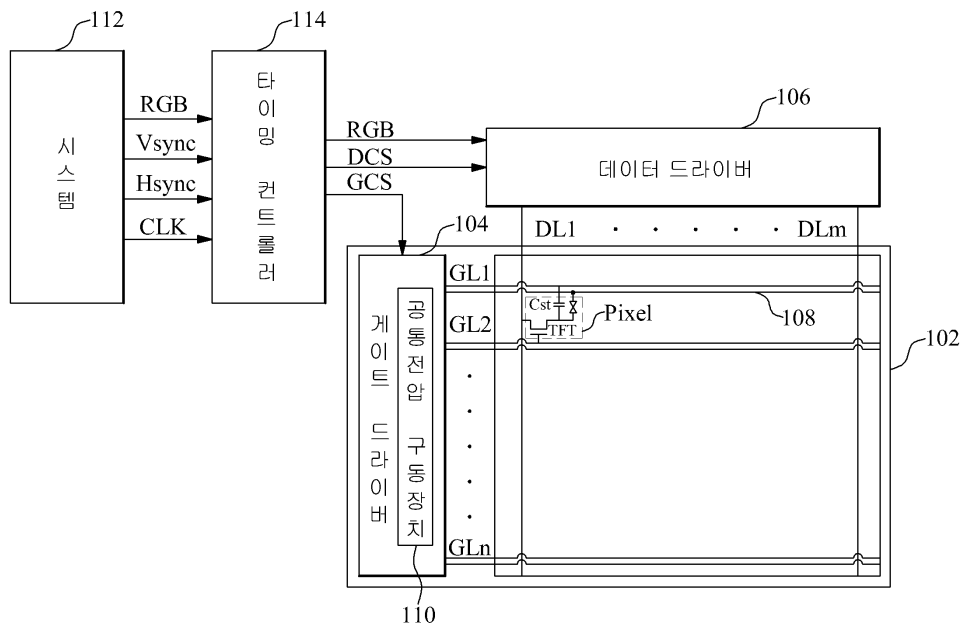
(b) 라인 인버전 방식의 V_{com} 구성



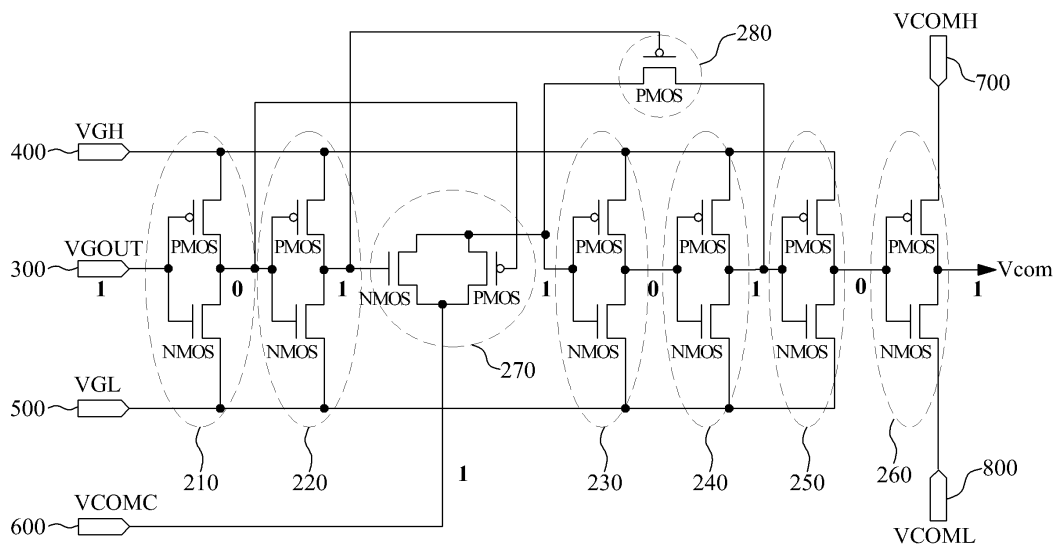
도면3



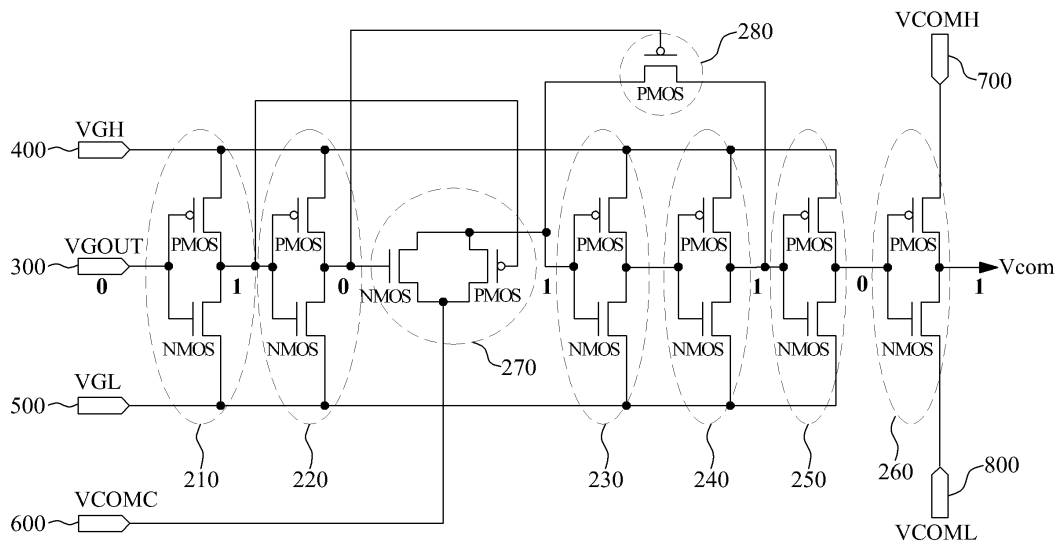
도면4



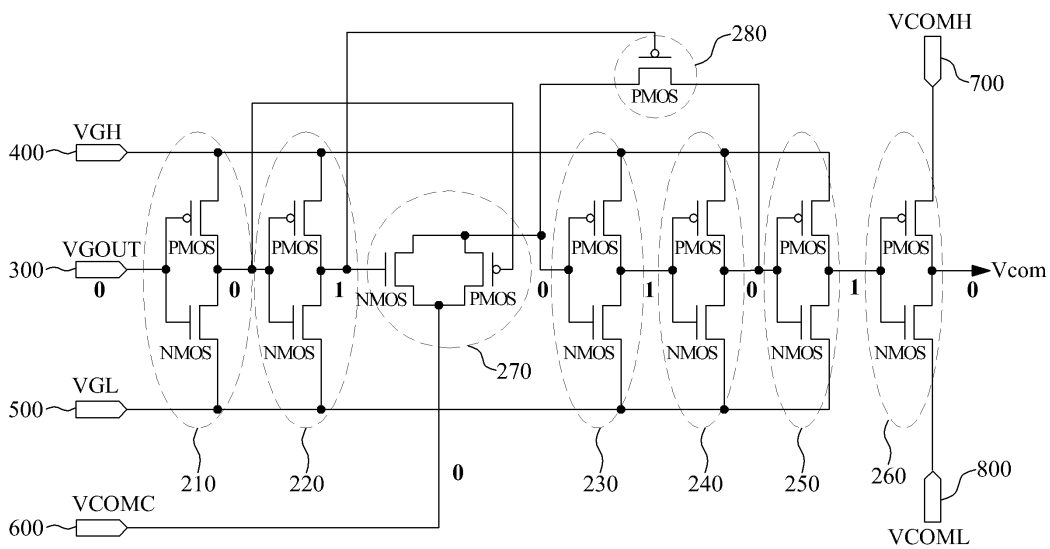
도면5



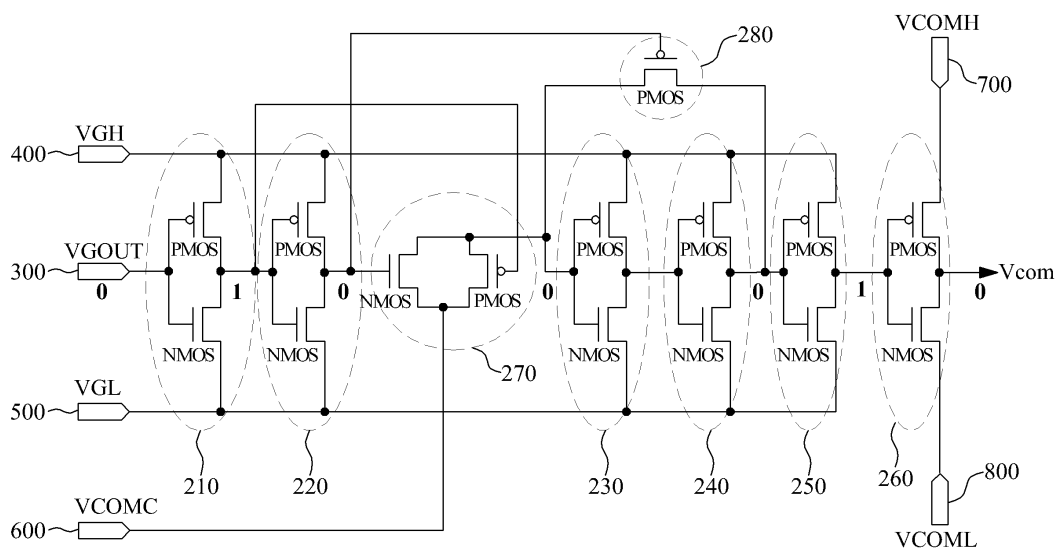
도면6



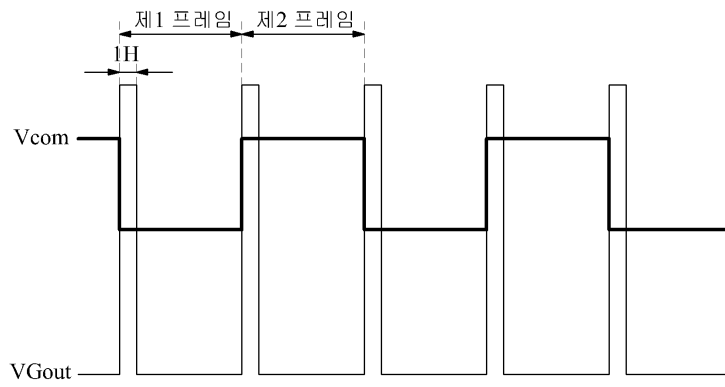
도면7



도면8



도면9



专利名称(译)	标题：常用电压驱动装置和使用该装置的液晶显示器		
公开(公告)号	KR1020120074575A	公开(公告)日	2012-07-06
申请号	KR1020100136455	申请日	2010-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG CHANG JAE 장창재		
发明人	장창재		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3696 G09G3/3648 G09G2310/08		
其他公开文献	KR101770694B1		
外部链接	Espacenet		

摘要(译)

发明内容本发明提供一种使用CMOS晶体管形成的公共电压驱动装置和使用该公共电压驱动装置的液晶显示装置。根据本发明的为此目的，和多个公共电压驱动的，其分别与所述公共电压线连接的公共电压驱动装置的面板的每个水平线形成的，每个所述公共电压驱动器是CMOS (CMOS) 第一至第五开关连接在高电位信号供给端和低电位信号供给端之间;一种用于输入时钟的时钟信号提供端;在第三开关和第四开关之间形成选择器，用于向第四开关发送或中断时钟;反馈单元，连接在选择单元的输出端和第四开关的输出端之间，并接收第二开关的输出信号作为栅极;第六开关，用于接收第五开关的输出，并输出高电位公共电压或低电位公共电压作为公共电压。

